

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-104420

(P2017-104420A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl.	F 1	テーマコード (参考)
A 6 3 F 7/02 (2006.01)	A 6 3 F 7/02 3 3 4	2 C 0 8 8
	A 6 3 F 7/02 3 2 6 Z	
	A 6 3 F 7/02 3 0 4 Z	

審査請求 有 請求項の数 3 O L (全 26 頁)

(21) 出願番号 特願2015-242418 (P2015-242418)
 (22) 出願日 平成27年12月11日 (2015.12.11)

(71) 出願人 391010943
 株式会社藤商事
 大阪府大阪市中央区内本町一丁目1番4号
 (74) 代理人 100087701
 弁理士 稲岡 耕作
 (74) 代理人 100101328
 弁理士 川崎 実夫
 (74) 代理人 100137062
 弁理士 五郎丸 正巳
 (72) 発明者 矢次 謙
 大阪府大阪市中央区内本町一丁目1番4号
 株式会社藤商事内
 Fターム(参考) 2C088 BC56 BC58 CA13 EA10

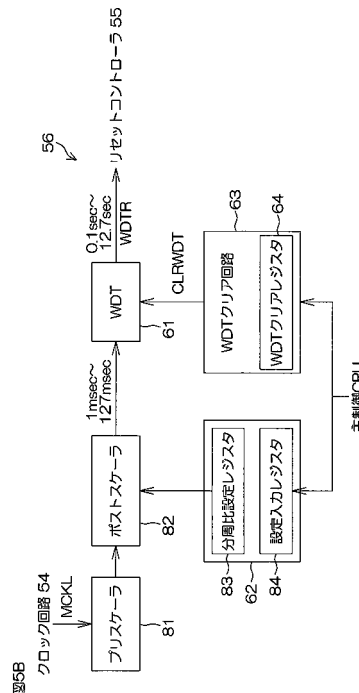
(54) 【発明の名称】 遊技機

(57) 【要約】

【課題】適切な制御を実現できる遊技機を提供する。

【解決手段】遊技機は、遊技制御コンピュータが実装された主制御基板を備えている。遊技制御コンピュータには、WDT 61と、WDT 61の計時動作をクリアするWDTクリア回路62とを含む。WDT 61は、一度起動すると、その後、計時動作を停止せずに実行し続ける。WDT 61の起動は、初期設定の終了直前に行われる。そして、WDT 61の計時動作のクリアを、タイマ割込み処理内だけでなく、初期設定中の所定のタイミングにおいても行われる。

【選択図】 図5 B



【特許請求の範囲】

【請求項 1】

遊技の進行を統括制御するための主制御手段を備えた遊技機であって、

前記主制御手段は、プログラムを実行する主制御CPUと、起動により計時動作を開始し、クリアされないまま計時値が所定のタイムアウト値に達した場合に前記主制御CPUをリセットさせるウォッチドッグタイマとを含み、

前記主制御CPUによるプログラムの実行開始後における所定の起動タイミングで前記ウォッチドッグタイマを起動させるウォッチドッグタイマ起動手段と、

前記ウォッチドッグタイマの前記計時値をクリアするクリア手段とをさらに含み、

前記クリア手段は、前記主制御CPUによるプログラムの実行開始後前記起動タイミングよりも前のタイミングにおいて、前記ウォッチドッグタイマの前記計時値をクリアする起動前クリア手段を含む、遊技機。

10

【請求項 2】

前記タイムアウト値を設定するためのタイムアウト値設定手段をさらに含み、

前記ウォッチドッグタイマ起動手段は、前記タイムアウト値設定手段に所定のタイムアウト値が設定されることにより実現されており、

前記タイムアウト値設定手段に前記タイムアウト値として特定値が設定された場合には、前記ウォッチドッグタイマは起動されない、請求項 1 に記載の遊技機。

【請求項 3】

前記タイムアウト値は、零を除く所定値であり、前記特定値は零である、請求項 2 に記載の遊技機。

20

【請求項 4】

前記タイムアウト値を設定するためのタイムアウト値設定手段をさらに含み、

前記タイムアウト値設定手段は、前記ウォッチドッグタイマの起動後において、設定されている前記タイムアウト値を変更できない、請求項 1 ~ 3 のいずれか一項に記載の遊技機。

【請求項 5】

前記ウォッチドッグタイマは、一度起動すると、その後前記計時動作を停止せずに実行し続ける構成である、請求項 1 ~ 4 のいずれか一項に記載の遊技機。

【発明の詳細な説明】

30

【技術分野】

【0001】

この発明は、主制御手段にウォッチドッグタイマを備えた遊技機に関する。この遊技機は、たとえば弾球遊技機、回胴式遊技機等を含む。

【背景技術】

【0002】

従来から、遊技制御を統括的に制御する主制御基板の主制御CPUの動作状況を監視するべくウォッチドッグタイマを備えた遊技機が知られている（たとえば下記特許文献 1 参照）。

ウォッチドッグタイマは計時動作を行い、その計時動作中にクリア動作が行われると計時値が初期値に戻り、クリア動作が行われないうままタイムアウト時間が経過したときに、主制御CPUをリセットさせる。

40

【0003】

特許文献 1 に記載の遊技機に搭載されたウォッチドッグタイマは、一度起動すると、その後、電源供給の続く限り計時動作を実行し続ける。このウォッチドッグタイマは、主制御CPUによるプログラムの実行開始後、所定の設定動作などを終了した後の所定のタイミングで起動させられる。

【先行技術文献】

【特許文献】

【0004】

50

【特許文献1】特開2014-87407号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

遊技機において、ノイズ等の発生により、主制御CPUがリセットされることがある。このようなノイズ発生に伴うリセットがウォッチドッグタイマの起動後に発生する場合、主制御CPUはプログラムを最初から再度実行する。前述のようにウォッチドッグタイマは一度起動すると電源供給が続いている限り計時動作を実行し続けるために、実行するプログラムが最初に戻るのにも拘らず、ウォッチドッグタイマは未だ計時動作を実行し続けている。そのため、プログラムの実行再開後、ウォッチドッグタイマによる計時がタイムアウトしてウォッチドッグタイマが主制御CPUをリセットする。主制御CPUのリセット後も、ウォッチドッグタイマのタイムアウトとそれに起因する主制御CPUのリセットとが繰り返され、その結果遊技機が通常の動作に正常に移行できないおそれ、すなわち、遊技機の適切な制御を実現できないおそれがある。

10

【0006】

そこで、この発明は、適切な制御を実現できる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0007】

前記の目的を達成するための請求項1に記載の発明は、遊技の進行を統括制御するための主制御手段を備えた遊技機であって、前記主制御手段は、プログラムを実行する主制御CPUと、起動により計時動作を開始し、クリアされないまま計時値が所定のタイムアウト値に達した場合に前記主制御CPUをリセットさせるウォッチドッグタイマとを含み、前記主制御CPUによるプログラムの実行開始後における所定の起動タイミングで前記ウォッチドッグタイマを起動させるウォッチドッグタイマ起動手段と、前記ウォッチドッグタイマの前記計時値をクリアするクリア手段とをさらに含み、前記クリア手段は、前記主制御CPUによるプログラムの実行開始後前記起動タイミングよりも前のタイミングにおいて、前記ウォッチドッグタイマの前記計時値をクリアする起動前クリア手段を含む、遊技機を提供する。

20

【0008】

請求項2に記載の発明は、前記タイムアウト値を設定するためのタイムアウト値設定手段をさらに含み、前記ウォッチドッグタイマ起動手段は、前記タイムアウト値設定手段に所定のタイムアウト値が設定されることにより実現されており、前記タイムアウト値設定手段に前記タイムアウト値として特定値が設定された場合には、前記ウォッチドッグタイマは起動されない、請求項1に記載の遊技機である。

30

【0009】

請求項3に記載の発明は、前記タイムアウト値は、零を除く所定値であり、前記特定値は零である、請求項2に記載の遊技機である。

請求項4に記載の発明は、前記タイムアウト値を設定するためのタイムアウト値設定手段をさらに含み、前記タイムアウト値設定手段は、前記ウォッチドッグタイマの起動後において、設定されている前記タイムアウト値を変更できない、請求項1～3のいずれか一項に記載の遊技機である。

40

【0010】

請求項5に記載の発明は、前記ウォッチドッグタイマは、一度起動すると、その後前記計時動作を停止せずに実行し続ける構成である、請求項1～4のいずれか一項に記載の遊技機である。

【発明の効果】

【0011】

本発明によれば、適切な制御を実現できる遊技機を提供できる。

【図面の簡単な説明】

【0012】

50

【図 1】本発明の一実施形態に係る遊技機の斜視図である。

【図 2】前記遊技機に含まれる遊技盤の構成を示す正面図である。

【図 3】前記遊技機の電氣的構成を示すブロック図である。

【図 4】図 3 に示す遊技制御マイクロコンピュータの回路構成を示すブロック図である。

【図 5 A】図 4 に示す遊技制御マイクロコンピュータのメモリマップを示す図である。

【図 5 B】図 4 に示すウォッチドッグタイマ回路の構成を示すブロック図である。

【図 6】前記ウォッチドッグタイマ回路の、より詳細な構成を示すブロック図である。

【図 7 A】図 5 B に示すウォッチドッグタイマクリア回路の、より詳細な構成を示すブロック図である。

【図 7 B - 7 C】図 5 B に示す W D T コントロールレジスタの内容および W D T モード設定レジスタの内容を示す図である。 10

【図 8 A】図 3 に示す主制御基板におけるシステムリセット処理の内容を示すフローチャートである（その 1）。

【図 8 B】前記主制御基板におけるシステムリセット処理の内容を示すフローチャートである（その 2）。

【図 9】前記主制御基板によるタイマ割込処理の流れを示すフローチャートである。

【図 10】図 9 に示す電源異常チェック処理の流れを示すフローチャートである。

【発明を実施するための形態】

【0013】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。 20

図 1 は、本発明の一実施形態に係る遊技機 1 の斜視図である。以下、遊技機 1 として、弾球遊技機（パチンコ機）を例に挙げて説明するが、この発明は弾球遊技機に限られず、パチスロ機に代表される回胴式遊技機などの他の遊技機にも適用することができる。

遊技機 1 は、遊技店内に配列された遊技島への取付け（設置）のための略四角枠状の外枠 2 と、外枠 2 に対し片開き可能に取り付けられた内枠 3 とを備えている。外枠 2 の左右一方、たとえば左側部にヒンジ 4 が取り付けられており、内枠 3 はヒンジ 4 の回動軸まわりに回動可能に保持されている。

【0014】

内枠 3 の上部分には、遊技盤 5（図 2 参照）が収容保持されている。内枠 3 の下部分には、発射装置（図示しない）が収容保持されている。内枠 3 における遊技盤 5 の下方には、セーフ球回収部（図示しない）が配置されている。内枠 3 の手前側には、前扉 6 が開閉可能に設けられている。また、内枠 3 の手前側には、前扉 6 の下方に、下部開閉板 7 が開閉可能に設けられている。前扉 6 には、遊技盤 5 に対向する位置に略円形の開口 8 が形成されている。開口 8 には、ガラス板などの透明板 9 が嵌められていて、前扉 6 を閉じた状態で、その透明板 9 を介して透明板 9 の奥側の遊技盤 5 を視認可能になっている。前扉 6 の上部には、左右一対のスピーカ 12 が配置されている。また、前扉 6 の下部には、左右一対の遊技ランプ 13 が配置されている。 30

【0015】

下部開閉板 7 には、遊技に使用する遊技球を貯留しておくための上皿 10 と、上皿 10 からオーバーフロー路（図示しない）を通して溢れた遊技球を受け止める下皿 11 とが上下に並んで設けられている。下皿 11 の右側には、遊技球を遊技盤 5 に打ち出す際に操作されるハンドル 14 が配置されている。遊技者が、ハンドル 14 を把持して回転操作することにより、発射装置から遊技盤 5 の盤面に向けて遊技球を発射することができ、また、ハンドル 14 の回動角度を調整することにより、遊技盤 5 の盤面に向けて発射される遊技球の勢いを調節することができる。 40

【0016】

図 2 は、遊技機 1 に含まれる遊技盤 5 の構成を示す正面図である。

遊技盤 5 の盤面（前面）には、中央部に略円形の円形領域 R が設定されている。円形領域 R の周縁には、発射装置から発射された遊技球を円形領域 R の上部（左側上部）に導くための略円弧状のガイドレール 15 と、ガイドレール 15 に対向して延びる内レール 16 40 50

とが配置されている。円形領域 R の中央部には、液晶表示ユニット 17 が配置されている。液晶表示ユニット 17 には、遊技機 1 での遊技において、停止された演出図柄、変動中の演出図柄または所定のメッセージ等が表示される。

【0017】

内レール 16 の先端は円形領域 R の上部まで延びていて、発射装置により発射された遊技球は、ガイドレール 15 と内レール 16 との間を通過して円形領域 R (遊技領域 S) の上部へと導かれる。遊技領域 S には、多数本の障害釘 18 (図 2 では一部のみ図示) が植設されている。

遊技領域 S において、液晶表示ユニット 17 の下方 (遊技領域 S の下部) には、第 1 特別図柄始動口 19 が配置されている。第 1 特別図柄始動口 19 は、円形領域 R を流下する遊技球を入球可能に設けられている。第 1 特別図柄始動口 19 は、開閉手段等を有しない非可変式の入賞口 (いわゆるヘソ入賞口) である。第 1 特別図柄始動口 19 への 1 球の遊技球の入賞に伴い、予め定める個数 (たとえば 3 球) の賞球が、賞球払出装置 20 (図 3 参照) から払い出される。第 1 特別図柄始動口 19 への遊技球の入賞に伴って、特別利益状態を実行する大当たりであるか否かを決定するための特別図柄抽選が実行される。

10

【0018】

第 1 特別図柄始動口 19 の下方には、第 2 特別図柄始動口 21 が第 1 特別図柄始動口 19 と上下に並んで配置されている。第 2 特別図柄始動口 21 は、電動チューリップ役物等の開閉手段 22 を有する可変式の入賞口である。第 2 特別図柄始動口 21 への 1 球の遊技球の入賞に伴い、予め定める個数 (たとえば 5 球) の賞球が、賞球払出装置 20 (図 3 参照) から払い出される。また、第 2 特別図柄始動口 21 への遊技球の入賞に伴って、特別利益状態を実行する大当たりであるか否かを決定するための特別図柄抽選が実行される。

20

【0019】

遊技領域 S において、遊技盤 5 の右下部には、可変入賞装置 23 が配置されている。可変入賞装置 23 は、たとえば、第 1 および第 2 特別図柄始動口 19, 21 の右方に配置されている。可変入賞装置 23 は、遊技領域 S の右下部に配置された、左右に長い平面視長方形をなす特別入賞口 24 と、特別入賞口 24 を開閉するための特別入賞口開閉役物 25 とを備える。すなわち、特別入賞口 24 は可変式の入賞口であり、左右方向に関し複数個 (たとえば 3 ~ 4 球) の遊技球が同時に入球可能なサイズに設けられている。

【0020】

遊技領域 S には、液晶表示ユニット 17 の右方 (遊技領域 S の右部) に、遊技盤 5 の盤面に沿って流下する遊技球が通過可能な普通図柄ゲート 26 が配置されている。普通図柄ゲート 26 を遊技球が通過すると、第 2 特別図柄始動口 21 を開放するか否か (開閉手段 22 を拡開させるか否か) を決定するための普通図柄抽選が実行される。

30

特別利益状態では、所定時間 (たとえば 30(sec)) が経過するまで、または特別入賞口 24 に予め定める最大入球数 (たとえば 10 球) の遊技球が入球するまで、特別入賞口 24 を開放するといった開放動作を 1 つのラウンド遊技として、このような開放動作がインターバルを挟んでラウンド数の上限まで (たとえば最大 13 ラウンド) 行われる。

【0021】

遊技盤 5 の盤面におけるガイドレール 15 の外側の所定領域 (たとえば右上隅部) には、第 1 特別図柄表示手段 27、第 2 特別図柄表示手段 28 および普通図柄表示手段 29 が配置されている。

40

第 1 特別図柄表示手段 27 は、一または複数の特別図柄を変動動作可能な 7 セグメント式表示器等により構成されている。第 1 特別図柄表示手段 27 は、第 1 特別図柄始動口 19 に遊技球が入球することを条件に、第 1 特別図柄を所定時間変動動作して、第 1 特別図柄始動口 19 への入球時に取得された大当たり判定用乱数が、予め定められた大当たり数値と一致する場合には所定の大当たり用の特別図柄、それ以外の場合には外れ用の特別図柄で停止する。

【0022】

第 2 特別図柄表示手段 28 は、一または複数の特別図柄を変動動作可能な 7 セグメント

50

式表示器等により構成されている。第2特別図柄表示手段28は、第2特別図柄始動口21に遊技球が入球することを条件に、第2特別図柄を所定時間変動動作して、第2特別図柄始動口21への入球時に取得された大当り判定用乱数が、予め定められた大当り数値と一致する場合には所定の大当り用の特別図柄で、それ以外の場合には外れ用の特別図柄で停止する。

【0023】

なお、前記の所定領域（たとえば右上隅部）に、第1特別図柄の保留球数および/または第2特別図柄の保留球数をそれぞれ表示するための特別図柄用保留表示手段（図示しない）が設けられていてもよい。

普通図柄表示手段29は、普通図柄を変動動作するためのものであり、7セグメント表示器等を用いてなるべく目立たないように小さく設けられており、普通図柄ゲート26に遊技球が通過することを条件に普通図柄を所定時間変動動作して、普通図柄ゲート26に対する遊技球の通過時に取得された大当り判定用乱数が予め定められた大当り数値と一致する場合には所定の当り態様で、一致しない場合には所定の外れ態様で停止させるようになっている。この普通図柄は、遊技者がその種類この普通図柄は、遊技者がその種類を容易に判別できないように特別な意味を持たない図柄が割り当てられることが望ましい。

【0024】

大当り抽選の結果は、前述のように特別図柄表示手段27, 28に表示されるが、特別図柄表示手段27, 28だけでなく、液晶表示ユニット17にも表示される。

具体的には、特別図柄表示手段27, 28における、特別図柄の図柄変動動作中は、液晶表示ユニット17により、演出図柄の図柄変動動作が行われる。また、第1または第2特別図柄表示手段27, 28に確率変動図柄が停止表示される場合には、その確率変動図柄に対応する大当り用の演出図柄が停止表示され、また、第1または第2特別図柄表示手段27, 28に非確率変動図柄が停止表示される場合には、その非確率変動図柄に対応する大当り用の演出図柄が停止表示される。

【0025】

遊技者のハンドル操作により、発射装置（図示しない）から適度の勢いで発射された遊技球は、円形領域Rの左上部から遊技領域Sに、右斜め上方に向けて放たれる。また、ハンドル操作により、遊技球の発射の狙い先を、遊技領域Sの左上部と遊技領域Sの右上部との間で打ち分けることができる。遊技領域Sに放たれた遊技球は、遊技領域Sに植設された障害釘18の間を流下する。遊技盤5の盤面に沿って流下する遊技球のうち、第1および第2特別図柄始動口19, 21、可変入賞装置23（特別入賞口24）、ならびにその他の入賞口（図示しない）のいずれにも入球しなかった遊技球（アウト球）は、遊技領域Sの下部に形成されたアウト口30から機内に入り、球回収部（図示しない）に回収される。

【0026】

なお、図2に示す遊技盤5の盤面構成は一例であり、この盤面に限られず、種々の盤面構成を採用できる。

図3は、遊技機1の電氣的構成を示すブロック図である。遊技機1は、AC24Vの交流電圧を受けて各種の直流電圧やシステムリセット信号SYSなどを出力する電源基板31と、遊技の進行を統括制御する主制御基板（主制御手段）32と、主制御基板32からの制御コマンドCMDに基づいて演出制御を行う演出制御基板33と、演出制御基板33からの制御コマンドCMD'に基づいて液晶表示ユニット17を駆動する液晶制御基板34と、主制御基板32から受けた制御コマンドCMD''に基づいて、遊技球を払い出すべく賞球払出装置20を駆動する払出制御基板35と、遊技者のハンドル14（図1参照）の回動操作に応じて、遊技球を発射させるべく発射装置（図示しない）を駆動する発射制御基板36とを含む。各制御基板32, 33, 34, 35, 36には、たとえばCPU、RAMおよびROMを含むワンチップのマイクロコンピュータが実装されている。

【0027】

主制御基板32には、電源基板31および払出制御基板35が主基板中継基板37を介

10

20

30

40

50

して接続されている。また、主制御基板 3 2 は、演出制御基板 3 3 および液晶制御基板 3 4 が、コマンド中継基板 3 8 および演出インターフェース基板 3 9 を介して接続されている。また、演出制御基板 3 3 および液晶制御基板 3 4 は、演出インターフェース基板 3 9 を介して互いに接続されている。また、演出インターフェース基板 3 9 には、電源中継基板 4 0 を介して電源基板 3 1 が接続されている。

【 0 0 2 8 】

主制御基板 3 2 は、遊技盤中継基板 4 1 を介して遊技盤 5 (図 2 参照) の各種遊技部品に接続されている。そして、遊技盤中継基板 4 1 は、遊技盤 5 上の各種入賞口 (たとえば特別入賞口 2 4 (図 2 参照)) への遊技球の入球を検出する入賞検出スイッチ (たとえば大入賞口入賞検出スイッチ) のスイッチ信号を受け一方、開閉手段 2 2 (図 2 参照) や特別入賞口開閉役物 2 5 (図 2 参照) の駆動機構 (たとえばソレノイド類) を駆動する。特別図柄始動口 1 9 , 2 1 に内蔵された検出スイッチのスイッチ信号 (始動口スイッチ信号) については、遊技盤中継基板 4 1 を経由することなく、直接、主制御基板 3 2 に入力される。

10

【 0 0 2 9 】

演出インターフェース基板 3 9 には、第 1 枠中継基板 4 3 および第 2 枠中継基板 4 4 を介して、スピーカ 1 2 (図 1 参照) および遊技ランプ 1 3 (図 1 参照) が接続されている。さらに、演出インターフェース基板 3 9 には、遊技盤 5 の盤面等に配置されたランプユニット 5 0 を駆動するためのランプ基板 4 5 が接続されている。液晶制御基板 3 4 およびランプ基板 4 5 には、電源基板 3 1 からのシステムリセット信号 S Y S および電源電圧が、演出インターフェース基板 3 9 を経由して入力される。

20

【 0 0 3 0 】

また、払出制御基板 3 5 には、遊技機 1 の外部に信号を出力するための外部端子基板 4 6 が接続されている。外部端子基板 4 6 は、たとえば遊技店のホールコンピュータ (ホールコン) に通信可能に接続されている。

図 3 に示す各基板のうち、払出制御基板 3 5 、発射制御基板 3 6 、電源基板 3 1 、第 2 枠中継基板 4 4 および外部端子基板 4 6 は、いわゆる内枠 3 に取り付けられた枠側部材 (図 3 において一点鎖線で囲んで表示) である。

【 0 0 3 1 】

これに対し、主制御基板 3 2 、演出制御基板 3 3 、液晶制御基板 3 4 、演出インターフェース基板 3 9 、ランプ基板 4 5 、主基板中継基板 3 7 、コマンド中継基板 3 8 、電源中継基板 4 0 、第 1 枠中継基板 4 3 および遊技盤中継基板 4 1 は、遊技盤 5 の背面に取り付けられた盤側部材である。

30

主制御基板 3 2 から出力された制御コマンド C M D は、コマンド中継基板 3 8 および演出インターフェース基板 3 9 を介して演出制御基板 3 3 に与えられる。主制御基板 3 2 からの制御コマンド C M D に基づいて、演出制御基板 3 3 は、第 1 枠中継基板 4 3 および第 2 枠中継基板 4 4 を介して遊技ランプ 1 3 の点灯 / 消灯およびスピーカ 1 2 (図 2 参照) の音声出力をそれぞれ制御し、また、液晶表示ユニット 1 7 の具体的な演出内容を決定し、その演出内容が記された制御コマンド C M D ' を液晶制御基板 3 4 に送信する。

【 0 0 3 2 】

演出制御基板 3 3 から出力された制御コマンド C M D ' は、演出インターフェース基板 3 9 を介して液晶制御基板 3 4 に与えられ、制御コマンド C M D ' (この場合、液晶制御用のコマンド) に基づいて、液晶制御基板 3 4 は液晶表示ユニット 1 7 の表示を制御する。

40

主制御基板 3 2 から出力された制御コマンド C M D ' ' は、主基板中継基板 3 7 を介して払出制御基板 3 5 に与えられる。払出制御基板 3 5 は、制御コマンド C M D ' ' に基づいて、賞球払出装置 2 0 の払出し動作を制御する。

【 0 0 3 3 】

電源基板 3 1 は、主基板中継基板 3 7 および電源中継基板 4 0 にそれぞれ接続されている。主基板中継基板 3 7 は、電源基板 3 1 からのシステムリセット信号 S Y S 、 R A M ク

50

リア信号 D E L、電圧異常信号 A R M、電圧降下信号 D W N、電源電圧 (D C 1 2 V、D C 3 2 V) およびバックアップ用電源電圧 B A K を、そのまま主制御基板 3 2 に出力している。同様に、電源中継基板 4 0 も、電源基板 3 1 から受けたシステムリセット信号 S Y S や交流及び直流の電源電圧を、そのまま演出インターフェース基板 3 9 に出力している。演出インターフェース基板 3 9 は、電源基板 3 1 からの電源電圧およびシステムリセット信号 S Y S を、演出制御基板 3 3 に与えている。

【 0 0 3 4 】

システムリセット信号 S Y S は、電源基板 3 1 に交流電源 2 4 V が供給開始されたことを示す電源リセット信号であり、このシステムリセット信号 S Y S によって各制御基板のマイクロコンピュータが電源リセットされるようになっている。

R A M クリア信号 D E L は、主制御基板 3 2 および払出制御基板 3 5 のマイクロコンピュータの R A M の記憶内容をそれぞれ初期化するか否かを決定する信号である。

【 0 0 3 5 】

一方、払出制御基板 3 5 は中継基板を介することなく、電源基板 3 1 に直接接続されている。払出制御基板 3 5 は、システムリセット信号 S Y S、R A M クリア信号 D E L、電圧降下信号 D W N、バックアップ用電源電圧 B A K をその他の電源電圧と共に、電源基板 3 1 に受ける。

R A M クリア信号 D E L は、主制御基板 3 2 の R A M (後述する主制御 R A M 5 3 (図 4 参照)) および払出制御基板 3 5 の R A M の全領域を初期設定するか否かを決定する信号である。遊技店の店員が操作する R A M クリアスイッチ (図示しない) のオンオフに対応してそれぞれ所定の値を示す。

【 0 0 3 6 】

電圧降下信号 D W N は、交流電源 2 4 V が降下し始めたことを示す信号であり、主制御基板 3 2 および払出制御基板 3 5 のマイクロコンピュータの入力ポートに与えられるようになっている。電圧降下信号 D W N の入力に基づき、主制御基板 3 2 および払出制御基板 3 5 では、それぞれ、バックアップ処理によって必要なデータが主制御基板 3 2 の R A M および払出制御基板 3 5 の R A M に退避される。

【 0 0 3 7 】

主制御基板 3 2 および払出制御基板 3 5 のマイクロコンピュータには、電源基板 3 1 から、直流 5 V のバックアップ用電源電圧 B A K がそれぞれ供給されている。したがって、営業終了や停電により交流電源 2 4 V が遮断された後も、主制御基板 3 2 の R A M および払出制御基板 3 5 の R A M のデータは保持される。本実施形態では、少なくとも数日は、これらの R A M の記憶内容が保持されるように設計されている。

【 0 0 3 8 】

主制御基板 3 2 および払出制御基板 3 5 は、電圧降下信号 D W N の受信に応答して、停電や営業終了に先立って必要な終了処理を開始する。これにより、前述のバックアップ用電源電圧 B A K による給電による作用と相俟って、主制御基板 3 2 および払出制御基板 3 5 は、営業開始時や停電からの復旧後速やかに電源遮断前の遊技状態 (または動作) に復帰できる。

【 0 0 3 9 】

これに対し、演出制御基板 3 3 および液晶制御基板 3 4 には、電源バックアップ機能が設けられていない。演出制御基板 3 3 および液晶制御基板 3 4 には、電源中継基板 4 0 および演出インターフェース基板 3 9 を経由してシステムリセット信号 S Y S が共通して供給されており、演出制御基板 3 3 および液晶制御基板 3 4 では、主制御基板 3 2 および払出制御基板 3 5 とほぼ同期したタイミングで電源リセット動作が実現される。

【 0 0 4 0 】

図 4 は、主制御基板 3 2 の回路構成を示すブロック図である。

主制御基板 3 2 には、ワンチップマイコンからなる遊技制御マイクロコンピュータ M C が実装されている。遊技制御マイクロコンピュータ M C は、遊技手順が記されたプログラムを実行するための主制御 C P U 5 1 と、前記のプログラムが格納された主制御 R O M 5

10

20

30

40

50

2と、作業領域やバッファメモリとして機能する主制御RAM53とを備える。また、遊技制御マイクロコンピュータMCには、クロック回路54が内蔵されており、このクロック回路54は、外部クロックを分周し、遊技制御マイクロコンピュータMCの内部にて使用するシステムクロックMCKLを生成する。さらに、遊技制御マイクロコンピュータMCには、リセット信号RSTを制御するリセットコントローラ55が内蔵されている。リセットコントローラ55の内部には、主制御CPU51の暴走を検出し、ウォッチドッグタイマリセット信号(WDTリセット信号)WDT Rを発生させるウォッチドッグタイマ回路(以下、「WDT回路」という)56が内蔵されている。リセットコントローラ55において制御されるリセット信号RSTは、WDT回路56において生成されるWDTリセット信号WDT Rだけでなく、電源基板31(図3参照)において生成されるシステムリセット信号SYSを含む。

【0041】

また、主制御基板32には、さらに、設定された所定のタイマ割込み時間毎にタイマ割込み信号を生成するCTC(Counter Timer Circuit)57と、CTC57において生成されたタイマ割込み信号を制御する割込みコントローラ58と、特別図柄の乱数抽選等に用いられる乱数を生成する乱数生成回路59と、他の基板等と通信を行うためのシリアル通信回路60とが内蔵されている。これら主制御CPU51、主制御ROM52、主制御RAM53、クロック回路54、リセットコントローラ55、WDT回路56、CTC57、割込みコントローラ58、乱数生成回路59およびシリアル通信回路60は、内部バス71を介して互いに通信可能とされている。

【0042】

リセットコントローラ55は、各種リセットと内部リセットを制御する回路である。システムリセット信号SYSがリセットコントローラ55に与えられると、リセットコントローラ55は、遊技制御マイクロコンピュータMCの内部回路のうち、WDT回路56など一部の回路を除いた全てを初期化する。一方、WDTリセット信号WDT Rがリセットコントローラ55に与えられると、リセットコントローラ55は、遊技制御マイクロコンピュータMCのうち、主制御CPU51、CTC57、割込みコントローラ58およびシリアル通信回路60をリセットする。

【0043】

主制御CPU51(の動作および内部機能)等がリセットされた後は、主制御RAM53へのアクセスが一部禁止される。具体的には、主制御RAM53の読み込み動作が許容される一方で、主制御RAM53の書き込み動作は禁止される。

図5Aは、遊技制御マイクロコンピュータMCのメモリマップを示す図である。図5Aのメモリマップには、メモリ回路(主制御ROM52および主制御RAM53の双方を含む構成)ならびに各種の機能レジスタRTを示す。図5Aに示すように遊技機メーカーが作成した制御プログラム、および当該制御プログラムが参照する固定値データは、たとえば8000H番地以降に格納される。また、主制御ROM52には、固定値データだけでなくパラメータ領域も確保されている。このパラメータ領域は、主制御CPU51のリセット時に、機能レジスタRTに転送される動作パラメータを記憶可能な領域である。動作パラメータには、たとえば、制御プログラムが機能し始めるまでの待機時間を規定する設定値が含まれる。

【0044】

図5Bは、WDT回路56の構成を示すブロック図である。図6は、WDT回路56の、より詳細な構成を示すブロック図である。図7Aは、ウォッチドッグタイマクリア回路(以下、「WDTクリア回路」という。クリア手段)63の、より詳細な構成を示すブロック図である。

図5Bに示すように、WDT回路56は、所定範囲内でカウント動作(計時動作)を行うウォッチドッグタイマ(以下、「WDT」という)61と、WDT61のタイムアウト値(タイムアウト時間の指示値)を設定するためのウォッチドッグタイマコントロールレジスタ(以下、「WDTコントロールレジスタ」という。タイムアウト値設定手段)62

と、WDT61の計時値を初期値に戻す(計時値をクリアする)WDTクリア回路63とを含む。

【0045】

WDT61は、その計時値が初期値から最終値に至る数値範囲を一巡する毎に、リセットコントローラ55にWDTリセット信号WDT Rを送出する。WDTリセット信号WDT Rがリセットコントローラ55に与えられると、リセットコントローラ55は、主制御CPU51等を強制的にリセットする。すなわち、WDTリセット信号WDT Rの出力周期毎に、主制御CPU51が繰り返しリセットされる。この実施形態では、WDT61としてたとえば100進カウンタが採用されており、初期値は「0」であり最終値は「99」である。

10

【0046】

図5Bに示すように、WDTクリア回路63はクリア信号CLR WDTを生成可能に設けられている。クリア信号CLR WDTは、WDTクリア回路63から出力されて、WDT61に与えられる。クリア信号CLR WDTがWDT61に与えられると、WDT61の計時値が初期値(「0」)に戻され(WDT61の計時動作がクリアされ)、WDT61の計時動作が初期値(「0」)から再開される。すなわち、WDTクリア回路63は、WDT61が最終値に到達する前に、クリア信号CLR WDTをWDT61に与えてWDT61の計時値を初期値に戻し、これによりWDTリセット信号WDT Rの出力を阻止している。

20

【0047】

図6に示すように、WDTクリア回路63は、主制御CPU51からクリアデータを受けて記憶するWDTクリアレジスタ(ウォッチドッグタイマ起動手段)64と、クリア処理用のキーワードを固定的に記憶するキーワードレジスタ65と、WDTクリアレジスタ64の動作順序等を制御する動作順序制御回路66と、WDTクリアレジスタ64の記憶値とキーワードレジスタ65との記憶値とが一致するか否かを判定するクリア用一致判定回路(ウォッチドッグタイマ起動手段)67とを含む。WDTクリアレジスタ64、キーワードレジスタ65等は、機能レジスタRT(図5A参照)によって実現されている。

【0048】

WDTクリア回路63では、WDTクリアレジスタ64の記憶値と、キーワードレジスタ65の記憶値とが一致する場合に、クリア用一致判定回路67から「L」レベルのクリア信号CLR WDTが出力され、これがWDT61に与えられることにより、WDT61の計時値が初期値に戻される。

30

図7Aに示すように、WDTクリアレジスタ64は、たとえば、4つの入力レジスタ71A, 72A, 73A, 74Aを含む。各入力レジスタ71A~74Aは8ビットレジスタによって構成されている。各入力レジスタ71A~74Aには、アドレス(ポート番号)N1, N2, N3, N4が付されている。入力レジスタ71A~74Aの各入力端子は主制御CPU51のデータバスに接続されている。各入力端子は、自らを選択するチップセレクト信号CS1, CS2, CS3, CS4を受けることを条件に、主制御CPU51が出力するクリアデータを記憶し出力する。チップセレクト信号CS1~CS4は、アドレスN1~N4に基づいて生成される「L」アクティブのユニーク信号である。

40

【0049】

キーワードレジスタ65は、たとえば4つのキーワードレジスタ71B, 72B, 73B, 74Bを含む。キーワードレジスタ71B~74Bは、各入力レジスタ71A~74Aに一対一対応で設けられている。各キーワードレジスタ71B~74Bは、8ビットレジスタによって構成されている。各キーワードレジスタ71B~74Bには、対応する入力レジスタ71A~74Aと同一のアドレスN1~N4が付されている。キーワードレジスタ71B~74Bの各入力端子は、「H」レベルまたは「L」レベルのいずれかに固定的に設定されている。各キーワードレジスタ71B~74Bは、自らを選択するチップセレクト信号CS1~CS4を受けることを条件に、固有のキーワードを記憶し出力する。この実施形態では、キーワードレジスタ71B, 72B, 73B, 74Bは、それぞれ、

50

「5AH」、「33H」、「55H」および「AAH」を記憶している。

【0050】

この実施形態に係る遊技機1のWDTクリア回路63には、1つのレジスタ対(第1のレジスタ対71A,71B)を用いてWDT61の計時値をクリアする単純クリアモードと、3つのレジスタ対(第2のレジスタ対72A,72B、第3のレジスタ対73A,73Bおよび第4のレジスタ対74A,74B)を用いてWDT61の計時値をクリアする循環クリアモードとが用意されている。循環クリアモードは単純クリアモードに比べ、そのセキュリティレベルが高められている。前述のようにWDT回路56には動作順序制御回路66が設けられており、この動作順序制御回路66の働きにより、循環クリアモードが実現されている。

10

【0051】

クリア用一致判定回路67は、4対のレジスタ(レジスタ対71A,71B、レジスタ対72A,72B、レジスタ対73A,73Bおよびレジスタ対74A,74B)からの出力値を受けて減算処理を実行する減算回路75と、減算回路75の出力ビット(この実施形態では8ビット)を受けてOR演算を実行するNORゲート76と、各チップセレクト信号CS1~CS4を受けてAND演算を実行するNANDゲート77と、NANDゲート77の出力およびNORゲート76の出力を受けてAND演算を実行するNANDゲート78とを含む。なお、NANDゲート78の出力が、WDT61に与えられるLアクティブのクリア信号CLRWD Tとなる。

【0052】

減算回路75は、互いに対応する入力レジスタおよびキーワードレジスタ(レジスタ対71A,71B、レジスタ対72A,72B、レジスタ対73A,73Bおよびレジスタ対74A,74B)同士の出力値を比較し、それらの減算結果を出力する。互いに対応する入力レジスタおよびキーワードレジスタ同士の出力値が一致する場合には、その減算結果として零を出力する。

20

【0053】

NORゲート76は、入力値が零である場合には「H」レベルの出力を示す。入力値が零以外である場合には「L」レベルの出力を示す。したがって、NORゲート76の出力値は通常「L」レベルを示し、互いに対応する入力レジスタおよびキーワードレジスタの出力値同士が一致する場合に限り、NORゲート76の出力値が「H」レベルを示す。

30

また、NANDゲート77では、入力4つのチップセレクト信号CS1~CS4のいずれもが「L」レベルであるとNANDゲート77の出力が「H」レベルを示す。そして、入力される4つのチップセレクト信号CS1~CS4のうちいずれかが「H」レベルになると、NANDゲート77の出力が「L」レベルに変わる。

【0054】

したがって、NANDゲート78の出力は、互いに対応する入力レジスタおよびキーワードレジスタ(レジスタ対71A,71B、レジスタ対72A,72B、レジスタ対73A,73Bおよびレジスタ対74A,74B)からの出力値が一致するタイミングでのみ、アクティブレベルである「L」レベルを示し、この「L」レベルの出力が、WDT61の計時値を初期値に戻すためのクリア信号CLRWD Tとして機能する。

40

【0055】

単純クリアモードでは、入力レジスタ71Aに、クリアデータとして「5AH」が書き込まれる。入力レジスタ71Aに書き込まれたクリアデータと、キーワードレジスタ71Bに記憶されているクリアデータ(「5AH」と)が一致する結果、減算回路75(図7A参照)から一致データである零が出力され、これにより、NANDゲート78からアクティブレベルのクリア信号CLRWD Tが出力される。クリア信号CLRWD TがWDT61に与えられることにより、WDT61の計時値が初期値に戻され、これにより、主制御CPU51がリセットされることが回避される。

【0056】

一方、循環クリアモードでは、入力レジスタ72Aに「33H」を書き込んでWDT6

50

1の計時値をクリアする1回目のクリア処理と、入力レジスタ73Aに「55H」を書き込んでWDT61の計時値をクリアする2回目のクリア処理と、入力レジスタ74Aに「AAH」を書き込んでWDT61の計時値をクリアする3回のクリア処理とが循環的に繰り返される。

【0057】

具体的には、1回目のクリア処理では、入力レジスタ72Aに、クリアデータとして「33H」が書き込まれる。この場合、入力レジスタ72Aに書き込まれたクリアデータと、キーワードレジスタ72Bに記憶されているクリアデータ（「33H」）とが一致する結果、減算回路75（図7A参照）から一致データである零が出力される。その後のWDTクリアレジスタ64に対するクリアデータの書き込みは、入力レジスタ73Aに対する書き込みのみが許容される。

10

【0058】

2回目のクリア処理では、入力レジスタ73Aに、クリアデータとして「55H」が書き込まれる。この場合、入力レジスタ73Aに書き込まれたクリアデータと、キーワードレジスタ73Bに記憶されているクリアデータ（「55H」）とが一致する結果、減算回路75（図7A参照）から一致データである零が出力される。その後のWDTクリアレジスタ64に対するクリアデータの書き込みは、入力レジスタ74Aに対する書き込みのみが許容される。

【0059】

3回目のクリア処理では、入力レジスタ74Aに、クリアデータとして「AAH」が書き込まれる。この場合、入力レジスタ74Aに書き込まれたクリアデータと、キーワードレジスタ74Bに記憶されているクリアデータ（「AAH」）とが一致する結果、減算回路75（図7A参照）から一致データである零が出力される。その後のWDTクリアレジスタ64に対するクリアデータの書き込みは、入力レジスタ72Aに対する書き込みのみが許容される。

20

【0060】

図5Bに示すように、WDT回路56は、さらに、クロック生成回路54から分周されるシステムクロックMCKLのパルス周期を予め定められた分周比に分周するプリスケアラ81と、プリスケアラ81の出力クロックのパルス周期を設定された分周比で分周してWDT61に出力するポストスケアラ（プログラマブル・ポストスケアラ）82とを含む。また、WDTコントロールレジスタ62は、ポストスケアラ82の分周比やその他の動作パラメータを記憶する分周比設定レジスタ83を含む。分周比設定レジスタ83は、機能レジスタRT（図5A参照）によって実現されている。

30

【0061】

この実施形態では、分周比設定レジスタ83は、「10」～「1270」の間で任意の分周比を設定可能に設けられている。すなわち、WDT61に与えられるクロックのパルス周期を、遊技機メーカ側で設定することが可能である。これにより、WDTリセット信号WDRの出力周期（すなわち、タイムアウト時間）を遊技機メーカ側で設定することが可能である。分周比設定レジスタ83には、所定のデフォルト値（たとえば、分周比「50」）が設定されており、電源投入時のリセット直後には、分周比設定レジスタ83の値はデフォルト値に設定される。その後、主制御CPU51によって設定入力レジスタ84に分周比データが書き込まれると、当該分周比データに対応する分周比が分周比設定レジスタ83に設定される。

40

【0062】

この実施形態では、プリスケアラ81に入力されるシステムクロックMCKLはたとえば20MHzである。また、プリスケアラ81による分周比は、たとえば2000である。したがって、プリスケアラ81からポストスケアラ82に与えられるクロックのパルス周期は、たとえば100μsecである。この入力クロックのパルス周期が、ポストスケアラ82によって分周されて、1msec～127msecのパルス周期を有するクロックがポストスケアラ82から出力される。そのため、100進カウンタからなるWDT6

50

1の一巡周期は、0.1sec~12.7secの範囲になる。したがって、WDTリセット信号WDTRの出力周期(すなわち、タイムアウト時間)は、0.1sec~12.7secの範囲になる。

【0063】

図6に示すように、WDTコントロールレジスタ62は、さらに、主制御CPU51が分周比データを書き込むための設定入力レジスタ84(図5Bも併せて参照)と、設定入力レジスタ84の出力値を記憶する分周比制御レジスタ85と、分周比制御レジスタ85の出力値と設定入力レジスタ84への入力値とを比較する入力用一致判定回路86と、入力用一致判定回路86の出力値をS入力端子に受けるRSフリップフロップ87とを含む。設定入力レジスタ84および分周比制御レジスタ85は、機能レジスタRT(図5A参照)によって実現されている。

10

【0064】

分周比制御レジスタ85の出力は、入力用一致判定回路86および分周比設定レジスタ83にそれぞれ与えられる。分周比設定レジスタ83は、クロック端子CKに「L」レベルの信号を受けると、入力端子の信号をラッチする。そのため、分周比設定レジスタ83において、分周比制御レジスタ85の出力値と設定入力レジスタ84の入力値とが一致するタイミングで、分周比制御レジスタ85の出力値が記憶される。

【0065】

入力用一致判定回路86は、分周比制御レジスタ85の出力値と設定入力レジスタ84の入力値とが一致する場合には、入力用一致判定回路86の制御端子OE(output enable)が「H」レベルであることを条件に「L」レベルの判定値を出力し、それ以外のタイミングでは「H」レベルの判定値を出力する。入力用一致判定回路86の判定出力は、分周比設定レジスタ83のクロック端子CKに付与される。

20

【0066】

RSフリップフロップ87のR入力端子は、「H」レベルに固定されている。また、RSフリップフロップ87のQバー出力端子は、NOTゲートによる遅延回路を經由してANDゲート88の第1の入力端子に接続されている。電源投入時には、RSフリップフロップ87はクリア端子CLRにシステムリセット信号SYSを受け、電源リセットされる。電源投入後には、RSフリップフロップ87のQバー出力端子は「H」レベルを示す。すなわち、電源投入後には、ANDゲート88の第1の入力端子は「H」レベルを維持する。

30

また、設定入力レジスタ84および分周比制御レジスタ85は、主制御CPU51が出力するチップセレクト信号CSに基づいて、データバスの分周比データをラッチする。具体的には、設定入力レジスタ84は、チップセレクト信号CSの立ち下がりエッジで、分周比データをラッチする。また、分周比制御レジスタ85は、適宜に遅延されたチップセレクト信号CSの立ち上がりエッジで、分周比データをラッチする。

【0067】

一方、論理反転されたチップセレクト信号CS'は、ANDゲート88の第2の入力端子に与えられる。前述したように、ANDゲート88の第1の入力端子は電源リセット後に「H」レベルを維持するので、論理反転されたチップセレクト信号CS'は、そのレベルのまま、入力用一致判定回路86の制御端子OEに与えられる。

40

入力用一致判定回路86の制御端子OEは、入力用一致判定回路86の出力動作を制御する機能を有しており、チップセレクト信号CSが定常レベル(「H」レベル)に戻ったタイミングで、論理反転されたチップセレクト信号CS'と共に「L」レベルに戻る。すなわち、入力用一致判定回路86の出力は、論理反転されたチップセレクト信号CS'の変化に応じて定常レベル(「H」レベル)に戻る。

【0068】

図7Bは、WDTコントロールレジスタ62の内容を示す図である。以下、図6および図7Bを参照しながら説明する。

WDTコントロールレジスタ62のビットは、タイムアウト値を設定するためのビット

50

であり、換言すると、分周比データを書き込むための設定入力レジスタ84（図5Bおよび図6参照）である。WDTコントロールレジスタ62のビットには、「00H（すなわち「0」）」～「7FH（すなわち「127」）」の分周比データがタイムアウト値として書き込み可能である。この実施形態では、WDTコントロールレジスタ62（設定入力レジスタ84）に書き込まれた分周比データの値（タイムアウト値）に10を乗じた数が、分周比として分周比設定レジスタ83に設定される。そのため、この実施形態では、WDTコントロールレジスタ62に書き込まれた分周比データの値（タイムアウト値）に0.1secを乗じた時間が、WDTリセット信号WDTRの出力周期（すなわち、タイムアウト時間）になる。したがって、たとえばタイムアウト時間として0.1secを設定する場合（分周比「10」を設定する場合）には、主制御CPU51は分周比データとして「01H」を書き込み、タイムアウト時間として12.7secを設定する場合（分周比「1270」を設定する場合）には、主制御CPU51は分周比データとして「7FH」を書き込む。

10

【0069】

図7Cは、WDTモード設定レジスタ70の内容を示す図である。WDTモード設定レジスタ70のビットは、クリアモードを設定するためのビットであり、動作順序制御回路66の一部を構成している。WDTモード設定レジスタ70のビットに「00H（すなわち「0」）」が設定されると、前述の単純クリアモードが実行される。一方、WDTモード設定レジスタ70のビットに「01H（すなわち「1」）」が設定されると、前述の循環クリアモードが設定される。

20

【0070】

単純クリアモードでは、WDT61の設定時間内に、主制御CPU51がWDTクリアレジスタ64のシンボル「WDTCLR0」にクリアデータとして「5AH」を書き込むことにより、WDT61の計時値が初期値に戻される。

循環クリアモードでは、WDT61の設定時間内に主制御CPU51がWDTクリアレジスタ64のシンボル「WDTCLR1」にクリアデータとして「33H」を書き込むことによりWDT61の計時値が初期値に戻され、その次の設定時間内にWDT61の設定時間内に主制御CPU51がWDTクリアレジスタ64のシンボル「WDTCLR2」にクリアデータとして「55H」を書き込むことによりWDT61の計時値が初期値に戻され、その次の設定時間内にWDT61の設定時間内に主制御CPU51がWDTクリアレジスタ64のシンボル「WDTCLR3」にクリアデータとして「AAH」を書き込むことによりWDT61の計時値が初期値に戻される。

30

【0071】

次に、主制御CPU51による分周比データの書き込み動作について説明する。

主制御CPU51は、同一の分周比データを所定時間以内に2回続けて設定入力レジスタ84に書き込む。これにより、入力された分周比データが分周比設定レジスタ83に記憶され、当該分周比データに対応するポストスケアラ82の分周比が、分周比設定レジスタ83に設定される。

【0072】

具体的には、各書き込み動作において、チップセレクト信号CSの立ち下がりエッジで分周比データが設定入力レジスタ84（WDTクリアレジスタ64）にラッチされる。また、ラッチされた分周比データは、遅延状態のチップセレクト信号CSの立ち上がりエッジで分周比制御レジスタ85（WDTクリアレジスタ64）にラッチされる。分周比制御レジスタ85に記憶された分周比データは、WDTクリア回路63のクリア用一致判定回路67に送出される。

40

【0073】

クリア用一致判定回路67は、同一の分周比データが続けて与えられた場合には、同一の分周比データが2回続けてWDTクリアレジスタ64に書き込まれたとして（正常な設定処理が実行として）、クリア用一致判定回路67の出力は「L」レベルに変化する。クリア用一致判定回路67の出力の立ち下がりエッジに同期して、1回目に出力された分周

50

比データが分周比設定レジスタ 8 3 に記憶される。

【 0 0 7 4 】

主制御 CPU 5 1 が設定入力レジスタ 8 4 に、「 0 0 H (すなわち「 0 」)。特定値」を除く同一の分周比データ(「 0 1 H (すなわち「 1 」) ~ 「 7 F H (すなわち「 1 2 7 」)を所定時間以内に 2 回続けて書き込むことにより、分周比設定レジスタ 8 3 に分周比(タイムアウト値)が設定される。また、零を除く分周比が分周比設定レジスタ 8 3 に設定されることにより、W D T 6 1 が起動する。すなわち、ウォッチドッグタイマ起動手段は、零を除く分周比(タイムアウト値)が分周比設定レジスタ 8 3 に設定されることにより実現されている。

【 0 0 7 5 】

一方、設定入力レジスタ 8 4 に分周比データ(タイムアウト値)として「 0 0 H (すなわち「 0 」)。特定値」が所定時間以内に 2 回続けて書き込まれることにより、分周比設定レジスタ 8 3 に分周比として零が設定される。この場合、W D T 6 1 は起動しなくなる。

R S フリップフロップ 8 7 は、クリア用一致判定回路 6 7 の出力が「 L 」レベルに変化すると、「 L 」レベルの S 端子入力に基づいてセット動作をするように設けられている。したがって、同一の分周比データ(「 0 」以外の分周比データ)が続けて与えられることに基づいてクリア用一致判定回路 6 7 の出力が「 L 」レベルに変化した後は、R S フリップフロップ 8 7 の Q バー出力が「 L 」レベルに変化し、この変化が A N D ゲート 7 4 に伝わることにより、クリア用一致判定回路 6 7 の制御端子 O E が「 L 」レベルになる。これに伴い、クリア用一致判定回路 6 7 の出力は「 H 」レベルに復帰する。これに対し、R S フリップフロップ 8 7 の Q バー出力は、その後も「 L 」レベルに維持されており、その後クリア用一致判定回路 6 7 が機能することはない。

【 0 0 7 6 】

したがって、W D T 6 1 の計時開始後(W D T 6 1 の起動後)は、分周比設定レジスタ 8 3 に設定されている分周比(タイムアウト値)を変更することはできない。そのため、W D T 6 1 の起動後に、分周比設定レジスタ 8 3 に設定されている分周比とは異なる分周比に対応する分周比データを設定入力レジスタ 8 4 に書き込んでも、分周比設定レジスタ 8 3 に設定されている分周比を変更することはできない。

【 0 0 7 7 】

また、W D T 6 1 の起動後は、分周比設定レジスタ 8 3 に設定されている分周比を変更できないので、W D T 6 1 の起動後に「 0 0 H (すなわち「 0 」)。特定値」が W D T コントロールレジスタ 6 2 に 2 回続けて書き込まれても、W D T 6 1 の計時動作は停止しない。つまり、W D T 6 1 の起動後には、計時動作を停止することはできない。換言すると、W D T 6 1 は一度起動すると、その後、電源供給が続いている限り、計時動作を続行する。

【 0 0 7 8 】

図 8 A および図 8 B は、主制御基板 3 2 におけるシステムリセット処理の内容を示すフローチャートである。図 3、図 4、図 8 A および図 8 B を参照しながら、システムリセット処理について説明する。

システムリセット処理の実行は、主制御基板 3 2 のリセットコントローラ 5 5 に対する、システムリセット信号 S Y S や W D T リセット信号 W D T R の入力に基づいて開始される。

【 0 0 7 9 】

リセットコントローラ 5 5 にシステムリセット信号 S Y S や W D T リセット信号 W D T R が入力されると、主制御 CPU 5 1 は、最初に自らを、割込み禁止状態に設定し(ステップ S 1)、その後、ステップ S 2 の各処理に移行する。ステップ S 2 では、次に述べる各処理が行われる。すなわち、主制御 CPU 5 1 は、割込みモードを設定する(割込みモード設定)。また、主制御 CPU 5 1 内のレジスタ値等を初期設定する(各種初期設定)。また、主制御 CPU 5 1 の内部のスタックポインタの値を、スタック領域の最終アドレ

10

20

30

40

50

ス(たとえば8000H)に設定する(スタックポインタ設定)。さらに、主制御CPU51は、内部ハード乱数回路を起動させる(内部ハード乱数設定)。

【0080】

そして、主制御基板32が電源基板31からのRAMクリア信号DELを受信している場合には、主制御CPU51は、RAMクリア信号DELを読み込み、そのRAMクリア信号DELのレベルをチェックする(ステップS3)。

次いで、主制御CPU51は、サブ制御基板33,34の起動待ち時間をセットする(ステップS4)。そして、セットした起動待ち時間を1減算し(ステップS5)、かつWDTクリア回路63がクリア信号CLRWDTをWDT61に与えてWDT61の計時値をクリアし(ステップS6)、セットした起動待ち時間が零になるまでステップS5およびステップS6の各処理を繰り返す(ステップS7)。換言すると、WDT61の計時値をクリアしながら、セットした起動待ち時間が経過するのを待つ。

10

【0081】

WDT61が既に起動している場合には、クリア信号CLRWDTがWDT61に与えられることによりWDT61の計時値が初期値に戻される。

セットした起動待ち時間が零になると(ステップS7でYES)、次いで、主制御CPU51は、電源基板31(図3参照)から送信されてくる電圧異常信号ARMを2回読み込む(ステップS8)。そして、その2回読み込んだ電圧異常信号ARMのレベルが一致するか否かを参照し(ステップS9)、これらのレベルが不一致の場合(ステップS9でNO)には、ステップS8の処理に戻り、これらのレベルが一致している場合(ステップS9でYES)には、その電圧異常信号ARMを内部レジスタ(図示しない)内に格納し、その電圧異常信号ARMのレベルを参照する(ステップS10)。電圧異常信号ARMのレベルが「H」レベルである場合(ステップS10でYES)には、ステップS8の処理に戻る。換言すると、主制御CPU51は、電圧異常信号ARMが正常レベル(すなわち「L」レベル)に変化するまで同一の処理を繰り返す(ステップS8~S10)。

20

【0082】

電圧異常信号ARMのレベルが「L」レベルになると(ステップS10でNO)、主制御CPU51は、主制御RAM53のプロテクトを有効とすると共に、主制御RAM53の禁止領域を無効とする(ステップS11)。これにより、以降の処理において、主制御RAM53へのデータ書込みが禁止される。

30

次いで、WDTクリア回路63がクリア信号CLRWDTをWDT61に与えてWDT61の計時値をクリアし(ステップS12)、主制御CPU51は、払出制御基板35から送信されてくる電源投入信号を参照し(ステップS13)、電源投入信号がオフであれば(ステップS13でNO)、電源投入信号がオンになるまでステップS12およびステップS13の処理を繰り返す。換言すると、WDT61の計時値をクリアしながら、払出制御基板35が起動するのを待つ。WDT61が既に起動している場合には、クリア信号CLRWDTがWDT61に与えられることによりWDT61の計時値が初期値に戻される。

【0083】

払出制御基板35が起動し、その結果電源投入信号がオンになると(ステップS13でYES)、次いで、主制御CPU51は、電源基板31から送信されてきているRAMクリア信号のレベルを参照し(ステップS14)、RAMクリア信号がオンであれば(ステップS14でYES)、主制御CPU51は、主制御RAM53内の全領域を全てクリアするRAMクリア時処理を行う(ステップS18)。

40

【0084】

一方、電源基板31から送信されてきているRAMクリア信号がオフである場合(ステップS14でNO)には、主制御CPU51は、バックアップフラグの内容を判定する(ステップS15)。なお、このバックアップフラグとは、異常電源チェック処理(図9のステップT1)の動作が実行されたか否かを示すデータである。バックアップフラグがオフである場合(ステップS15でNO)には、主制御CPU51は、ステップS18のR

50

A Mクリア時処理を行う。

【 0 0 8 5 】

一方、バックアップフラグがオンである場合（ステップ S 1 5 で Y E S ）には、主制御 C P U 5 1 は、チェックサム値を算出するためのチェックサム演算（主制御 R A M 5 3 の作業領域を対象とする 8 ビット加算演算）を行い、その演算結果（チェックサム値）を主制御 R A M 5 3 内の S U M 番地の記憶値と比較する（ステップ S 1 6 ）。なお、記憶された演算結果は、主制御 R A M 5 3 内に記憶されている他のデータと共に、電源基板 3 1 において生成されるバックアップ電圧によって維持されている。

【 0 0 8 6 】

この S U M 番地の記憶値と上記ステップ S 1 3 の処理にて算出されたチェックサム値が不一致である場合（ステップ S 1 6 で N O ）には、主制御 C P U 5 1 は、ステップ S 1 8 の R A M クリア時処理を行う。

一方、チェックサム値が一致している場合（ステップ S 1 6 で Y E S ）には、主制御 C P U 5 1 は、主制御 R A M 5 3 内に記憶されているデータに基づいて電源遮断時の遊技動作に復帰させるバックアップ復帰時処理を行う（ステップ S 1 7 ）。

【 0 0 8 7 】

ステップ S 1 7 またはステップ S 1 8 の処理後、主制御 C P U 5 1 は、主制御 R A M 5 3 のプロテクトを無効とすると共に、主制御 R A M 5 3 の禁止領域を有効とする（ステップ S 1 9 ）。これにより、以降の処理において、主制御 R A M 5 3 へのデータ書込みが許容される。

次いで、主制御 C P U 5 1 は、4 m s 毎に定期的にタイマ割込みがかかるように C T C 5 7（図 4 参照）に所定時間を設定する（ステップ S 2 0 ）と共に、W D T コントロールレジスタ 6 2 に、「0 0 H（すなわち「0」）」を除く分周比データ（「0 1 H（すなわち「1」）」～「7 F H（すなわち「1 2 7」）」に対応する分周比（1 0 ～ 1 2 7 0 ）を分周比設定レジスタ 8 3 に設定する。W D T 6 1 の未起動状態では、分周比（1 0 ～ 1 2 7 0 ）の設定により、W D T 6 1 が起動する（ステップ S 2 0 ）。

【 0 0 8 8 】

また、ノイズ等の何らかの原因によりリセットされた場合においては、W D T 6 1 が既に起動された状態ではあるが、W D T コントロールレジスタ 6 2 に値をセットしても、W D T 6 1 の動作を変更することはできないため、W D T 6 1 の動作に影響を及ぼすことはない。

次いで、主制御 C P U 5 1 は、自身への割込みを禁止状態にセットした状態（ステップ S 2 1 ）で、各種の乱数カウンタの更新処理を行う（ステップ S 2 2 ）。この各種乱数更新処理には、普通図柄の当否抽選に使用する普通図柄当り判定用乱数の初期値変更に使用する普通図柄当り判定用初期値乱数の更新や、特別図柄変動パターンコマンドを決定するための抽選に使用する変動パターン用乱数値の更新等が含まれる。

【 0 0 8 9 】

更新処理の終了後、主制御 C P U 5 1 を割込み許可状態に戻して（ステップ S 2 3 ）、ステップ S 1 8 に戻る。そして、ステップ S 2 1 ～ S 2 3 の処理が繰り返される。

次に、メイン処理を中断させて 4 m s e c 毎に実行開始されるタイマ割込処理のプログラムについて説明する。なお、この明細書では、システムリセット処理における、ステップ S 2 1 ～ S 2 3 の処理に入る前の一連の処理（ステップ S 1 ～ S 2 0 の処理）を、「初期設定」という場合がある。

【 0 0 9 0 】

図 9 は、主制御基板 3 2 によるタイマ割込処理の流れを示すフローチャートである。図 2、図 3、図 4 および図 9 を参照しながら、タイマ割込処理の流れについて説明する。

タイマ割込処理が開始されると、主制御 C P U 5 1 のレジスタを保存することなく、速やかに異常電源チェック処理が実行される（ステップ T 1 ）。異常電源チェック処理においては、主制御基板 3 2 に接続された電源基板 3 1 から主制御基板 3 2 に供給されている電圧降下信号 D W N のレベルが判定される。この電圧降下信号 D W N のレベルが電源遮断

10

20

30

40

50

を示すレベルであることが1回または複数回のタイマ割込処理に跨って検出されると、その後バックアップ処理（後述する）に移行する。

【0091】

一方、電圧降下信号DWNが電源遮断を示さないレベルであることが判定された場合は、遊技動作の時間を管理している各タイマについて、タイマの減算（更新）が行われる（T2：タイマ管理処理）。ここで減算されたタイマは、特別入賞口24の開放時間、普通図柄の変動時間、特別図柄の変動時間等の遊技演出時間、不正情報タイマ等を管理するために使用されるタイマである。

【0092】

次いで、入力管理処理が実行される（ステップT3）。入力管理処理は、遊技機1に設けられた各種センサの検出出力の内容（たとえば、各種検出センサがオンオフ信号を出力する場合にはオン/オフや、その立ち上がり状態）を記憶したり、その信号に基づくデータを定期的に更新したりする処理である。

次いで、後述する普通図柄管理処理（ステップT7）における普通図柄判定処理で使用される普通当り判定用乱数カウンタの値や、特別図柄管理処理（ステップT9）における大当り判定用乱数判定処理で使用される大当り判定用乱数カウンタの値が更新される（T4：タイマ割込内乱数管理処理）。

【0093】

次いで、賞球払出装置20に遊技球を供給するための球供給機構（図示しない）に対する遊技球の補給停止の有無や遊技球の詰まりの有無を判定するエラー管理処理が行われる（ステップT5）。このエラー管理処理においては、遊技機1の内部の異常発生の有無も判定されるようになっている。

次いで、入賞口（特別図柄始動口19, 21、特別入賞口24等）への入賞に対し、入賞情報の確認および指令信号データの作成を行う賞球管理処理が行われる（ステップT6）。賞球管理処理においては、各入賞口19, 21, 24等に関連して設けられた球検出用のセンサ等の検出出力が主制御基板32に入力されると、主制御基板32の主制御CPU51が、これらの検出出力に基づいて、払出個数を賞球払出装置20に指示するための指令信号データを作成する。

【0094】

次いで、普通図柄管理処理が行われる（ステップT7）。普通図柄管理処理においては、ステップT4のタイマ割込内乱数管理処理によって更新された普通当り判定用乱数カウンタから取得された普通図柄判定用乱数の値を普通当り数値と対比する。そして、当りと判定された場合には、開閉手段22の開動作に向けた処理が実行されるとともに、その後、開閉手段22の開動作を実現するための処理が実行される（T8：普通電動役物管理処理）。

【0095】

普通電動役物管理処理の終了後には、次いで、特別図柄管理処理が行われる（ステップT9）。この特別図柄管理処理においては、第1特別図柄始動口19への入賞に伴う一連の抽選処理、および第2特別図柄始動口21への入賞に伴う一連の抽選処理が順に実行される。

次いで、特別図柄管理処理に含まれる大当り判定用乱数判定処理において大当りであると判定された場合には、その後、特別入賞口24の開放動作に向けた処理が実行され、その後特別入賞口24の開放動作を実現するための処理が実行される（T10：特別電動役物管理処理）。

【0096】

次いで、右打ち報知情報管理処理が行われる（ステップT11）。この右打ち報知情報管理処理においては、たとえば、特別入賞口24が開動作される場合や、開閉手段22が開動作させられる場合（開放延長状態中）など、右打ち遊技が有利な状況において右打ち指示報知を行う「右打ち報知演出」を出現させるための処理を行う。

次いで、主制御基板32にて管理する所定のランプ（遊技ランプ13等）に点灯動作や

10

20

30

40

50

消灯動作を行わせるランプ管理処理が実行される（ステップ T 1 2）。

【 0 0 9 7 】

次いで、開閉手段 2 2、特別入賞口開閉役物 2 5 等を駆動するソレノイドを管理するソレノイド管理処理が実行される（ステップ T 1 3）。

次いで、W D T クリア回路 6 3 が W D T 6 1 の計時値をクリアする（ステップ T 1 4）。これにより、W D T 6 1 の計時動作がリセットされる。具体的には、W D T クリア回路 6 3 において生成されたクリア信号 C L R W D T が W D T 6 1 に与えられ、これにより W D T 6 1 の計時値が初期値に戻される。

【 0 0 9 8 】

次いで、主制御 C P U 5 1 を割込み許可状態に戻した後（ステップ T 1 5）、タイマ割込処理を終える。これにより、タイマ割込処理のルーチンを脱し、無限ループのメイン処理が実行される。このメイン処理においては、各種の乱数カウンタの更新処理が行われる。

10

図 1 0 は、電源異常チェック処理の流れを示すフローチャートである。図 3、図 4 および図 1 0 を参照しながら、電源異常チェック処理の流れについて説明する。

【 0 0 9 9 】

電源異常チェック処理では、主制御 C P U 5 1 は、まず電源基板 3 1（図 3 参照）から送信されてくる電圧異常信号 A R M を 2 回読み込む（ステップ E 1）。そして、その 2 回読み込んだ電圧異常信号 A R M のレベルが一致するか否かを判断し（ステップ E 2）、これらのレベルが不一致の場合（ステップ E 2 で N O）にはステップ E 1 の処理に戻り、これらのレベルが一致している場合（ステップ E 2 で Y E S）には、その電圧異常信号 A R M を内部レジスタ（図示しない）内に格納し、その電圧異常信号 A R M のレベルを確認する（ステップ E 3）。

20

【 0 1 0 0 】

内部レジスタ（図示しない）内に格納した電圧異常信号 A R M のレベルが「 L 」レベルである場合（ステップ E 3 で N O）には、主制御 C P U 5 1 は、電源異常確認カウンタの値をクリアする（ステップ E 5）と共に、バックアップフラグをオン状態にする（ステップ E 6）。その後、図 1 0 の電源異常チェック処理はリターンされる。

一方、内部レジスタ（図示しない）内に格納した電圧異常信号 A R M のレベルが「 H 」レベルである場合（ステップ E 3 で Y E S）には、主制御 C P U 5 1 は、電源異常確認カウンタの値をインクリメント（+ 1）し（ステップ E 4）、次いで、電源異常確認カウンタの値が 2 に達しているか否かを判断する（ステップ E 7）。電源異常確認カウンタの値が 2 未満である場合（ステップ E 7 で N O）には、そのまま図 1 0 の電源異常チェック処理はリターンされ、電源異常確認カウンタの値が「 2 」に達している場合には、主制御 C P U 5 1 は、主制御 R A M 5 3 内に記憶されているデータのバックアップ処理を行う（ステップ E 8 ~ ステップ E 1 0）。

30

【 0 1 0 1 】

具体的には、電源異常確認カウンタの値をクリアする処理が実行され（ステップ E 8）、かつバックアップフラグがオン状態にされる（ステップ E 9）。そして、主制御 C P U 5 1 は、主制御 R A M 5 3 の作業領域に対して連続して 8 ビット加算を実行することにより、チェックサムを演算する（ステップ E 1 0）。また、主制御 C P U 5 1 は、その演算結果（S U M 番地）をチェックサム値として主制御 R A M 5 3 の S U M 記憶領域に記憶する（ステップ E 1 0）。バックアップ処理後、主制御 C P U 5 1 は、電源が遮断したことを報知する電源断コマンドを、演出インターフェース基板 3 9 に送出する（ステップ E 1 1）。

40

【 0 1 0 2 】

次いで、主制御 C P U 5 1 は、主制御 R A M 5 3 のプロテクトを有効とすると共に、主制御 R A M 5 3 の禁止領域を無効とする（ステップ E 1 2）。これにより、以降の処理において、主制御 R A M 5 3 へのデータ書込みが禁止される。また、主制御 C P U 5 1 は、全ての出力ポートの出力データをクリアする（ステップ E 1 3）。そして、主制御 C P U

50

5 1 は、C T C 5 7 に対する設定処理によってタイマ割込みを禁止する（ステップ E 1 4）。その後、無限ループ処理を繰り返し、電源電圧が低下して主制御 C P U 5 1 が非動作状態になるのを待つ。

【 0 1 0 3 】

このとき、主制御 C P U 5 1 が非動作状態になる前に W D T 6 1 がタイムアウトする場合があります。この場合、主制御 C P U 5 1 はリセットされ、再度、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）の動作を開始するが、電源電圧が十分に低下した時点で、主制御 C P U 5 1 は非動作状態になる。

この実施形態では、W D T 6 1 の計時値が、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）中においてクリアされる。仮に、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）中における W D T クリア（ステップ S 6 , S 1 2）を設けず、W D T 6 1 の計時値のクリアを、タイマ割込み処理（図 9 参照）内（ステップ T 4）でのみ行うとすると、次に述べるような問題が発生する。

【 0 1 0 4 】

すなわち、W D T 6 1 の起動後に、ノイズ等の発生に起因して、遊技制御マイクロコンピュータ M C のリセットコントローラ 5 5 にシステムリセット信号 S Y S が与えられると、主制御 C P U 5 1 の動作がリセットされ、主制御 C P U 5 1 は、プログラムを初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）から再度実行する。一方、前述のように W D T 6 1 は一度起動させると電源供給が続いている限り計時動作を実行し続けるので、実行するプログラムが初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）に戻るのにも拘らず、W D T 6 1 は起動したままであり計時動作を実行し続けている。そのため、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）中において W D T 6 1 による計時がタイムアウトし、W D T 6 1 により主制御 C P U 5 1 がリセットされる。その後も、W D T 6 1 のタイムアウトとそれに起因する主制御 C P U 5 1 のリセットとが繰り返され、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）を抜け出すことができず、その結果、遊技機 1 が正常動作に復帰できないおそれがある。

【 0 1 0 5 】

とくに、サブ制御基板 3 3 , 3 4 の起動待ち時間が比較的長く設定されているため、サブ制御基板 3 3 , 3 4 の起動待ち中（図 8 A のステップ S 7 で N O）において、W D T 6 1 がタイムアウトするおそれがある。また、払出制御基板 3 5 からの電源投入信号受信のための待ち時間が比較的長いので、この電源投入信号受信のための待ち時間中（図 8 B のステップ S 1 3 で N O）において、W D T 6 1 がタイムアウトするおそれがある。

【 0 1 0 6 】

これに対し、この実施形態によれば、W D T 6 1 の計時値が、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）中においてクリアされる。これにより、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）中において、W D T 6 1 のタイムアウトとそれに起因する主制御 C P U 5 1 のリセットとが繰り返される事態を防止でき、ゆえに、遊技機 1 を正常動作に良好に復帰させることができる。

【 0 1 0 7 】

とくに、この実施形態では、サブ制御基板 3 3 , 3 4 の起動待ち中（図 8 A のステップ S 7 で N O）において、W D T 6 1 の計時値のクリアを行う（図 8 A のステップ S 6）。そのため、比較的長時間を要する、演出制御基板 3 3 の起動待ち中において、W D T 6 1 がタイムアウトすることを防止できる。

また、電源投入信号受信のための待ち時間中（図 8 B のステップ S 1 3 で N O）においても、W D T 6 1 の計時値のクリアを行う（図 8 B のステップ S 1 2）。そのため、比較的長時間を要する、電源投入信号受信のための待ち時間中において、W D T 6 1 がタイムアウトすることを防止できる。これらにより、初期設定（図 8 A および図 8 B のステップ S 1 ~ S 2 0）中において、W D T 6 1 がタイムアウトすることを、より効果的に防止できる。

【 0 1 0 8 】

以上、この発明の一実施形態について説明したが、この発明は他の形態で実施することもできる。

たとえば処理設定中におけるWDT 61の計時値のクリアを、サブ制御基板33, 34の起動待ち中(図8AのステップS7でNO)と、電源投入信号受信のための待ち時間中(図8BのステップS13でNO)との双方ではなく、これらの一方においてのみ行うようにしてもよい。

【0109】

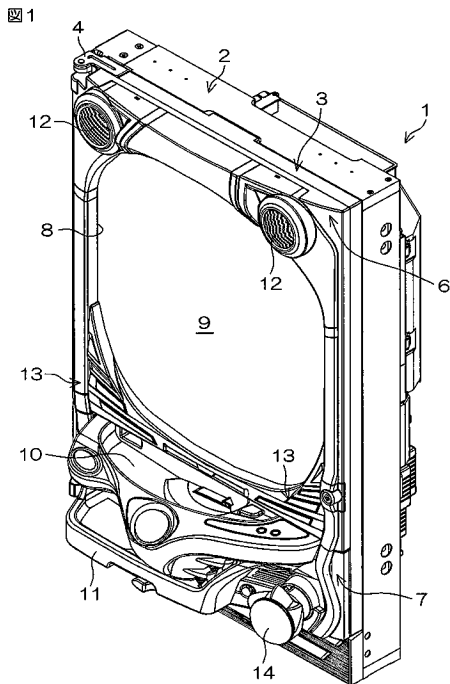
その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【符号の説明】

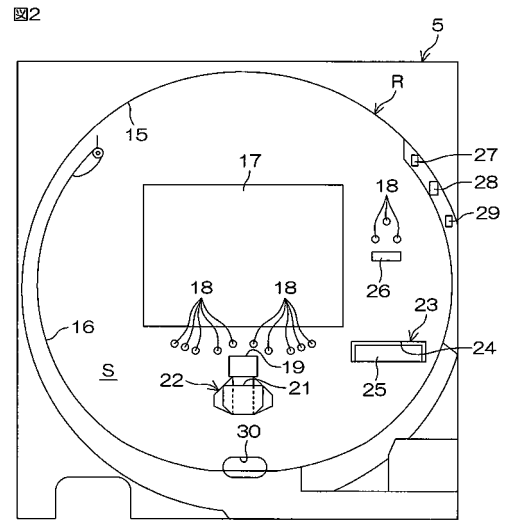
【0110】

- 32 : 主制御基板(主制御手段)
- 51 : 主制御CPU
- 55 : リセットコントローラ
- 56 : WDT回路
- 61 : WDT
- 63 : WDTクリア回路(クリア手段)
- 64 : WDTクリアレジスタ(ウォッチドッグタイマ起動手段)
- 67 : クリア用一致判定回路(ウォッチドッグタイマ起動手段)

【図1】



【図2】



【 図 3 】

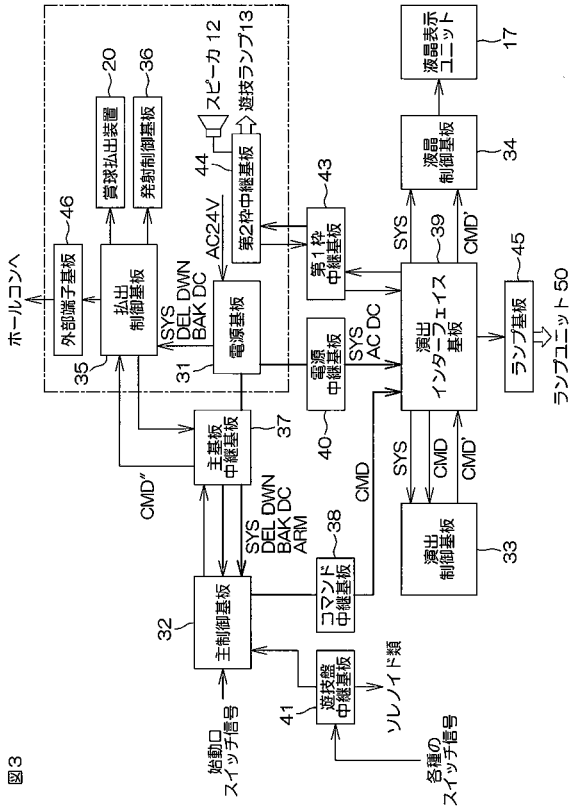


図 3

【 図 4 】

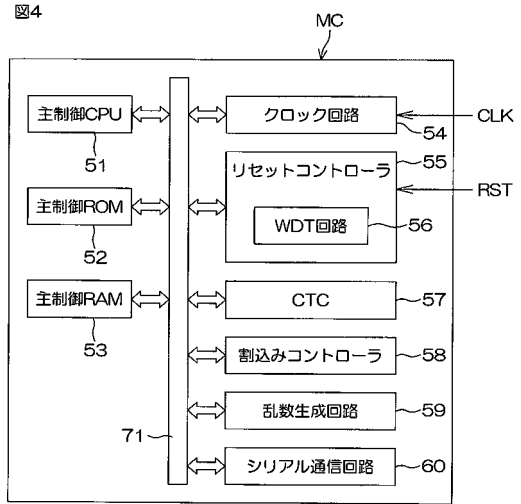


図 4

【 図 5 A 】

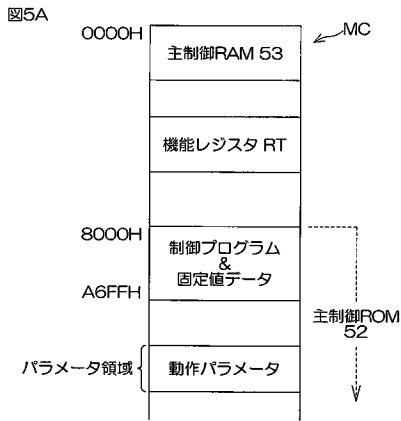


図 5A

【 図 5 B 】

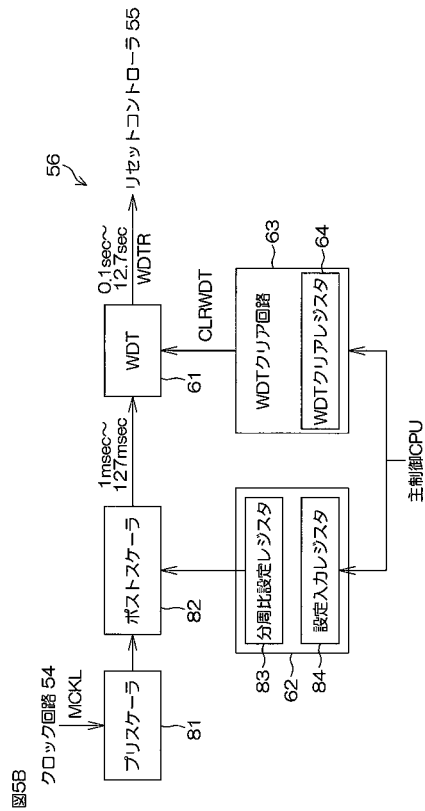
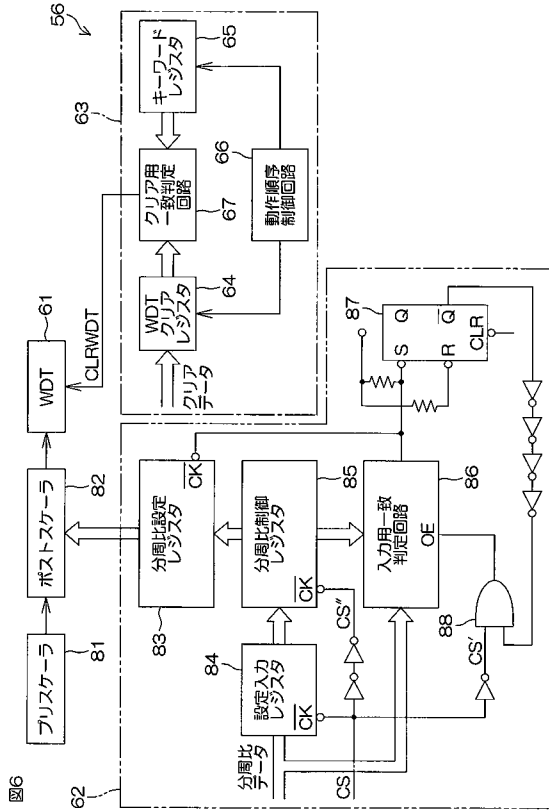
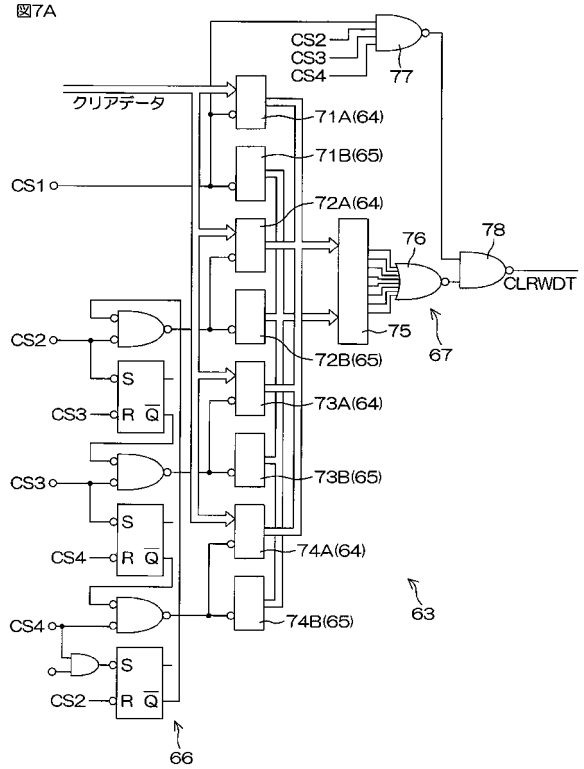


図 5B

【 図 6 】



【 図 7 A 】



【 図 7 B - 7 C 】

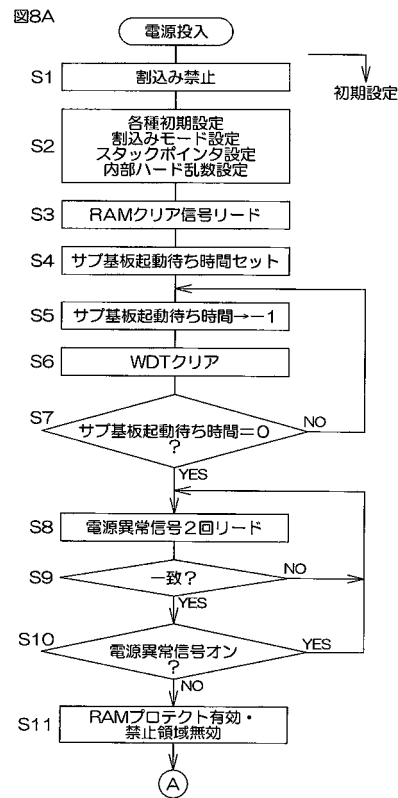
図7B

ビット	機能	作用	R/W	初期値
7-0	タイム設定	OOH: ウォッチドッグタイマの停止を維持する 01H~7FH: タイマ設定(0.1sec~12.7sec)	R/W	OOH

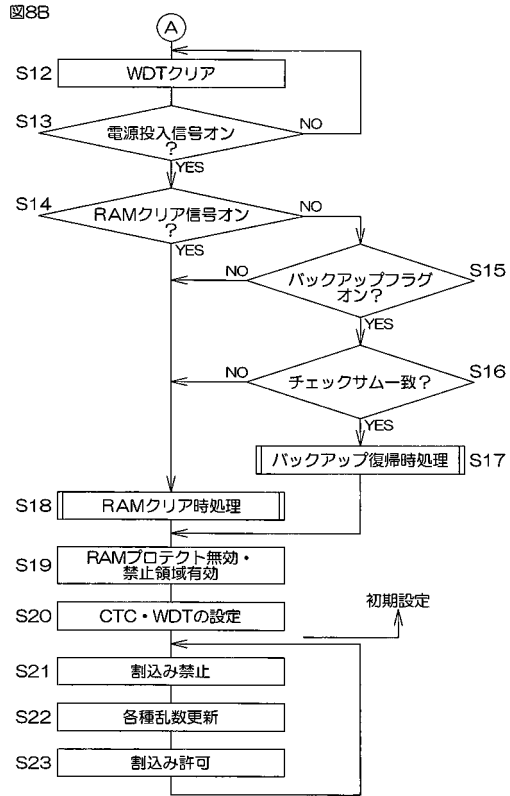
図7C

ビット	機能	作用	R/W	初期値
7-0	クリアモード設定	OOH: 連続クリアモード 01H: 簡潔クリアモード	R/W	OOH

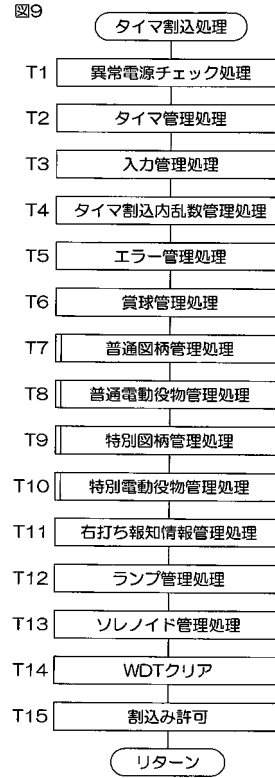
【 図 8 A 】



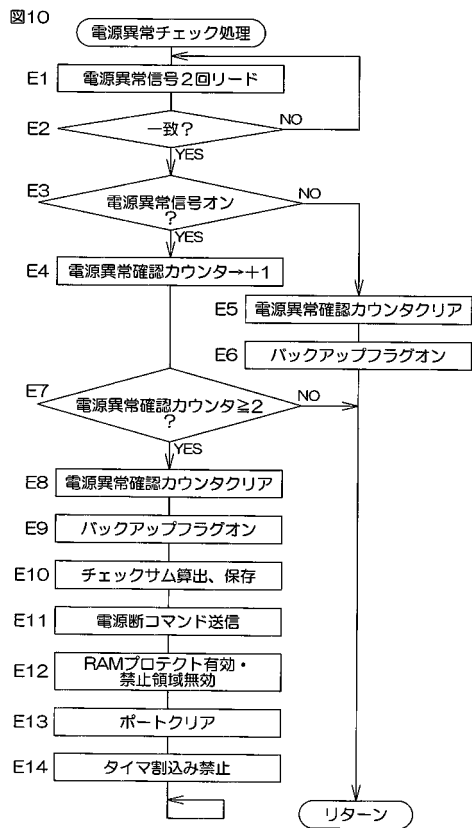
【 図 8 B 】



【 図 9 】



【 図 1 0 】



【手続補正書】

【提出日】平成28年11月21日(2016.11.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

遊技の進行を統括制御するための主制御手段を備えた遊技機であって、

前記主制御手段は、プログラムを実行する主制御CPUと、起動により計時動作を開始し、クリアされないまま計時値が所定のタイムアウト値に達した場合に前記主制御CPUをリセットさせるウォッチドッグタイマとを含み、

前記主制御CPUによるプログラムの実行開始後における所定の起動タイミングで前記ウォッチドッグタイマを起動させるウォッチドッグタイマ起動手段と、

前記ウォッチドッグタイマの前記計時値をクリアするクリア手段とをさらに含み、

前記クリア手段は、前記主制御CPUによるプログラムの実行開始後前記起動タイミングよりも前のタイミングにおいて、前記ウォッチドッグタイマの前記計時値をクリアする起動前クリア手段を含む、遊技機。

【請求項2】

前記遊技機における遊技に関する演出を制御するための演出制御手段をさらに含み、

前記起動前クリア手段は、前記主制御CPUの初期設定後、前記演出制御手段の起動を待機している間において、前記ウォッチドッグタイマの前記計時値をクリアする、請求項1に記載の遊技機。

【請求項3】

前記遊技機における遊技球の払出しを制御するための払出制御手段をさらに含み、

前記起動前クリア手段は、前記主制御CPUの初期設定後、前記払出制御手段の起動を待機している間において、前記ウォッチドッグタイマの前記計時値をクリアする、請求項1または2に記載の遊技機。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

請求項2に記載の発明は、前記遊技機における遊技に関する演出を制御するための演出制御手段をさらに含み、前記起動前クリア手段は、前記主制御CPUの初期設定後、前記演出制御手段の起動を待機している間において、前記ウォッチドッグタイマの前記計時値をクリアする、請求項1に記載の遊技機である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

請求項3に記載の発明は、前記遊技機における遊技球の払出しを制御するための払出制御手段をさらに含み、前記起動前クリア手段は、前記主制御CPUの初期設定後、前記払出制御手段の起動を待機している間において、前記ウォッチドッグタイマの前記計時値をクリアする、請求項1または2に記載の遊技機である。

【手続補正4】

【補正対象書類名】明細書
【補正対象項目名】0010
【補正方法】削除
【補正の内容】
【手続補正5】
【補正対象書類名】明細書
【補正対象項目名】0024
【補正方法】変更
【補正の内容】
【0024】

なお、図2に示す遊技盤5の盤面構成は一例であり、この盤面に限られず、種々の盤面構成を採用できる。

図3は、遊技機1の電氣的構成を示すブロック図である。遊技機1は、AC24Vの交流電圧を受けて各種の直流電圧やシステムリセット信号SYSなどを出力する電源基板31と、遊技の進行を統括制御する主制御基板（主制御手段）32と、主制御基板32からの制御コマンドCMDに基づいて演出制御を行う演出制御基板（演出制御手段）33と、演出制御基板33からの制御コマンドCMD'に基づいて液晶表示ユニット17を駆動する液晶制御基板34と、主制御基板32から受けた制御コマンドCMD''に基づいて、遊技球を払い出すべく賞球払出装置20を駆動する払出制御基板（払出制御手段）35と、遊技者のハンドル14（図1参照）の回動操作に応じて、遊技球を発射させるべく発射装置（図示しない）を駆動する発射制御基板36とを含む。各制御基板32, 33, 34, 35, 36には、たとえばCPU、RAMおよびROMを含むワンチップのマイクロコンピュータが実装されている。