

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4496907号  
(P4496907)

(45) 発行日 平成22年7月7日(2010.7.7)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int.Cl. F I  
**GO 1 R 33/09 (2006.01)** GO 1 R 33/06 R  
**HO 1 L 43/08 (2006.01)** HO 1 L 43/08 A

請求項の数 3 (全 15 頁)

(21) 出願番号	特願2004-286891 (P2004-286891)	(73) 特許権者	000004075 ヤマハ株式会社 静岡県浜松市中区中沢町10番1号
(22) 出願日	平成16年9月30日(2004.9.30)	(74) 代理人	100064908 弁理士 志賀 正武
(65) 公開番号	特開2006-98304 (P2006-98304A)	(74) 代理人	100089037 弁理士 渡邊 隆
(43) 公開日	平成18年4月13日(2006.4.13)	(72) 発明者	安井 彰司 静岡県磐田郡豊岡村松之木島203番地 ヤマハハイテックデザイン株式会社内
審査請求日	平成19年7月20日(2007.7.20)	審査官	堀 圭史

最終頁に続く

(54) 【発明の名称】 磁気測定回路

(57) 【特許請求の範囲】

【請求項1】

磁気**の強さを測定する磁気センサと、**  
 前記磁気センサの出力を増幅する増幅手段と、  
所定のクロック数に対応する第1期間に、クロックパルスに同期して第1のステップ幅で単調増加する電圧を発生させ、その後の第2期間に、クロックパルスに同期して前記第1のステップ幅より小さい第2のステップ幅で前記第1期間終了時の電圧から単調増加する電圧を発生させる電圧発生手段と、

前記第2期間の開始から、前記電圧発生手段の発生電圧値と前記増幅手段の出力電圧値とを所定の比率で加算した電圧値が閾値電圧値以上となるまで、クロックパルスをカウントし、カウント結果を前記磁気**の強さを表すデータとして出力するカウント手段と、**  
 を具備することを特徴とする磁気測定回路。

【請求項2】

前記所定のクロック数は、前記電圧発生手段の前記第1のステップ幅による発生電圧値と前記増幅手段の出力電圧値とを前記所定の比率で加算した電圧値が前記閾値電圧値を超えるのに必要なクロック数よりも所定クロック数少ないクロック数に設定されていることを特徴とする請求項1に記載の磁気測定回路。

【請求項3】

前記磁気センサはMR素子またはGMR素子によって構成されていることを特徴とする請求項1または請求項2に記載の磁気測定回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、測定時間の短縮を図った磁気測定回路に関する。

## 【背景技術】

## 【0002】

従来、現在位置における方位（地磁気）を求める磁気測定回路として、MR素子（磁気抵抗効果素子）またはGMR素子（巨大磁気抵抗効果素子）を用いた回路が知られている。この磁気測定回路は、X、Y、Z軸方向の各地磁気の強さを測定するX、Y、Z軸センサと、各センサの出力をデジタルデータに変換する積分型A/D（アナログ/デジタル）コンバータを具備している。

10

## 【0003】

図9は従来の磁気測定回路の要部の構成を示す回路図であり、この図において、100は4個のGMR素子をブリッジ接続して構成された磁気センサ、101は磁気センサ100の出力を増幅する増幅器、102はA/Dコンバータ、103はA/Dコンバータ102において使用されるレファランス電圧VR2、VR、VSTARTを発生するレファランス電圧発生回路である。また、A/Dコンバータ102において、SI、SA~SDは半導体スイッチ、C1、C3はコンデンサ、104は演算増幅器、105はコンパレータ、106はスイッチSA~SDを駆動するタイミング信号を制御回路（図示略）から出力されるクロックパルスCLKに基づいて生成するタイミング信号発生回路である。

20

## 【0004】

このような構成において、タイミング信号発生回路106から出力される信号に従ってスイッチSA、SDがONとされ、次いでスイッチSC、SBがONとされ、この動作がクロックパルスCLKに同期して繰り返される。これにより、演算増幅器104から階段状の比較電圧INTEGが出力され、コンパレータ105において増幅器101の出力VAMPと比較される。またこの時、制御回路はクロックパルスを内蔵のカウンタによってアップカウントする。そして、演算増幅器104の出力INTEGが増幅器の出力VAMPを越えると、比較器105の出力CMPが反転する。制御回路はこの信号CMPの反転を受け、カウンタのアップカウントを停止し、その時のカウント値を磁気センサ100の測定値として出力する。

30

## 【0005】

ところで、地磁気測定には、磁気変化による出力変化量は少ないがゼロ磁場での出力（オフセット）のばらつきが大きいという特性がある。このため、入力範囲が大きく、かつ、分解能が高い積分型A/Dコンバータが必要となり、測定時間が長くなる問題があった。

なお、従来の磁気測定回路に関する文献として特許文献1、2が知られている。

【特許文献1】特開平4-93782号公報

【特許文献2】特開2003-202365号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

40

## 【0006】

本発明は上記事情を考慮してなされたもので、その目的は、従来のものに比較し測定時間を大幅に短縮することができる磁気測定回路を提供することにある。

## 【課題を解決するための手段】

## 【0007】

この発明は上記の課題を解決するためになされたもので、本発明は、磁気の強さを測定する磁気センサと、前記磁気センサの出力を増幅する増幅手段と、所定のクロック数に対応する第1期間に、クロックパルスに同期して第1のステップ幅で単調増加する電圧を発生させ、その後の第2期間に、クロックパルスに同期して前記第1のステップ幅より小さい第2のステップ幅で前記第1期間終了時の電圧から単調増加する電圧を発生させる電圧

50

発生手段と、前記第 2 期間の開始から、前記電圧発生手段の発生電圧値と前記増幅手段の出力電圧値とを所定の比率で加算した電圧値が閾値電圧値以上となるまで、クロックパルスをカウントし、カウント結果を前記磁気の強さを表すデータとして出力するカウント手段と、を具備することを特徴とする磁気測定回路である。

本発明は、上記の磁気測定回路において、前記所定のクロック数は、前記電圧発生手段の前記第 1 のステップ幅による発生電圧値と前記増幅手段の出力電圧値とを前記所定の比率で加算した電圧値が前記閾値電圧値を超えるのに必要なクロック数よりも所定クロック数少ないクロック数に設定されていることを特徴とする。

【 0 0 0 8 】

本発明は、上記の磁気測定回路において、前記磁気センサは M R 素子または G M R 素子によって構成されていることを特徴とする。

10

【発明の効果】

【 0 0 1 0 】

この発明によれば、従来のものに比較し測定時間を大幅に短縮することができる効果がある。

【発明を実施するための最良の形態】

【 0 0 1 1 】

以下、図面を参照し、この発明の一実施の形態について説明する。図 2 はこの発明の一実施の形態による磁気測定回路の構成を示すブロック図である。この図において、1、2 は各々 G M R 素子によって構成された X 軸センサおよび Y 軸センサ、3 は X 軸センサ 1 または Y 軸センサ 2 の出力の一方を選択して出力する切換手段、4 は切換手段 3 を介して入力される X 軸センサ 1 または Y 軸センサ 2 の出力を増幅する増幅部、5 は増幅部 4 の出力をデジタルデータに変換する積分型 A / D コンバータである。6 は A / D コンバータ 5 へクロックパルスおよび制御信号を出力すると共に、内部のカウンタによって A / D 変換時のクロックパルスをカウントしてデジタルデータを得る制御回路、7 は制御回路 6 と外部の C P U (中央処理装置) との間のデータ授受を仲介するインターフェイスである。

20

【 0 0 1 2 】

また、11 は G M R 素子によって構成された Z 軸センサ、12 はこの磁気測定回路が内蔵された機器 (例えば、携帯端末) の鉛直方向からの傾斜角度を検出する傾斜センサ、13 は Z 軸センサの出力を増幅する増幅部、14 は傾斜センサ 12 の出力を増幅する増幅部である。15 は増幅部 13 または 14 の出力をデジタルデータに変換する、A / D コンバータ 5 と同様に構成された A / D コンバータ、16 は制御回路 6 と同様に構成された制御回路、17 は制御回路 16 と C P U 8 との間のデータ授受を仲介するインターフェイスである。

30

【 0 0 1 3 】

図 3 は図 2 における磁気センサ 1、2、切換手段 3、増幅部 4 の詳細を示す回路図である。この図において、1 a ~ 1 d はブリッジ接続された G M R 素子であり、これらによって X 軸センサ 1 が構成されている。この X 軸センサ 1 の電源端子は電源電圧 V C C に接続され、接地端子が F E T (電界効果トランジスタ) 2 1 を介して接地されている。F E T 2 1 は、X 軸方向の地磁気測定の際に制御回路 6 から出力される信号によって O N となる。2 a ~ 2 d はブリッジ接続された G M R 素子であり、これらによって Y 軸センサ 2 が構成されている。この Y 軸センサ 2 の電源端子は電源電圧 V C C に接続され、接地端子が F E T 2 2 を介して接地されている。F E T 2 2 は、Y 軸方向の地磁気測定の際に制御回路 6 から出力される信号によって O N となる。

40

【 0 0 1 4 】

S 1 ~ S 4 は切換手段 3 を構成する半導体スイッチであり、X 軸方向の地磁気測定の際に制御回路 6 から出力される信号によってスイッチ S 1、S 3 が O N となり、Y 軸方向の地磁気測定の際に制御回路 6 から出力される信号によってスイッチ S 2、S 4 が O N となる。スイッチ S 1、S 3 が O N になると、X 軸センサ 1 の出力が増幅器 2 4、2 5 へ加えられ、スイッチ S 2、S 4 が O N になると、Y 軸センサ 2 の出力が増幅器 2 4、2 5 へ加

50

えられる。増幅器 24、25 は各々増幅度 1 のバッファ増幅器である。R1 ~ R4 は抵抗、26 は増幅器であり、これらによってバッファ増幅器 24、25 の出力の差を増幅する差動増幅器が構成されている。なお、端子 27 は後述するレファランス電圧 VR が加えられる端子である。

【0015】

S5 は X 軸方向または Y 軸方向の地磁気測定の際に短時間 ON となる半導体スイッチ、29 はコンデンサ、30 は増幅度 1 の増幅器であり、これらによってサンプルホールド回路 31 が構成されている。このサンプルホールド回路 31 は増幅器 26 の出力電圧を一時記憶する回路であり、その出力は端子 32 へ加えられる。

【0016】

34 はレファランス電圧発生回路であり、A/D コンバータ 5 において使用されるレファランス電圧 VR、V SUB を生成して出力する。すなわち、このレファランス電圧発生回路 34 において、R1X ~ R3X はシリーズ接続された抵抗であり、抵抗 R1X の一端が電源電圧 VCC に接続され、抵抗 R3X の一端が X 軸センサ 1 と FET 21 の接続点に接続されている。また、R1Y ~ R3Y はシリーズ接続された抵抗であり、抵抗 R1Y の一端が電源電圧 VCC に接続され、抵抗 R3Y の一端が Y 軸センサ 2 と FET 22 の接続点に接続されている。S1X、S3X は X 軸方向の地磁気測定の際に ON となるスイッチ、S1Y、S3Y は Y 軸方向の地磁気測定の際に ON となるスイッチ、38、39 はコンデンサ、36、37 は増幅度 1 の増幅器である。

【0017】

このような構成において、X 軸方向の地磁気測定においては、スイッチ S1X が ON となり、抵抗 R2X および R3X の接続点の電圧が増幅器 36 を介して、レファランス電圧 VR として出力される。また、X 軸方向の地磁気測定においては、スイッチ S3X が ON となり、抵抗 R1X および R2X の接続点の電圧が増幅器 37 を介して、レファランス電圧 V SUB として出力される。同様に、Y 軸方向の地磁気測定においては、スイッチ S1Y が ON となり、抵抗 R2Y および R3Y の接続点の電圧が増幅器 36 を介して、レファランス電圧 VR として出力され、また、スイッチ S3Y が ON となり、抵抗 R1Y および R2Y の接続点の電圧が増幅器 37 を介して、レファランス電圧 V SUB として出力される。増幅器 36、37 の入力に接続されたコンデンサ 38、39 との働きによりそれぞれサンプルホールド回路が構成されている。

【0018】

次に、図 1 は A/D コンバータ 5 の構成を示す回路図である。この図において、40 は図 3 に示すサンプルホールド回路 31 の出力信号 V amp が加えられる端子であり、信号 V amp は抵抗 RB を介してコンパレータ 41 の非反転入力端へ加えられる。42 は電源電圧 VCC が加えられる端子であり、半導体スイッチ Sc4 を介してコンデンサ C1 の一端に接続されている。43 は図 3 に示すレファランス電圧 VR が加えられる端子であり、半導体スイッチ Sc3 を介してコンデンサ C1 の一端に接続されている。コンデンサ C1 の他端は半導体スイッチ Sc1 を介してレファランス電圧 VR が加えられる端子 44 に接続されると共に、半導体スイッチ Sc2 を介して演算増幅器 45 の反転入力端に接続されている。

【0019】

46 はレファランス電圧 V SUB が加えられる端子であり、半導体スイッチ Sc4S を介してコンデンサ C2 の一端に接続されている。47 はレファランス電圧 VR が加えられる端子であり、半導体スイッチ Sc3S を介してコンデンサ C2 の一端に接続されている。コンデンサ C2 の他端は半導体スイッチ Sc1S を介してレファランス電圧 VR が加えられる端子 48 に接続されると共に、半導体スイッチ Sc2S を介して演算増幅器 45 の反転入力端に接続されている。演算増幅器 45 の反転入力端および出力端間には、半導体スイッチ Sd およびコンデンサ C3 が並列に接続され、非反転入力端へはレファランス電圧 VR が端子 49 を介して加えられ、演算増幅器 45 の出力信号は信号 V int eg として抵抗 RA を介してコンパレータ 41 の非反転入力端へ加えられる。ここで、スイッチ S

10

20

30

40

50

dは制御回路6(図2)から出力される信号RESによってON/OFF制御される。また、抵抗RAの抵抗値は抵抗RBと同一である。また、コンパレータ41の反転入力端へは、端子50を介してレファランス電圧VRが加えられ、コンパレータ41の出力信号CMPが端子51を介して図2の制御回路6へ出力される。なお、符号52は半導体スイッチSc1~Sc4およびSc1S~Sc4Sの構成を示す図であり、各スイッチSc1~Sc4およびSc1S~Sc4SはいずれもPチャネルFETおよびNチャネルFETを並列接続して構成されている。

#### 【0020】

53は上述したスイッチSc1~Sc4およびSc1S~Sc4SをON/OFF制御する信号CK1~CK4、CK1S~CK4Sを、図1の制御回路6から出力されるクロックパルスCKおよび信号FIN、UDに基づいて生成し出力するタイミング信号発生回路である。

#### 【0021】

図2の制御回路6は、CPU8からインターフェイス7を介して受けた指示に基づいて、前述したスイッチS1X、S3X、S1Y、S3Y、S1~S4、S5をON/OFF制御する信号を出力し、また、クロックパルスCKおよび信号RES、FIN、UDを上述したA/Dコンバータ5へ出力する。また、クロックパルスCKを内部のカウンタによってアップカウントし、A/Dコンバータ5から出力される信号CMPを受けてカウントを停止し、カウント結果を変換後データとしてインターフェイス7を介してCPU8へ出力する(詳細は後述する)。

図10に、図2における制御回路6(16)の主要部の構成を示す。カウンタ6aは積分型A/Dを構成する。クロックCOUNTCKによりアップカウントし、リセット(RESET)入力を備えている。一時レジスタ6bは、カウンタ6aの値をインターフェイス7を介してCPU8が読むため一時的に保持する。下限設定6cは、A/D動作時に下限電圧を設定する。固定値16としてある。オフセットレジスタ6dは、インターフェイス7を介してCPU8が設定する。比較器6eはカウンタ6aの値と下限設定6cまたはオフセットレジスタ6dの値を比較する。A/D制御部6fは、インターフェイス7を介してCPU8からの指示により測定の開始、A/D動作の切り換え、各種タイミング信号発生を行う。パワーダウン制御部6gは省電力化のために測定動作を行っていない部分を休止状態とする。A/D制御部6fに入力される信号CMP(図1参照)、カウンタ6aのクロックCOUNTCKは、テスト時には切り換えてテスト用信号を入力する。なお、下限設定6cはこの実施形態においては固定値であるが、レジスタとしてインターフェイス7を介してCPU8から入力してもよい。

#### 【0022】

次に、図4は図2におけるZ軸センサ11、増幅部13、14の詳細を示す回路図である。この図において、11a~11dはブリッジ接続されたGMR素子であり、これらによってZ軸センサ11が構成されている。このZ軸センサ11の電源端子は電源電圧VCCに接続され、接地端子がFET61を介して接地されている。FET61は、Z軸方向の地磁気測定の際に制御回路16から出力される信号によってONとなる。増幅器62、63は各々増幅度1のバッファ増幅器であり、Z軸センサ11の2出力を各々増幅する。R1~R4は抵抗、64は増幅器であり、これらによってバッファ増幅器62、63の出力の差を増幅する差動増幅器が構成されている。また、端子65はレファランス電圧VRが加えられる端子である。また、66は傾斜センサ12の出力を増幅する増幅度1の増幅器であり、図2の増幅部14を構成する。そして、この増幅器66の出力端および増幅器64の出力端が共通接続されて端子68に接続され、この端子68が図2のA/Dコンバータ15に入力端に接続されている。

#### 【0023】

70はレファランス電圧発生回路であり、A/Dコンバータ15において使用されるレファランス電圧VR、VSUBを生成して出力する。すなわち、このレファランス電圧発生回路70において、R1X~R3Xはシリーズ接続された抵抗であり、抵抗R1Xの一

10

20

30

40

50

端が電源電圧VCCに接続され、抵抗R3Xの一端がZ軸センサ11とFET61の接続点に接続されている。71、72は増幅度1の増幅器であり、増幅器71は抵抗R1XおよびR2Xの接続点の電圧をレファランス電圧VSUBとして出力するためのバッファとして動作し、増幅器72は抵抗R2XおよびR3Xの接続点の電圧をレファランス電圧VRとして出力するためのバッファとして動作する。

#### 【0024】

図5は図4における増幅器64、66の構成を示す回路図である。(増幅器62, 63, 71, 72も同一の構成である。)この図において、80~82はPチャンネルFET、93は定電流回路である。FET80、81およびFET80、82はそれぞれカレントミラー接続となっており、FET81、82のソース-ドレインには各々FET80の電流と同一の(または比例する)電流が流れる。83、84はPチャンネルFET、85、86はNチャンネルFETであり、FET83のゲートが反転入力端innに、FET84のゲートが非反転入力端inpに各々接続されている。そして、これらのFET83~86によって入力端inn、inpの信号の差を増幅する差動増幅回路が構成されている。87はNチャンネルFETであり、上述した差動増幅回路の出力を増幅し、出力端子outへ出力する。

#### 【0025】

88はPチャンネルFET、89はNチャンネルFETであり、FET88のゲートには信号pdを反転した信号/pdが加えられ、FET89のゲートに信号pdが加えられる。また、FET88のソースは電源電圧VCCに接続され、ドレインがFET82のゲートに接続されている。また、FET89のソースは接地され、ドレインがFET87のゲートに接続されている。これらのFET88、89は出力端子outを能動状態とするかハイインピーダンス状態とするかを制御するもので、信号pdを"H(ハイ)"レベルにすると、FET88、89が共にONとなり、これによりFET82、87がOFFとなり、出力端子outがハイインピーダンスとなる。一方、信号pdを"L(ロー)"レベルにすると、FET88、89が共にOFFとなり、これによりFET82、87が能動状態となり、出力端子outが能動状態となる。なお、図5の信号pdは、図4での増幅器62~64ではPDSE、増幅器66ではPDAC、増幅器71、72ではPDとして示す。

#### 【0026】

図4に示す回路は、Z軸方向の地磁気測定においては、制御回路16から増幅器64、62、63へ信号PDSEとして"L"レベルの信号が加えられる一方、増幅器66へは信号PDACとして"H"レベルの信号が加えられ、増幅器71、72のPDは"L"レベルとされ、これにより増幅器64は能動状態、増幅器66はハイインピーダンス状態となる。一方、傾斜センサ12による傾斜度測定においては、制御回路16から増幅器64へ信号PDSEとして"H"レベルの信号が加えられる一方、増幅器66へは信号PDACとして"L"レベルの信号が加えられ、増幅器71、72のPDは"L"レベルとされ、これにより増幅器64はハイインピーダンス状態、増幅器66は能動状態となる。さらに、Z軸方向の地磁気測定および傾斜センサ12の傾斜測定も行わない時は、PDSE、PDAC、PDいずれも"H"レベルとされ、各増幅器は休止状態(出口はハイインピーダンス)となる。

ここではZ軸方向の地磁気測定について示したが、X軸、Y軸についても同様の切換方法ができる。その場合は、図3において、増幅器24、25、26をもう1組用意する。各増幅器を図5と同様の構成としてpd信号をX軸測定、Y軸測定に応じて制御すればよい。

#### 【0027】

次に、図1に示すA/Dコンバータ5(15)および制御回路6(16)の動作を図6、図7に示すタイミングチャートを参照して説明する。

このA/Dコンバータ5は(1)オフセット測定、(2)通常データ測定の2処理によってA/D変換を行う。すなわち、従来のA/Dコンバータは図8(b)に示すように、一定の

10

20

30

40

50

細かいステップで比較電圧を最下限電圧から順次上昇させつつクロックパルスをカウントし、比較電圧が被変換電圧を超えた時のカウント値を変換データとして出力していたが、このA/Dコンバータ5は図8(a)に示すように、まず、(1)オフセット測定によって粗いステップで概略の変換データを取得し、次いで、(2)通常データ測定によって概略変換データの近傍において細かいステップで比較電圧を順次上昇させて正確な変換データを得るようになっている。以下、詳述する。

【0028】

(1) オフセット測定

図6はオフセット測定の動作を示すタイミングチャートである。以下、X軸方向の地磁気の強さを測定する場合について説明する。この場合、制御回路6のA/D制御部6fは、まず、FET21(図3)をONとする信号Xを出力し、また、スイッチS1X、S3X、S1、S3、S5をONとする信号Xを出力する。次いで、クロックパルスCK、“H”レベルのリセット信号RES、“L”レベルの信号UDおよびFINをA/Dコンバータ5へ出力する(図6の時刻t1)。

【0029】

FET21がONになると、X軸センサ1に電源が供給され、GMR素子1a、1bの接続点の電圧およびGMR素子1c、1dの接続点の電圧がそれぞれ増幅器24、25の各入力端へ供給され、増幅器26からその時の地磁気のX軸方向の強さに対応する信号が出力される。そして、その信号によってサンプルホールド回路31のコンデンサ29が充電される。制御回路6は増幅器26の出力が安定した時点でスイッチS5をOFFとする。以後、増幅器30からその時の地磁気のX軸方向の強さを示す信号Vampが出力される。

【0030】

また、FET21がONになると、シリーズ接続された抵抗R1X、R2X、R3Xの両端に電源が供給され、抵抗R1X～R3Xの分圧比に応じた電圧がコンデンサ38、39に充電される。そして、前記スイッチS5の場合と同様に、スイッチS1X、S3XをOFFとする。これにより、増幅器36、37からレファランス電圧VR、VSUBが出力される。

また、制御回路6からリセット信号RESとして“H”レベルの信号が出力されると、コンデンサC3(図1)の両端が短絡されてコンデンサC3が放電され、また、演算増幅器45の反転入力端および出力端間が短絡されることから、演算増幅器45の出力信号Vintegが非反転入力端の信号と同じ信号VRとなる。

【0031】

制御回路6は、リセット信号RES“H”を出力した後、コンデンサC3が十分に放電される時間、ここでは、クロックパルスCKの128タイミング経過した時刻t2において、図6に示すように、リセット信号RESを“L”レベルに戻す。また、カウンタ6aをリセットし、比較器6eの入力を下限設定(ここでは16)6cに切り換える。制御回路6のA/D制御部6fから信号が出力されるFIN、UDによって、タイミング制御回路53からスイッチSc1～Sc4をON/OFF制御する信号CK1～CK4が出力される。これにより、まず、スイッチSc1、Sc3がON、スイッチSc2、Sc4がOFFとされ(各スイッチは制御信号が“H”レベルでON、“L”レベルでOFFとする)、次いで、スイッチSc2、Sc4がON、スイッチSc1、Sc3がOFFとされ、以下、この動作がクロックパルスCKの2周期毎に繰り返される。なお、この時、スイッチSc1S～Sc4SはいずれもOFF状態にある。そして、上述したスイッチSc1～Sc4の動作により、コンデンサC3に一定電圧が逐次充電され、これにより、演算増幅器45の出力信号Vintegが、図6に示すように、階段状に下降する。この動作原理を以下に説明する。

【0032】

いま、ある時刻tにおける演算増幅器45の出力信号をVinteg(t)とすると、コンデンサC3の充電電荷Q3(t)は、

10

20

30

40

50

$$Q_3(t) = -C_3(V_{integ}(t) - V_R) \dots (1)$$

となる。次に、スイッチ  $S_{c1}$ 、 $S_{c3}$  が ON、スイッチ  $S_{c2}$ 、 $S_{c4}$  が OFF になると、コンデンサ  $C_1$  の両端が短絡され、また、演算増幅器 45 の反転入力端とコンデンサ  $C_1$  との間が開放されることから、コンデンサ  $C_1$ 、 $C_3$  の電荷  $Q_1(t+1)$ 、 $Q_3(t+1)$  はそれぞれ、

$$Q_1(t+1) = 0 \dots (2) \quad Q_3(t+1) = Q_3(t) \dots (3)$$

となる。

#### 【0033】

次に、スイッチ  $S_{c1}$ 、 $S_{c3}$  が OFF、スイッチ  $S_{c2}$ 、 $S_{c4}$  が ON になると、コンデンサ  $C_1$ 、 $C_3$  が直列接続され、コンデンサ  $C_1$  が電圧  $(V_{CC} - V_R)$  まで充電され、コンデンサ  $C_3$  もコンデンサ  $C_1$  と同量の電荷が充電される。すなわち、コンデンサ  $C_1$  に充電される電荷  $Q_1(t+2)$  は、

$$Q_1(t+2) = C_1(V_{CC} - V_R) \dots (4)$$

となり、また、コンデンサ  $C_3$  の充電電荷  $Q_3(t+2)$  は、

$$\begin{aligned} Q_3(t+2) &= Q_3(t+1) + Q_1(t+2) \\ &= Q_3(t) + Q_1(t+2) \dots (5) \end{aligned}$$

となる。また、 $Q_3(t+2)$  については、

$$Q_3(t+2) = -C_3(V_{integ}(t+2) - V_R) \dots (6)$$

なる関係が成り立つ。

#### 【0034】

上記(5)式に、(6)式、(1)式、(4)式を代入すれば、

$$\begin{aligned} -C_3(V_{integ}(t+2) - V_R) &= -C_3(V_{integ}(t) - V_R) \\ &\quad + C_1(V_{CC} - V_R) \dots (7) \end{aligned}$$

なる式が得られ、この(7)式から、

$$V_{integ}(t+2) = V_{integ}(t) - (C_1 / C_3)(V_{CC} - V_R) \dots (8)$$

なる式が得られる。

#### 【0035】

この(8)式から明らかなように、スイッチ  $S_{c1} \sim S_{c4}$  が上述した ON / OFF 動作を繰り返すと、演算増幅器 45 の出力信号  $V_{integ}$  が、

$$C_{step} = (V_{CC} - V_R) \cdot C_1 / C_3$$

なるステップ幅で逐次下降する。この下降が 16 ステップ行われた時点で、カウンタ 6a の値と下限設定 6c の値が一致したことを比較器 6e で検出し、制御回路 6 が信号 UD を "H" に変化させる(図 6 の時刻  $t_3$ )。この時、信号  $V_{integ}$  は次の電圧となっている。

$$V_{integ} = V_R - 16 C_{step}$$

これは、測定に当たっての下限の電圧値(図 8(a)の MIN に相当)に  $V_{integ}$  を設定したことである。

#### 【0036】

そして、信号 UD が "H" に変化すると同時にカウンタ 6a をリセットし、以後、タイミング信号発生回路 53 から出力される信号  $CK_1 \sim CK_4$  によって、スイッチ  $S_{c1}$ 、 $S_{c4}$  が ON、スイッチ  $S_{c2}$ 、 $S_{c3}$  が OFF とされ、次いで、スイッチ  $S_{c2}$ 、 $S_{c3}$  が ON、スイッチ  $S_{c1}$ 、 $S_{c4}$  が OFF とされ、この動作がクロックパルス  $CK$  の 2 周期毎に繰り返される。そして、この動作により、コンデンサ  $C_3$  から一定電荷が逐次放電され、これにより、演算増幅器 45 の出力信号  $V_{integ}$  が、図 6 に示すように、階段状に上昇する。この動作原理を以下に説明する。

#### 【0037】

いま、スイッチ  $S_{c2}$ 、 $S_{c3}$  が ON になった後、OFF となる直前の時刻  $t$  における演算増幅器 45 の出力信号を  $V_{integ}(t)$  とすると、コンデンサ  $C_1$ 、 $C_3$  の充電電荷  $Q_1(t)$ 、 $Q_3(t)$  は、

$$Q_1(t) = 0 \dots (9)$$

10

20

30

40

50

$$Q_3(t) = -C_3(V_{integ}(t) - V_R) \dots (10)$$

となる。次に、スイッチ  $S_{c1}$ 、 $S_{c4}$  が ON、スイッチ  $S_{c2}$ 、 $S_{c3}$  が OFF になると、コンデンサ  $C_1$  が電圧  $(V_{CC} - V_R)$  によって充電され、また、演算増幅器 45 の反転入力端とコンデンサ  $C_1$  との間が開放されることから、コンデンサ  $C_1$ 、 $C_3$  の電荷  $Q_1(t+1)$ 、 $Q_3(t+1)$  は、

$$Q_1(t+1) = C_1(V_{CC} - V_R) \dots (11)$$

$$Q_3(t+1) = Q_3(t) \dots (12)$$

となる。

#### 【0038】

次に、スイッチ  $S_{c1}$ 、 $S_{c4}$  が OFF、スイッチ  $S_{c2}$ 、 $S_{c3}$  が ON になると、コンデンサ  $C_1$ 、 $C_3$  が直列接続され、かつ、コンデンサ  $C_1$  の両端電圧が共に電圧  $V_R$  となることから、コンデンサ  $C_1$  の電荷を打ち消すためコンデンサ  $C_3$  の電荷が放電される。すなわち、この時点においてコンデンサ  $C_1$ 、 $C_3$  の電荷  $Q_1(t+2)$ 、 $Q_3(t+2)$  はそれぞれ、

$$Q_1(t+2) = 0 \dots (13)$$

$$\begin{aligned} Q_3(t+2) &= Q_3(t+1) - Q_1(t+1) \\ &= Q_3(t) - Q_1(t+1) \dots (14) \end{aligned}$$

となる。また、 $Q_3(t+2)$  については、

$$Q_3(t+2) = -C_3(V_{integ}(t+2) - V_R) \dots (15)$$

なる関係が成り立つ。

#### 【0039】

上記(14)式に、(15)式、(10)式、(11)式を代入すれば、

$$\begin{aligned} -C_3(V_{integ}(t+2) - V_R) &= -C_3(V_{integ}(t) - V_R) \\ &\quad - C_1(V_{CC} - V_R) \dots (16) \end{aligned}$$

なる式が得られ、この(16)式から、

$$V_{integ}(t+2) = V_{integ}(t) + (C_1/C_3)(V_{CC} - V_R) \dots (17)$$

なる式が得られる。

#### 【0040】

この(17)式から明らかなように、時刻  $t_3$  以後、信号  $V_{integ}$  が  $C_{step}$  単位で逐次上昇する。またこの時、コンパレータ 41 の非反転入力端の信号  $V_{ai}$  は、抵抗  $R_A$ 、 $R_B$  が同一の抵抗値であることから、

$$V_{ai} = (V_{amp} + V_{integ}) / 2$$

となり、この信号  $V_{ai}$  も信号  $V_{integ}$  の上昇に伴って逐次上昇する。そして、時刻  $t_4$  において、信号  $V_{ai}$  が電圧  $V_R$  を越えると、コンパレータ 41 の出力信号  $CMP$  が反転し、"H" レベルとなる。制御回路 6 の A/D 変換部 6f はこの信号  $CMP$  "H" を受けて、カウンタ 6a のアップカウントを停止する ( $COUNTCK$  を止める)。この時のカウンタのカウント値がオフセットデータとなり、CPU 8 はインターフェイス 7 を介して一時レジスタ 6b から読み出し、内部のレジスタ (またはメモリ) にセットされる。また、 $CMP$  が "H" レベルになったことを CPU 8 へ通知し、CPU 8 が直ちに一時レジスタ 6b の値を読み出すこともできる。この場合は、カウンタ 6a を停止させなくてもよい。

#### 【0041】

##### (2) 通常データ測定

図 7 に通常データ測定時のタイミングチャートを示す。通常データ測定においては、CPU 8 は前述のオフセット測定により得られた予め保持しているオフセットデータよりも少なめ (図 8 の場合は 12 をセット) をオフセットレジスタ 6d に書き込み、比較器 6e の入力をオフセットレジスタ 6d 側に切り換え、測定開始を A/D 制御部 6f に指示する。制御回路 6 の A/D 制御部 6f は、まず、クロックパルス  $CK$ 、"H" レベルのリセット信号  $RES$ 、"L" レベルの信号  $UD$  および  $FIN$  を A/D コンバータ 5 へ出力し (時刻  $t_5$ )、次いで、時刻  $t_6$  においてリセット信号  $RES$  を "L" に戻す。以後、信号  $V$

10

20

30

40

50

$integ$  がステップ幅  $Cstep$  で逐次下降する。この下降が 16 ステップ行われた時点で、制御回路 6 が信号  $UD$  を "H" に変化させる (図 7 の時刻  $t_7$ )。この時、信号  $Vinteg$  は  $(VR - 16 Cstep)$  となっている。そして、信号  $UD$  が "H" に変化すると、以後、演算増幅器 45 の出力信号  $Vinteg$  が、階段状に上昇する。以上の動作は上述した図 6 における時刻  $t_1 \sim t_4$  の動作と同じである。

【0042】

制御回路 6 は時刻  $t_7$  において信号  $UD$  を "H" とした後、カウンタ 6a をリセットし、クロックパルス  $CK$  のアップカウントを行う。そして、カウンタのカウント値が上述したオフセットレジスタ 6d に設定されたオフセットデータと一致した時点において、比較器 6e の一致信号により信号  $FIN$  を "H" とし (時刻  $t_8$ )、また、カウンタをリセットし、以後、再びクロックパルス  $CK$  をアップカウントする。信号  $FIN$  が "H" になると、タイミング信号発生回路 53 がスイッチ  $Sc1S \sim Sc4S$  を ON/OFF 制御する信号  $CK1S \sim CK4S$  を出力する。これにより、まず、スイッチ  $Sc1S$ 、 $Sc4S$  が ON、スイッチ  $Sc2S$ 、 $Sc3S$  が OFF とされ、次いで、スイッチ  $Sc2S$ 、 $Sc3S$  が ON、スイッチ  $Sc1S$ 、 $Sc4S$  が OFF とされ、以下、この動作がクロックパルス  $CK$  の 2 周期毎に繰り返される。なお、この時、スイッチ  $Sc1 \sim Sc4$  はいずれも OFF 状態となる。

【0043】

スイッチ  $Sc1S \sim Sc4S$  が上述した動作を繰り返すと、図 6 における時刻  $t_3 \sim t_4$  の動作と同様の動作原理によって、信号  $Vinteg$  が、

$$Fstep = (V_{SUB} - VR) \cdot C2 / C3$$

なるステップ幅で逐次上昇する。ここで、コンデンサ  $C2$  の容量はコンデンサ  $C1$  の容量よりはるかに小さい容量が選ばれており、また、電圧  $V_{SUB}$  も電圧  $VCC$  より小さい電圧である。この結果、ステップ幅  $Fstep$  はステップ幅  $Cstep$  よりはるかに小さくなり、信号  $Vinteg$  は時刻  $t_7 \sim t_8$  の間よりはるかに小さいステップで上昇する。

【0044】

そして、信号  $Vai = (Vinteg + Vamp) / 2$  が電圧  $VR$  を越えると (時刻  $t_9$ )、コンパレータ 41 の出力信号  $CMP$  が "H" に反転する。制御回路 6 はこの "H" 信号を受け、カウンタ 6a のカウントを停止する。CPU 8 はインターフェイス 7 を介して一時レジスタ 6b の値を読み出す。これが図 8 (a) での NORMAL MEASUREMENT の測定値となる。また、 $CMP$  が "H" になったことを CPU 8 へ通知し、CPU 8 が直ちに一時レジスタ 6b の値を読み出すこともできる。この場合はカウンタ 6a を停止させなくてもよい。

【0045】

以上詳述したように、上記実施形態によれば、(1) オフセット測定において概略の変換データを取得し、次いで (2) 通常データ測定において正確な変換データを得るようになっている。これにより、この実施形態では、測定時間は最大でも約 1310 クロックで済む。一方、従来方式 (図 9 参照) によれば、最大で 8192 クロック必要である。したがって、この実施形態によれば、従来約 1/6 の時間で A/D 変換することができる。

また、通常の動作状態では、オフセット値はほとんど変化しないはずである。したがって、オフセット測定 (図 6) は測定毎に行う必要がない。通常は、通常データ測定 (図 7) のみを行えばよいので、大きく測定時間を短縮することができる。オフセット測定は、機器の動作開始時や、外部磁界の影響等でオフセット値が狂ってしまった時に必要に応じて行えばよい。

なお、上記実施形態において、サンプルホールド回路 31 を設けず、増幅器 26 の出力を直接 A/D コンバータ 5 に入力してもよい。

また、上記実施形態は、信号  $Vinteg$  を上昇させて変換データの測定を行っているが、逆に、信号  $Vinteg$  を下降させて測定を行ってもよい。

【産業上の利用可能性】

【0046】

10

20

30

40

50

この発明は、携帯端末に内蔵される地磁気測定回路等に用いられる。

【図面の簡単な説明】

【0047】

【図1】この発明の一実施形態による磁気測定回路におけるA/Dコンバータの構成を示すブロック図である。

【図2】同磁気測定回路の全体構成を示すブロック図である。

【図3】図2におけるX軸センサ1、Y軸センサ2、増幅部4の構成を示す回路図である。

【図4】図2におけるZ軸センサ11、傾斜センサ12、増幅部13、14の構成を示す回路図である。

10

【図5】図4における増幅器64、66の構成を示す回路図である。

【図6】図1に示すA/Dコンバータの動作を説明するためのタイミングチャートである。

【図7】図1に示すA/Dコンバータの動作を説明するためのタイミングチャートである。

【図8】同磁気測定回路の動作を従来のものとの比較の上で説明するための説明図である。

【図9】従来の磁気測定回路の要部の構成を示す回路図である。

【図10】図2における制御回路6の構成を示すブロック図である。

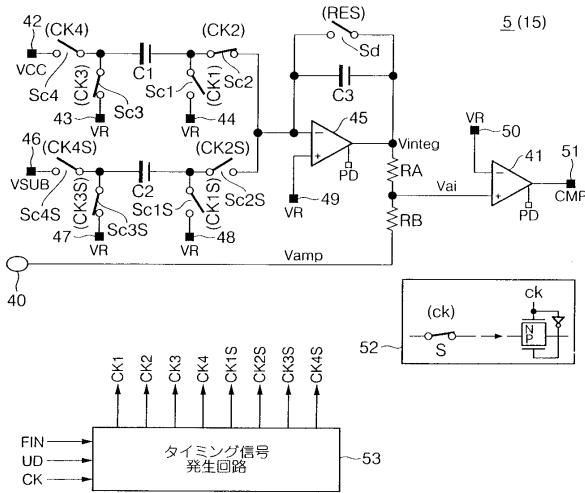
20

【符号の説明】

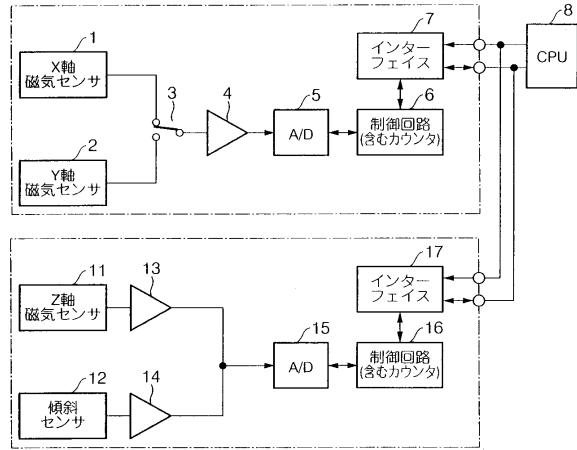
【0048】

1...X軸センサ、2...Y軸センサ、3...切換手段、4...増幅部、5...A/Dコンバータ、6...制御回路、7...インターフェイス、8...CPU、11...Z軸センサ、12...傾斜センサ、13、14...増幅部、15...A/Dコンバータ、16...制御回路、17...インターフェイス、1a~1d、2a~2d、11a~11d...GMR素子、24~26、30...増幅器、29、C1~C3...コンデンサ、31...サンプルホールド回路、41...コンパレータ、45...演算増幅器、53...タイミング信号発生回路、S1~S5、Sc1~Sc4、Sc1S~Sc4S...スイッチ、

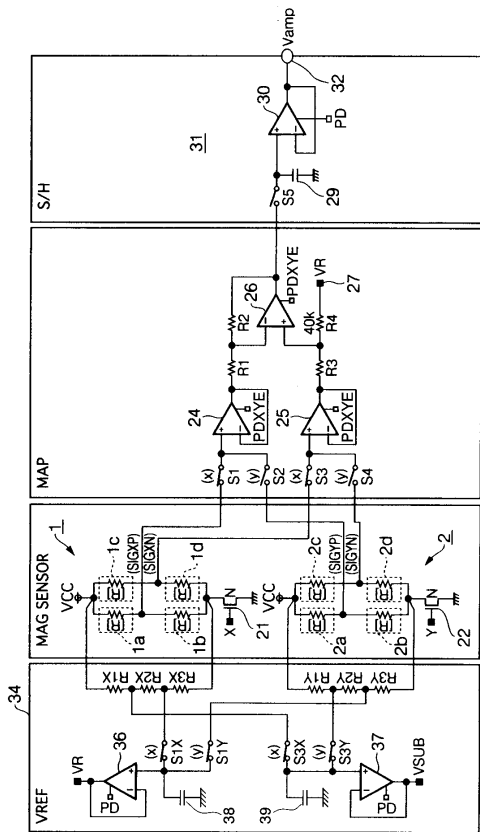
【図1】



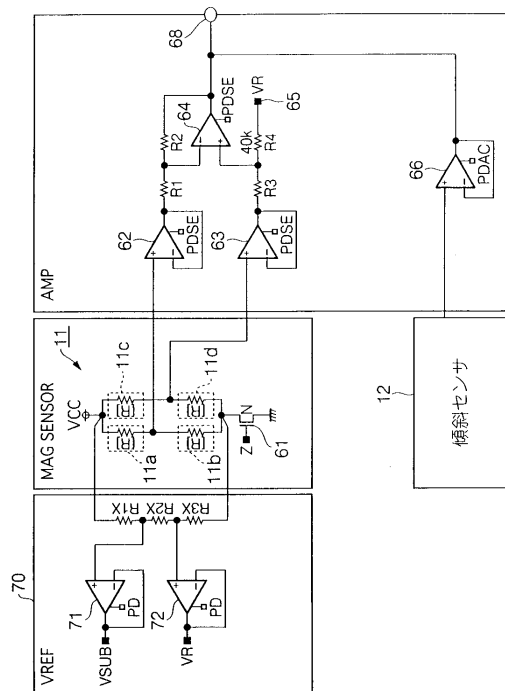
【図2】



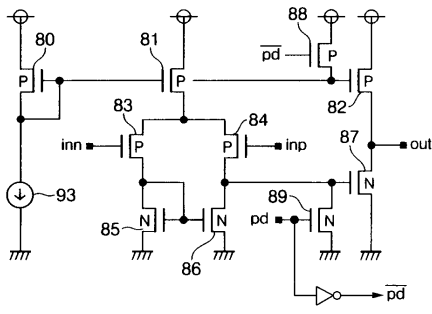
【図3】



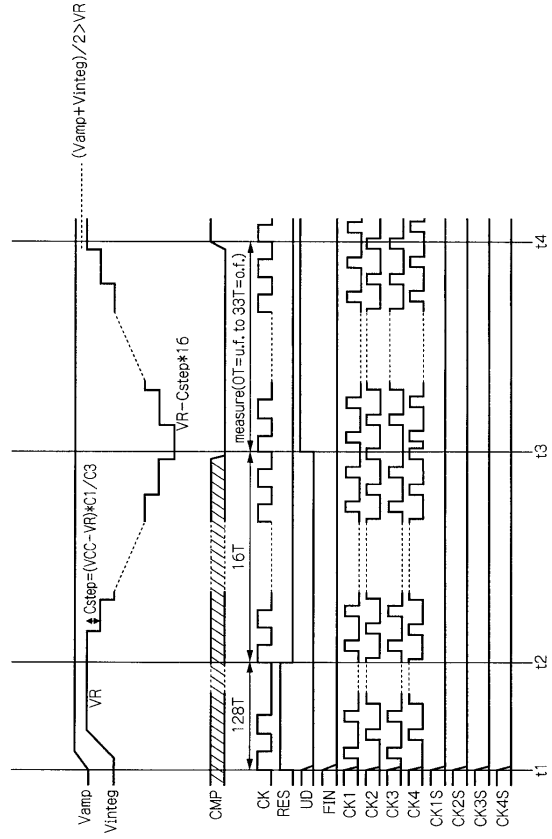
【図4】



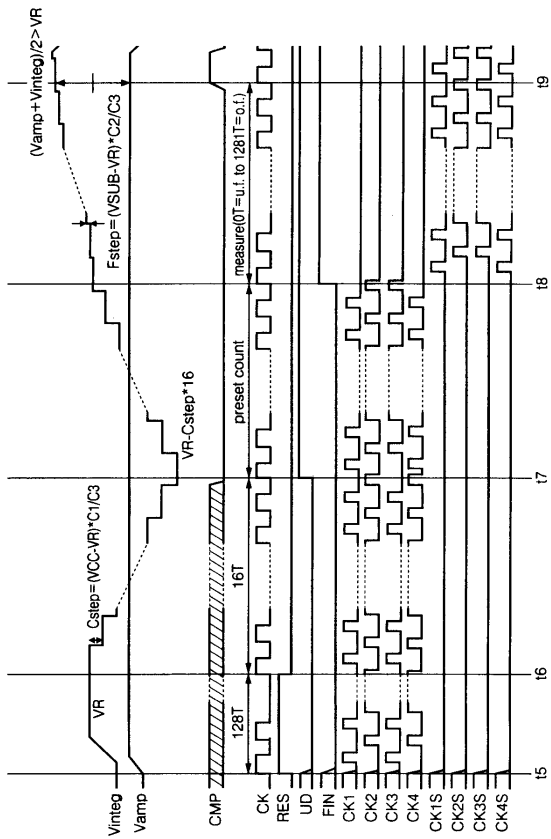
【 図 5 】



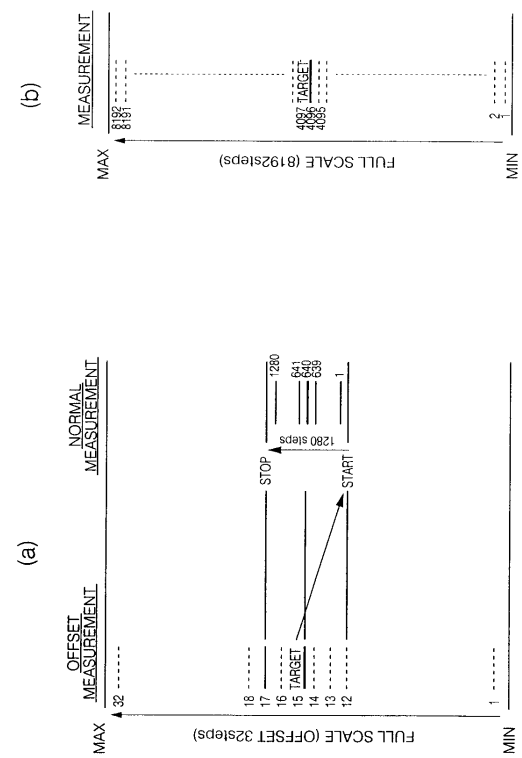
【 図 6 】



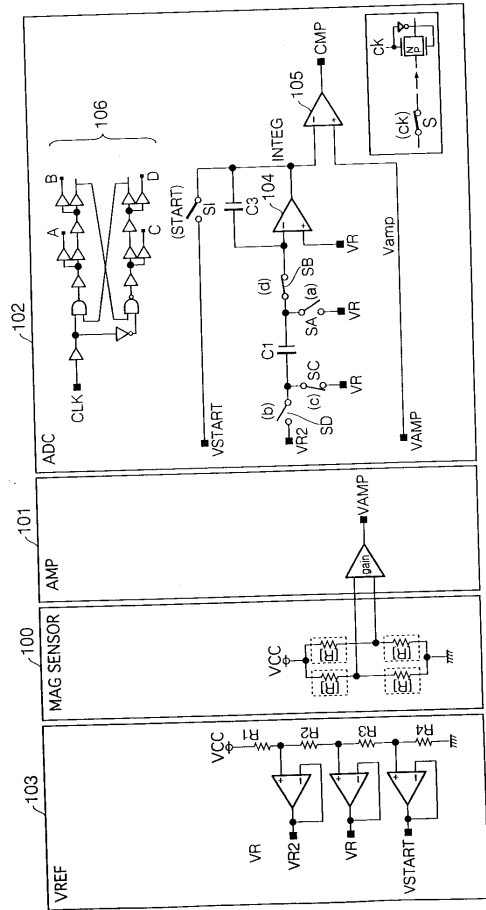
【 図 7 】



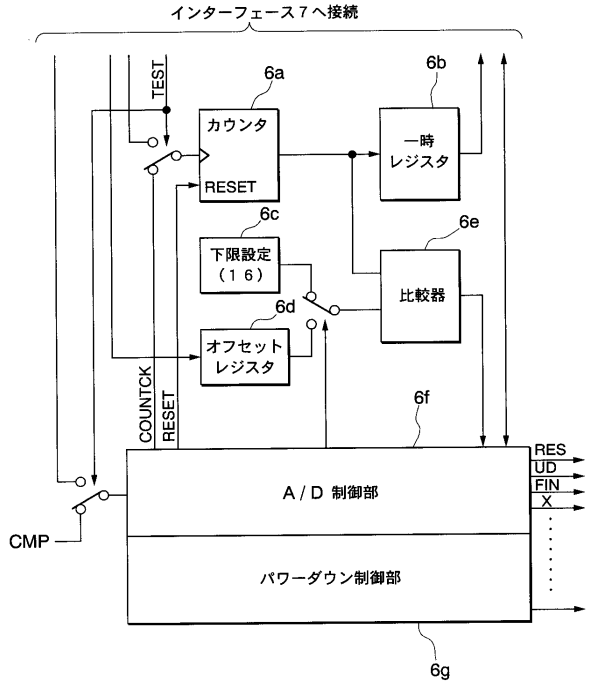
【 図 8 】



【図9】



【図10】



---

フロントページの続き

- (56)参考文献 特開2003-121520(JP,A)  
国際公開第03/081182(WO,A1)  
特開平07-183591(JP,A)  
特開平02-013869(JP,A)  
特開昭60-010914(JP,A)  
特開平03-237899(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 33/09  
G01R 33/02  
H01L 43/08