

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS

PATENT- OCH REGISTERSTYRELSEN

FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 780167 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application 780167

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
B66B

(22) Tekemispäivä - Ingivningsdag - Filing date 19.01.1978

(23) Saapumispäivä - Ankomstdag - Reception date 19.01.1978

(41) Tullut julkiseksi - Blivit offentlig - Available to the public 22.07.1978

(43) Julkaisupäivä - Publiceringsdag - Publication date 12.06.2019

(32) (33) (31) Etuoikeus - Prioritet - Priority

21.01.1977 US 761503

(71) Hakija - Sökande - Applicant

1 • Otis Elevator Co., 750 Third Avenue, New York N.Y., USA, AMERIKAN YHDYSVALLAT, (US)

(72) Keksijä - Uppfinnare - Inventor

1 • Doane, John C., USA, AMERIKAN YHDYSVALLAT, (US)

2 • Bittar, Joseph, USA, AMERIKAN YHDYSVALLAT, (US)

(74) Asiamies - Ombud - Agent

Kolster Oy Ab, Salmisaarenaukio 1, 00180 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Hissin säätösystemi

Hissreglersystem

Otis Elevator Company, 750 Third Avenue, New York, N.Y. 10017,
Yhdysvallat

Hissin säätösystemi - Hissreglersystem

Tämä keksintö kohdistuu hissin säätösystemiin. Erityisesti kohdistuu keksintö säätösystemiin joukon hissikoreja toiminnan säätämiseksi järjestelmässä yhteisvalvottuna ryhmänä.

Yhteisvalvonnan säätösystemit hissien ryhmille omaavat normaalisti erittäin toivottavan edun, että hissikoria voidaan käyttää tietyn rakennuksen kerrostasojen palvelua varten siitä huolimatta, että ne säätimet, jotka hissikoreja valvovat valvottuna ryhmänä, mahdollisesti pettäisivätkin. Tämä etu toteutetaan yleensä aikaansaamalla kullekin hissikoreista yksittäinen säätölaitteisto ja yhteinen valvova säätölaitteisto erikseen yksittäisestä säätölaitteistosta hissikorien säätämiseksi valvovana ryhmänä.

Yleistietokoneen kehittyminen, millä on kykyä toimia sekä säätötoiminnoissa kullekin hissikorille että valvovan säädön toiminnoissa tälle ryhmälle, on ollut vaikutukseltaan vain vähäinen hissiteollisuudessa, koska on haluttu ylläpitää yllä mainittu edul-

linen etu. Kustannustekijät ovat estäneet erillisen yleistarkoituksien tietokoneen käyttämisen, mikä on tarkoitettu kullekin hissikorille tässä hissijärjestelmässä, jotta täten säädettäisiin siihen liittyvää hissikoria sekä ylimääräisen tietokoneen hissikorien toiminnan säätämiseksi valvottuna ryhmänä. Edelleen erillisen yleis-tietokoneen käyttäminen hissijärjestelyssä tähän tapaan vaatisi sen ongelman ratkaisun, kuinka säätömerkit siirretään valvovan tietokoneen ja kunkin hissikorin säätötietokoneiden välillä.

Viimeaikaisimmat kehitykset puolijohdeteollisuudessa ovat johtaneet pienen kustannuksen tuotantomahdollisuuteen sellaisille laitteille, kuten mikroprosessorit ja puolijohdemuistit, jotka voidaan ohjelmoida erillisiä käyttöjä varten. Tästä seurauksena erillinen mikroprosessori ja muisti sovellettuina kuhunkin hissikoreista tietyssä ryhmässä ja ohjelmoituna ohjaamaan siihen liittyvän hissikorin toimintoja, minkä lisäksi olisi ylimääräinen mikroprosessori, joka muisti yhdistelmänä ohjelmoituna ohjaamaan erillisten hissikorien toimintaa valvottuna ryhmänä on nyt käynyt taloudellisesti mahdolliseksi. Jotta tällaista hissien säätösystemiä voitaisiin käyttää, riippuu sen toiminta prosessorin ja muistin ohjelman yhdistelmästä, mikä on tarkoitettu ohjaamaan valvonnan säätötoimintoja ja siirtämään valvovia merkkejä ulos vastaanottamaan hissikorin säätömerkkejä eri prosessoreista ja muisteista, mitkä liittyvät kuhunkin hissikoreista ja tässä hissijärjestelmässä kokonaisuudessaan.

Tämän keksinnön tarkoitus on aikaansaada parannettu ryhmän hissejä valvonnan säätösystemi.

Vielä eräs tämän keksinnön tarkoitus on aikaansaada hissien säätösystemi, missä käytetään moderneja sähköisiä kytkentäosia.

Vielä tämän keksinnön eräs tarkoitus on aikaansaada laitteisto mahdollistamaan ryhmänä valvottava hissisysteemi, mikä muodostuisi mikroprosessorista ja muistista yhdistelmänä ja siirtäen merkkejä ulos ja vastaanottaen merkkejä yhdestä tai useammasta mikroprosessorin ja muistin yhdistelmästä liittyen tämän hissisysteemin eri hissikoreihin.

Tämän keksinnön mukaisesti on aikaansaatu säätösystemi käytettäväksi hissijärjestelyssä, mihin liittyy joukko hissikoreja, jotka toimivat joukolle kerrostasoja. Tähän hissiasennustilantee-

seen sisältyy ryhmän säätölaitteet muodostuen tasojen rekisteröintiosista, joilla aikaansaadaan kerrostasojen kutsumerkkejä sekä hissikorien säätölaitteista yksitellen kullekin eri hissikoreista tässä hissijärjestelmässä, mihin sisältyy hissikorien käyttölaitteistot, hissikorin kutsulaitteiston osat ja hissikorin asemaa ilmaisevat laitteet, viimemainitun kahden aikaansaadessa hissikorin kutsun ja vastaavasti hissikorin aseman merkit. Seurauksena kerrostason kutsumerkeistä, hissikorin kutsumerkeistä ja hissikorin aseman merkeistä kehittää säätösysteemi ensimmäiset ja toiset hissikorin säätömerkit ja ryhmän säätömerkit, mitkä tuodaan hissikorin käyttölaitteistoon yksitellen liittyen kuhunkin näistä hissikoreista, minkä vaikutuksesta hissikorin toimintalaitteisto säätää siihen liittyvää hissikoria tietyinä yksilönä valvotusta ryhmästä. Säätösysteemiin sisältyy hissikorin käsittelylaitteet, ryhmän käsittelylaitteet ja ohjelman muistiosa varastoiden se nämä käskyjen säätöohjelmat, joihin sisältyy hissikorin ohjelma käskyineen sekä ryhmän ohjelma käskyineen. Hissikorin käsittelylaitteisto seurattessaan hissikorin kärkyjen ohjelmaa aina käsky kerrallaan vuorotellen toteuttaa tietyn ensimmäisen sarjan toimintoja aikaansaaden ensimmäiset hissikorin säätömerkit seurauksena hissikorin kutsusta ja hissikorin aseman merkeistä tietystä hissikorista saatuna ja syöttää ensimmäiset hissikorin säätömerkit tämän hissikorin käyttölaitteistoon liittyen kyseessä olevaan erityiseen hissikoriin, minkä vaikutuksesta tämä käyttölaite käyttää siihen liittyvää hissikoria määrätyllä tavalla. Ryhmän käsittelylaitteet toteuttaessaan ryhmän ohjelmaa käskyinä aina askel kerrallaan peräjäkeen toteuttavat toisen sarjan toimintoja aikaansaaden ryhmän säätömerkkejä seurauksena valituista ensimmäisistä hissikorin säätömerkeistä ja kerrostason kutsumerkeistä ja syöttää ryhmän säätömerkit hissikorin käsittelyosiin. Seurauksena ryhmän säätömerkeistä hissikorin käsittelylaitteisto aikaansaa toiset hissikorin säätömerkit, mitkä tuodaan yksittäisiin hissikorin käyttölaitteisiin, minkä vaikutuksesta hissikorin käyttölaitteisto käyttää eli siirtää hissikoreja tiettyinä yksilöinä valvotusta ryhmästä.

Muut tämän keksinnön tarkoitukset, piirteet ja edut tulevat käymään alan asiantuntijalle ilmi alempana olevasta selityksestä

ja oheisista patenttivaatimuksista, kun näitä tarkastellaan yhdessä oheisten piirustusten kanssa, joissa:

Kuvio 1A on yksinkertaistettu lohkokaavio osasta esitettyä keksinnön suoritusmuotoa, mikä liittyy kaikkiin hissikoreista tietyssä hissiasennusryhmässä säättäen niitä valvottuna ryhmänä.

Kuvio 1B on yksinkertaistettu lohkokaavio osasta esitettyä keksinnön suoritusmuotoa liittyen hissiasennusryhmän yhteen nimettyyn hissikoriin säättäen siihen liittyvää hissikoria.

Kuvio 2 on yksinkertaistettu kaaviokuvanto eräistä kerrostason kutsupiireistä ryhmän säätölaitteistolle hissien asennusryhmässä, mihin sisältyy lohkokaavio esitykset kerrostason kutsun yhteyspiireistä.

Kuviot 3A ja 3B ovat yksinkertaistettuja kaaviokuvantoja osasta kerrostason kutsun valintapiirejä tämän keksinnön mukaisessa säätösystemissä liittyen kerrostason kutsun piireihin, mitkä on esitetty kuviossa 2.

Kuviot 4, 5 ja 6 yhdistettynä ovat yksinkertaistettu kaaviokuvanto osasta keksinnön mukaisen säätösystemin piiristää, jolla aikaansaadaan merkkejä säättäen joukkoa hissikoreja valvotussa ryhmässä.

Kuviot 7, 8, 9A ja 9B ovat yhdistettynä yksinkertaistettu lohkokaavio merkin siirtosysteemin piiristä, millä liitetään kuvioissa 4, 5 ja 6 esitetty säätösystemiosuus sekä piiristö, liittyen kunkin hissikoreista tapaukseen keskenään yhteen.

Kuvio 10 on yksinkertaistettu kaaviokuvanto merkin siirtopiiristöstä, mikä liittyy määrättyyn hissikoriin kuvioissa 7, 8, 9A sekä 9B esitetyn piiristön liittämiseksi tähän liittyvään hissikorin säätöpiiristöön.

Kuviot 11, 12 ja 13 yhdistettynä ovat yksinkertaistettu kaaviokuvanto säätöpiiristöstä, mikä liittyy määrättyyn yhteen hissikoriin aikaansaamaan merkkejä siihen liittyvän hissikorin säätämiseksi.

Kuvio 14 on yksinkertaistettu kaaviokuvanto osasta hissikorin kutsun valintapiiristää säätösystemiin, mikä liittyy määrättyyn yhteen hissikoriin.

Kuvio 15 on yksinkertaistettu kaaviokuvanto eräistä hissikorin kutsun piireistä, mitkä liittyvät yhteen määrättyyn hissikoriin.

koriin sisältäen lohkokaavioesityksen hissikorin kutsun yhteyskytken piireistä.

Kuvio 16 on yksinkertaistettu kaaviokuvanto hissikorin säätömerkin valintapiiristöstä systeemissä, mikä liittyy määrättyyn yhteen hissikoriin sisältäen lohkokaavioesityksen hissikorin käyttölaitteiston yhteyskytken piiristöstä.

Kuvio 17 on yksinkertaistettu kaaviokuvanto hissikorin käyttölaitteistosta, mikä liittyy määrättyyn yhteen hissikoriin.

Kuviot 18A, 18B ja 18C ovat kaaviokuvantoja yhteenliittämisen piiristöstä, mitä käytetään kussakin niistä lohkoista, mitä on esitetty kuvioissa 2, 15 ja 16.

Kuvio 19 on ajoituskaavio, mikä havainnollistaa eräiden niistä merkeistä ominaisuuksia, joita kehitetään tämän keksinnön laitteistossa.

Kuviossa 1A ja 1B esitetty yksinkertaistettu lohkokaavio havainnollistaa säätösysteemiä käytettäväksi hissien asennusryhmässä, mihin sisältyy joukko hissikoreja A, b ... h (näistä ei koreja c-g ole esitetty), mitkä palvelevat joukkoa kerrostasoja tietys- sä rakennuksessa (mitä ei ole esitetty). Hissisysteemiin sisältyy ryhmän säätölaitteet, jotka on esitetty umpiviivalla esitettynä suorakaidelohkona GCE (kuvio 1A) yhteisenä eri hissikoreille a, b ... h sekä hissikorin säätölaitteisto, mikä on esitetty suorakaiteen muotoisena lohkona CCE(a) (kuvio 1B) yksitellen aina kullekin hissikorille "a". Tämä säätösysteemi sisältää ryhmän käsittelyosat GMP (kuvio 1A), hissikorin käsittelyosat CPM (kuvio 1B), joita molempia esitetään katkoviivalla hahmotetulla suorakaidelohkolla ja vielä ohjelman varastointiosat, mitkä on esitetty erillisellä umpiviivalla suorakaiteen muotoisina lohkoina GROM sekä vastaavasti CROM(a) (kuviot 1A ja 1B).

Kuten on esitetty, ryhmän käsittelyosat GPM ja hissikorin käsittelyosat CPM sisältävät joukon piirejä, mitkä on esitetty erilaisina umpiviivalla piirrettyinä suorakaidelohkoina kytkettyinä yhteen kahden eri paksuuden viivoilla. Kapeampi näistä kahdesta viivasta edustaa yksittäistä merkkijohtimen liitäntää eri piirien välillä ja leveämmät viivat osoittavat joukkoa merkkijohtimien kytkentöjä eri piirien välillä. Molemmat tyytit merkkijohtimia, joita kuvioissa 1A ja 1B on esitetty, on myös varustettu asiaan-

kuuluvilla nuolenkärjillä osoittamaan, milloin sitä halutaan, merk-
kien kulun kulkusuuntaa eri lohkojen välillä, joita nämä piirit edus-
tavat. Tätä lohkokaaaviota tarkasteltaessa tulisi ymmärtää, että ne
lohkot, joissa on ylimääräinen pikkukirjain suluissa niiden viite-
numeroihin liitettyinä, edustavat piiristöä, mikä yksitellen liit-
tyy vastaavaan hissikoriin hissisysteemissä. Edelleen tarkastelta-
essa kuviota 1B on ymmärrettävä, että lohkokaaavio edustaa hissiko-
riin "a" liittyvää piiristöä ja on myös ymmärrettävä, että saman-
lainen piiristö on järjestetty kutakin ylimääräistä hissikoria var-
ten hissisysteemissä. Koska kuhunkin hissikoreista liittyvä pii-
ristö on keskenään samanlaista, esitetään tässä yhteydessä keksin-
nön suoritusmuodosta yksinkertaistettu muunnos, missä se on katsot-
tu käytännölliseksi, esittämällä vain se piiristö, mikä liittyy
hissikoriin "a", vaikkakin on ymmärrettävä, että esitetty laitteis-
to on käytettävissä systeemissä, jossa on jopa kahdeksan hissiko-
ria a - h.

Ryhmän käsittelyosat GPM (kuvio 1A) sisältäen ryhmän käsit-
tely-yksikön GPU sekä siihen liittyvän ryhmän logiikkapiiristön
esitettynä joukkona suorakaidelohkoja kuviossa 1A on esitettynä yh-
distettynä ryhmän ohjelman varastointiosaan GROM, ryhmän säätölait-
teistoon GCE sekä hissikorin käsittelyosiin CPM (kuvio 1B). Kuten
kuviossa 1A on osoitettu, liittävät kaksisuuntaiset merkkijohtimet
GDØ-7 ryhmän käsittely-yksikön GPU sekä siihen liittyvän ryhmän lo-
giikkapiiristön sisältäen ryhmästä hissikoriin logiikkapiiristön
G/C, ryhmän tietojen varastointiosan GRAM sekä ryhmän muistirekis-
terin GR toisiinsa. Ulostulon johtimet GAØ-15 ryhmän muistirekis-
teristä GR liittävät tämän ryhmästä hissikoriin logiikan piiris-
tön G/C, ryhmän tietojen varastointiosan GRAM, ryhmän ohjelman va-
rastointiosat GROM sekä ryhmän laitteiston valintapiiristön GESC
toisiinsa.

Johtimet GIO-7 sekä GDØ-7 yhdistävät ryhmän ohjelman varas-
tointiosat GROM sekä ryhmän tietojen varastointiosat GRAM tämän
ryhmän kytkeviin osiin GS ja johtimet GDØ-7 yhdistävät ryhmän kyt-
kentäosat GS ryhmän käsittely-yksikköön GPU.

Yksittäiset merkkijohtimet 1HU, 2HD ... THD liittävät ryhmän
säätölaitteiston GCE ryhmän laitteiston valintapiiristöön GESC
vastaanottaakseen merkkejä, jotka edustavat muistiinmerkittyjä ker-

rostason kutsuja ja tuovat nämä pitkin johdinta $\overline{GD0}$ ryhmän käsittely-yksikköön GPU. Tämän lisäksi ryhmän käsittely-yksikkö GPU syöttää merkkejä pitkin johdinta $\overline{GD0}$ ryhmän laitteiston valinta-piiristöön GESC, jotta se lähettäisi kerrostason kutsun palautuksen merkkejä pitkin johtimia 1HU, 2HD ... THD lähettäen ne ryhmän säätölaitteistoon GCE.

Kuten kuviossa 1A on havainnollistettu, liittävät johtimet DT0(a), DT0(b) ... DT0(h) ryhmästä hissikorin logiikkapiiristön G/C yksitellen hissikorista ryhmään logiikkapiireihin, mitkä myös sisältyvät osana ryhmän käsittelylaitteisiin, joita on esitetty suorakaidelohkoina C/G(a), C/G(b) sekä C/G(h). Näistä niistä yksilöitä, jotka ovat hissikoreja c - g varten, ei yksinkertaistuksen vuoksi ole kuviossa esitetty. Tämän lisäksi liittää seitsemän merk-
kijohdinta DT1 - DT7 tämän ryhmästä hissikoriin logiikkapiiristön G/C kuhunkin hissikoreista ryhmään logiikkapiireihin C/G(a) jne.

Kuviossa 1A on esitetty kolme ylimääräistä yksittäistä merk-
kijohdinta XCRDY(a), XCRDY(b) sekä XCRDY(h) ja on ymmärrettävä, et-
tä samanlaisia johtimia hissikoreja c - g varten ei pelkästään yk-
sinkertaistuksen aikaansaamiseksi kuviossa ole esitetty. Nämä joh-
timet liittävät ryhmästä hissikoriin logiikkapiiristön G/C tämän
hissikorista ryhmään logiikkapiireihin G/C(a) jne., kuten kuvios-
sa 1A on havainnollistettu. Ryhmästä hissikoriin logiikkapiiristö
G/C on myös yhdistetty johtimella GSUS tämän ryhmän käsittelijä-
yksikköön GPU (kuvio 1A).

Lohkokaavioesitys hissikorin käsittelylaitteesta CPM (ku-
vio 1B) on esitetty varustettuna viitenumeroilla, joissa niihin
liitettynä on jälkiviite "(a)", mikä edustaa säätösystemin sitä
piiristöä, mikä liittyy hissikoriin "a". Sen piiristön samankal-
taisuuden johdosta, mikä kuhunkin hissikoriin liittyy seuraavassa
toteutettu kuvion 1B selitys, vaikkakin se on rajoitettu hissiko-
riin "a" liittyvään piiristöön, on ymmärrettävä olevan sovelletta-
vissa myös jäljellä oleviin hissikoreihin liittyviin piireihin
(joita ei ole esitetty).

Hissikorin käsittelylaite CPM sisältää hissikorin käsitte-
lytietokoneen CPU(a) sekä siihen liittyvän hissikorin logiikkapii-
ristön, mikä on esitetty joukkona suorakaidelohkoja, mitkä on yh-
distetty hissikorin käsittelijän CPU(a), hissikorin ohjelman va-

rastointilaitteen CROM(a), hissikorin säätölaitteiston CCE(a) sekä hissikorin ja ryhmän välisen logiikkapiiristön C/G(a) ryhmän käsittelylaitteesta GPM (kuvio 1A) välille.

Kuten kuviossa 1B on esitetty, yhdistävät kaksisuuntaiset merkkijohtimet $\overline{CD0(a)} - \overline{CD7(a)}$ tietyn hissikorin prosessorin CPU(a) tämän hissikorin tietojen kytkentälaitteeseen SW(a) sekä hissikorin muistirekisteriin CR(a). Ulostulon johtimet CA0(a) - CA15 tietystä hissikorin muistirekisteristä CR(a) liittävätkin sen hissikorin tietojen kytkentälaitteeseen SW(a), hissikorin ohjelman varastointiosiin CROM(a) sekä hissikorin laitteiston valintapiiristöön CES(a). Hissikorin tietojen kytkentälaite SW(a) on myös yhdistetty hissikorista ryhmään logiikkapiiristöön C/G(a) (kuvio 1A) johtimien GCA0(a) - GCA7(a), $\overline{GCA0(a)} - \overline{GCA7(a)}$ sekä DTS(a) avulla. Tämän lisäksi hissikorin tietojen kytkentälaite SW(a) on yhdistetty johtimilla CI0(a) - CI07(a) hissikorin ohjelman varastointiosiin CROM(a) ja yhdistetty johtimilla CD00(a) - CD07(a) hissikorin tietojen varastointiosiin CRAM(a). Hissikorin käsittely-yksikkö CPU(a) on yhdistetty tämän hissikorista ryhmään logiikkapiiriin C/G(a) (kuvio 1A) käyttämällä johdinta CSUS(a).

Kuvioissa 2-18 yksinkertaistettuun tapaan havainnollistetut kaaviokuvannot sisältävät joukon kaupallisia piiriyksiköjä, mitkä kuvioissa on tunnistettu viitenumeroilla, jotka vastaavat kyseisen valmistajan osanumeroa. Tässä selityksessä on kuvattu, missä kaupallisesti ostettavissa olevaa piiristöä käytetään ainoastaan määrätty sisääntulon, ulostulon ja säätömerkin liitännät ja on ymmärrettävä, että ne sisääntulon, ulostulon tai säädön liitännät, joita ei kuvata, toteutetaan valmistajan standardiohjeiden mukaisesti. On myös ymmärrettävä, että milloin käytetään tietyn erityisen valmistajan osanumeroa, tarkoitetaan tätä osaa käytettäväksi tässä selityksessä kuvatussa suoritussuorituksessa. On siis ajateltavissa, että vastaavia osia, joita muut valmistajat valmistavat, voitaisiin sijoittaa näiden sijaan.

Havainnollistettaessa tyypillisiä ja, nor, tai, nand sekä inversiofunktioita, on kuvioissa käytetty standardeja symboleja. Kuitenkin on niitten piirien tunnistamiseksi, jotka ovat yhteisiä määrättylle kaupalliselle osalle, mikä sisältää joukon tällaisia

piirejä, kukin piiri tästä kaupallisesta osasta tunnistettu samalla viitenumerolla, mihin on liitetty viitekirjain.

Seuraavassa olevassa selityksessä on jatkuva binäärisen ykköksen tasoinen merkki tai jännite osoitettu syötettäväksi pitkin sitä johdinta, mikä on tunnistettu viitemerkinnällä L10 ja jatkuva binäärinen nollatason merkki on havainnollistettu syötettäväksi pitkin johdinta, mikä on tunnistettu viitemerkinnällä HL1.

Useat merkkijohtimista on esitetty useammassakin kuin yhdessä kuviossa. Aina, kun tämä tilanne esiintyy, on suluissa oleva numero osoittaen sitä toista kuviota, missä johdin on myös esitetty, liitetty niihin viitenumeroihin, jotka kyseisen johtimen tunnistavat.

Kerrostason kutsun muistiinmerkinnän piirejä, jotka käyttävät sinänsä tunnettuja kylmäkatodin kaasuputkia painonappeina 1HU, 2HD ... THD, ollen RCA tyyppiä 1C21 tai sitä vastaavia, on kuviossa 2 esitetty pohjatasolle ja kerroksille 2-6, 7-11 sekä 12-T, kuten vastaavasti on esitetty US-patentissa n:o 3 614 995. Aikaansaadun suoritusmuodon toiminta, mitä tässä yhteydessä kuvataan, on toteutettu kyseisen patentin toiminnan mukaisesti ja kyseinen patenttiselitys otetaan mukaan viittauksenomaisesti yksinkertaistuksen vuoksi. Painonappien toiminnan täydellinen selitys on löydettävissä kyseisestä patenttijulkaisusta. Vaikkakin ainoastaan tiettyjä kerrostason kutsun muistiinmerkinnän piirejä on tässä yhteydessä esitetty, on ymmärrettävä, että samanlaiset piirit on järjestetty muillekin kerrostasoille. Kukin katodi kustakin putkesta on liitetty kytkinnäpään I1 eri optisesta liitälaitteesta sekä tason muuntimesta 18A, missä on kuviossa 18A esitetty piiristö ja mikä tullaan täydellisemmin kuvaamaan myöhemmin. Kukin optinen kytkin ja tason muunnin 18A on myös liitetty johtoon B0 sekä johtimeen AC1 tehonsyötöstä PS1. Tehonsyöttö PS1 syöttää likimäärin 95 voltin jännitteen R.M.S. johtimeen B0 verrattuna pitkin johdinta AC1 ja suuruudeltaan likimäärin 150 volttia R.M.S. jätteen maahan verrattuna pitkin johdinta B0. Kerrostason kutsun piirien haluttua toimintaa varten jännitteet johtimien AC1 ja B0 sekä johtimien B0 ja maadoituksen välillä ovat 180° eri vaiheisia toisiinsa verrattuin.

Kukin kaasuputkista on järjestetty johtamaan virtaa johti-

mesta B+ johtimeen B0, kun joku koskettaa nappulaa. Tämä merkitsee muistiin kerrostason kutsun vastaavalle kerroksellis syöttämällä lisääntyneen jännitteen putken katodilta sisääntulon kytkinnapaan I1 tähän liittyvässä optisessa liittimessä ja tason muuntimessa 18A, mikä syöttää binäärisen nollamerkin siihen johtimeen, mikä liittyy S merkittyy ulostulon kytkinnapaan. Jotta voitaisiin sammuttaa muistiinmerkitty kerrostason kutsu, tuodaan binäärinen nollamerkki pitkin palautuksen johdinta 1HUR, 2HUR ... THDR, mikä liittyy palautuksen kytkinnapaan R siinä optisessa liittimessä ja tason muuntimessa, mikä liittyy johtamistilassa olevaan kaasuputkeen. Seurausena binäärisestä nollatason merkistä tuotuna tämän palautuksen kytkinnapaan, pienennetään levyn jännite putken yli arvoon, joka on pienempi kuin sen ylläpitävä jännite ja putki sammuu, mikä täten poistaa muistiinmerkityn kutsun.

Ylöspäin kerrostaolta signaalit tuodaan pitkin johtimia 1HUS, 2HUS, 6HUS, 7HUS, 11HUS sekä 12HUS sisääntulon piikkeihin 12, 13, 2, 3, 14 ja 15 kerrostason kutsun valintayksikköjen 30 ja 32 parissa (kuvio 3A), mitkä ovat Signetics tyyppiä 74251 tai sitä vastaavia. Vastaavasti alaspäin kerrostaolta kutsun muistiinmerkinnän signaalit tuodaan pitkin johtimia 2HDS, 6HDS, 7HDS, 11HDS, 12HDS sekä THDS sisääntulon piikkeihin 13, 2, 3, 14, 15 ja 4 toisesta parista kerrostason kutsun valintayksikköjä 34 ja 36 (kuvio 3B), mitkä ovat Signetics-tyyppiä 74251 tai sille vastaavia. Ylimääräisiä kerrostason kutsun muistiinmerkinnän signaaleja tuodaan muihin sisääntulon kytkinnapoihin. Kukin ulostulon piikeistä 5 neljässä kerrostason kutsun valintayksikössä 30, 32, 34 ja 36 on yhdistetty yhdessä johtimeen $\overline{GD0}$ siirtäen sellaisen binäärisen merkin ryhmän prosessoriin GPU (kuvio 4), mikä vastaa valittua kerrostason kutsua. Tämä kerrostason kutsu, mikä aikaansaa vastaavan binäärisen merkin siirtämisen pitkin johdinta $\overline{GD0}$, valitaan tuomalla kolmen bitin binäärinen merkki pitkin johtimia GA0, GA1 ja GA2 tietojen valinnan sisääntulopiikkeihin 9, 10 ja 11 määrätystä näistä neljästä yksiköstä ja tuodaan binäärinen nollatason merkki pitkin johtimia $\overline{EU1}$, $\overline{EU2}$, $\overline{ED1}$ tai $\overline{ED2}$ päällesaattavaan piikkiin 7 siihen niistä neljästä yksiköstä kyseessä olevasta tavalla, mikä tullaan myöhemmin kuvaamaan.

Johdin $\overline{GD0}$ on myös yhteinen sisääntulon piikeille 13 neljäs-

tä kahdeksalla bitillä osoitettavissa olevasta salvasta, jotka ovat Fairchild-tyyppiä 9334 tai sitä vastaavia, mitä käytetään kerrostason kutsun palautusmerkin valintayksikköinä 38, 40, 42 ja 44 kuvioissa 3A ja 3B. Kerrostason kutsun palautusmerkki tuodaan valinnaisesti eräästä ulostulon piikeistä 4, 5, 6, 9, 10, 11 tai 12 eräässä näistä neljästä yksiköstä pitkin johtimia 1HUR, 2HDR ... THDR palautuksen kytkinnapaan valitusta optisesta kytkinliittimestä ja tason muuntimesta 18A (kuvio 2) seurauksena siitä, että palautuksen merkki on tuote piikkiin 13 vastaavassa yksikössä pitkin johdinta $\overline{GD0}$ kolmen bitin binäärisen merkin tullessa pitkin johtimia GA0, GA1 sekä GA2 tietojen valintapiikkeihin 1, 2 ja 3 vastaavassa palautuksen yksikössä 38, 40, 42 tai 44 ja tuodaan binäärinen nollatason merkki pitkin johtimia $\overline{EU3}$, $\overline{EU4}$, $\overline{ED3}$ tai $\overline{ED4}$, jotta saatettaisiin päälle piikki 14 valitusta yksiköstä.

Kerrostason kutsun muistiinmerkinnän ja palautuksen signaalien siirto mahdollistetaan parilla kaksiosaisia kahdesta johtimesta 4-johtimeen tulkkilaitte/demultipleksoijan yksiköitä 46 ja 48, joita käytetään valinnan laitteina ja jotka ovat Signetics-tyyppiä 74155 tai sitä vastaavia. Ensimmäinen näistä esitetyistä yksiköistä on esitetty suorakaiteen muotoisena lohkona 46 kuviossa 3A ja siitä on sisääntulon piikit 2 ja 14 kytketty johtimella $\overline{GEX0}$ ulkopuoliseen yhteenkytkennän piiriin 72 (kuvio 5). Kuten on esitetty, yhdistävät johtimet GRX sekä GWX sisääntulon piikit 1 ja 3 siihen piiristöön, mikä kuviossa 5 on esitetty, kun taas piikki 15 pidetään maan jännitteessä. Tämän lisäksi johdin GA3 yhdistää sisääntulon piikin 13 yksiköstä 46 ryhmän muistirekisteriin GR (kuvio 4). Seurauksena siitä, että signaaleja tuodaan sisääntulon piikkeihin, tuo yksikkö 46 binäärisen nollatason signaalien ulostulon piikeistään 11 tai 12 pitkin johtimia $\overline{EU3}$ ja $\overline{EU4}$ piikkeihin 14 kerrostason kutsun palautuksen yksiköissä, mikä on esitetty lohkoina 38 ja 40 (kuvio 3A) tai tuo ulostulon piikeistään 6 ja 7 merkit pitkin johtimia $\overline{EU2}$ tai $\overline{EU1}$ piikkeihin 7 kerrostason kutsun muistiinmerkinnän merkkiyksiköissä, mitkä on esitetty lohkoina 30 ja vastaavasti 32 kuviossa 3A.

Toinen dekoderi/demultipleksoijan yksiköistä, mikä kuviossa 3B on esitetty suorakaidelohkona mahdollistetaan toimintaan seurauksena binäärisen nollatason merkin syöttämisestä pitkin joh-

dinta $\overline{GEX1}$ kuvion 5 yksiköstä 72 sen sisääntulon piikkeihin 2 ja 14. Yksikön 48 (kuvio 3B) sisääntulon piikit 15, 3, 13 ja 1 on liitetty maan jännitteeseen pitkin johdinta HL1, johdinta GWX, johdinta GA3 sekä vastaavasti pitkin johdinta GRX. Tämä yksikkö toimii samaan tapaan kuin yllä kuvattu yksikkö 46 aikaansaaden binäärisiä nollatason merkkejä, mitkä tuodaan piikkeihin 7, 6 tai 11 ja 12. Yksikkö 48 kehittää binäärisen nollatason merkin piikeistä 7 tai 6 pitkin johdinta $\overline{ED1}$ tai $\overline{ED2}$ sisääntulon piikkeihin 7 kerrostason kutsun muistiinmerkinnän merkkiyksiköissä, mitkä on esitetty lohkoina 36 ja vastaavasti 34 tai kehittää piikeistä 11 tai 12 pitkin johtimia $\overline{ED3}$ tai $\overline{ED4}$ piikkeihin 14 kerrostason palautuksen merkkiyksiköissä, mitkä on esitetty lohkoina 42 ja vastaavasti 44 kuviossa 3B.

Kuviot 4, 5 ja 6 yhdistettynä esittävät yksinkertaistetun lohkokaaavion yhteyskytkennöistä ryhmän käsittelyprosessorin GPU ja siihen liittyvän piiristön välillä, mitkä muodostavat osan ryhmän käsittelyosista, joita on havainnollistettu lohkokaaavion muodossa kuviossa 1A. Vaikkakin on ajateltu, että vastaavia yksiköjä voitaisiin tyydyttävästi käyttää, on valmistetun suoritusmuodon ryhmän prosessoriyksikkö GPU tyypiltään Intel yhden lastun 8-bitin rinnakkaistyyppinen keskusprosessoriyksikkö tyyppiä 8008 ja sisältää kuusi 8-bitin tietorekisteriä, 8-bitin akkumuistin, kaksi 8-bitin väliaikaista muistirekisteriä, muistivaraston ohjelman ja alirutiinien osoitteiden muistamiseksi sekä 8-bitin rinnakkaistyyppisen binäärisen aritmetiikkayksikön, mikä pystyy toteuttamaan yhteenlaskun, vähennyslaskun ja loogisia toimenpiteitä. Kukin näistä toiminnoista toteutetaan tietyssä ennakkolta määrätyssä määrässä aikavaiheita eli koneen jaksoja T1, T2, T3, T4, T5, T1I, ODOTA ja PY-SÄHTYNYT, kunkin näistä vaatiessa kaksi aikajaksoa kellopulssin signaalista syötettynä piikkeihin 16 ja 15 tämän ryhmän käsittelyyksikössä GPU tuotuna 800 kHz oskillaattorista 50.

Vapaasti käyvä oskillaattori 50 (kuvio 4) saattaa olla mitä tahansa sinänsä tunnettua tyyppiä, mikä aikaansaa komplementaaristen pulssimaisten merkkien parin likimäärin 800 kHz taajuudella ja missä pulssin leveys on puolet sen jaksonajasta. Nämä pulssit tuodaan johtimia G01 sekä G02 pitkin ja sisääntulon piikkeihin 16 ja 15 vastaavasti ryhmän käsittelyprosessorissa GPU (kuvio 4).

Näillä pulsseilla on sellaiset ominaisuudet, mitä on esitetty kuvion 19 ajoituskaaviossa viitemerkintöjen G01 ja G02 vieressä. Seurauksena 800 kHz pulssimerkeistä tuotuna tämän ryhmän prosessoriin GPU tämä kehittää pulssimerkin likimäärin 400 kHz taaajuudella, missä pulssin leveys on puolet sen jaksosta tämän ulostulon piikkiin 14, pitkin johdinta GSYNC ja ulkopuolisen ryhmän logiikkapiiristöön. Merkki tuotuna pitkin johdinta GSYNC on ominaisuuksiltaan sellainen, mitä on esitetty kuvion 19 ajoituskaaviossa viitemerkinnän GSYNC vieressä. Johtimet GS0, GS1 ja GS2 (kuviot 4 ja 5) yhdistävät ryhmän prosessorin piikit 13, 12 sekä 11 ja myös piikit 3, 2 ja vastaavasti 1 kolmesta kahdeksaan johtimen dekodeeriyksikköön 70, mikä on Signetics-tyyppiä 74S138 (kuvio 5) tai sitä vastaava.

Normaalisti avoin kytkin GST (kuvio 4), mistä eräs kytkinnäpä on liitetty johtimeen HL1 ja mistä toinen kytkinnäpä on liitetty piikkiin 18 ryhmän prosessiyksiköstä GPU saatetaan käsin toimintaan sulkien se, jotta käyttäjä pystyisi nollaamaan sisäisen ohjelman laskimen tässä ryhmän prosessorissa. Johdin GSUS on liitetty piikkiin 17 ryhmän prosessorissa GPU sekä ryhmän logiikkapiiristöön kuviosta 9A, mitä tullaan kuvaamaan myöhemmin.

Kuten kuviossa 4 on osoitettu, yhdistävät johtimet GD0, GD1 ... GD7 ryhmän prosessorin tietojen yhdyskiskon piikit 9, 8 ... 2 pariin 4-bittisiä rinnakkaisia kaksisuuntaisen yhteyskiskon käyttöyksiköitä 54 ja 56, mitkä ovat Intel-tyypin 8226 laatuja tai sitä vastaavia. Kahteen suuntaan toimivan tietojen yhdyskiskon piikit 3, 6, 10 ja 13 tästä parista yhdyskiskon käyttölaitteita 54 ja 56 on yhdistetty johtimiin $\overline{GD0}$, $\overline{GD1}$... $\overline{GD7}$, niin että siirretään kahdeksan bitin osoitesignaali ja myös kahdeksan bitin koodin merkki D sisääntulon piikkeihin 2, 3, 6 ja 7 näistä neljästä nelinkertaisesta bistabiilista salvasta 58, 60, 62 ja 64, mitkä ovat Signetics-tyyppiä 7475 tai sitä vastaavia. Kyseiset neljä salpaa 58, 60, 62 ja 64 vastaavat ryhmän rekisteriä GR kuviosta 1A ja ne on täten tunnistettu kuviossa 4. Johtimet $\overline{GD0}$, $\overline{GD1}$... $\overline{GD7}$ on myös yhdistetty ulostulon piikkeihin 4, 7, 9 ja 12 parista kolmi-asentoisia nelinkertaisia kahden tieton valitsija/multipleksoijia 66 ja 68, mitkä ovat Signetics-tyyppiä 74258 tai sitä vastaavia.

Nämä on tunnistettu ryhmän säätökytkimenä GS kuvioissa 1A sekä 4. Nämä siirtävät ryhmän tietojen merkkejä pitkin johtimia $\overline{GD0}$ - $\overline{GD7}$ ryhmän tietojen varastointiosasta GRAM (kuvio 6) sekä ryhmän prosessorin käskymerkkejä ryhmän ohjelman varastointiosasta GROM (kuvio 6) kaksisuuntaisen tietojen syöttökiskon piikkeihin 3, 6, 10 ja 13 yksiköissä 54 ja 56. Tämän lisäksi, kuten on osoitettu sulkumerkinnällä, mikä on liitetty johdinosuuksiin $\overline{GD0}$, $\overline{GD1}$... $\overline{GD7}$, mitkä on esitetty kuvion 4 yläosassa, ovat nämä johtimet liitetty piiristöön, jota tullaan kuvaamaan sekä sisääntulon piikkeihin joukosta inverttereitä, joita on esitetty kuviossa 6 ja joista niiden ulostulon piikit on yhdistetty tietojen varastointiosiin GRAM kyseisessä kuviossa.

Nelinkertaiset bistabiilit salpayksiköt 58 ja 62 ryhmän rekisteristä GR vastaanottavat kahdeksan bitin osoitesignaalin, mikä tuodaan niiden D sisääntulon piikkeihin 2, 3, 6 ja 7 ja ne toimivat syöttäen näitten merkkien komplementit pitkin johtimia $\overline{GA0}$, $\overline{GA1}$... $\overline{GA7}$ kuviossa 6 esitettyyn piiristöön seurauksena binäärisestä ykkösen tason pulssimerkistä tuotuna sinne pitkin johdinta $\overline{GT1}$ niiden kellon sisääntulon piikkeihin 4 ja 13. Tämän lisäksi nelinkertaiset bistabiiliset salpayksiköt 60 ja 64 ryhmän rekisteristä GR vastaanottavat 8-bitin koodimerkin syötettynä näiden D sisääntulon piikkeihin 2, 3, 6 ja 7 ja ne toimivat syöttäen vastaavat sekä komplementääriset merkit pitkin johtimia $\overline{GA8}$, $\overline{GA9}$... $\overline{GA15}$ ryhmän logiikkapiiristöön kuvioden 5, 6, 7, 8, 9A ja 9B mukaan seurauksena binäärisen ykkösen tasoisen pulssimerkin tuomisesta niiden kellosisääntulon piikkeihin 4 ja 13 pitkin johdinta $\overline{GT2}$.

Johtimet $\overline{GSS}$, $\overline{GSR}$, $\overline{GCS}$ sekä $\overline{GD1EN}$ liitettynä säätöpiikkeihin 1 ja 15 tietojen valitsijoista 66 ja 68 sekä syöttökiskon käyttölaiteista 54 ja 56 liittävät nämä piikit kuvion 5 laitteistoon, mitä tullaan kuvaamaan myöhemmin.

Ryhmän prosessori GPU syöttää 3-bitin binäärikoodatun ajoituksen tilan tunnistuksen merkin pitkin johtimia $\overline{GS0}$, $\overline{GS1}$ sekä $\overline{GS2}$ sisääntulon piikeistään 13, 12 ja vastaavasti 11 valittuihin sisääntulon piikkeihin 1, 2 ja 3 tässä dekodderi/demultipleksoijan yksikössä 70 (kuvio 5), mikä on Signetics-tyyppiä 74S138 tai sitä vastaava. Dekodderi 70, mitä käytetään 3-8 johtimen dekodderina,

tuo merkkejä pitkin johtimia $\overline{GT2}$, $\overline{GT1}$, $\overline{GT1I}$ sekä $\overline{GT3}$ sen ulostulon piikeistä 14, 13, 12 ja vastaavasti 11 tämän ryhmän logiikkapiiristöön, mikä on esitetty kuvioissa 4, 5 ja 9A.

Johtimet GA14 ja GA15 liittävät valitun sisääntulon piikit 2 ja 3 kahdesta neljään johtimen dekooderiyksiköstä 74 (kuvio 5) olemassa oleviin $\overline{Q}$ ulostulon piikkeihin 11 ja 8 bistabiilissa salpayksikössä 54 (kuvio 4). Dekooderi 74 on Signetics-tyyppiä 74S139 tai sitä vastaava. Dekooderiyksikössä 74 on kaksi ylimääräistä valinnan sisääntulon piikkiä 14 ja 13, mitkä on esitetty liitettyinä johtimilla GA10 ja GA11 bistabiilin salvan 60 (kuvio 4) olemassa oleviin $\overline{Q}$ ulostulon piikkeihin 11 ja vastaavasti 8. Päällesaatavat sisääntulon piikit 1 ja 15 yksiköstä 74 on liitetty johtimella HL1 maahan sekä vastaavasti johtimella GA13 bistabiilin salvan 64 ulostulon piikkiin 14 (kuvio 4).

Dekooderin yksikkö 74 syöttää ryhmän varastoinnin valintamerkin ulostulon piikistä 10 pitkin johdinta GSS valinnan sisääntulon piikkeihin 1 parista tietojen valintayksiköistä 66 ja 68 (kuvio 4). Kaksi ylimääräistä ulostulon piikkiä 11 ja 12 on esitetty liitettyinä sisääntulopiikkeihin 13 ja vastaavasti 12 käytetystä kahden sisääntulon JA portista 80D, mistä ulostulon piikki 11 on yhdistetty johtimella GRSE kahteen tahdistuksen sisääntulon piikkiin 18 ja 19 neljästä kuuteentoista johtimen dekooderi/demultipliksoijayksiköstä 90 (kuvio 6), mikä on Signetics-tyyppiä 74154 tai sitä vastaava.

Ulostulon piikki 11 tästä JA portista 80D on myös liitetty sisääntulon piikkiin 2 nand portista 84A, mistä sen toinen sisääntulon piikki 1 on liitetty dekooderiyksikön 74 ulostulon piikkiin 10. Ulostulon piikki 3 nand portista 84A on yhdistetty sisääntulon piikkiin 5 kahden sisääntulon nand portista 84B, mistä sen toinen sisääntulon piikki 4 on yhdistetty johtimella GRX ulostulon piikkiin 3 JA portista 80A, mikä on esitetty ylemmässä oikeanpuoleisessa nurkassa kuviota 5. Nand portti 84B syöttää ryhmän varaston lukumerkin pitkin johdinta GSR säädön ulostulon piikkeihin 15 parista tietojen valitsijoita 66 ja 68 (kuvio 4).

Toinen puolisko kaksiosaisesta J-K päälaitte- ja orjavuoroteliijasta 78B, mikä on Signetics-tyyppiä 7476 tai sitä vastaava on etukäteen asettelun sisääntulopiikistä 7 yhdistetty ulostulon

piikkiin 8 kahdesta sisääntulon nand portista 84C, joista niiden sisääntulon piikit 9 ja 10 on yhdistetty ulostulon piikkeihin 2 ja vastaavasti 8 parista inverttereitä 86A ja 86D. Johtimet $\overline{GPCW}$ sekä $\overline{GT3}$ yhdistävät sisääntulon piikit 1 ja 9 näistä kahdesta invertteristä 86A ja 86D vastaavaan ulostulon piikkiin 7 käytetystä kahdesta neljään johtimen dekooderiyksiköstä 74 sekä myös ulostulon piikkiin 11 kolmesta kahdeksaan johtimen dekooderiyksikössä 70. Kuten on esitetty, on J-K vuorottelijasta 78B sen vapaana oleva sisääntulon piikki 8 liitetty invertterin 82B ulostulon piikkiin 4, mistä invertteristä sisääntulopiikki 3 on liitetty johtimella G01 ulostulon oskillaattorin 50 (kuvio 4) ulostuloon. J-K vuorottelijan 78B käytetty J sisääntulon piikki 9 sekä kellon sisääntulopiikki 6 pidetään binäärisellä tasolla nolla, mitä edustaa johdin HL1 ja K sisääntulopiikki 12 pidetään binäärisellä ykkösen tasolla, mitä edustaa johdin L10. J-K vuorottelija 78B syöttää kirjoitusmerkin sen Q ulostulon piikistä 11 pitkin johdinta GWX sisääntulon piikkeihin 3 valintalaitteista 46 ja 48 (kuviot 3A ja 3B) sekä myös invertteriin 82A (kuvio 6), mikä on liitetty piikkeihin 20 parista vain lukemista varten olevia muistiyksiköitä 96 ja 98 (kuvio 6), joita tullaan myöhemmin kuvaamaan.

Pari D tyyppisiä vuorottelijoita 76A ja 76B, mitkä ovat Signetics-tyypin 7474 kaksiosaisia D tyyppin nousureunalla liipaisuja vuorottelijoita tai näille vastaavia esitetään ylemmässä oikeanpuoleisessa osuudessa kuviota 5. Kuten on esitetty, yhdistävät johtimet $\overline{GT1}$ ja vastaavasti $\overline{GT2}$ esiasettelun sisääntulon piikin 10 ja kellon sisääntulon 11 vuorottelijasta 76B sisääntulon piikkeihin 12 ja 14 käytetystä kolmesta kahdeksaan johtimen dekooderiyksiköstä 70. Johdin L10 yhdistää vapaan sisääntulon piikin 13 binääriseen ykkösen merkkiin ja johdin HL1 yhdistää tietojen sisääntulopiikin 12 binääriseen nollatason merkkiin. Kuten on esitetty, yhdistää johdin $\overline{GCS}$ Q ulostulon piikin 9 vuorottelijasta 76B valinnan piikkeihin 1 kaksisuuntaisen yhteyskiskon käyttöyksiköissä 54 ja 56 (kuvio 4).

Vuorottelijasta 76A on sen vapaa sisääntulopiikki 1 ja sen kellon sisääntulopiikki 3 liitetty johtimilla $\overline{GT3}$ ja $\overline{GT2}$ ulostulopiikkeihin 11 ja vastaavasti 14 käytetystä 3-8 johtimen dekooderiyksiköstä 70. D sisääntulon piikki 2 ja esiasettelun sisäänasette-

lun piikki 4 on yhdistetty binääriseen ykköstason merkkiin käyttäen tähän johdinta L10. Kuten on esitetty, on Q ulostulon piikki 5 vuorottelijasta 76A yhdistetty sisääntulon piikkiin 9 kahden sisääntulon JA portista 80C. Tämä JA portti 80C vastaanottaa myös pulssi-signaalin tuotuna sen sisääntulopiikkiin 10 pitkin johdinta GSYNC.

Ulostulopiikki 8 käytetystä JA portista 80C on yhdistetty sisääntulon piikkiin 4 kahden sisääntulon JA portista 80B, yhdistetty sisääntulon piikkiin 2 käytetystä JA portista 80A sekä sisääntulon piikkiin 11 invertteristä 86E. Kahden sisääntulon JA portti 80B vastaanottaa myös merkin syötettynä sen sisääntulon piikkiin 5 pitkin johdinta $\overline{GPCW}$ ulostulon piikistä 7 käytetyssä 2-4 johtimen dekooderiyksiköstä 74 ja se syöttää merkin ulostulon piikistä 6 pitkin johdinta $\overline{GDIEN}$ tiedot määrätyssä suunnassa mahdollistaviin säätöpiikkeihin 15 kaksisuuntaisen yhteyskiskon käyttöyksiköissä 54 ja 56 (kuvio 4). Kuten on esitetty, vastaanottaa JA portti 80A myös toisen merkin tuotuna sen sisääntulon piikkiin 1 pitkin johdinta $\overline{GA14}$ bistabiilin salpayksikön 64 (kuvio 4) ulostulon piikistä 10 ja se on yhdistetty kehittämään signaali pitkin johdinta GRX sisääntulon piikkiin 4 JA portista 84B.

Kolmesta kahdeksaan johtimen dekooderi 72, mikä on Signetics-tyyppiä 74S138 ja mikä on esitetty kuviossa 5, on kahdesta sen päällesaattavasta sisääntulon piikistä 4 ja 5 yhdistetty ulostulon piikkiin 9 käytetystä 2-4 johtimen dekooderiyksiköstä 74 ja sen kolmas päällesaattava sisääntulopiikki on yhdistetty binääriseen ykköstason signaaliin, mikä edustaa johdin L10. Johtimet GA4, GA5 ja GA6 liittävät ulostulon piikit 8, 11 ja 14 bistabiilista salvas-
ta 62 (kuvio 4) sisääntulon piikkeihin 1, 2 ja vastaavasti 3 käytetystä 3-8 johtimen dekooderista, minkä vaikutuksesta se syöttää binäärisen nollatasoisen merkin pitkin jotain johtimista $\overline{GEX0}$, $\overline{GEX1}$... $\overline{GEX7}$, mitkä on liitetty sen ulostulon piikkeihin 15, 14, 13, 12, 11, 10, 9 ja 7.

Se osa ohjelman varastoinnin osasta, mikä liittyy ryhmän prosessoriyksikköön GPU (kuvio 4) ja mikä kuviossa 1B on tunnistettu ryhmän ohjelman varastointiosana GROM, on kuviossa 6 esitetty parina vain lukemista varten olevia muistiyksiköitä 92 ja 94. On ymmärrettävää, että tällaisten yksikköjen lukumäärä vaihtelee varastoidun ohjelman monimutkaisuuden mukaisesti ja vaikkakaan sitä

ei ole esitetty, käyttää keksinnön aikaansaatu suoritusmuoto kahta-toista 2048 bitin sähköisesti ohjelmoitavissa olevaa, vain lukemista varten tarkoitettua muistiyksikköä, mitkä ovat Intel Silicon Gate MOS -tyyppiä 1702A. Kukin näistä kahdestatoista yksiköstä on osoitteiden sisääntulopiikkeistään 3, 2, 1, 20, 21, 19, 18 ja 17 yhdistetty rinnakkain ulostulonpiikkeihin 1, 14, 11 ja 8 bistabiilissa salpayksikössä 58 (kuvio 4) sekä ulostulon piikkeihin 1, 14, 11 ja 8 bistabiilissa salpayksikössä 62 (kuvio 4) käyttäen tähän johtimia GA0, GA1, GA2, GA3, GA4, GA5, GA6 ja vastaavasti GA7 sellaiseen tapaan, millä kuviossa 6 esitetyt kaksi ROM yksikköä 92 ja 94 on yhdistetty yksikköihin 58 ja 62 (kuvio 4).

Kukin näistä kahdestatoista yksiköstä on myöskin tietojen ulostulopiikkeistään 4, 5, 6, 7, 8, 9, 10 ja 11 liitetty rinnakkain johtimiin GIO0, GIO1, GIO2, GIO3, GIO4, GIO5, GIO6 sekä GIO7, mitkä on yhdistetty sisääntulon piikkeihin 3, 6, 10 ja 13 tietojen valitsinyksiköiden 66 ja 68 (kuvio 4) parista. Tämän lisäksi kukin kahdestatoista ROM yksiköstä on valintapiikistään 14 yksitel- len yhdistetty eri yksilöön ulostulon piikeistä 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11 ja 13 käytetystä 4-16 johtimen dekooderin demultipleksoijan yksiköstä 90, mikä on Signetics-tyyppiä 74154.

Tämä 4-16 johtimen dekooderi/demultipleksoija 90 tulkitsee ne neljä binäärikoodattua merkkiä, mitkä tuodaan sen sisääntulopiikkeihin 23, 22, 21 ja 20 pitkin johtimia GA8, GA9, GA10 ja GA12 bistabiilin salvan 60 (kuvio 4) ulostulon piikeistä 1, 14 ja 11 ja myös bistabiilin salvan 64 (kuvio 4) ulostulon piikistä 1 ja syöttää binääriseen nollatasoisen merkin erääseen sen kahdestatoista keskenään toisensa poissulkevasta ulostulon piikistä 1-11 ja 13, kun binäärinen nollatason merkki tuodaan pitkin johdinta GRSE sen tahdistuksen sisääntulon piikkeihin 18 ja 19 ulostulon piikistä 11 JA portissa 80D (kuvio 5).

Kuvion 6 ylemmässä osuudessa on esitetty, että se osa ryhmän logiikkapiiristää, mihin tämän jälkeen tullaan viittaamaan ryhmän tietojen varastointiosana GRAM, sisältää parin 1024 bitin staattista MOS RAMS muistia, joissa on erillinen sisääntulo/ulostulo (I/O) ja mitkä ovat Intel-tyyppiä 8101. Kumpikin tästä parista RAMS muisteja, mitkä on tunnistettu yksikköinä 96 ja 98 kuviossa 6, on osoitteen sisääntulon piikeistään 4, 3, 2, 1, 21, 5, 6 ja 7 yhdistetty

rinnakkain ryhmän osoitteen osuuteen ryhmän muistirekisteristä GR (kuvio 4) käyttäen tähän johtimia GA0, GA1, GA2, GA3, GA4, GA5, GA6 ja vastaavasti GA7. Satunnaissaannin muistin yksikkö 96 on tietojen sisääntulon piikeistään 9, 11, 13 ja 15 yhdistetty inverttereiden 98A, 98B, 98C ja vastaavasti 98D ulostulon piikkeihin 2, 4, 6 ja 8. Johtimet $\overline{GD0}$, $\overline{GD1}$, $\overline{GD2}$ ja $\overline{GD3}$ yhdistävät inverttereiden 98A, 98B, 98C ja 98D sisääntulon 1, 3, 5 ja 9 ulostulon piikkeihin 3, 6, 10 ja 13 kaksisuuntaisen yhteyskiskon käyttölaitteesta 54, mikä on esitetty kuviossa 4. Vastaavasti on satunnaissaannin muistiyksikkö 98 sisääntulopiikeistään 9, 11, 13 ja 15 yhdistetty inverttereiden 100A, 100B, 100C ja vastaavasti 100D ulostulon piikkeihin 2, 4, 6 ja 8. Johtimet $\overline{GD4}$, $\overline{GD5}$, $\overline{GD6}$ sekä $\overline{GD7}$ yhdistävät inverttereiden 100A, 100B, 100C ja 100D sisääntulon piikit 1, 3, 5 ja 9 ulostulon piikkeihin 3, 6, 10 ja 13 kaksisuuntaisen yhteyskiskon käyttölaitteesta 56, mikä on esitetty kuviossa 4.

Lukemisen ja kirjoittamisen päällesaattava sisääntulopiikki 20 tästä parista satunnaissaannin muistiyksikköjä 96 ja 98 on yhdistetty invertterin 82A ulostulon piikkiin 2. Johdin GWX yhdistää invertterin 82A sisääntulon piikin 1 sisääntulon piikkiin 11 J-K vuorottelijasta 78B, mikä on esitetty kuviossa 5. Ulostulon poissaottavat piikit 18 ja päällesaattavat piikit 19 kustakin yksiköistä 96 ja 98 ovat molemmat yhdistetty ulostulon piikkiin 10 käytetystä 2-4 johtimen dekooderiyksiköstä 70 (kuvio 5) käyttäen tähän johdinta GSS. Nämä lastun päällesaattavat piikit 17 yksiköistä 96 ja 98 on yhdistetty binäärisen ykköstason merkkiin, mitä on osoitettu johtimella L10.

Ylemmässä vasemmanpuoleisessa nurkassa kuviota 7 on esitetty nelinkertaisten kahden sisääntulon tietojen valitsija/multipleksoijien yksikköjen 100 ja 102 pari, mitkä ovat Signetics-tyyppejä 74157. Ensimmäinen pari nelinkertaisista sisääntulon piikeistä 2, 5, 11 ja 14 tietojen valitsijoissa 100 ja 102 on yhdistetty johtimilla GA0, GA1 ... GA7 ulostulon piikkeihin 1, 14, 11 ja 8 bistiabeilleista salpayksiköistä 58 ja 62, mitkä on esitetty kuviossa 4. Toinen pari nelinkertaisia sisääntulon piikkejä 3, 6, 10 ja 13 tietojen valitsijoissa 100 ja 102 on yhdistetty johtimilla $\overline{GD0}$, $\overline{GD1}$... $\overline{GD7}$ ulostulon piikkeihin 3, 6, 10 ja 13 kaksisuuntaisen yhteyskiskon käyttölaitteista 54 ja 56, mitkä on esitetty kuviossa 4.

Johdin GCDT yhdistää valinnan sisääntulon piikit 1 tietojen valitsijoista 100 ja 102 ulostulon piikkiin 11 käytetystä J-K vuorotteijasta 180B (kuvio 9A), mikä muodostaa osan tietojen siirron merkigeneraattoria, mitä tullaan vasta myöhemmin kuvaamaan.

Ulostulon piikki 4 tietojen valitsijasta 100 on yhdistetty yhteisesti sisääntulon piikkeihin 2, 5, 11 ja 14 kustakin yksiköstä toisesta parista nelinkertaisia kahden sisääntulon tietojen valitsija/multipleksoijayksiköjä 116 ja 118 (kuvio 7), mitkä myös ovat Signetics-tyyppiä 74157. Ulostulon piikki 4 valitsijayksiköstä 100 on myös yhdistetty sisääntulon piikkiin 3 valitsijayksiköstä 116. Ulostulujen piikit 7, 9 ja 12 tietojen valitsijasta 100 on yhdistetty vastaavasti sisääntulon piikkeihin 6, 10 ja 13 tietojen valitsijassa 116. Ulostulon piikit 4, 7, 9 ja 12 tietojen valitsijassa 102 on yhdistetty vastaavasti toiseen sarjaan nelinkertaisia sisääntulopiikkejä 3, 6, 10 ja 13 tietojen valitsijassa 118. Johdin $\overline{G8B}$ yhdistää valinnan sisääntulon piikit 1 tietojen valitsijoista 116 ja 118 ulostulon piikkiin 6 invertteristä 170C (kuvio 9B), mitä tullaan kuvaamaan tässä myöhemmin. Johdin $\overline{GA13}$ yhdistää tahdistuksen sisääntulon piikit 15 näistä neljästä tietojen valitsijayksiköistä 100, 102, 116 ja 118 (kuvio 7) bistabiiliin salvan 64 (kuvio 4) ulostulon piikkiin 15.

Ulostulon piikit 4 ja 7 tietojen valitsimesta 116 (kuvio 7) on yhdistetty sisääntulon piikkeihin 6 ja vastaavasti 11 kaksinkertaisesti differentiaalisesta johtimien käyttölaitteesta 122, mikä on Texas Instrument -tyyppiä 75113. Ulostulon piikit 12 ja 9 tietojen valitsimesta 118 on yhdistetty sisääntulon piikkeihin 6 ja 11 toisesta kaksinkertaisesta differentiaalisesta johtimien käyttölaitteesta 125, mikä on tyyppiä 75113. Vaikkakaan sitä kuviossa 7 ei ole esitetty, on ymmärrettävä, että kaksi ylimääräistä differentiaalista johtimien käyttölaitetta, mitkä ovat tyyppiä 75113 on yhdistetty samaan tapaan ulostulon piikkeihin 9 ja 12 tietojen valitsimessa 116 ja ulostulon piikkeihin 7 ja 4 tietojen valitsimessa 118.

Ylempi puolisko kaksiosaisesta differentiaalisesta johtimien käyttölaitteesta 122 syöttää merkkejä ulostulopiikkeistä 2 ja 3 pitkin johtimia $DT0(a)$ sekä $\overline{DT0}(a)$, mitkä on yhdistetty sisääntulon piikkeihin 11 ja vastaavasti 9 kaksinkertaisesta differentiaa-

lisesta johtimien vastaanottimesta 236(a) (kuvio 10). On ymmärrettävä, että kuviossa 10 esitetty piiristö on käytössä pelkästään hissikorille "a" ja että kuviolle 10 samankaltainen piiristö on järjestetty kutakin hissikoreista varten tässä systeemissä. Täten ulostulon piikit 14 ja 13 kaksiosaisesta differentiaalisesta johtimien käyttölaitteesta 122 yhdistettynä johtimiin $\overline{DT\emptyset}(b)$ sekä $\overline{DT\emptyset}(b)$ on täten yhdistetty siihen logiikkapiiristöön, mikä liittyy hissikoriin "b" (mitä ei ole esitetty), mutta mikä on samankaltainen kuin mitä kuviossa 10 on esitetty hissikorille "a". On ymmärrettävä, että samanlaiset kytkennät tulee toteuttaa ulostulon piikeistä ylimääräisistä kaksitoimisista differentiaalisista johtimien käyttölaitteista, joita ei ole esitetty eri hissikoreille "c", "d", "e" ja "f" niihin osiin ryhmän logiikkapiiristöä, mikä liittyy näihin hissikoreihin ja mitä piiristöä ei myöskään kuviossa ole esitetty. Kaksitoiminen differentiaalinen johtimen käyttöyksikkö 125 on ulostulon piikeistään 2, 3, 14 ja 13 yhdistetty kaksisuuntaisilla tietojen siirtojohtimilla $DT\emptyset(g)$, $\overline{DT\emptyset}(g)$, $DT\emptyset(h)$ sekä $\overline{DT\emptyset}(h)$ eri hissikoreille "g" sekä "h" siihen piiristöön, mikä liittyy hissikoreihin g ja h (joita ei ole esitetty) ja mikä on samankaltainen kuin mitä kuviossa 10 on hissikoria "a" varten.

Kuviossa 7 on myös esitetty neljä ylimääräistä kaksitoimista differentiaalista johtimien käyttölaitetta tyypiltään 75113 umpiivallalla piirrettyinä suorakaidelohkoina 126, 128, 130 ja 132. Kuten on esitetty, on sisääntulopiikki 6 johtimen käyttölaitteesta 126 yhdistetty tietojen valitsimen 100 ulostulon piikkiin 7. Jäljellä olevat kaksi ulostulon piikkiä 9 ja 12 tietojen valitsimesta 100 on yhdistetty vastaavasti sisääntulon piikkeihin 11 ja 6 johtimen käyttölaitteessa 128. Ulostulon piikit 4 ja 7 tietojen valitsimessa 102 on yhdistetty sisääntulon piikkeihin 11 ja 6 johtimen käyttölaitteessa 130. Ulostulon piikit 9 ja 12 tietojen valitsimesta 102 on yhdistetty johtimen käyttölaitteen 132 sisääntulon piikkeihin 11 ja 6. Kaksiosaiset differentiaaliset johtimien käyttölaitteet 126, 128, 130, 132 syöttävät merkkejä pitkin johtimia $\overline{DT1}$... $DT7$ ja $\overline{DT7}$ kaksinkertaisien differentiaalisten johtimien vastaanottimien 236(a), 238(a), 240(a) ja 242(2) sisääntulon piikkeihin, mitkä kuviossa 10 on esitetty muodostamassa osan ryhmän logiikkapiiristöstä, mikä liittyy hissikoriin "a". On nyt ymmärret-

tävä, että nämä johtimet $DT1$, $\overline{DT1}$... $DT7$, $\overline{DT7}$ on yhdistetty piiristöön, mikä on samankaltainen kuin kuviossa 10 ja mikä on yksitellen järjestetty kutakin ylimääräisistä hissikoreista varten tässä hissisysteemissä.

Kaksisuuntaiset merkkien siirtojohtimet $DT0$ ja $\overline{DT0}$ kutakin hissikoreista varten sekä johtimet $DT1$, $\overline{DT1}$, $DT2$... $DT7$, $\overline{DT7}$ yhteisenä kaikille eri hissikoreista on myös liitetty sisääntulopiikkeihin joukosta kaksiosaisia differentiaalisia johtimien vastaanottimia 160, 161, 162 sekä 163, 150, 152, 154 ja 156, mitkä ovat Advance Micro Devices -tyyppiä AM2615, kuten on esitetty kuviossa 8. Johtimet $DT1$ ja $\overline{DT1}$ on yhdistetty sisääntulopiikkeihin 11 ja 9 kaksiosaisessa differentiaalisessa johtimien vastaanottimessa 150. Signaali ulostulon piikissä 15 differentiaalisesta johtimen vastaanottimesta 150 tuodaan sisääntulon piikkiin 6 kolmiasentoisesta nelinkertaisesta kahden tiedon valitsija/multipleksoijasta 156, mikä on Signetics-tyyppiä 74257. Vastaavasti syötetään johtimissa $DT2$, $\overline{DT2}$, $DT3$ ja $\overline{DT3}$ olevat signaalit kaksiosaiseen differentiaaliin johtimen vastaanottimeen 152, mikä tuo merkit sisääntulon piikkeihin 10 ja 13 tietojen valitsimesta 156. Jäljellä olevat kahdeksan ylimääräistä signaalien johdinta $DT4$, $\overline{DT4}$, $DT5$, $\overline{DT5}$, $DT6$, $\overline{DT6}$, $DT7$ sekä $\overline{DT7}$ on yhdistetty sisääntulon piikkeihin kaksinkertaisista differentiaalisista johtimien vastaanottoyksiköistä 154 ja 156, joista ulostulon piikit on yhdistetty sisääntulon piikkeihin 3, 6, 10 ja 13 toisesta kolmiasentoisesta nelinkertaisesta kahden tiedon valitsin/multipleksoijasta 158, kuten on esitetty kuviossa 8.

Neljä ylimääräistä kaksiosaista differentiaalista johtimien vastaanotinta 160-163, mitkä ovat AMD tyyppiä AM2615, on myös esitetty ylemmässä vasemmanpuoleisessa nurkassa kuviota 8. Sisääntulon piikit 11, 9, 5 ja 7 kustakin kaksinkertaisesta differentiaalisesta johtimien vastaanottimesta 160-163 on yhdistetty kaksisuuntaisiin signaalien siirtojohtimiin $DT0$ sekä $\overline{DT0}$ kahdesta hissi-korista.

Differentiaaliset johtimien vastaanottimet 160-163 syöttävät niiden sisääntulon piikkeihin tuotujen signaalien komplementit tietojen valitsimien 156 ja 158 pariin, mikä on esitetty kuviossa 8. Kuten on esitetty, on ulostulon piikit 15 ja 1 kaksiosaisesta dif-

ferentiaalisista johtimien vastaanottimesta 160 yhdistetty sisään-tulon piikkeihin 2 ja 5 tietojen valitsimesta 156. Ulostulon piikit 15 ja 1 on yhdistetty sisääntulon piikkeihin 11 ja vastaavasti 14 tietojen valitsimessa 156. Ulostulon piikit 15 ja 1 kaksiosaisesta differentiaalisesta johtimien vastaanottimesta 162 on yhdistetty sisääntulon piikkeihin 2 ja 5 toisesta tietojen valitsimesta 158. Tämän lisäksi kaksiosainen differentiaallinen johtimen vastaanotin 163 on ulostulon piikeistään 15 ja 1 yhdistetty vastaavasti tietojen valitsimen 158 sisääntulon piikkeihin 11 ja 14.

Ulostulon signaalit kaksiosaisista differentiaalisista johtimien vastaanottimista 160-163 tuodaan myös sisääntulon piikkeihin kahdeksasta yhteen johtimeen tietojen valitsin/multipleksoijasta 164 (kuvio 8), mikä on Signetics-tyyppiä 74151. Kuten on esitetty, on yhteiset ulostulon piikit 11 ja 1 kustakin johtimien vastaanottimesta yhdistetty eri sisääntulopiikkeihin valitsimesta 164. Ulostulon piikki 5 valitsimesta 164 on yhdistetty sisääntulopiikkiin 3 tietojen valintayksiköstä 156. Johtimet GA10, GA9 ja GA8 syöttävät kolmen bitin binäärikoodatun valintamerkin ulostulon piikeistä 11, 14 ja vastaavasti 1 bistabiilissa salvassa 60, mikä on esitetty kuviossa 4 valiten sisääntulon piikit 9, 10 ja 11 tulkkilaitteessa 164. Tahdituksen sisääntulon piikki 7 tulkkilaitteessa 164 on yhdistetty johtimella $\overline{GA13}$ ulostulon piikkiin 15 bistabiilissa salvassa 64, mikä on esitetty kuviossa 4.

Ensimmäisen tai toisen hissikorin säätömerkit, mitkä vastaanotetaan ryhmän prosessoriin GPU (kuvio 4) syötetään pitkin johtimia $\overline{GD0}$, $\overline{GD1}$... $\overline{GD7}$ parista kolmiasentoisia nelinkertaisia kahden tiedon valintayksiköitä 156 ja 158, katso kuviota 8, kaksisuuntaisen yhdyskiskon käyttölaitteisiin 54 ja 56, mitkä on esitetty kuviossa 4. Johtimet GRCE ja vastaavasti G8B yhdistävät ulostulon säätöpiikit 15 ja tietojen valinnan sisääntulopiikit 1 tietojen valintayksiköistä 156 ja 158 ulostulon piikkiin 8 nand portista 174C (kuvio 9A) ja ulostulon piikkiin 9 tietojen valitsijayksiköstä 200 (kuvio 9B), mitä tullaan myöhemmin kuvaamaan.

Kuviossa 9A on esitetty yksinkertaistettu kaaviokuvanto osasta ryhmän logiikkapiiristää, mihin tullaan myöhemmin viittamaan tämän ryhmän tilanteen signaaligeneraattorina. Johdin $\overline{GD5}$ yhdistää ulostulon piikin 6 kaksisuuntaisen yhdyskiskon käyttöyksi-

köstä 56 (kuvio 4) sisääntulon piikkiin 1 koodin invertteristä 170A sekä K sisääntulon piikkiin 16 käytetystä J-K vuorottelijasta 172A, mikä muodostaa yhden osuuden kaksiosaisesta J-K päälaitte-orjalaite vuorottelijasta, mikä on Signetics-tyyppiä 7476. Ennalta asettelun sisääntulon piikki 2 tästä J-K vuorottelijasta 172A on yhdistetty binääriseen ykköstason merkkiin, mitä edustetaan johtimen L10 avulla. Kellon sisääntulopiikki 1 tästä J-K vuorottelijasta 172A on yhdistetty invertterin 170B ulostulopiikkiin 4, mistä sen sisääntulopiikki 3 on yhdistetty ulostulon piikkiin 6 kolmen sisääntulon positiivisesta nand portista 174B.

Nand portista 174B on sen sisääntulon piikki 3 yhdistetty johtimella G01 taajuudeltaan 800 kHz oskillaattoriin 50 (kuvio 4). Toinen sisääntulo 4 tästä nand portista 174B on yhdistetty ulostulopiikkiin 12 koodin invertteristä 176F, mistä sen sisääntulopiikki 13 on yhdistetty ryhmän prosessorin GPU (kuvio 4) ulostulon piikkiin 14 käyttäen tähän johdinta GSYNC. Kolmas sisääntulon piikki 5 tästä nand portista 174B on yhdistetty ulostulon piikkiin 3 kahden sisääntulon nand portin 178A parissa ja järjestetty yhdessä nand portin 178C kanssa päällesaattavaksi ja palauttavaksi vuorottelijaksi.

Ulostulon piikki 3 nand portista 178A on myös yhdistetty sisääntulon piikkiin 9 nand portista 178C, mistä sen toinen sisääntulon piikki 10 on yhdistetty johtimen $\overline{GT2}$ ulostulon piikkiin 14 kolmesta kahdeksaan johtimen tulkkiiyksikössä 70 (kuvio 5). Ulostulon piikki 8 nand portista 178C on yhdistetty sisääntulon piikkiin 2 nand portista 178A, mistä se toinen sisääntulon piikki on yhdistetty johtimen $\overline{GT1}$ avulla ulostulon piikkiin 13 tästä 3-8 johtimen dekooderiysikössä 70.

Sisääntulon piikki 3 käytetystä J-K vuorottelijasta 172A (kuvio 9A) sekä myös sisääntulon piikki 2 tästä J-K vuorottelijasta 180A (mitkä ovat Signetics-tyyppiä 7476) on yhdistetty ulostulon piikkiin 12 kolmen sisääntulon nand portista 174A. Johdin GSYNC yhdistää sisääntulon piikin 1 nand portista 174A ja kellon sisääntulon piikin 1 tästä J-K vuorottelijasta 180A sisääntulon piikkiin 14 ryhmän prosessorissa GPU (kuvio 4). Jäljellä olevat kaksi sisääntulopiikkiä 2 ja 13 tästä nand portista 174A on yhdistetty Q ulostulon piikkeihin 15 ja vastaavasti 11 kahdesta osuudesta 180A

ja 180B kaksiosaisista J-K päätoimista ja orjatoimisesta vuorottelijasta, mikä on Signetics-tyyppiä 7476 ja mikä on järjestetty käännettäväksi vuorottelijaksi. Kuten on esitetty Q ulostulon piikki 15 tästä J-K vuorottelijasta 180A on myös yhdistetty kellon sisääntulon piikkiin 6 tästä J-K vuorottelijasta 180B. Tämän lisäksi Q ulostulon piikki 11 tästä J-K vuorottelijasta 180B on yhdistetty sisääntulopiikkiin 11 nand portista 1740 ja johtimen GCDT välityksellä valinnan sisääntulon piikkeihin 1 tietojen valitsijoiden 100 ja 102 parista kuviossa 7, kuten myös valinnan sisääntulon piikkiin 1 tietojen valitsimesta 200, mikä on esitetty kuviossa 9B.

Vapaat sisääntulon piikit 3 ja 8 kahdesta J-K vuorottelijasta 180A ja 180B on yhdistetty ulostulon piikkiin 11 kahdesta sisääntulon nand portista 178D. Kuten on esitetty, on nand portin 178D eräs sisääntulon piikeistä 12 yhdistetty $\bar{Q}$ ulostulon piikkiin 14 käytetystä J-K vuorottelijasta 172A ja sen toinen sisääntulon piikki 13 on yhdistetty johtimella $\overline{GA13}$ ulostulon piikkiin 15 bistabiilista salvasta 64 (kuvio 4). Johdin GSUS yhdistää $\bar{Q}$ ulostulon piikin 14 sisääntulon piikkiin 17 ryhmän prosessorissa GPU (kuvio 4). J-K sisääntulon piikit 4 ja 16 tästä J-K vuorottelijasta 180A, sekä J-K että ennakolta asettelun sisääntulopiikit 9, 12 ja 7 tästä J-K vuorottelijasta 180A ja etukäteen asettelun sisääntulopiikki 2 käytetystä J-K vuorottelijasta 172A pidetään binäärisen ykkösen tasolla, mitä johdin L10 edustaa.

Nand portista 174C on sen sisääntulon piikit 11 yhdistetty Q ulostulon piikkiin 11 käytetystä J-K vuorottelijasta 180B. Johdin GA13 liittää tämän sisääntulopiikin 10 ulostulon piikkiin 14 kaksiasentoisesta salvasta 64 (kuvio 4). Johdin GRX yhdistää tämän sisääntulon piikin 9 ulostulon piikkiin 3 JA portista 80A (kuvio 5).

Ylempi puolisko kuviosta 9B esittää yksinkertaistettua kaaviokuvantoa esittäen sitä osaa ryhmän logiikkapiiristöä, mitä tämän jälkeen tullaan nimittämään hissikorin ripustamisen merkkigeneraattoriksi. Johtimet GA8, GA9 ja GA10 on yhdistetty ulostulon piikeistä 1, 14 ja vastaavasti 11 bistabiilissa salpayksikössä 60 (kuvio 4) sisääntulon piikkeihin 1, 2 ja vastaavasti 3 suuren nopeuden yhdestä kahdeksaan binäärisessä dekooderissa 190, mikä on Intel-tyyppiä 3205. Dekooderissa 190 on kolme päällesaattavaa si-

sääntulopiikkiä, joista kaksi, nimittäin piikit 4 ja 5 on yhdistetty johtimen GA13 avulla ulostulon piikkiin 15 bistabiilissa salvassa 64 (kuvio 4). Kolmas päällesaattava sisääntulopiikki 6 on yhdistetty binääriseen ykköstason signaaliin, mitä edustetaan johtimella L10.

Ulostulon piikit 15, 14, 13 ja 12 yksiköstä 190 on yhdistetty sisääntulon piikkiin 3, 6, 10 ja 13 nelinkertaisesta kahden sisääntulon tietojen valitsija/multipelsoijasta 192, mikä on Signetics-tyyppiä 74158. Jäljellä olevat neljä ulostulon piikkiä 11, 10, 9 ja 7 dekooderista 190 on yhdistetty sisääntulopiikkeihin 3, 6, 10 ja 13 toisesta tietojen valitsimesta 194, mikä on Signetics-tyyppiä 74158. Molemmat tietojen valitsijayksiköt 192 ja 194 ovat toisesta sarjasta sisääntulon piikkejään 2, 5, 11 ja 14 yhdistetty maadoituksen jännitteeseen, mitä edustaa johdin HL1. Molemmista yksiköistä 192 ja 194 on niiden tahdistuksen sisääntulon piikit 15 yhdistetty johtimen GA13 avulla ulostulon piikkiin 15 bistabiilissa salvassa 64 (kuvio 4) ja on niiden tietojen valinnan sisääntulon piikit 1 yhdistetty johtimen GA11 välityksellä ulostulon piikkiin 8 bistabiilissa salvassa 60 (kuvio 4). Ulostulon piikit 4 ja 7 tietojen valitsimesta 192 on yhdistetty yhteisiin sisääntulon piikkeihin 9, 10 ja vastaavasti 7 ja 6 kaksiosaisista differentiaalisista johtimien käyttölaitteista 196A ja 196B, mitkä ovat Fairchild-tyyppiä 9614. Vastaavasti ulostulon piikit 9 ja 12 tietojen valitsimesta 194 on yhdistetty yhteisiin sisääntulon piikkeihin 9, 10 sekä 7 ja 6 toisesta kaksiosaisesta differentiaalisesta johtimien käyttölaitteesta 198A ja 198B, mikä on Fairchild-tyyppiä 9614.

Ulostulon piikit 9 ja 12 tietojen valitsimesta 192 sekä piikit 7 ja 9 tietojen valitsimesta 194 on liitetty vastaavasti toisiin kahteen kaksiosaiseen differentiaaliseen johtimien käyttölaitteeseen (joita ei ole esitetty) samaan tapaan kuin mitä yllä on kuvattu. Ulostulon piikit 13 ja 14 differentiaalisesta johtimen käyttöyksiköstä 196A on yksitellen yhdistetty kaksiosaiseen differentiaaliseen johtimen vastaanottoimeen 210(1) (kuvio 10), mikä liittyy hissisysteemin hissikoriin "a" johtimilla XCRDY(a) sekä XCRDY(a). On ymmärrettävää, että jäljellä olevat ulostulon piikit kustakin kaksiosaisesta differentiaalisesta johtimien käyttölait-

teesta on vastaavasti erikseen yhdistetty piiristöön, mikä on samankaltainen kuin mitä kuviossa 10 on esitetty yksitellen kullekin ylimääräisistä hissikoreista tässä hissisysteemissä.

Kuvion 9B alemmassa puoliskossa on esitetty jäljellä oleva osuus ryhmän logiikan piiristöstä, mikä kuviossa 1A on havainnollisesttu suorakaidelohkolla G/C. Johdin GSYNC yhdistää ulostulon piikin 14 ryhmän prosessorista GPU (kuvio 4) sisääntulon piikkiin 2 tietojen valitsimesta 200, mikä on Signetics-tyyppiä 74157. Tietojen valitsimen 200 kaksi ylimääräistä sisääntulon piikkiä 11 ja 14 pidetään binäärisellä ykkösen tasolla, kuten on osoitettu johtimella L10. Sisääntulopiikki 5 ja sisääntulopiikki 10 tietojen valitsimesta 200 esitetään yhdistettynä ulostulon piikkiin 6 kahdesta sisääntulon nand portista 202B. Nand portti 202B on sen ensimmäisestä sisääntulon piikistä 4 yhdistetty dekooderin 190 (kuvio 9B) ulostulon piikkiin 7 ja se on yhdistetty toisesta sisääntulon piikistä 5 johtimelle $\overline{GA11}$ bistabiilin salvan 60 (kuvio 4) ulostulon piikkiin 9. Bistabiili salpa 62 on yhdistetty johtimilla GA14 sekä $\overline{GA14}$ ulostulon piikkeihin 13 ja vastaavasti 6 tietojen valitsimessa 200. Johdin GWX liittää viimeisen sisääntulon piikin 3 tietojen valitsimesta 200 kuviossa 5 esitettyyn Q ulostulon piikkiin 11 käytetystä J-K vuorottelijasta 78B.

Ulostulon piikit 4 ja 7 tietojen valitsimesta 200 on vastaavasti yhdistetty sisääntulon piikkeihin 9 ja 7 parista differentiaalisia johtimien käyttölaitteita 204A ja 204B, mitkä ovat Fairchild-tyyppiä 9614. Johtimet GTP, $\overline{GTP}$ ja GDC, $\overline{GDC}$ yhdistävät ulostulon piikit näistä johtimien käyttölaitteitten parista sisääntulon piikkeihin kaksiosaisessa differentiaalisessa johtimien vastaanottimessa 216(a) (kuvio 10), mikä on AMD-tyyppiä AM2615.

Ulostulon piikki 9 tietojen valitsimesta 200 on yhdistetty sisääntulon piikkiin 5 invertteristä 170C, mistä sen ulostulon piikki 6 on yhdistetty valinnan sisääntulopiikkiin 1 tietojen valitsimista 116 ja 118, mitä on esitetty kuviossa 7. Tämän lisäksi johdin G8B yhdistää ulostulon piikin 9 tietojen valitsimesta 200 (kuvio 9B) valinnan sisääntulon piikkeihin 1 tietojen valitsimista 156 ja 158, mitä on esitetty kuviossa 8. Tietojen valitsimesta 200 on myös sen ulostulon piikki 12 yhdistetty johtimella GCTE sisään-

tulon piikkeihin 7 ja 10 kaksiosaisista differentiaalisista johtimien käyttölaitteista 122-130, joita on esitettyinä kuviossa 7.

Kuvio 10 on yksinkertaistettu kaavioesitys siitä piiristöstä, mikä liittyy ryhmän prosessoriin liittyen hissikoriin "a" ja joita kuviossa 1A on havainnollistettu suorakaidelohkolla C/G(a). On myös ymmärrettävä, että vaikkakin tämä piiristö on tarkastelussa osana ryhmän logiikkapiiristöä, se tulee yksitellen liittää hissikoriin "a", ja että samanlainen piiristö kuviossa 10 esitetyllä järjestetään kutakin ylimääräisistä hissikoreista varten tässä hissisysteemissä.

Kuten jo aikaisemmin on mainittu, yhdistävät merkkijohtimet XCRDY(a) sekä $\overline{\text{XCRDY(a)}}$ ulostulon piikit 14 ja 13 kaksiosaisesta differentiaalisesta johtimen käyttölaitteesta 196A (kuvio 9B) sisääntulon piikkeihin 9 ja vastaavasti 11 kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 210(a) (kuvio 10), mikä on AMD-tyyppiä AM2615. Kaksiosainen differentiaalin johtimen vastaanotin 210(a) on yhdistetty johtimella CSUS(a) sisääntulon piikkiin 17 hissikorin prosessoriyksiköstä CPU(a), mikä on esitettyinä kuviossa 11 sekä sisääntulopiikkiin 9 invertteristä 212D(a) (kuvio 10). Invertteristä 212D(a) on sen ulostulon piikki 8 liitetty vapaana oleviin sisääntulon piikkeihin 3 ja 8 parista J-K vuorottelijoita 214A(a) sekä 214B(a), mitkä ovat Signetics-tyyppiä 7476 ja ovat järjestetty käännettäväksi vuorottelijaksi. Molemmat vuorottelijajoista 214A(a) sekä 214B(a) ovat ennalta asettelun sisääntulon piikeistään 2 ja 7, niiden J sisääntulon piikeistä 4 ja 9 sekä K sisääntulon piikeistä 16 ja 12 yhdistetty binääriseen ykköstason signaaliin, mitä edustaa johdin L10. Kellon sisääntulon piikki 1 käytetystä J-K vuorottelijasta 214A(a) on yhdistetty ulostulon piikkiin 2 kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 216(a), mikä on AMD-tyyppiä AM2615.

Q ulostulopiikki 15 tästä J-K vuorottelijasta 214A(a) on yhdistetty kellon sisääntulon piikkiin 6 tästä J-K vuorottelijasta 214B(a) ja sisääntulon piikkiin 1 kolmen sisääntulon nand portista 218A(a). Nand portista 218A(a) on sen toinen sisääntulon piikki 2 yhdistetty ulostulon piikkiin 2 kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 216(a) ja on sen kolmas sisääntulon piikki 13 yhdistetty $\overline{\text{Q}}$ ulostulon piikkiin 10 tästä J-K

vuorottelijasta 214B(a). Ulostulon piikki 12 nand portista 218A(a) on liitetty sisääntulon piikkiin 3 invertteristä 212A(a) mistä sen ulostulon piikki 4 on yhdistetty kellon sisääntulon piikkiin 13 nelinkertaisesta bistabiilista salvasta 222(a) ja myös kellon sisääntulon piikkeihin 4 ja 13 nelinkertaisten bistabiilien salpojen 224(a) ja 226(a) parista kaikkien kolmen salvoista ollessa Signetics-tyyppiä 7475.

Kuten on esitettyä alemmassa oikeanpuoleisessa nurkassa kuviota 10, on ulostulo 11 tästä J-K vuorottelijasta 214B(a) yhdistetty sisääntulon piikkiin 10 kahden sisääntulon JA portista 220C(a), mistä sen toinen sisääntulon piikki 9 on yhdistetty ulostulon piikkiin 2 kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 216(a). JA portti 220C(a) on yhdistetty johtimella GWD sisääntulon piikkeihin 5 ja 11 tietojen valitsimesta 416(a), mikä on esitettyä kuviossa 13. Ulostulon piikki 11 tästä J-K vuorottelijasta 214B(a) on myös liitetty sisääntulon piikkiin 5 JA portista 220B(a), mistä sen toinen sisääntulon piikki 4 on yhdistetty ulostulon piikkiin 14 kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 216(a). Ulostulon piikki 6 JA portista 220B(a) on yhdistetty säätöpiikkiin 10 kaksiosaisesta differentiaalisesta johtimen käyttölaitteesta 228(a), mikä on Texas Instrument -tyyppiä 75113.

Ulostulon piikki 14 kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 216(a) on myös liitetty sisääntulopiikkiin 2 nelinkertaisesta bistabiilista salvasta 222(a), mistä ulostulon piikki 16 on yhdistetty sisääntulon piikkiin 1 JA portista 220A(a), JA portista 220A(a) on sen toinen sisääntulon piikki 2 yhdistetty ulostulon piikkiin 6 JA portista 220B(a), mitä yllä on kuvattu ja sen ulostulon piikki 3 on yhdistetty säädön sisääntulon piikkeihin 10 ja 7 joukosta kaksiosaisia differentiaalisia johtimen käyttölaitteita, mitkä ovat Texas Instrumen -tyyppiä 75113 tai sitä vastaavia ja mitkä on esitetty suorakaidelohkoina 230(a), 232(a) ja 234(a) ylemmässä vasemmanpuoleisessa nurkassa kuviota 10.

Johtimen CGD0(a), CGD1(a) ... CGD7(a) yhdistävät sisääntulon piikit 11 ja 15 neljästä kaksiosaisesta differentiaalisesta johtimen käyttölaitteesta 228(a), 230(a), 232(a) ja 234(a) ulostulon piikkeihin parista nelinkertaisia kahden sisääntulon positiiv-

visia JA portteja 412(a) ja 414(a) (kuvio 13). Ulostulon piikit 13, 14, 3 ja 2 kaksiosaisista differentiaalisista johtimien vastaanottimista on yhdistetty johtimiin $DT0(a)$, $\overline{DT0(a)}$, $DT1$, $\overline{DT1}$... $DT7$ ja $\overline{DT7}$, niin että syötetään tietomerkkejä siitä piiristöstä, mikä liittyy hissikoriin "a" tämän ryhmän prosessoriin, kuten tullaan kuvaamaan alempana.

Johtimet $DT0(a)$, $\overline{DT0(a)}$ ja $DT1$, $\overline{DT1}$ on yhdistetty sisääntulon piikkeihin 11, 9, 5 ja 7 vastaavasti kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 236(a), mikä on Fairchild-tyyppiä 9651. Jäljellä olevat johtimet $DT2$, $\overline{DT2}$... $\overline{DT7}$ on yhdistetty samanlaiseen tapaan sisääntulon piikkeihin kolmesta ylimääräisestä kaksiosaisesta differentiaalisesta johtimien vastaanottimesta, mitkä on esitetty suorakaidelohkoina 238(a), 240(a) ja 242(a) kuviossa 10. Johtimet $GCB0(a)$, $GCB1(a)$... $GCB7(a)$ yhdistävät ulostulon piikit 14 ja 2 differentiaalisista johtimen vastaanottimista 236(a), 238(a), 240(a) ja 242(a) D sisääntulon piikkeihin 7, 6, 3 ja 2 parista bistabiileja salpoja 224(a) ja 226(a), mitkä ovat Signetics-tyyppiä 7475.

Johtimet $GCA0(a)$, $GCA1(a)$, $GCA2(a)$ ja $GCA3(a)$ yhdistävät Q ulostulon piikit 9, 10, 15 ja 16 bistabiilista salvasta 224(a) sisääntulon piikkeihin 2, 5, 11 ja vastaavasti 14 nelinkertaisesta kahden sisääntulon tietojen valitsimesta 408 (kuvio 13), mikä on Signetics-tyyppiä 74157. Johtimet $GCA4(a)$, $GCA5(a)$, $GCA6(a)$ ja $GCA7(a)$ yhdistävät vastaavasti ulostulon piikit 9, 10, 15 ja 16 bistabiilista salvasta 226(a) sisääntulon piikkeihin 2, 5, 11 ja 14 toisesta nelinkertaisesta kahden sisääntulon tietojen valitsimesta 410(a) (kuvio 13), mikä on Signetics-tyyppiä 74157.

Johtimet $\overline{GCB0(a)}$, $\overline{GCB1(a)}$... $\overline{GCB7(a)}$ yhdistävät ulostulon piikit kaksiosaisista differentiaalisista johtimien vastaanottimista 236(a), 238(a), 240(a) ja 242(a) sisääntulon piikkeihin 2, 5, 11 ja 14 nelinkertaisten kahden sisääntulon tietojen valitsimien 400(a) ja 402(a) (kuvio 13) parissa, mitkä ovat Signetics-tyyppiä 74158.

Johdin DTS yhdistää $\overline{Q}$ ulostulon piikin 10 J-K vuorottelijasta 214B(a) (kuvio 10) laitteistoon, mitä tullaan kuvaamaan myöhemmin kuvion 13 yhteydessä.

Kuviot 11, 12 ja 13 yhdistettynä esittävät yksinkertaistetun

esityksen siitä osuudesta piiristää hissikorin käsittelylaitteistosta sekä hissikorin ohjelman varastointiosista, mikä liittyy hissikoriin "a" ja mikä on havainnollistettu suorakaidelohkoilla CPU(a), CR(a), CW(a), CRAM(a) sekä CROM(a) kuviossa 1B. Ylimääräinen piiristö hissikorin käsittelyosiin sekä hissikorin säätölaitteisiin liittyen hissikoriin "a" ja mitkä on esitetty suorakaiteen muotoisina lohkoina CESC(a) ja vastaavasti CCE(a) kuviossa 1B tul- laan kuvaamaan myöhemmin viitaten siihen yksinkertaistettuun kaa- viokuvantoon, mikä on kuvioissa 14, 15, 16 ja 17. Kuviossa 1B loh- kokaavion muodossa havainnollistettu laitteisto hissikoria "a" var- ten tarvitaan kutakin ylimääräisistä hissikoreista varten tässä hissisarjassa. Tämän johdosta on ymmärrettävä, että seuraavassa ole- va piirin selitys suunnattuna erityisesti siihen piiristöön, mikä liittyy hissikoriin "a" ja kuten tämä osoitetaan lisäkirjaimella (a) liitettyinä viitenumeroihin näiden kuvioden 11-17 piiristössä on myös sovellettavissa samanlaiseen tarvittavaan piiristöön jäl- jellä oleville hissikoreille tässä sarjassa, mutta joita ei tässä yhteydessä ole esitetty selityksen lyhyiden mahdollistamiseksi.

Vertailtaessa katselemalla yksinkertaistettuja kaaviokuvan- toja kuvioista 4 ja 5, joita jo aikaisemmin on kuvattu sekä ku- vioissa 11 ja 12 esitettyä piiristöä, voidaan havaita, että piiri- osien kaaviokuvanto ja niiden kytkentä toisiinsa ovat nyt identti- siä. Jatkovertailu ilmaisee, että tunnistavana ominaisuuksina näi- den kuvioden välillä on ainoastaan, että etuliite "G" on liitet- ty kuvioissa 4 ja 5 esitettyihin viitemerkintöihin, kun taas etu- liite "C" liittyy samoihin viiteosiin, joita kuvioissa 11 ja 12 on esitetty. On luonnollisestikin ymmärrettävä, että ylimääräinen suluissa lisänä oleva viitemerkintä ilmaisten yhteyskytkentöjä merk- kijohtimille eri kuvioden välillä, on myös nyt erilainen. Yhteys- kytkennät kuitenkin eri osien välillä siinä laitteistossa, mikä on esitetty kuvioissa 11 ja 12 on identtinen yhteyskytkentöjen kanssa vastaavien osien välillä kuvioissa 4 ja 5 esitetyissä laitteis- toissa.

Se osa ohjelman varastoinnin osista, mikä liittyy hissiko- rin prosessoriin CPU(a) (kuvio 11) ja mikä kuviossa 1B on tunnis- tettu hissikorin ohjelman varastointiosana CROM(a) on kuviossa 13 esitetty vain lukemista varten olevien muistiyksiköiden 392(a) ja

394(a) parina ja yhdistetty kuvion 11 laitteistoon samaan tapaan kuin mitä vastaavat ryhmän ohjelman varastointiosat kuviossa 6 on yhdistetty vastaavaan laitteistoon kuviossa 5. On ymmärrettävä, että vain lukemista varten olevien muistiyksiköiden lukumäärä vaihtelee varastoidun ohjelman monimutkaisuuden mukaisesti ja vaikkakaan sitä ei ole esitetty, käyttää keksinnön havainnollistettu suoritusmuoto hyväkseen kahtatoista 2048 bitin sähköisesti ohjelmoitavissa olevaa, vain lukemista varten tarkoitettua yksikköä, mitkä ovat Intel Silicon Gate MOS -tyyppiä 1702A.

Kuvion 13 ylemmässä osuudessa on esitettynä se osa hissikorin logiikan piiristöstä, mitä tämän jälkeen tullaan nimittämään hissikorin tietojen varastointilaitteeksi sekä hissikorin tietojen kytkinosaksi. Johtimet $\overline{CD0(a)}$, $\overline{CD1(a)}$, $\overline{CD2(a)}$ ja $\overline{CD3(a)}$ yhdistävät ensimmäisen sarjan sisääntulon piikkejä 3, 6, 10 ja 13 tietojen valintayksiköstä 400(a) ulostulon piikkeihin 3, 6, 10 ja 13 kaksisuuntaisen yhteyskiskon käyttölaitteesta 354(a) (kuvio 11) ja yhdistävät johtimet $\overline{CD4(a)}$, $\overline{CD5(a)}$, $\overline{CD6(a)}$ ja $\overline{CD7(a)}$ ensimmäisen sarjan sisääntulon piikkejä 3, 6, 10 ja 13 toisesta tietojen valintayksiköstä 402(a) (kuvio 13) ulostulon piikkeihin 3, 6, 10 ja 13 kaksisuuntaisen yhteyskiskon käyttölaitteesta 356(a) (kuvio 11). Tämän lisäksi johtimet $\overline{GCB0(a)}$, $\overline{GCB1(a)}$... $\overline{GCB7(a)}$ yhdistävät toisen sarjan sisääntulon piikkejä 2, 5, 11 ja 14 näistä kahdesta tietojen valitsijayksiköstä 400(a) ja 402(a) ulostulon piikkeihin 1 ja 15 neljästä kaksiosaisesta differentiaalisesta johtimien vastaanottimesta 236(a), 238(a), 240(a) ja 242(a), mitä on esitetty kuviossa 10. Tietojen valitsinyksiköt 400(a) ja 402(a) ovat ulostulon piikeistään 4, 7, 9 ja 12 yhdistetty tietojen sisääntulon piikkeihin 9, 11, 13 ja 15 parista 1024 bitin (256 x 4) staattista MOS RAM yksikköä 404(a) ja 406(a), mitkä ovat Intel-tyyppiä 8101.

Johtimet $\overline{CA0(a)}$, $\overline{CA1(a)}$... $\overline{CA7(a)}$ on yhdistetty ensimmäiseen sarjaan sisääntulon piikkejä 3, 6, 10 ja 13 toisesta sarjasta tietojen valintayksiköistä 408(a) ja 410(a), mitkä ovat Signetics-tyyppiä 74157. Yhteydet käyttäen johtimie $\overline{GCA0(a)}$, $\overline{GCA1(a)}$... $\overline{GCA7(a)}$ yksiköihin 408(a) ja 410(a) on jo kuvattu aikaisemmin viitaten kuvioon 10. Näistä yksiköistä on niiden ulostulon piikit 4,

7, 9 ja 12 yhdistetty osoitteen sisääntulon piikkeihin 4, 3, 2, 1, 21, 5, 6 ja 7 RAM yksiköistä 404(a) ja 406(a).

Kaksi sarjaa nelinkertaisia tietojen ulostulon piikkejä 10, 12, 14 ja 16 tietojen varastointiyksiköistä 404(a) ja 406(a) on yhdistetty johtimilla CDO0(a), CDO1(a) ... CDO7(a) sisääntulon piikkeihin 2, 5, 11 ja 14 tietojen valintayksiköiden 366(a) ja 368(a) (kuvio 11) pariin siirtäen ensimmäisen ja toisen hissikorin säätömerkit tai ryhmän säätömerkit tämän hissikorin tietojen varastointiosasta tämän hissikorin prosessoriyksikköön CPU(a) (kuvio 11). Tämän lisäksi ulostulon piikit 10, 12, 14 ja 16 tietojen varastoyksiköistä 404(a) ja 406(a) on yhdistetty sisääntulon piikkeihin 1, 4, 9 ja 12 nelinkertaisten kahden sisääntulon positiivisten JA porttien 412(a) ja 414(a) parista, mitkä ovat Signetics-tyyppiä 7408. Ulostulon piikit 3, 6, 8 ja 11 JA porteista 412(a) ja 414(a) on yhdistetty johtimilla CGD0(a), CGD1(a) ... CGD7(a) sellaiseen laitteistoon, mitä on kuvattu kuvion 10 yhteydessä.

Tahdistuksen sisääntulon piikit 15 tietojen valitsijoiden 108(a) ja 410(a) (kuvio 13) parista, mitä tullaan tämän jälkeen nimittämään hissikorin osoitteen kytkenosiksi ja kytkentälastun toimintaansaattavat sisääntulon piikit 19 parista 1024 bitin (256 x 4) staattisesta MOS RAM laitteesta 404(a) ja 406(a) (kuvio 13) joissa on erillinen sisääntulo ja ulostulo (I/O) ja mitkä ovat Intel-tyyppiä 8101, on yhdistetty ulostulon piikkiin 4 nelinkertaisesta kahden sisääntulon tietojen valitsija/multipleksioijasta 416(a) (kuvio 13), mikä on Signetics-tyyppiä 74157. Lukemisen ja kirjoittamisen piikit 20 tästä parista RAM yksiköistä 404(a) ja 406(a) sekä tahdistukset sisääntulon piikit 15 tietojen valitsijoiden 400(a) ja 402(a) parista, mitkä ovat Signetics-tyyppiä 74157 ja joita tullaan tämän jälkeen nimittämään hissikorin tietojen sisääntulon kytkentäosiksi, on yhdistetty invertterin 418B(a) ulostulon piikkiin 4, mikä invertteri on Signetics-tyyppiä 7404 tai sitä vastaava ja mistä sen sisääntulon piikki 3 on yhdistetty ulostulon piikkiin 7 tietojen valitsimesta 416(a). Ulostulon pois toiminnasta saattavat piikit 18 molemmista RAM yksiköistä 404(a) ja 406(a) on esitetty yhdistettynä kolmanteen ulostulon piikkiin 9 tietojen valitsimesta 416(a). Johdin L10 yhdistää lastun päälle-

saattavan piikin 17 tietojen varastoinnin yksiköistä 404(a) ja 406(a) binääriseen ykkösen tasoiseen merkkiin.

Kuten on esitetty, yhdistää johdin DTS(a) $\bar{Q}$ ulostulon piikin 10 J-K vuorottelijasta 214B(a) (kuvio 10) valinnan sisääntulon piikkeihin 1 näistä kahdesta tietojen valitsijayksiköistä 400(a) ja 402(a), kahdesta osoitteen valintayksiköstä 408(a) ja 410(a) ja säädön merkin valitsimen yksikköön 416(a), mikä on Signetics-tyyppiä 74157. Johdin DTS(a) on myös yhdistetty sisääntulon piikkiin 1 invertteristä 418A(a), mistä sen ulostulopiikki 2 on liitetty neljään sisääntulon piikkiin 2, 5, 10 ja 13 nelinkertaisista JA porttiyksiköistä 412(a) ja 414(a).

Säätömerkin valitsin 416(a) pidetään sen tahdistuksen sisääntulon piikistä 15 ja sen sisääntulosta 2 binäärisessä nollan tasossa johtimesta HL1. Johdin GWD(a) yhdistää sisääntulon piikit 5 ja 11 säätömerkin valitsimesta 416(a) ulostulon piikkiin 8 JA portista 220C(a) (kuvio 10). Sisääntulon piikit 3 ja 10 säätömerkin valitsimesta 416(a) on yhdistetty johtimella CSS(a) ulostulon piikkiin 10 tietojen valitsimesta 374(a) (kuvio 12). Johdin CWX(a) yhdistää Q ulostulon piikin 11 J-K vuorottelijasta 378B(a) (kuvio 12) sisääntulon piikkiin 6 säätömerkin valintayksiköstä 416(a).

Kuviot 14 ja 16 muodostavat kaaviomaisen esityksen hissikorin säädön laitteiston merkin valinnan piiristöstä, mikä liittyy hissikoriin "a" ja mikä kuviossa 1B on havainnollistettu suorakaidelohkona CES(a). Hissikorin säädön laitteiston valintapiiri yhdistää hissikorin käyttölaitteiston CCE(a) mitä tullaan tämän jälkeen kuvaamaan tämän hissikorin prosessoriin CPU(a) ja toimii seurauksena siihen liittyvästä hissikorin prosessorista siirtäen valinnaisesti binäärisiä merkkejä, mitkä osoittavat hissikorin toiminnan laitteiston tilaa tälle hissikorin prosessorille. Tämän lisäksi hissikorin säädön laitteiston valintapiiristö toimii seurauksena siihen liittyvästä prosessorista lähettäen eli siirtäen tiettyjä ensimmäisiä hissikorin säädön merkkejä siihen liittyvään hissikorin käyttölaitteistoon, minkä johdosta se säätää hissikorin "a" toimintaa riippumattomasti ja toisia hissikorin säädön merkkejä tähän liittyvään käyttölaitteistoon, minkä vaikutuksesta se säätää hissikorin "a" toimintaa jäsenenä valvotusta ryhmästä.

Johdin $\overline{CD0(a)}$ yhdistää ulostulon piikit 5 kolmesta tietojen

valitsin/multipleksoinnin yksiköstä 430(a), 432(a) (kuvio 14) sekä 434(a) (kuvio 16), mitkä ovat Signetics-tyyppiä 74S251 piikkiin 3 kaksisuuntaisen yhteyskiskon käyttölaitteesta 354 (kuvio 11). Hissikorin kutsun valitsinyksiköt 430(a) ja 432(a) sekä tämän hissikorin tilanteen merkin valintayksikkö 434(a) toimivat seurauksena binäärisen nollatasoisen signaalin tuomisesta niiden vastaaviin tahdistuksen sisääntulopiikkeihin 7 ja kolmen bitin binäärisen merkin tuomisesta johtimia CA0(a), CA1(a) ja CA2(a) pitkin sisääntulon piikeistä 1, 14 ja 11 bistabiilissa salvassa 358(a) (kuvio 11) näiden tietojen valinnan piikkeihin 11, 10 ja vastaavasti 9, minkä johdosta valittu yksikkö syöttää yhden kahdeksasta merkistä, mitkä on tuotu sen sisääntulon piikkeihin 4, 3, 2, 1, 15, 14, 13 ja 12 ulos pitkin johdinta $\overline{CD0(a)}$. Se valinnan laitteisto, mikä kehittää binäärisen nollatasoisen signaalin sykäytyksen sisääntulon piikkiin 7 valitusta yksiköstä, tullaan kuvaamaan tämän jälkeen.

Tämän lisäksi on kolmesta kahdeksaan bitin osoitettavista salpayksiköistä 438(a), 440(a) (kuvio 14) ja 444(a) (kuvio 16), mitkä ovat Fairchild-tyyppiä 9334 tai sitä vastaavia, tietojen sisääntulon piikit 13 myös yhdistetty johtimiin $\overline{CD0(a)}$ ja niiden osoitteen sisääntulon piikit 1, 2 ja 3 on yhdistetty johtimiin CA0(a), CA1(a) ja CA2(a). Seurauksena kolmen bitin binäärisen koodin syöttämisestä niiden osoitteiden sisääntulon piikkeihin ja binäärisen nollatasoisen merkin tuomisesta tahdistuksen sisääntulon piikkiin 14 valitusta näistä kolmesta yksiköstä 438(a), 440(a) ja 444(a), kehittää tämä yksikkö binäärisen nollatasoisen signaalin eräästä sen ulostulon piikeistä 4, 5, 6, 7, 9, 10, 11 ja 12, mikä vastaa merkkiä johtimessa $\overline{CD0(a)}$. Se laitteisto, joka aikaansaa binäärisen nollatasoisen signaalin sykeytyksen sisääntulon piikkiin 14 valitusta yksiköstä, tullaan nyt kuvaamaan alla.

Kuten on esitetty, sykäytyksen sisääntulon piikit 7 parista hissikorin kutsun valintayksiköitä 430(a) ja 432(a) on vastaavasti yhdistetty ulostulon piikkeihin 6 ja 7 kaksiosaisesta kahdesta neljään johtimen dekooderista eli kytkentälastun valintalaitteesta 446(a) (kuvio 14), mikä on Signetics-tyyppiä 74155. Kaksi ylimääräistä ulostulon piikkiä 11 ja 12 lastun valinnan laitteesta 446(a) on vastaavasti yhdistetty tahdistuksen sisääntulon piikkeihin 14 kutsun palautuksen valintayksiköistä 440(a) ja 438(a). Johdin

$\overline{CEX0(a)}$ yhdistää tahdistuksen sisääntulon piikit 2 ja 14 lastun valinnan laitteesta 446(a) ulostulon piikkiin 15 käytetystä kolmesta kahdeksaan johtimen dekooderista 378(a), mikä on esitetty kuviossa 12. Lukemisen tai kirjoittamisen merkki tuodaan pitkin johtimia CRX(a) tai CWX(a) JA portin 380A(a) (kuvio 12) ulostulon piikistä 3 tai Q ulostulon piikistä J-K vuorottelijassa 378B(a) (kuvio 12) sisääntulon piikkeihin 1 tai 3 lastun valinnan laitteesta 446(a). Kaksi ylimääräistä merkkijohdinta CA3(a) ja HL1 yhdistävät sisääntulon piikit 13 ja 15 tästä lastun valinnan laitteesta 446(a) vastaavasti ulostulon piikkiin 8 bistabiilista salvasta 358(a) (kuvio 11) sekä myös binääriseen nollatasoiseen merkkiin, mitä edustaa johdin HL1.

Tahdistuksen sisääntulon piikki 7 tämän hissikorin tilanteen merkin valintapiiristössä 434(a) (kuvio 16) on esitetty yhdistettynä ulostulon piikkiin 8 kolmen sisääntulon nand portista 442C(a). Johtimet $\overline{CA3(a)}$, sekä CRX(a) vastaavasti yhdistävät sisääntulon piikit 9 ja 11 nand portista 442C(a) bistabiilin salvan 358(a) (kuvio 11) ulostulon piikkiin 9 ja piikkiin 3 JA portista 380A(a) (kuvio 12). Johdin $\overline{CEX3(a)}$ yhdistää ulostulon piikin 12 käytetystä kolmesta kahdeksaan johtimen dekooderista 372(a) (kuvio 12) invertterin 448A(a) sisääntulon piikkiin 1, mistä laitteesta ulostulon piikki 2 on yhdistetty nand portin 442C(a) kolmanteen sisääntulon piikkiin 10.

Tahdistuksen sisääntulon piikki 14 hissikorin ulostulon merkin valintalaitteesta 444(a) (kuvio 16) on yhdistetty ulostulon piikkiin 6 kolmen sisääntulon nand portista 442B(a). Johtimet $\overline{CA3(a)}$ ja vastaavasti CWX(a) yhdistävät sisääntulon piikit 3 ja 5 nand portista 442B(a) bistabiilin salvan 358 (kuvio 11) ulostulon piikkiin 9 ja myös Q ulostulon piikkiin 11 käytetystä J-K vuorottelijayksiköstä 378B(a) (kuvio 12). Johdin $\overline{CEX4(a)}$ yhdistää ulostulon piikin 11 kolmesta kahdeksaan johtimen dekooderista 372(a) (kuvio 12) invertterin 448B(a) sisääntulon piikkiin 3, mistä invertteristä on sen ulostulon piikki 4 yhdistetty nand portin 442B(a) kolmanteen sisääntulon piikkiin 4.

Yksinkertaistettu kaaviodiagramma hissikorin kutsun muistiinmerkinnän piireistä käyttäen sinänsä tunnettua kylmäkatodin kaasuputken hipaisunappulaa, mikä on RCA-tyyppiä 1C21 tai sitä vas-

taava on esitettyinä kuviossa 15 pohjakerrosta ja kerrostasoja 2, 6, 7, 11, 12 sekä T varten tässä rakennuksessa, mihin tämä systeemi tulee asentaa. On ymmärrettävä, että ylimääräisiä hissikotin kutsun muistiinmerkinnän piirejä jäljellä olevia kerrostasoja varten yhdistetään katkoviivojen väliin, joita on esitetty kuviossa 12 sellaiseen tapaan, mikä on samankaltainen tässä yhteydessä esitetyille piireille.

Kunkin kaasuputken 1C(a), 2C(a) ... TC(a) anodi on jännitteeltään 135 voltia verrattuna johtimeen B0 ja tuodaan tämä jännite pitkin johdinta B+ tehonsyötöstä PS1 (kuvio 3), mitä jo aikaisemmin on kuvattu ja mistä sen katodi on yhdistetty tähän liittyvään katodivastukseen RCL1, RCL2 ... RCLT, mistä sen toinen puoli on yhdistetty tehonsyötön PS1 johtimeen B0. Johtimet C1(a), C2(a) ... CT(a) yhdistävät näihin liittyvän putken katodin yksittäisiin umpiviivojen suorakaidelohkoihin tunnistettuna viitenumerolla 18A ja edustaen optista kytkinlaitetta ja yhteystason säädintä, mitä tullaan kuvaamaan myöhemmin. Optiset kytkinlaitteet ja yhteystason säätimet on myös yhdistetty johtimiin B0 ja AC1 tehonsyötöstä PS1 (kuvio 2), minkä johdosta kaasuputken hipaisunappia voidaan käyttää.

Hissikotin kutsun muistiinmerkinnän signaalit kuviossa 15 esitettyjä piirejä varten sovitetaan pitkin johtimia 1CS(a), 2CS(a), 6CS(a), 7CS(a), 11CS(a), 12CS(a) sekä TCS(a) sisääntulon piikkeihin 12, 13, 2 ja 3 kutsun valintayksiköstä 430(a) (kuvio 14) sekä piikkeihin 14, 15 sekä 4 kutsun valintayksiköstä 432(a) (kuvio 14). On ymmärrettävä, että vastaavat piikit optisista kytkimistä ja yhteystason muuntimista, joita ei ole esitetty, mutta jotka liittyvät ylimääräisiin hissikotin kutsun muistiinmerkinnän piireihin, joita myöskään ei ole esitetty, on yhdistetty vastaavasti jäljellä oleviin sisääntulon piikkeihin kutsun valinnan yksiköissä.

Kutsun palautuksen merkit kullekin näistä kutsun muistiinmerkinnän piireistä, jotka on esitetty, tuodaan ulostulon piikeistä 12, 11, 6 ja 5 kutsun palautuksen valintayksikössä 438(a) (kuvio 14) sekä ulostulon piikeistä 10, 9 ja 4 kutsun palautuksen valintayksiköstä 440(a) (kuvio 14) pitkin johtimia 1CR(a), 2CR(a), 6CR(a), 7CR(a), 11CR(a), 12CR(a) ja TCR(a) optisten kytkimien ja tason muuntimien 18A (kuvio 15) palautuksen piikkeihin R.

Yksinkertaistettu kaavioesitys säätölaitteistosta, mikä liittyy hissikoriin "a" käytettäväksi tämän keksinnön mukaisessa säätösystemissä, on esitettynä kuviossa 17. Kuten asia on esitetty, ripustetaan hissikori 10(a) ja vastapaino 11(a) ripustusvaijerihin 12(a) köyripyörästä 13(a). Hissikori 10(a) palvelee kuutta toista kerrosta L1-Lt, kuten tekevät muutkin hissikorit tässä ryhmässä (joita ei ole esitetty).

Köyripyörä 13(a) on asennettu käämintäakselille MA(a) tasavirtatyypisistä nostomoottorista, mikä myös sisältää tyypillisen hissijarrun BR(a). Moottorin käämitys MA(a) on yhdistetty sekä generaattorin käämityksen GA(a) että sen sarjakäämin GSEF(a) yli moottorigeneraattorilaitteen tasavirtageneraattorista. Moottorin kenttäkäämitys MF(a) ja generaattorin kenttäkäämitys GF(a) on molemmat yhdistetty vastaanottamaan virtaa itseherätetystä generaattorista, mistä käämitys EA(a) on myös yhdistetty moottorigeneraattorin laitteen (mitä ei ole esitetty) yhteiselle akselille.

Kaksi sarjaan kytkettyä normaalisti suljettua ovivyohtyksen kosketinta D1Z(a) sekä D2Z(a) yhdistävät johtimen V2(a) toiselle puolelle avoimen oven kytkimen D0(a) käämiä. Johdin $\overline{D0(a)}$ yhdistää toisen puolen oven avoinna olon kytkimen käämistä D0(a) kytkinpisteeseen 02 releen käyttöpiiristä, mikä on esitetty suorakaidelohkona 18C(a) (kuvio 16), mistä sen sisääntulon kytkinnäpa 13 on yhdistetty ulostulon piikkiin 4 releen valintalaitteesta 444(a) (kuvio 16).

Käynnistyskytkimen ST(a) käämi on myös yhdistetty johtimeen V2(a) sekä johtimeen $\overline{G0(a)}$, mikä on vastaavalla tavalla yhdistetty toisen releen käyttöpiiriin kytkinnäpaan 02, mikä piiri on esitetty suorakaidelohkona 18C(a) (kuvio 16) ja mistä sen sisääntulon kytkinnäpa 13 on yhdistetty ulostulon piikkiin 7 releen käytön valintalaitteesta 444(a) (kuvio 16). Releen valinnan laite 444(a) (kuvio 16) on varustettu, kuten on esitetty kahdella ylimääräisellä piikillä 5 ja vastaavasti 6 yhdistettynä sisääntulon kytkinnäpöihin 13 ylimääräisestä parista releiden käyttöosia, mitkä on esitetty suorakaiteen muotoisina lohkoina 18C(a) (kuvio 16) ja mitkä on yhdistetty johtimilla $\overline{AU}$ sekä $\overline{AD}$ toiselle puolelle päälesäätävää käämiä ja toiselle puolelle palautuksen käämiä tietyn suunnan säilyttävän kytkimen DG(a) (kuvio 17) osalta.

Sarjakytketyt porttikoskettimet GS(a) ja oven koskettimet DS(a) toimivat joutuen niiden suljettuun asentoon aina, kun hissi-
korin tai hissikuilun portit ovat suljettuina ja syöttävät jännit-
teen johtimesta V2(a) pitkin johdinta DFC optisen I2 laitteen si-
sääntulon kytkinnapaan optisesta kytkimesta ja tason muuntimen pii-
ristä, mitä edustaa suorakaidelohko 18B(a) (kuvio 16). Konvertte-
rin piiristä on sen ulostulon kytkinnapa 01 yhdistetty sisääntulon
piikkiin 14 merkin valinnan laitteesta 434(a) (kuvio 16). Toinen
oven kytkin OL(a), mikä sulkee koskettimensa, kun hissin ovet ovat
täysin avoinna, on esitetty yhdistämässä johtimen V2(a) johtimeen
DFO(a). Viimemainittu johdin on yhdistetty sisääntulon kytkinna-
paan I2 optisesta kytkimestä ja tason muuntimesta 18B(a) (kuvio 16),
mistä sen ulostulon kytkinnapa 01 on yhdistetty sisääntulopiikkiin
13 merkin valinnan laitteesta 434(a) (kuvio 16).

Hissikorin käytön laitteisto liittyen hissikoriin "a" si-
sältää parin etukäteen sijoitettuja kerrostason asennon harjoja
FPU(a) ja FPD(a) sekä varsinaisen kerrostason asennon harjan FPB(a)
asennettuna synkroniseen tauluun tyypillisestä kerrostason valinnan
yksiköstä, mikä on järjestetty joutumaan kosketuksiin kerrostason
asennon koskettimien FPC1(a), FPC2(a) ... FPCT(a) kanssa, mitkä on
kytketty matriisijärjestelyyn, kuten on esitetty suorakaidelohkol-
la MT(a) aikaansaaden binääriset merkit edustamaan ennakoitua his-
sikorin asentoa ja varsinaista hissikorin asentoa. Kuten on esi-
tetty, on varsinaisen kerrostason asennon harja yhdistetty norma-
alisti suljetuilla käyttökytkimen koskettimilla H2(a) johtimeen
V2(a) aina, kun hissikori "a" sijaitsee tietyllä kerrostasolla saa-
den tämän matriisijärjestelyn syöttämään binäärikoodatun merkin
edustaen varsinaista hissikorin asentoa tämän hissikorin asennon
merkkijohtimiin CP1(a), CP2(a), CP4(a), CP(a) ja CP16(a). Nämä joh-
timet on yhdistetty sisääntulon kytkinnapoihin I2 viidestä optises-
ta yhdistimesta ja tason muuntimen piiristä 18B(a) (kuvio 16),
joista niiden vastaavat ulostulon kytkinnavat 01 on yhdistetty si-
sääntuloihin 15, 1, 2, 3 ja 4 merkin valinnan laitteesta 434(a)
(kuvio 16).

Normaalisti avoimet käytön kytkimen kosketinosat H1(a) liit-
tävät johtimen V2(a) johtimeen V3(a), mikä on myös yhdistetty joh-
timeen RUN(a), mikä yhdistää sen optisen yhdistimen ja tason muun-

timen 18B(a) sisääntulon kytkinnapaan I2, mistä muuntimesta sen ulostulon kytkinnapa on yhdistetty sisääntulon piikkiin 12 hissi-korin tilanteen valintayksikössä 434(a) (kuvio 16).

Kerrostason asennon harjat U1S(a), U2S(a), D1S(a) ja D2S(a) edellä mainitussa valitsimessa on sovitettu saattamaan niihin liit-tyvä sarja yhdistettyjä kerrostason asennon koskettimia 1SC(a) ja 2SC(a) tartuntaan, kun tämä hissikori on ennakolta määrättyillä etäisyyksillä eri kerrostasoilta.

Kerroshallista saatavan kutsun ja hissikorin kutsun muis-tiinmerkinnän piirit, joita jo aikaisemmin on kuvattu, on yhdistet-ty suorakaidelohkoihin 18A edustaen optista kytkennän ja tason muuntimen piirejä, jotka on esitetty kaavamaisesti kuviossa 18A. Kukin näistä piireistä toimii seurauksena sitä vastaavan kutsun muistiinmerkinnästä aikaansaaden binäärisen nollan sen "S" ulos-tuloon. Jotta kutsu kumottaisiin, syötetään binäärinen nolla "R" sisääntuloon, minkä vaikutuksesta signaali johtimessa AC1 syöte-tään kytkinnapaan I1.

Sisääntulon signaalin piirit, jotka on esitetty suorakaide-lohkoina 18B(a) kuviossa 16 on kukin havainnollistettu kaavamai-sesti kuviossa 18B. Seurauksena on sisääntulon merkin syöttämis-es-tä sen kytkinnapaan I2 kukin näistä optisista liittimistä ja tason muuntimista syöttää binäärisen nollatason merkin sen kytkinnapaan 01.

Kuviossa 16 suorakaidelohkoina 18C(a) esitetyt neljä releen piirin käyttöpiiriä on kukin kaavamaisesti havainnollistettu ku-viossa 18C esitetyllä piirillä. Seurauksena binäärisen nollasig-naalin syöttämisestä sen sisääntulon kytkinnapaan I3 kukin näistä releen käyttöosista syöttää riittävästi maadoitusta sen 02 kytkin-napaan, että se aikaansaa asiaankuuluvan releen virroittumisen.

Jotta voitaisiin ymmärtää, kuinka esitetyn keksinnön säätö-systeemi toimii saaden kunkin hissikoreista hissisysteemissä toi-mimaan osana yhteisvalvotusta ryhmästä, suoritetaan nyt kuvaus sii-tä, kuinka ryhmän prosessoriosa GPM vastaanottaa ensimmäisen hissi-korin säätömerkit tämän hissikorin prosessiosasta CPM ja syöttää ryhmän säätömerkkejä hissikorin prosessoriosiin, näiden aikaansaa-nessa toiset hissikorin säätömerkit seurauksena ja syöttää nämä merkit niihin hissikorin käyttölaitteisiin, mitkä liittyvät kuhun-

kin näistä hissikoreista tässä hissisysteemissä saaden nämä toimi-
maan osina valvotusta ryhmästä. On oletettava, että hissikorin pro-
cessoriosia CPM tässä hissistössä sisältää erillisen hissikorin pro-
cessorin ja siihen liittyvän hissikorin logiikkapiiristön molem-
mat erikseen kullekin systeemin hissikorille, ja että kukin hissi-
korin prosessoreista suorittaa vuorollaan tietyn ensimmäisen sar-
jan toimenpiteitä suorittaen sinänsä tunnetulla tavalla hissikorin
ohjelman käskyjä aikaansaaden ensimmäiset hissikorin säädön merkit
seurauksena hissikorin kutsun merkeistä ja hissikorin asennon mer-
keistä, mitkä syötetään tämän hissikorin käyttölaiteistoon tähän
liittyvässä hissikorissa, minkä johdosta tähän liittyvä hissikori
toimii määrättyllä tavalla. Olisi ymmärrettävä, että hissikorin pro-
cessori ja siihen liittyvä hissikorin logiikkapiiristö erikseen
kullekin hissikorille toimii samaan tapaan ja tämän johdosta en-
simmäisen hissikorin säätömerkkien siirtämisen kuvaamisen ja ryh-
män säätömerkkejä siirtämisen kuvaamisen tämän hissikorin prosesso-
rin CPU(a) ja siihen liittyvän hissikorin logiikkapiiristön, mikä
on erikseen kullekin yksityiselle hissikorille, nimittäin korille
"a" ja tämän ryhmän prosessoriosien kuvaamisen on ymmärrettävä yh-
tä hyvin soveltuvan merkin käsittelyyn tietyn hissikorin prosesso-
rin ja siihen liittyvien hissikorin logiikan piiristöjen erikseen
kullekin ylimääräiselle hissikorille tässä hissiasennuksessa ja
tämän ryhmän prosessoriosan välillä.

On myös oletettava, että ryhmän prosessoriosa sisältää ryh-
män prosessorin GPU ja siihen liittyvän ryhmän logiikkapiirin, ja
että ryhmän prosessori suorittaa vuorollaan tietyn toisen sarjan
toimenpiteitä noudattaen mihin tahansa sinänsä tunnettuun tapaan
ryhmän ohjelmaa käskyinä vastaanottaen kerrostason kutsun merkkejä
tämän ryhmän säätölaiteistosta GCE (kuvio 2) sekä myös ensimmäi-
siä hissikorin säätömerkkejä ja syöttäen ryhmän säätömerkkejä va-
littujen hissikorien prosessoreihin sekä niihin liittyviin hissi-
korin logiikan piiristöihin sisään.

US-patenttijulkaisu n:o 3 614 995 esittää laitteiston, mi-
tä voidaan käyttää säätämään joukkoa hissikoreja valvotussa ryh-
mässä. Tässä on myös esitetty laitteisto, minkä avulla kukin yk-
sittäinen hissikori pystyy toimimaan seurauksena hissikorin kutsu-
jen muistiinmerkinnästä siellä ja merkkien perusteella ilmaisten

tämän hissikorin asentoa, minkä vaikutuksesta asiaankuuluva hissikori toimii määrättyllä tavalla. Kun esim. hissikori sijaitsee pysäytysetäisyydellä erossa tietyltä kerrokselta, mille hissikorin kutsu on merkitty muistiin, saadaan tämä hissikori aloittamaan pysäytystoiminta tälle kerrosta-
solle. Taitava ohjelmoija tai systeemin suunnittelija ymmärtää, kuinka tässä yhteydessä esitetty laitteisto ohjelmoidaan aikaansaamaan vastaava tulos.

Tämän toteuttamiseksi aikaansaadussa suoritusmuodossa niiden käskyjen pykälä kerrallaan vuorottelu, mikä sisältää hissikorin ohjelman sisältää tietyn alirutiinin, minkä vaikutuksesta siirretään tietoa osoittaen tietyn hissikorin kutsun muistiinmerkintää kyseessä olevalle kerrosta-
solle tähän liittyvään hissikorin prosessoriin, esim. hissikorilla "a" CPU(a) (kuvio 11). Vastaavasti tieto soittaen hissikorin "a" sijaintia tietyllä pysäytysetäisyydellä kerrosta-
solta, jolle kutsu on merkitty muistiin, siirretään samoin tämän hissikorin prosessoriin CPU(a).

Kehitettäessä tietoa tietyn hissikorin kutsun muistiinmerkittämiseksi hissikorista "a" sanokaamme seitsemännelle kerrosta-
solle käskyä aikaansaadaan merkki optisessa liittimessä ja tason muuntimessa 18A liittyen hissikoriin "a" (kuvio 15) sekä seitsemänteen kerrosta-
soon liittyen, minkä vaikutuksesta tämä aikaansaa binäärin nollatason merkin. Tämä merkki tuodaan hissikorin kutsun valinnan laitteeseen 430(a) (kuvio 14).

Se alirutiini, millä hissikorin prosessori CPU(a) vastaanottaa seitsemännen kerrosta-
solen hissikorin kutsun tiedon tämän hissikorin kutsun valinnan laitteista 430(a) aloitetaan ohjelman laskimella, mikä on tämän hissikorin prosessorissa CPU(a) (kuvio 11). Kuten on sinänsä tunnettua, lisätään tietty laskentasumma tämän ohjelman laskimeen, kun on suoritettu kukin T1 ajoitustilasta toiminnassa tämän hissikorin prosessorissa, jotta se pystyisi toimimaan tällä askel kerrallaan tavalla ja vastaanottamaan seuraavan käskyn sen hissikorin ohjelman varastointiosasta CROM(a) (kuvio 13).

Oletetuissa olosuhteissa se käsky, mikä vastaanotetaan hissikorin ohjelman varastointiosasta CROM(a) ohjaa tämän hissikorin prosessoria CPU(a) vastaanottamaan merkin syötettynä pitkän johdinta 7CS(a) tämän hissikorin kutsun valinnan laitteeseen 430(a).

Jotta siirrettäisiin tietoa johtimesta 7CS(a) tähän proses-

soriin, niin täytyy, kuten on sinänsä tunnettua tämän hissikorin prosessorin CPU(a) sisältää 8 bitin toimintakoodin tai käskyn lisäksi vastaanotettuna ohjelman varastointiosasta CROM(a), myös 16 bitin osoitekoodi. Tämä viimeksimainittu koodi tunnistaa sen piikin n:o 3 kutsun valinnan laitteesta 430(a), mihin johdin 7CS(a) yhdistetään ja mahdollistaa signaalin pitkin johdinta 7CS(a) siirtämisen tämän hissikorin prosessoriin CPU(a).

Se osoitteen koodi, mikä on sisällytettynä hissikorin prosessoriin CPU(a), saattaa muistirekisterit 358(a), 362(a), 360(a) ja 364(a) syöttämään kuusitoista vastaavaa merkkiä pitkin johtimia CA0(a) - CA15(a) seuraavassa tunnetussa T1 ja T3 ajoituksen tilassa tällä prosessorilla. Merkit pitkin johtimia CA0(a), CA1(a) ja CA2(a) tuodaan piikkeihin 11, 10 ja 9 tietyn kutsun valintalaitteesta 430(a) (kuvio 14) valitsemaan se merkki, mikä siihen syötetään pitkin johdinta 7CS(a) ja kehittämään vastaavan signaalin sen ulostulon piikkiin 5. Signaalit pitkin johtimia CA10(a), CA13(a), CA14(a) ja CA15(a) ovat sellaisia, että niiden vaikutuksesta tulkilaite 374(a) (kuvio 12) kehittää binäärisen nollamerkin sen ulostulon piikkiin 9. Tämä tuodaan dekooderiin 372(a), mikä seurauksena osoitteen käyttämisestä, mikä sisältyy merkkeihin pitkin johtimia CA4(a), CA5(a) ja CA6(a) kehittää nyt binäärisen nollatason merkin pitkin johdinta $\overline{CEX0(a)}$. Osoitteen signaali tuotuna pitkin johdinta CA3(a) ja binäärinen nollatason merkki tuotuna pitkin johdinta $\overline{CEX0(a)}$ syötetään multipleksoijaan 446(a) ja kun on vastaanotettu binäärinen ykkösen merkki pitkin johdinta CRX(a) sekä binäärinen nollatason merkki pitkin johdinta CWX(a) tämä multipleksoija syöttää binäärisen nollatason merkin sisääntulon piikkiin 7 tietystä kutsun valintalaitteesta 430(a). Binäärinen ykköstason merkki syötetään pitkin johdinta CRX(a) ajoituksen T3 vaiheen aikana, koska sitä edellisen T2 ajoituksen vaiheen kuluessa tuotiin binäärinen nollatason signaali pitkin johdinta $\overline{CT2(a)}$ vuorottelijaan 376(a), minkä vaikutuksesta se syöttää binäärisen ykköstason merkin JA porttiin 380(c) sen piikin 5 ulostulosta. Ensimmäisen puoliskon kuluessa T3 ajoituksen tilasta tuodaan binäärinen ykköstason signaali pitkin johdinta CSYNC prosessorista CPU(a) (kuvio 11). Tämä aikaansaa binäärisen ykköstason merkin pitkin johdinta $\overline{CT3A(a)}$, mikä yhdessä binäärisen ykköstason merkin

kanssa, mikä on syötetty pitkin johdinta $\overline{CA14(a)}$ komplementtina toimintakoodin merkistä pitkin johdinta $CA14(a)$ saattaa JA portin 380A(a) aikaansaamaan binäärisen ykköstason merkin johtimeen CRX(a). Binäärinen nollatason merkki tuodaan pitkin johdinta CWX(a), koska prosessori tällöin toteuttaa "lukemisen" toimintaa ja T3 ajoituksen tilan alussa binäärisen ykkösen merkki tuotuna pitkin johdinta C01(a) palautti vuorottelijaan 378B(a), minkä vaikutuksesta se syöttää binäärisen nollatason merkin ulos pitkin johdinta CWX(a).

Kun on vastaanotettu binäärinen nollatason merkki sisääntulon piikkiin 7, syöttää kutsun valinnan laite 430(a) binäärisen nollatason merkin pitkin johdinta $\overline{CD0(a)}$ syötettäväksi piikkiin 3 kaksisuuntaisen yhteyskiskon käyttölaitteessa 354(a) (kuvio 11). Koska prosessori on ajoituksen T3 vaiheessa ja tapahtuu "lukemisen" toiminta, syötetään binäärinen nolla ja binäärinen ykkösen merkki pitkin johtimia $\overline{CCS(a)}$ sekä vastaavasti $\overline{CDIEN(a)}$ syistä, jotka käyvät helposti ilmi tämän jälkeen kuvattavasta tavasta, millä kehitetään vertailukelpoisia merkkejä pitkin johtimia $\overline{GCS(a)}$ sekä $\overline{CDIEN(a)}$ (kuvio 4), kun ryhmän prosessori GPU(a) toimii vastaanottaen tietoja hissikorin tietojen varastointiosasta CRAM(a) tätä hissikoria "a" varten. Nämä merkit pitkin johtimia $\overline{CCS(a)}$ sekä $\overline{CDIEN(a)}$ muodostavat pitkin johdinta $\overline{CD0(a)}$ tulevan merkin komplementin ilmaisten seitsemännen kerroksen hissikorin kutsun muistiinmerkitsemistä syötettäväksi hissikorin prosessoriin CPU(a) siellä väliaikaisesti varastoitavaksi.

Edellä olevan perusteella tulisi ymmärtää, kuinka muut merkit ilmaisten muuta tietoa hissikoriin verrattuna siirretään tämän hissikorin säätölaitteistosta hissikorin prosessoriin CPU(a). Esim. tieto osoittaen sitä, että hissien hissikori "a" sijaitsee pysäytysetäisyydellä erossa seitsemänneistä kerrostaosta siirretään harjan FPU(a) tai FPD(a) (kuvio 17) riippuen kulkuliikkeen suunnasta hissikorissa ja koskettimen FP7(a) kautta matriisiin MT(a). Binääriset merkit ilmaisten tätä tietoa siirretään pitkin ulostulon johtimia CP1(a) - CP16(a) matriisista MT(a). Nämä binääriset merkit syötetään niihin liittyviin valinnan laitteisiin 18B(a) (kuvio 16). Ulostulon merkit valinnan laitteista 18B(a) siirretään pitkin johdinta $\overline{CD0(a)}$ tämän hissikorin prosessoriyksikköön CPU(a) (kuvio 11)

samanlaiseen tapaan kuin merkki osoituksena seitsemännen kerrosta-
son hissikorin kutsun muistiinmerkitsemisestä sinne siirrettiin.

Hissikorin prosessoriyksikkö CPU(a) (kuvio 11) käyttää merkkejä, jotka osoittavat, että hissikori sijaitsee pysäytysetäisyydellä erossa seitsemännestä kerrosta-
stosta ja että seitsemännen kerrosta-
stason hissikorin kutsu on merkittynä muistiin säätäen tätä hissikoria ja saattaen sen pysähtymään seitsemännelle kerrosta-
solle. Se toteuttaa tämän toimimalla seurauksena näiden merkkien samanaikaisesta olemassaolosta kehittäen sellaisen merkin, että pysäytys saadaan alkamaan. Täten toimiessaan se kehittää merkin pitkin johdinta $\overline{CD0(a)}$ dekodeerin 444 piikkiin 13 syötettäväksi ulostulon piikkiin 7 siinä, jotta tällöin tähän liittyvä releen käyttölaite 18C(a) kehittäisi binäärisen ykkösta-
stason merkin ulos pitkin johdinta $\overline{G0(a)}$. Tämä merkki, kun se syötetään käämiin ST(a) (kuvio 17), aukaisee tähän liittyvän pysäytyksen kytkimen, minkä vaikutuksesta hissikori pysähtyy haluttuun tapaan seurauksena kytkimien FE(a), E2A(a), E1A(a), H(a) ja U(a) tai D(a) tämän jälkeisesti irrottamisesta riippuen viimeisin mainittu hissikorin kulkuliikkeen suunnasta.

On toivottavaa varastoida merkki pitkin johdinta $\overline{CD0(a)}$, mikä aikaansai binäärisen ykkösta-
stason merkin kehittämisen ulos pitkin johdinta $\overline{G0(a)}$ hissikorin tietojen varastointiosaan CRAM(a) (kuvio 13), jotta se olisi käytettävissä myöhempään käyttöön. Tämä toteutetaan, koska prosessori askel askeleelta toimiessaan vastaanottaa kahdeksan bitin "siirrä" käskyn, jolla varastoidaan merkki tähän tapaan. Tämä käsky säilytetään tämän hissikorin prosessorissa CPU(a) ja se osoittaa, että pitkin johdinta $\overline{G0(a)}$ olevaa vastaava merkki tulisi siirtää hissikorin tietojen varastointiosaan CRAM(a). Tämän lisäksi säilytetään myöskin kuudentoista bitin osoitteen koodi tämän hissikorin prosessoriyksikössä CPU(a).

Ensimmäiset kahdeksan näistä jälkimmäisistä kuudestatoista merkistä syötetään ulos pitkin johtimia CA0(a) - CA7(a) tietojen valitsijoihin 408(a) ja 410(a) valmisteltaessa hissikorin tietojen varastointiosan CRAM(a) osoittamista. Nämä merkit, kun ne tuodaan hissikorin tietojen varastointiosaan, mahdollistavat siellä signaalin varastoinnin, mikä vastaa sitä, mikä saapui pitkin johdinta $\overline{G0(a)}$ siihen sijaintipaikkaan, mikä vastasi sitä osoitetta, mikä

on osoitettu niillä merkeillä, mikä syötettiin sinne pitkin johtimia CA0(a) - CA7(a).

Viimeiset kahdeksan viimemainituista kuudestatoista merkistä syötetään ulos pitkin johtimia CA8(a) - CA15(a). Nämä merkit ovat sellaisia, että niillä mahdollistetaan kuvion 12 laitteiston aikaansaavan binäärisen nollan johtimeen CRSE(a) ja binäärisen ykkösen johtimeen CWX(a). Edellinen näistä merkeistä on olemassa seurauksena osasta sitä koodia, mikä syötettiin pitkin johtimia CA10(a), CA11(a), CA13(a), CA14(a) ja CA15(a), mikä kuitenkin on nyt muutettu jo aikaisemmin kuvastusta siten, että pitkin johdinta CA14(a) tuleva merkki on binäärinen ykkönen. Viimemainittu merkki pitkin johdinta CWX(a) on binäärinen ykkönen kolmannen ajoituksen aikavälin T3 kuluessa tämän hissikorin prosessoriyksikössä, koska tämän jakson kuluessa merkki johtimessa $\overline{CT3(a)}$ on binäärinen nolla ja "varastoinnin" toiminnan aikana merkki johtimessa $\overline{CPCW(a)}$ on myös binäärinen nolla, koska koodimerkit CA14(a) ja CA15(a) ovat molemmat binäärisiä ykkösiä. Binääriset nollan merkit pitkin johtimia $\overline{CT3(a)}$ ja $\overline{CPCW(a)}$ saattavat vuorottelijan 378B(a) kehittämään binäärisen ykkösen ulos pitkin johdinta CWX(a).

Merkit pitkin johtimia CSS(a) ja CWX(a) syötetään valintakytkimeen 416(a) (kuvio 13), ja kun binäärinen ykkösen merkki tällöin on olemassa johtimessa DTS(a), se saa tämän kytkimen toimimaan aikaansaaden ulostulon merkit valmistellen hissikorin prosessiyksikköä CPU(a) "kirjoittamaan tietoa sisään" toisin sanoen varastoimaan merkkejä, jotka ovat osoituksena tiedosta hissikorin tietojen varastointiosassa CRAM(a). Binäärinen ykkösen merkki syötetään pitkin johdinta DTS(a) seurauksena binäärisestä nollan merkistä pitkin johdinta GA13 tämän ryhmän prosessorin toimintakoodissa, mikä on aina binäärinen nolla paitsi, kun hissikorin prosessorin GPU (kuvio 4) tulee olla yhteydessä hissikorin laitteiston kanssa, kuten tullaan kuvaamaan myöhemmin. Tämän vaikutuksesta hissikorin käyttölaite 196A (kuvio 9B) syöttää binäärisen nollan signaalin ulos pitkin johdinta XCRDY(a) vastaanottoon 210(a) (kuvio 10). Tämä aikaansaa binäärisen nollan piikkeihin 3 ja 8 vuorottelijassa 214A ja 214B palauttaen ne nollatilaan ja aikaansaaden binäärisen ykkösen merkin ulos pitkin johdinta DTS(a).

Binäärinen ykkösen merkki ulos pitkin johdinta DTS(a) yh-

dessä ulostulon merkkien kanssa kytkimestä 416(a) saattaa päälle valitsimet 408(a) ja 410(a) siirtämään hissikorin tietojen varastointiosaan CRAM(a) ne osoitteen merkit, mitkä on syötetty pitkin johtimia CA0(a) - CA7(a) valmisteltaessa myöhempää merkin siirtoa varten sitä merkkiä, joka vastaa johtimessa $\overline{GO(a)}$ olevaa tämän hissikorin tietojen varastointiosaan tietojen valitsijoiden 400(a) ja 402(a) läpi. Se merkki, joka vastaa pitkin johdinta $\overline{GO(a)}$ saapuvaa, siirretään ulos pitkin johdinta $\overline{CD0(a)}$ valitsimen 400(a) kautta seuraavassa toiminnan vuorosarjassa. Näin tapahtuu, koska hissikorin prosessoriyksikkö CPU(a) saatetaan toimintaan kahdeksan bitin "siirrä" merkillä siirtäen tämän signaalin ulos pitkin johdinta $\overline{CD0(a)}$ välittömästi sen jälkeen, kun on lähetetty "osoitteen" signaalit. Tästä seurauksena se signaali, mikä vastaa pitkin johdinta $\overline{GO(a)}$ saapuvaa kulkee pitkin johdinta $\overline{CD0(a)}$ sisään tietojen valitsimeen 400(a) ja tämän yksikön läpi siihen hissikorin tietojen varastointiosan CRAM(a) paikkaan, mikä on tunnistettu kahdeksalla "osoitteen" bitillä, mitkä jo aikaisemmin siirrettiin hissikorin prosessoriyksiköstä CPU(a).

Varastoidun tiedon uudelleen saanti tämän hissikorin tietojen varastointiosasta CRAM(a) tämän hissikorin prosessoriyksikköön CPU(a) on toiminnaltaan samankaltainen kuin millä hissikorin prosessoriyksikkö varastoi tietoja tämän hissikorin tietojen varastointiosaan. Erona varastoinnin toiminnan ja palautuksen toiminnan välillä on, että viimeksimainitun toiminnan aikana 16 bitin osoitteen merkin täytyy olla sellainen, että se saa kuvion 12 laitteiston muuttamaan signaalin tilan pitkin johdinta CWX(a) binääriseksi nollan merkiksi siitä binäärisestä ykkösestä, mikä on aikaansaatu "varastoinnin" toiminnan aikana. Tämä binäärinen nollan merkki syötetään pitkin johdinta CWX(a) samaan tapaan kuin mitä jo aikaisemmin selitettiin kuvattaessa sen merkin siirtämisen toimenpidettä, mikä vastasi pitkin johdinta $\overline{GO(a)}$ saapuvaa, tämän hissikorin prosessoriyksikköön CPU(a). Tilanteen muutos tapahtuu T3 ajoitusvaiheen loputtua, kun merkki pitkin johdinta $\overline{CT3(a)}$ ja merkki pitkin johdinta $\overline{C01(a)}$ muuttuvat binääriseksi nollan merkeiksi, minkä jälkeen binäärinen nolla tuodaan piikkiin 8 vuorottelijasta 378B(a). Merkki pitkin johdinta CWX(a) ei muutu binääriseksi ykkösen tilanteeksi T3 ajoituksen vaiheen kuluessa "lukemisen" toiminnan aikana,

kuten tapahtui varastoinnin toimenpiteen aikana, koska "lukemisen" toiminnan aikana merkki pitkin johdinta $\overline{CPCW(a)}$ ei ole binäärinen nollan merkki, kuten se on varastoinnin toimenpiteen aikana. Tästä seurauksena vuorottelija 378B(a) pysyy sen palautuksen tilanteessa tämän "lukemisen" toiminnan aikana ja jatkaa binäärisen nollan merkin syöttämistä ulos pitkin johdinta CWX(a). Tämä mahdollistaa tiedon "lukemisen" hissikorin tietojen varastointiosasta CRAM(a) (kuvio 13), toisin sanoen, hissikorin tietojen varastointiosa aikaansaa ulostulon merkkejä ulos pitkin johtimia $CD00(a)$ - $CD07(a)$ tietyn "lukemisen" jakson aikana vastakohtana sille, että se vastaanottaa tämän hissikorin prosessoriyksiköstä CPU(a) merkkejä, mitkä sinne syötettiin pitkin johtimia $\overline{CD0(a)}$ - $\overline{CD7(a)}$ varastoinnin jakson eli "kirjoittamisen" kuluessa.

Myös ovat toiminnan merkit sellaisia, että ne muuttavat sen signaalin tilaa, joka on johtimessa CSS(a) binääriseksi nollaksi tavalla, mikä tulee olemaan ilmeinen tämän jälkeisen selityksen perusteella siitä, kuinka binäärinen nollan merkki syötetään pitkin johdinta GSS, kun ryhmän prosessori GPU(a) vastaanottaa tietoja. Tämä binäärisen nollan signaali pitkin johdinta CSS(a) mahdollistaa merkkien pitkin johtimia $CD00(a)$ - $CD07(a)$ lähettämisen tietojen valitsimista 366(a) ja 368(a).

On ymmärrettävä, että hissikorin prosessoriyksikkö CPU(a) on säädettävissä sellaisilla käskyillä, mitkä on varastoitu hissikorin ohjelman varastointiosaan CROM(a) (kuvio 13), ja jotka on vastaanotettu sieltä johtimia $CI00(a)$ - $CI07(a)$ pitkin sinänsä tunnettuun tapaan, niin että kun aloitetaan pysäytyksen toiminta seurauksena seitsemännen kerrostason kutsumerkistä prosessoriyksikössä CPU(a) se pystyy siirtämään merkkejä tämän kutsun sammuttamiseksi. Tämä menetelmä muodostaa "kirjoittamisen" toimenpiteen ja toteutetaan samaan tapaan kuin mitä prosessori "luki" seitsemännen kerrostason hissikorin kutsun siirtoa varten sinne merkistä, mikä oli osoituksena tästä, kuten on kuvattu. Ero tietyn "kirjoittamisen" toimenpiteen ja "lukemisen" toimenpiteen välillä on, että osoitteen koodi aikaansaa binäärisen ykkösen merkin muodostamisen pitkin johdinta CWX(a) ajoituksen T3 vaiheen aikana vastakohtana binäärisen ykkösen merkin muodostamiselle pitkin johdinta CRX(a). Samoin myös "kirjoittamisen" toiminnan aikana siirretään binääri-

nen nollan merkki pitkin johdinta $CD\overline{0}(a)$ piikkiin 13 hissikorin kutsun palautuksen valitsimesta 438(a) vastakohtana "lukemisen" toimenpiteelle, minkä kuluessa binäärinen nollan merkki siirretään pitkin johdinta $\overline{CD\overline{0}(a)}$ piikistä 5 hissikorin kutsun valitsimessa 430(a), kuten jo aikaisemmin on kuvattu.

Seurauksena binäärisestä nollan merkistä tuotuna piikkiin 13 valitsimessa 438(a) ja koodista, mikä vastaa seitsemättä kerrosta- tasoa saatuna pitkin johtimia $CA\overline{0}(a)$, $CA1(a)$ ja $CA2(a)$ sekä binää- risestä ykkösen merkistä saatuna pitkin johdinta $CWX(a)$ kehittää valitsin 438(a) merkin ulos pitkin johdinta $7CR(a)$, mikä syötetään tähän liittyvän tason muuntimen 18A (kuvio 15) kautta aikaansaa- maan seitsemännen kerrosta- sion hissikorin kutsun putken 70(a) sam- muttaminen ja toteuttamaan tämän kutsun kumoaminen.

Nyt tullaan oletamaan, että hissikorin kutsu saatuna seit- semättä kerrosta- sion varten ei ole merkittynä muistiin hissikoria "a" varten, mutta että hissikorin prosessori $CPU(a)$ (kuvio 1) on suorittanut toimenpiteitä hissikorin asennon alirutiinin perusteel- la, joiden avulla hissikorin "a" asento on sijoitettu pysäytyksen etäisyydelle seitsemännen kerrosta- sion alapuolelle, mistä on osci- tuksena harjan $FPU(a)$ (kuvio 17) joutuminen tartuntaan kosketti- men $FPCT(a)$ kanssa, varastoiden tiedon määriteltyn paikkaan tä- män hissikorin tietojen varastointiosassa $CRAM(a)$. Oletetaan myös- kin, että hissikorin prosessori $CPU(a)$ on toiminut määritellen ylöspäin suuntautuvan liikkeen suunnan hissikorille "a". Tästä seurauksena tuodaan binäärinen nollan signaali pitkin johdinta $\overline{AU(a)}$ päällesäattävään käämiin $SDG(a)$, minkä avulla suunnan rele saa virtaa ylläpitäen suunnan ylöspäin, kuten tämä on määriteltä liikkeen suuntana. Oletetaan myös, että ryhmän prosessoriyksikkö GPU (kuvio 4) on suorittanut toimenpiteitä tietyn kerrosta- sion saadun kutsun alirutiinin mukaisesti ja on vastaanottanut merkin osoittaen, että on merkitty muistiin ylöspäin kerrosta- sion kutsu tältä seitsemänneltä kerrosta- sion saatuna. Myös oletetaan, että siirryttäessä eteenpäin askel askeleelta tämän ryhmän prosessori on toiminut vastaanottaen hissikorin asennon tiedon hissikorista "a" varastoituna sitä vastaavaan hissikorin tietojen varastointi- osaan $CRAM(a)$ ja että se on kehittänyt merkin siirrettäväksi tämän hissikorin tietojen varastointiosaan hissikorissa "a", minkä joh-

dosta se saa sen pysähtymään muistiinmerkityn seitsemännen kerrostason kerrosta-asolta ylöspäin kutsun mukaisesti.

Jotta voitaisiin ymmärtää, kuinka ryhmän prosessorin yksikkö GPU (kuvio 4) toimii vastaanottaen merkkejä suoraan ja varastoiden merkkejä suoraan hissikorin tietojen varastointiosaan CRAM(a), tullaan nyt selittämään, kuinka hissikorin asennon tieto hissikorista "a" vastaanotetaan ryhmän prosessoriyksikköön ja kuinka merkki, mikä saa hissikorin "a" aloittamaan pysäytyksen seitsemännen kerrostason kerrosta-asolta saatua kutsua noudattaen siirretään tämän ryhmän prosessoriyksiköstä GPU (kuvio 4) tämän hissikorin tietojen varastointiosaan CRAM(a).

Se alirutiini, millä ryhmän prosessori vastaanottaa hissikorin asennon tiedon tämän hissikorin tietojen varastointiosasta aloitetaan ohjelman laskimella, mikä on sisäinen tämän ryhmän prosessorille. Kuten on sinänsä tunnettua, lisätään tietty laskentsumma ohjelman laskimeen, kun kukin T1 ajoituksen tila on suoritettu loppuun toimittaessa tämän ryhmän prosessorissa, jotta voitaisiin saada ryhmän prosessori toimimaan kyseisellä askel askeleelta tavalla vastaanottaen seuraavan käskyn sen ryhmän ohjelman varastoinnin osasta GROM (kuvio 6). Sen jälkeen, kun on vastaanotettu tämä kahdeksan bitin käsky sinänsä tunnettuun tapaan tämä ryhmän prosessori käyttää sitä ja kuudentoista bitin osoitteen koodin merkkejä sisältäen ne, mitkä ovat osoituksena siitä hissikorin tietojen varastointiosan CRAM(a) sijaintipaikasta, missä mielenkiinnon alainen tieto on varastoituna, jotta tämä tieto saataisiin käsille.

Osoitteen koodin merkit ryhmän prosessorissa GPU (kuvio 4) siirretään yhteyskiskon käyttölaitteitten 54 ja 56 kautta pitkin johtimia $\overline{GD0}$ - $\overline{GD7}$ varastoitavaksi muistirekistereissä 58, 62, 60 ja 64 kahdessa eri ajoitusjaksossa T1 ja T2 standardiin tapaan, mikä on selitetty tämän prosessorin valmistajan toimintaohjeissa.

Viimeisen neljänneksen kuluessa T1 ajoitusjaksosta binäärisen nollan merkki pitkin johdinta $\overline{GT1}$ (kuvio 9A) aikaansaa nand portin 178A kautta binäärisen ykkösen signaalin muodostumisen tämän ulostuloon. Toisen puoliskon T2 ajoitusjaksosta kuluessa binäärisen ykkösen signaali tuodaan pitkin johdinta $G01$ ja aikaansadaan binäärinen nollan merkki pitkin johdinta GSYNC. Tästä seu-

rauksena nand portti 170B aikaansaa binäärisen ykkösen signaalin piikkiin 1 vuorottelijasta 172A. Samalla kertaa tuodaan binäärinen nollan merkki pitkin johdinta $\overline{GD5}$ piikkiin 16 sekä tämän komplementti tuodaan piikkiin 4. Kun viimeinen neljännes T2 ajoitusjaksosta alkaa kehitetään binäärinen nollamerkki pitkin johdinta $\overline{GT2}$, minkä vaikutuksesta portin 178A ulostulo siirtyy binääriseen nolatilanteeseen. Tästä seurauksena binäärinen nollan signaali syötetään myös piikkiin 1 vuorottelijasta 172A ja tämä aikaansaa binäärisen nollan signaalin ulos pitkin johdinta GSUS.

Signaali pitkin johdinta GSUS tuodaan piikkiin 17 ryhmän prosessorissa GPU, minkä vaikutuksesta se keskeyttää toimintojen standardin vuorojärjestyksen ajoitusjakson T2 lopussa. Tämä keskeytys jatkuu neljän ODOTA tilan aikana ennen kuin prosessorin sallitaan joutuvan T3 ajoitustilaan. Tällä tavoin siitä riippumatta, kuinka paljon poissa synkronista ryhmän ja hissikorin prosessorit saattavat ollakin, tämä ryhmän prosessori odottaa riittävän ajanjakson verran, jotta taattaisiin, että ennen kuin se joutuu T3 tilaan, hissikorin prosessori toiminta on keskeytetty erään sen T2 ajoitusvaiheen lopussa, kuten tullaan selittämään alempana.

Tällä väliajalla seurauksena osoitteen koodin merkkien tuomisesta pitkin johtimia $\overline{GD0} - \overline{GD7}$ aikaansaadaan ulostulot pitkin johtimia $GA0 - GA15$ ja myös $\overline{GA8} - \overline{GA15}$ ja merkit viimemainittuja pitkin ovat komplementteja merkeistä pitkin johtimia $GA8 - GA15$. Nämä merkit aikaansaadaan muistirekistereissä 58, 60, 62 ja 64 standardiin tapaan, mitä valmistajan toimintaselityksessä on kuvattu. Binäärinen ykkösen merkki johtimessa $GA13$ saa kaksiosaisen kahdesta neljään johtimen dekooderin 74 sekä JA portin 80D aikaansaaman binäärisen ykkösen signaalin ulos pitkin johdinta GRSE ja johdinta GSS. Nämä merkit tuodaan piikkeihin 18 ja 19 ryhmän tietojen varastointiosassa GRAM (kuvio 6) ja ne estävät ryhmän muistia toimimasta osoitemerkkien perusteella saatuna pitkin johtimia $GA0 - GA7$.

Koska ryhmän prosessorin GPU tulee vastaanottaa merkkejä hissikorin tietojen varastointiosasta CRAM(a) hissikorin "a" tapauksessa koodataan kolme merkkiä pitkin johtimia $GA8, GA9$ ja $GA10$ tunnistamaan hissikori "a" siksi hissikoriksi, mikä on valittu merkkejä aikaansaamaan. Nämä kolme merkkiä yhdessä binäärisen yk-

kösen merkkien kanssa saatuna pitkin johtimia GA11 ja GA13 sekä yhdessä binäärisen nollan merkin kanssa saatuna pitkin johdinta $\overline{GA13}$ aikaansaavat kolmesta kahdeksaan johtimen dekooderin 190 (kuvio 9B), tietojen valitsijoiden 192 ja 194 sekä johtimen käyttölaitteen 196A toiminnan, niin että aikaansaadaan binäärinen ykkösen merkki ulos pitkin johdinta XCRDY(a). Tämä signaali tuodaan differentiaaliseen johtimen vastaanottoon 210 (kuvio 10) ja se saattaa sen muodostamaan binäärisen nollan merkin ulos pitkin johdinta CSUS(a), mikä syötetään piikkiin 17 hissikorin prosessorissa CPU(a) (kuvio 11) hissikorin "a" tapauksessa saaden sen keskeyttämään toimintansa seuraavan T2 ajoituksen tilan lopussa.

Ennen kuin aikaansaadaan binäärinen nollatason signaali pitkin johdinta GSUS (kuvio 9A), minkä vaikutuksesta ryhmän prosessori GPU (kuvio 4) keskeyttää toimintansa, oli signaali pitkin johdinta GSUS vastakkaisessa tilassaan. Tänä ajanhetkenä tämä merkki ja samanlainen merkki saatuna pitkin johdinta $\overline{GA13}$ (kuvio 9A) (merkki pitkin johdinta $\overline{GA13}$ on aina binäärinen ykkönen, paitsi milloin ryhmän prosessori on yhteydessä hissikorin laitteiston kanssa) aikaansai binäärisen nollan merkkien muodostamisen piikkeihin 3 ja 8 J-K vuorottelijasta 180A ja 180B. Tämä aikaansai binäärisen nollan ulos pitkin johdinta GCDT. Niin kauan kuin tämä merkki jatkuu ja sen jälkeen, kun merkki johtimessa $\overline{GA13}$ muuttuu binääriseksi nol-laksi, siirretään osoitteen signaalit pitkin johtimia GA1 - GA7 (kuvio 4) tietojen valitsijoilla 100 ja 102 ulos pitkin johtimia GCD1 - GCD7 neljään differentiaaliseen käyttölaitteeseen 126, 128, 130 ja 132, mitkä on esitetty kuviossa 7.

Tänä ajanhetkenä syötetään binäärinen nollatason merkki ulos pitkin johdinta G8B (kuviot 7 ja 9B), koska binääriset nollan merkit pitkin johtimia $\overline{GA13}$ sekä GCDT (kuvio 9B) aikaansaavat binäärisen ykkösen merkin kehitettynä pitkin johdinta L10 sisääntulon piikkiin 11 tietojen valitsimessa 200 syöttämisen johtoon G8B ja sen komplementin syöttämisen johtimeen $\overline{G8B}$. Vastaavasti merkki syötettynä pitkin johdinta L10 sisääntulon piikkiin 14 syötetään johtimeen GCTE.

Seurauksena binäärisen nollan merkin syöttämisestä ulos pitkin johtimia $\overline{GA13}$ ja $\overline{G8B}$ merkki piikistä 4 valitsimessa 100 (kuvio 7), mikä tuodaan piikkiin 3 valitsimessa 116 ja piikkeihin 2,

5, 11 ja 14 molemmissa valitsimissa 116 ja 118 siirretään ulos pitkin johtimia $GCD0(a) - GCD0(h)$. Nämä merkit tuodaan sisääntulon piikkeihin kaksiosaisista differentiaalisista johtimen käyttölaitteista 122, 123, 124 ja 125, mitkä on esitetty kuviossa 7. Seurauksena näistä merkeistä ja binäärisestä ykkösen merkistä tuotuna pitkin johdinta GCTE, nämä johtimien käyttölaitteet syöttävät vastaavat ja komplementääriset merkit ulos pitkin johtimia $DT0(a)$ ja $\overline{DT0(a)}$ aina johtimiin $DT0(h)$ ja $\overline{DT0(h)}$ saakka.

Seurauksena merkkien syöttämisestä pitkin johtimia $GCD1 - GCD7$ ja binäärisistä ykkösen tasoista merkeistä tuotuna pitkin johdinta GCTE syöttävät kaksiosaiset differentiaaliset johtimien käyttölaitteet 126, 128, 130 ja 132 merkkejä pitkin johtimia $DT1$ ja $\overline{DT1} - DT7$ ja $\overline{DT7}$ toiseen sarjaan kaksiosaisia differentiaalisia johtimien vastaanottimia 236, 138, 240 ja 242, mitkä on esitetty kuviossa 10. On ymmärrettävä, että merkkijohtimet $DT1, \overline{DT1}, DT2 \dots \overline{DT7}$ ovat yhteisiä kaksiosaisille differentiaalisille johtimien vastaanottimille, mitkä liittyvät hissikoriin "a", mikä kuviossa 10 on esitetty, kuten myös niille johtimien vastaanottimille, mitkä liittyvät ylimääräisiin hissikoreihin (joita ei ole esitetty), mutta mitkä ovat samankaltaisia kuin kuviossa 10 ja mitkä on järjestetty kutakin ylimääräistä hissikoria varten mukaan. Luonnollisestikin johtimet $DT0(a)$ ja $\overline{DT0(a)} - DT0(h)$ ja $\overline{DT0(h)}$ kustakin näistä hissikoreista yhdistetään ainoastaan siihen johtimien käyttölaitteeseen, mikä liittyy niitä vastaavaan erilliseen yksittäiseen hissikoriin.

Kaksiosaiset differentiaaliset johtimien vastaanottimet 236(a), 238(a), 240(a) ja 242(a) siirtävät kahdeksan bitin binäärisen merkin vastaten osoitteen signaalia pitkin johtimia $GCB0(a) - GCBt(a)$ sisääntulon piikkeihin bistabiilien salpojen 224(a) ja 226(a) parissa, mikä on esitetty kuviossa 10. Vastaava laitteisto muita hissikoreja varten toimii samaan tapaan eikä sitä tulla sen enempää kuvaamaan.

Sen aikajakson kuluessa, jolloin kahdeksan bitin osoitteen merkit siirretään bistabiileista salvoista 58 ja 62, mitkä on esitetty kuviossa 4 bistabiileihin salpoihin 224(a) ja 226(a), mitkä on esitetty kuviossa 10 kuvattuun tapaan jatkaa ryhmän prosessori GPU merkkien muodostamista ulos pitkin johdinta GSYNC valitsimen 200 (kuvio 9B) piikkiin 2. Seurauksena kustakin näistä pulsseista

tuodaan samanlainen pulssi pitkin johdinta GTP johtimen käyttölaiteesta 204A. Toinen näistä pulsseista aikaansaa johtimen käyttölaitteen 216(a) (kuvio 10) ja vuorottelijoiden 214A(a) ja 214B(a) kehittävän binäärisen ykkösen merkit niitä vastaaviin sisääntuloihin nand portissa 218A(a). Tästä seurauksena syöttää invertterin 212A(a) binäärisen ykkösen merkin salpoihin 224(a) ja 226(a) mahdollistaen niiden varastoivan sen kahdeksan bitin osoitteen merkin, mikä on tuotu niiden sisääntulon piikkeihin. Tämän vaikutuksesta nämä salvat syöttävät kahdeksan bitin osoitteen merkit, mitkä edustavat hissikorin tietojen varastointilaitteen CRAM(a) osoitteen paikkoja ulos pitkin johdinta GCA0(a) - GCA7(a) tietojen valitsijoiden 408(a) ja 410(a) pariin, mikä on esitetty kuviossa 13.

Tällä väliajalla binäärinen nollatason merkki pitkin johdinta GA11 (kuvio 9B) on saanut nand portin 202B, valitsimen 200 ja johtimen käyttölaitteen 204B kehittämään binäärisen ykkösmarkin ulos pitkin johdinta GDC. Tämä syötetään vastaanottimen 216(a) (kuvio 10) kautta salvan 222(a) piikkiin 2, missä se varastoidaan seurauksena binäärisestä ykkösen merkistä kehitettynä invertterillä 212A(a), kuten jo edellä on kuvattu. Pulssin pitkin johdinta GTP loppupuolella, mikä aikaansai invertterin 212A(a) muodostamaan binäärisen ykkösen merkin kehittää vuorottelija 214B(a) (kuvio 10) binäärisen nollan merkin ulos pitkin johdinta DTS(a). Samalla kertaakaan aikaansaadaan binäärinen ykkönen piikkiin 11 vuorottelijassa 214B(a). Tämä yhdessä binäärisen ykkösen kanssa pitkin johdinta GDC aikaansaa JA portin 220B(a) kehittämään binäärisen ykkösen merkin ulos. (Pulssin loppu pitkin johdinta GSYNC, mikä aikaansaa pulssin pitkin johdinta GTP loppumaan saa myös vuorottelijan 180B (kuvio 9A) siirtämään merkin pitkin johdinta GCDT binääriseksi ykköseksi. Tämän vaikutuksesta binäärinen ykkösen merkki kehitettyinä ulos pitkin johdinta GDC (kuvio 9B) binäärisen ykkösen merkin avulla pitkin johdinta GA11 lakkaa. Se kuitenkin korvataan binäärisellä ykkösmerkillä aikaansaatuna seurauksena binäärisestä ykkösen merkistä pitkin johdinta GA14.)

Binäärinen ykkösen merkki portista 220B(a) tuodaan johtimen käyttölaitteen 228(a) piikkiin 10 sekä erääseen sisääntuloon JA portista 220A(a). Toinen sisääntulo vastaanottaa myös binäärisen ykkösen signaalin ja tästä seurauksena sisääntulon piikit 7 ja 10

käyttölaitteista 230(a), 232(a) ja 234(a) sekä käyttölaitteen 228(a) sisääntulon piikki 7 myös vastaanottavat binäärisen ykkösmerkin. Kukin käyttölaitteista 228(a), 232(a) ja 234(a) ovat tämän johdosta valmiina lähettämään pitkin johtimia $DT\emptyset(a)$ ja $\overline{DT\emptyset(a)}$ - $DT7(a)$ ja $\overline{DT7(a)}$ merkkejä, mitkä niihin on syötetty sisään pitkin johtimia $CGD\emptyset(a)$ - $CGD7(a)$.

Merkki johtimessa $DT\emptyset(a)$, kuten on esitetty, tuodaan sisääntulon piikkiin kaksiosaisesta differentiaalisesta johtimen vastaanottimesta 160, mikä syöttää tämän merkin kolmesta kahdeksaan johtimen dekooderiin 164, mikä on esitetty kuviossa 8. Tämä c-bitin binäärikoodattu merkki tuotuna pitkin johtimia GA8, GA9 ja GA10 saattaa kolmesta kahdeksaan johtimen dekooderin 164 valitsemaan binäärisen signaalin syötettynä pitkin johdinta $\overline{CGB\emptyset(a)}$ sen sisääntulon piikkiin 4 ja syöttämään vastaavan signaalin sen ulostulon piikistä 5 ulos pitkin johdinta $\overline{CGB\emptyset}$ sisääntulopiikkiin 3 tietojen valitsimesta 156 (kuvio 8). (Mikäli valittiin toinen hissikori, eräs merkeistä pitkin johtimia GA8, GA9 ja GA10 valitsisi merkin tätä hissikoria varten syötettäväksi ulos pitkin johdinta $\overline{CGB\emptyset}$.) Tämän lisäksi merkit johtimissa DT1 - DT7 syötetään ulos pitkin johtimia $\overline{CGB1}$ - $\overline{CGB7}$ tietojen valitsijoiden 156 ja 158 (kuvio 8) sisääntulon piikkeihin. Merkit vastaten signaaleja syötettynä pitkin johtimia $\overline{CGB\emptyset}$ - $\overline{CGB7}$ sisääntulon piikkeihin 3, 6, 10 ja 13 syötetään sitten ulostulon piikkeihin 4, 7, 9 ja vastaavasti 12 tietojen valitsijoiden 156 ja 158 parissa tavalla, mikä tullaan vielä kuvaamaan. Kuten on esitetty, on ulostulon piikit tietojen valitsijoiden 156 ja 158 parissa yhdistetty johtimilla $\overline{GD\emptyset}$ - $\overline{GD7}$ kaksisuuntaisen yhteyskiskon käyttölaitteitten 54 ja 56 piikkeihin, mitkä on esitetty kuviossa 4, niin että binääriset signaalit edustaen sitä tietoa, mikä on varastoituna tietojen varastointiosassa CRAM(a), saadaan tietojen yhteyskiskon piikkeihin ryhmän prosessorissa GPU.

Tänä ajanhetkenä kehittää vuorotteliija 78B (kuvio 5) binäärisen nollan merkin pitkin johdinta GWX. Tämä on tuloksena siitä, että vuorotteliija on palautettu viimeisen T3 ajoituksen tilan ryhmän prosessorilla GPU (kuvio 4) lopussa käyttäen tähän binääristä ykkösen merkkiä pitkin johtimia $\overline{GT3}$ ja $G\emptyset1$. Binäärinen nollan signaali pitkin johdinta GWX yhdessä jo aikaisemmin mainitun binääri-

sen ykkösen merkin kanssa pitkin johdinta GCDT (kuvio 9B) aikaansa binäärisen nollan pitkin johdinta GTP. Tämä pitää ulostulon JA portista 220C(a) (kuvio 10) pitkin johdinta GWD(a) binäärisessä nollassa.

Binääriset nollan merkit pitkin johtimia DTS(a), GWD(a) ja HL1 saavat tietojen valitsimen 416(a) (kuvio 13) kehittämään binäärisen nollan ulostulot sen piikkeihin 4, 7 ja 9. Nämä aikaansaavat tietojen valitsijoiden 408(a) ja 410(a) syöttävän osoitteen merkit pitkin johtimia GCA0(a) - GCA7(a) hissikorin tietojen varastointiosaan CRAM(a). Seurauksena ulostulon merkeistä tietojen valitsimesta 416(a) hissikorin tietojen varastointiosa CRAM(a) kehittää ne merkit, jotka ovat varastoituna muistin osoitteisiin, joita on osoitettu sillä osoitteella, mikä saapui pitkin johtimia CD00(a) - CD07(a). Nämä merkit syötettynä hissikorin laitteistoon kuvion 11 mukaan eivät kuitenkaan aikaansaa tulosta ainakaan, koska hissien prosessorin yksikkö on ODOTA tilassa, eikä se nyt hyväksy merkkejä, vaikka niitä siihen syötettäisiinkin ja koska salvat 358(a), 362(a), 360(a) ja 364(a) on saatettu pois toiminnasta binäärisillä nollan merkeillä syötettynä niihin pitkin johtimia CT1(a) ja CT2(a).

Merkit pitkin johtimia CD00(a) - CD07(a) syötetään myös JA portteihin 412(a) ja 414(a) (kuvio 13). Seurauksena binäärisen nollan merkistä syötettynä pitkin johdinta DTS(a) nämä portit syöttävät nämä merkit johtimiin CGD0(a) ja CGD7(a). Nämä signaalit siirretään johtimien käyttölaitteisiin 228(a), 230(a), 232(a) ja 234(a) (kuvio 10) ja ne syötetään sitten johtimiin DT0(a) - DT7(a).

Ryhmän prosessorin yksikkö GPU (kuvio 4) jatkaa pulssien muodostamista pitkin johdinta GSYNC. Ensimmäinen näistä lopussa, mikä on tuotettu binäärisen nollan signaalin muodostamisen johdinta DTS(a) pitkin jälkeen syöttävät vuorottelijat 180A ja 180B (kuvio 9A) binääriset ykkösen merkit sisääntulon piikkeihin 2 ja 13 nand portissa 174A. Kun aikaansaadaan seuraava pulssi pitkin johdinta GSYNC kehittää nand portti 174A binäärisen nollamerkin piikkiin 3 vuorottelijassa 172A. Tämän vaikutuksesta aikaansaadaan binäärinen ykkösen merkki johtimeen GSUS ja tämä syötetään ryhmän prosessoriyksikköön GPU (kuvio 4), jotta se pystyisi poistumaan ODOTA tilastaan ja siirtyisi T3 ajoitusvaiheeseen.

Ennen kuin ryhmän prosessori GPU (kuvio 4) joutui tähän ODOTA tilaan ja sitä edeltävän T2 ajoitusvaiheen lopussa syötettiin binäärinen nollasignaali, kuten on sinänsä tunnettua piykin johfinys $\overline{GT2}$ (kuvio 5) vuorottelijan 76A piikkiin 3, minkä ansiosta se aikaansai binäärisen ykkösen signaalin sen piikkiin 5. Tämä signaali yhdistetään portissa 80C siihen pulssiin, mikä on syötetty pitkin johdinta GSYNC, kun ryhmän prosessori joutuu sen T3 ajoitustilaan, niin että aikaansaadaan binäärisen ykkösen signaali pitkin johdinta $\overline{GT3A}$. Tämä signaali yhdessä binäärisen ykkössignaalin kanssa toimintakoodista pitkin johdinta $\overline{GA14}$ komplementtinä siitä signaalista, mikä toimintakoodista on pitkin johdinta GA14 saattaa portin 80A kehittämään binäärisen ykkösen ulos pitkin johdinta GRX. Tämän lisäksi nand portti 174C vastaanottaa binääriset ykköstasoiset signaalit syötettynä siihen pitkin johtimia GA13 ja GCDT piikistä 11 vuorottelijassa 180B ja aikaansaa binäärisen nollatasoisen signaalin. Tämä syötetään pitkin johdinta GRCE päälle saattavan sisääntulon piikkeihin 15 tietojen valitsijoiden 156 ja 158 (kuvio 8) parissa, jotta tietojen valitsijat pystyisivät toimimaan.

Binäärinen ykkösen merkki pitkin johdinta GCDT aikaansaa myös binäärisen ykkösen merkin syötettynä sisääntulon piikkiin 6 valitsimesta 200 (kuvio 9B) syöttämisen ulos pitkin johdinta G8B. Tämä sisääntulon merkki ja tämän seurauksena merkki pitkin johdinta G8B ovat binäärisiä ykkösen merkkejä seurauksena binäärisestä ykkösen merkistä toimintakoodissa pitkin johdinta GA14. Binäärinen ykköstasoinen signaali tuotuna pitkin johdinta G8B saattaa toimintaan tietojen valitsijoiden 156 ja 158 (kuvio 8) parin siten, että sisääntulopiikkeihin 3, 6, 10 ja 13 syötetyt signaalit siirretään ulostulon piikkeihin 4, 7, 9 ja vastaavasti 12. Täten vastaavasti seurauksena binäärisestä nollatasoisesta signaalista pitkin johdinta GRCE syöttävät tietojen valitsimet 156 ja 158 (kuvio 8) binääriset merkit edustaen niitä tietoja, joita tullaan vastaanottamaan ryhmän prosessoriin pitkin johtimia $\overline{GD0}$ - $\overline{GD7}$ kaksisuuntaisen tietojen yhteyskiskon piikkeihin kaksisuuntaisen yhteyskiskon käyttölaitteissa 54 ja 56, mitkä on esitetty kuviossa 4. Nämä kaksisuuntaisen yhteyskiskon käyttölaitteet siirtävät niiden merkkien komplementit, mitkä on syötetty niihin pitkin johti-

mia $\overline{GD0} - \overline{GD7}$ ryhmän prosessorin sisääntulon piikkeihin, kun on vastaanotettu binäärinen ykkösmerkki syötettynä pitkin johdinta $\overline{GDIEN}$ seurauksena binäärisen nollan syöttämisestä pitkin johdinta $\overline{GCS}$.

Merkki pitkin johdinta $\overline{GCS}$ tänä ajanhetkenä on binäärinen nolla, koska viimeisimmän T2 ajoitusjakson lopussa binäärinen nollapulssi syötettiin pitkin johdinta $\overline{GT2}$ piikkiin 11 vuorottelijasta 76B (kuvio 5) ja se aikaansai binäärisen nollan tuomisen pitkin johdinta $\overline{GCS}$. Binäärinen ykkösmerkki pitkin johdinta $\overline{GDIEN}$ aikaansaadaan seurauksena binäärisestä ykköstasoisesta signaalista saatuna JA portista 80C (kuvio 5) yhdistettynä binääriseen ykköstasoiseen merkkiin kolmesta kahdeksaan johtimen dekooderin 74 ulostulon piikistä 7 syötettynä ulos pitkin johdinta $\overline{GPCW}$ aikaansaadaan binäärisen ykköstasoisen merkin ulos pitkin johdinta $\overline{GDIEN}$. Merkki saatuna pitkin johdinta $\overline{GPCW}$ on binäärinen ykkönen, koska suoritetaan "lukemisen" toimintaa ja koska valmistajan ominaisarvot määrittävät tällaisen ajanhetken kuluessa merkit pitkin johtimia GA14 ja GA15 olemaan binäärinen nollatila ja vastaavasti binäärinen ykköstitila. Kun binäärinen nollatila pitkin johdinta HL1 on käytössä, on sinänsä tunnettua, että nämä merkit aikaansaavat binäärisen ykkösen ulos pitkin johdinta $\overline{GPCW}$ tulkkilaitteesta 74.

Seurauksena binäärisen ykkösmerkin syöttämisestä pitkin johdinta $\overline{GDIEN}$ ja binäärisestä nollamerkistä pitkin johdinta $\overline{GCS}$ tietojen merkki osoittaen hissikorin "a" asentoa on nyt siirretty ryhmän prosessoriin GPU. Hissikorin prosessori CPU(a) voidaan nyt palauttaa jälleen toimintaan. Tämä toteutetaan, koska seuraavan T1 ja T2 ajoituksen vaiheen kuluessa ryhmän prosessorissa GPU tuodaan binäärinen nollamerkki pitkin johdinta GA13. Tämä saa johtimen käyttölaitteen 196A (kuvio 9B) kehittämään binäärisen nollamerkin ulos pitkin johdinta XCRDY(a), mikä syötetään vastaanottimeen 210(a) (kuvio 10). Tästä seurauksena tuodaan binäärinen ykkösmerkki pitkin johdinta CSUS(a) hissikorin prosessorin CPU(a) (kuvio 11) piikkiin 17, mikä poistaa tämän sen ODOTA tilasta. Samanaikaisesti syöttää invertteri 212D (kuvio 10) binäärisen nollamerkin palautuksen piikkeihin 3 ja 8 vuorottelijoista 214A(a) ja 214B(a) aikaansaaden binäärisen ykkösmerkin ulos pitkin johdinta DTS(a), mikä mahdollistaa hissikorin prosessorin CPU(a) olevan yhteydessä sen

hissikorin tietojen varastointiosan CRAM(a) kanssa jälleen kerran. Samalla kertaa aikaansaa binäärinen nollamerkki pitkin johdinta GCDT seurauksena binäärisestä ykkösen merkistä pitkin johtimia GSUS ja GA13, kuten jo aikaisemmin on kuvattu.

Edellä olevan perusteella on nyt ymmärrettävä, että ryhmän prosessori GPU pystyy käyttämään tietoa koskien hissikorin "a" sijaintipaikkaa määritelläkseen, tulisiko hissikorin pysähtyä seurauksena muistiinmerkitystä kerrostason kutsusta. Se pystyy suorittamaan tämän vastaanottaen tietoa koskien tällaisten kutsujen muistiinmerkintää kuvioiden 3A ja 3B laitteistosta sellaiseen tapaan, mikä on samankaltainen kuin mitä selitettiin siinä yhteydessä, missä hissikori "a" vastaanotti tiedon koskien hissikorin kutsun muistiinmerkintää seitsemännelle kerrostasolle kuvion 14 mukaisesta laitteesta. Tämän ryhmän prosessori GPU vastaanottaa myös tietoa koskien hissikorin "a" liikkeen suunnasta tapaan, mikä on samankaltainen kuin mitä selitettiin kuvattaessa, miten se sai tiedon koskien hissikorin "a" sijaintipaikasta. Kun on määritelty, että hissikorin "a" sijaintipaikkaa, ja että sen liikkeen kulkusuunta ovat oikeita, niin että se saadaan pysähtymään seurauksena muistiinmerkitystä kerrostason kutsusta, voidaan tämä tieto siirtää tämän hissikorin tietojen varastointiosaan hissikorille "a", jotta sen prosessoriyksikkö CPU(a) käyttäisi tätä tietoa aloittamaan hissikorin "a" pysäyttämisen samaan tapaan kuin mitä selitettiin aloitettaessa hissikorin "a" pysäyttämistä seurauksena seitsemännen kerrostason hissikorin kutsun perusteella. Tämän toteuttamiseksi täytyy merkki siirtää ryhmän prosessorista GPU tiettyyn määrättyyn sijaintipaikkaan hissikorin tietojen varastointiosassa CRAM(a) (kuvio 13). Tämä toteutetaan tapaan, mikä on samankaltainen kuin mitä on selitetty silloin, kun ryhmän prosessori GPU vastaanotti tietoja hissikorin tietojen varastointiosasta CRAM(a).

Tietojen "varastoimisen" tai "kirjoittamisen" toimenpide hissikorin tietojen varastointiosiin CRAM(a) toimii samaan tapaan kuin mitä jo aikaisemmin on kuvattu kuvattaessa "käyttöönoton" tai "lukemisen" toimintaa aina tietojen varastoinnin laitteen osoitteen siirtämiseen saakka pitkin johtimia GCA0(a) - GCA7(a) valitsimiin 408(a) ja 410(a) (kuvio 13). Koska tämä toimenpide sisältää tietojen "varastoimisen", on merkki pitkin johtimia GA14

osoitteen koodissa binäärinen ykkönen vastakohtana binääriselle nollalle, mikä se oli kuvatun "lukemisen" toimenpiteen aikana. Tämän seurauksena komplementti pitkin johdinta $\overline{GA14}$ (kuvio 9B) on binäärinen nollamerkki. Täten binäärisen ykkösen sijaan, mikä tuodaan pitkin johdinta GDC (kuvio 9B) binäärisen ykkösen merkin aikaansaamisen jälkeen pitkin johdinta GCDT valitsimeen 200, tuodaan nyt binäärinen nollamerkki tätä johdinta pitkin. Portit 220B(a) ja 200A(a) (kuvio 10) eivät tämän johdosta aikaansaa binäärisen ykkösen merkkejä saattamaan toimintaan käyttölaitteita 228, 230, 232 ja 234, jotta nämä toimisivat, kuten on kuvattu "käyttöönoton" toiminnassa. Sen sijaan tuodaan binäärisiä nollamerkkejä piikkeihin 7 ja 10 sisääntuloissa estämään näitten käyttölaitteitten toiminta, mikä estää näitä käyttölaitteita häiritsemästä "käyttöönoton" toimenpidettä.

Binäärisen ykkösen merkki pitkin johdinta GA14 aikaansaa myös binäärisen ykkösen merkin pitkin johdinta GCTE ryhmän prosessorin ODOTA tilan aikana mahdollistaen käyttölaitteitten 122-130 toimivan "varastoivan" toimenpiteen aikana vastakohtana binääriselle nollamerkille, mikä aikaansaatiin pitkin johdinta GCTE "käyttöönoton" toimenpiteen aikana estämään näitä käyttölaitteita toimimasta ja häiritsemästä tätä toimintaa.

Binäärinen nollamerkki pitkin johdinta $\overline{GA14}$ aikaansaa myös binäärisen nollamerkin muodostamisen pitkin johdinta GRX (kuviot 5 ja 9A) "varastoimisen" toiminnan aikana vastakohtana binääriselle ykköselle, mikä aikaansaatiin tätä pitkin "talteenoton" toiminnan aikana. Seurauksena tästä muutoksesta tuodaan binäärinen ykkösmerkki pitkin johdinta GRCE (kuvio 9A). Tämä kytkee pois valitsimet 156 ja 158 (kuvio 8) syöttämästä ulos merkkejä pitkin johtimia $\overline{GD0}$ - $\overline{GD7}$ ja häiritsemästä tätä "varastoimisen" toimenpidettä.

Niinpä, kun ryhmän prosessori GPU joutuu sen T3 tilaan se kuten jo aikaisemmin on selitetty tätä "käyttöönoton" toimenpidettä varten nyt sijoittaa hissikorin tietojen varastointiosiin CRAM(a) siirrettävät tietojen signaalit yhteyskiskon johtimiin $\overline{GD0}$ - $\overline{GD7}$ (kuvio 4) tyypilliseen tapaan, koska se suorittaa "varastoimisen" toimenpidettä. Nämä signaalit siirretään valitsimien 100, 102, 116 ja 118 (kuvio 7) kautta johtimiin GCD0(a) - GCD0(h)

sekä GCD1 - GCD7 ja käyttölaitteisiin 122-130. (Koska ainoastaan hissikorin "a" tulee vastaanottaa nämä merkit, ainoastaan sen laitteisto on tämän jälkeen kuvattavana tässä selityksessä.) Nämä käyttölaitteet siirtävät vastaavat merkit pitkin johtimia $\overline{DT0(a)}$ sekä $\overline{DT0(a)}$ - $\overline{DT7}$ ja $\overline{DT7}$ vastaanottimiin 236(a) - 242(a) (kuvio 10). Vastaavat merkit syötetään pitkin johtimia $\overline{GCB0(a)}$ - $\overline{GCB7(a)}$ näistä vastaanottimista tietojen valitsijoihin 400(a) ja 402(a) (kuvio 13).

Koska binäärisen ykkösen merkki pitkin johdinta GA14 on aikaansaanut binäärisen nollamerkin pitkin johdinta $\overline{GPCW}$ (kuvio 5), niin kun T3 ajoitustila saavuttaa viimeisen neljänneksensä, saa binäärisen nollan merkki pitkin johdinta $\overline{GT3}$ (kuvio 5) vuorottelijan 78B kehittämään binäärisen ykkösen merkin ulos pitkin johdinta GWX. Tämä merkki saa valitsimen 200 (kuvio 9B) kehittämään binäärisen ykkösen signaalin ulos pitkin johdinta GTP käytettäväksi vastaanottoon 216(a) (kuvio 10). Tällä väliajalla ODOTA tilan aikana, kuten jo aikaisemmin on selitetty "talteenoton" toiminnan suhteen on vuorottelija 214B(a) (kuvio 10) aikaansaanut binäärisen ykkössignaalin ulos sen piikistä 11. Tämä yhdistelmänä binäärisen ykkösen merkin kanssa aikaansaautuna vastaanottimen 216(a) piikistä 2 seurauksena merkistä syötettynä pitkin johdinta GTP saa portin 220C(a) aikaansaamaan binäärisen ykkössignaalin ulos pitkin johdinta GWD(a).

Binäärinen nollasignaali pitkin johdinta DTS(a) (kuvio 13), mikä aikaansaatiin ODOTA tilan aikana, kuten on kuvattu "talteenoton" toiminnan yhteydessä, yhdistelmänä binäärisen ykkössignaalin kanssa pitkin johdinta GWD(a) saa valitsimen 416(a) muodostamaan binäärisen ykkösen signaalin invertteriin 418B(a) (kuvio 13).

Tämä muodostaa binäärisen nollan signaalin syötettäväksi piikkeihin 20 hissikorin tietojen varastointiosista CRAM(a) ja piikkeihin 15 valitsimista 400(a) ja 402(a). Tällä väliajalla ODOTA tilan aikana binäärinen nollasignaali pitkin johdinta DTS(a) yhdistelmänä binäärisen nollasignaalin kanssa pitkin johdinta HL1 on saanut valitsimet 408(a) ja 410(a) muodostamaan osoitteen signaalin hissikorin tietojen varastointiosaan CRAM(a). Tästä seurauksena tietojen merkit johtimissa $\overline{GCB0(a)}$ ja $\overline{GCB7(a)}$ siirretään hissikorin tietojen varastointiosaan CRAM(a) siellä varastoitavaksi.

Hissikorin prosessori CPU(a) vapautetaan sen odottavasta tilasta samaan tapaan, mitä on selitetty, kun se irrotettiin tästä tilasta "talteenoton" toiminnan jälkeen. Edellä olevan perusteella tulisi ymmärtää, kuinka se tieto, millä hissikorin tulee aloittaa pysäytys seurauksena kerrostason kutsusta, on käytettävissä hissikorin prosessorissa CPU(a), jotta hissikorin säätölaitteisto suorittaisi tämän toimenpiteen ja niinpä selityksen lyhyden kannalta tätä toimintaa ei seuraavassa tulla kuvaamaan.

Kuten on kuvattu, on ryhmän prosessori GPU, mikä toimii sen ryhmän ohjelman käskyjen mukaisesti, saatettavissa toimintaan aikaansaamaan sen toiminnan vuorottelun ja yhden ainoan valitun hissikorin prosessorin CPU(a) toiminnan vuorottelun odotustilaan joutuminen, jotta vastaanotettaisiin hissikorin tietojen merkkejä, taikka siirrettäisiin sisään ryhmän tietojen merkkejä tähän liittyvään hissikorin tietojen varastointiosaan CRAM(a). On kuitenkin ymmärrettävä, että valmistetussa suoritusmuodossa ryhmän prosessori ei toimi siirtäen kahdeksan bitin käyttökelpoista tietoa samanaikaisesti määrätyn yhden hissikorin tietojen varastointiosiin. Sen sijaan ainoastaan se tieto, mikä sisältyy määrättyyn näistä kahdeksan bitin osasta, on käyttökelpoinen määrätylle hissikorille. Kun halutaan siirtää tietoa hissikoriin "a", sijoitetaan tämä tieto pitkin johdinta $\overline{GD0}$, minkä seurauksena signaali, vastaten tätä tietoa, syötetään pitkin johdinta $DT0(a)$. Vastaavasti tieto hissikoria "b" varten sijoitetaan pitkin johdinta $\overline{GD1}$, mikä johtaa signaaliin johtimessa $DT0(b)$ jne.

Myöskin toimii valmistetussa suoritusmuodossa ryhmän prosessori tavalla, mikä on samankaltainen kuin se tapa, mitä kuvattiin hissikorin "a" yhteydessä, mutta se aikaansaa samanaikaisesti kaikkien hissikorin prosessoreiden toiminnan vuorottelun odotustilanteen, jotta täten vastaanotettaisiin hissikorin tietojen merkkejä taikka siirrettäisiin ryhmän tietojen merkkiä näihin liittyviin hissikorin tietojen varastointiosiin CRAM(a) (kuvio 13) sekä CRAM(b) - CRAM(h) (joita ei ole esitetty). Koska se toiminta, missä ryhmän prosessori vastaanottaa hissikorin tietojen merkkejä, taikka siirtää ryhmän tietojen merkkejä tämän hissikorin tietojen varastointiosaan CRAM(a), on samankaltainen kuin se toiminta, missä tämä samanaikaisesti vastaanottaa hissikorin tietojen merkkejä

kuhunkin näistä hissikorien tietojen varastointiosista ainoastaan erotus näiden kahden toimenpiteen välillä tullaan kuvaamaan tässä alla.

Oletetaan nyt, että ryhmän prosessori vastaanottaa käskyn vastaanottaa hissikorin tietojen merkkejä niistä hissikorin tietojen varastointiosista, mitä kuhunkin hissikoriin liittyy. Ryhmän prosessori syöttää toimien tämän käskyn mukaisesti osoitteen koodin signaalin salpoihin 58, 62, 60 ja 64 tapaan, mitä jo aikaisemmin on kuvattu ja minkä vaikutuksesta ryhmän prosessori pysäyttää toimintojensa vuorottelun. Tämän oletetun käskyn mukaisesti syöttää salpa 60 binäärisen nollasignaalin pitkin johdinta GA11 ja binäärisen ykkössignaalin pitkin johdinta $\overline{GA11}$ vastakohtana binäärisille ykkösen ja nollan signaaleille, joita näitä pitkin syötettiin ilmaisten tietojen siirtoa ryhmän prosessorin ja hissikorin tietojen varastointiosien välillä, mitkä liittyvät yksittäisiin hissikoreihin, kuten jo edellä on kuvattu.

Binäärinen nollasignaali johtimessa GA11 saa tietojen välitsimet 192 ja 194 (kuvio 9B) syöttämään niitten sisääntulon piikkeihin 2, 5, 11 ja 14 tuotujen signaalien komplementit käyttölaitteisiin 196A, 196B, 198A ja 198B sekä ylimääräisiin käyttölaitteisiin, mitkä liittyvät hissikoreihin c-g (joita ei ole esitetty). Tästä seurauksena käyttölaite 196A aikaansaa binäärisen ykkössignaalin pitkin johdinta XCRDY(a) vastaanottoon 210(a) (kuvio 10) saaden sen syöttämään keskeytyksen signaalin hissikorin prosessoriin CPU(a) (kuvio 11), kuten jo aikaisemmin on kuvattu. Samalla tavoin syötetään binäärisen ykkösen signaalit samanaikaisesti erikseen pitkin johtimia XCRDY(b) - XCRDY(h) piiristöön, mikä on samankaltainen kuin kuviossa 10 esitetty liittyen kuhunkin hissikoreista, saaden tämän piiristön syöttämään keskeytyksen signaalin siihen hissikorin prosessoriin, mihin se liittyy.

Keskeytyksen signaalin syöttämisen jälkeen kuhunkin hissikorin prosessoreista tulee osoitteen signaalit syöttää pitkin kaksisuuntaista signaalin tiedonsiirron johtimia $DT0(a)$, $\overline{DT0(a)}$ - $DT0(h)$, $\overline{DT0(h)}$ ja myös $DT1$, $\overline{DT1}$ - $DT7$ ja $\overline{DT7}$ siihen laitteistoon, mikä liittyy kuhunkin hissikoreista samaan tapaan, millä osoitteen signaalit syötettiin pitkin johtimia $DT0(a)$, $\overline{DT0(a)}$ ja vielä $DT1$, $\overline{DT1}$ - $DT7$ ja $\overline{DT7}$ siihen piiristöön, mikä liittyy hissikoriin "a".

Ennen kuin nämä osoitteen signaalit kuitenkaan voidaan siirtää, täytyy kuhunkin hissikoriin prosessoriin liittyvät käyttölaitteet, mitkä ovat samankaltaisia kuin käyttölaitteet 228(a), 230(a), 232(a) ja 234(a) liittyen hissikoriin "a", mikä kuviossa 10 on esitetty, estää häiritsemästä näitä osoitteen signaaleja. Tämän seurauksena signaalit johtimissa GA8, GA9 ja GA10 valitaan aikaansaamaan dekooderista 190 (kuvio 9B) binäärisen ykköstason signaalin syöttäminen nand porttiin 202B(a). Seurauksena tästä merkistä ja binäärisestä ykkösen signaalista johtimessa GA11 kehittää nand portti 202B(a) binäärisen nollamerkin syötettäväksi piikistä 7 valitsimessa 200 käyttölaitteeseen 204B(a). Tästä seurauksena käyttölaite 204B(a) syöttää binäärisen nollasignaalin pitkin yhteistä linjaa GDC binäärisen ykkössignaalin sijaan, mitä aikaisemmin kuvattiin. Tämä binäärinen nollasignaali tuodaan vastaanottimeen 216A(a) (kuvio 10), mikä syöttää sen rekisteriin 222(a) siellä varastoitavaksi, kun nand portti 218A(a) aikaansaa binäärisen ykkössignaalin tuomisen sinne, kuten jo aikaisemmin on kuvattu. Tämän lisäksi binäärinen nollasignaali varastoidaan myös rekistereihin, jotka ovat samankaltaisia kuin se rekisteri 222(a), mikä kuhunkin hissikoriin liittyy. Tästä seurauksena syöttävät kuviossa 10 hissikoria "a" varten esitetty rekisteri 222(a) ja samanlaiset rekisterit binäärisen nollasignaalin JA porttiin 220A(a) ja samanlaisiin portteihin, mitkä liittyvät muihin hissikoreihin estäen käyttölaitteita 228(a), 230(a), 232(a) ja 234(a) liittyen hissikoriin "a" ja muita samanlaisia käyttölaitteita häiritsemästä merkkejä johtimissa DT1, $\overline{DT1}$ - DT7 ja $\overline{DT7}$. Tämän lisäksi binäärinen nollasignaali johtimessa GTC aikaansaa binäärisen nollasignaalin syöttämisen JA porttiin 220B(a) ja samanlaisiin portteihin, joita ei ole esitetty estäen käyttölaitetta 228(a) ja muita samanlaisia käyttölaitteita liittyen jäljellä oleviin hissikoreihin häiritsemästä osoitteen merkkien siirtämistä piiristöön, mikä kuhunkin hissikoriin liittyy.

Kuten jo aikaisemmin on kuvattu "lukemisen" toimenpiteessä tuodaan osoitteen signaalit tietojen valitsijoiden 100 ja 102 (kuvio 7) kautta tietojen valitsijoihin 116 ja 118 sekä pitkin johtimia GCD1 - GCD7 käyttölaitteisiin 126, 128, 130 ja 132. Tänä ajankohdanä vähämerkityksellisin bitti (LSB) ensimmäisistä kahdeksasta

bitistä osoitteen signaalia tuodaan valitsijoiden 116 ja 118 läpi pitkin johtimia $GCD\emptyset(a) - GCD\emptyset(h)$ käyttölaitteisiin 122, 123, 124 ja 125. Käyttölaitteet 122-125 syöttävät LSB bitin ensimmäisestä kahdeksasta bitistä osoitteesta pitkin johtimia $DT\emptyset(a)$ ja $\overline{DT\emptyset(a)}$ yksikseen vastaanottimeen 236(a), mikä on esitetty kuviossa 10 sekä pitkin johtimia $DT\emptyset(b)$, $\overline{DT\emptyset(b)}$ - $DT\emptyset(h)$ ja $\overline{DT\emptyset(h)}$ erikseen samanlaisiin vastaanottimiin, mitkä liittyvät kuhunkin hissikoriin. Käyttölaitteet 126, 128, 130 ja 132 syöttävät seitsemän kaikkein merkityksellisintä bittiä osoitteesta pitkin johtimia $DT1$, $\overline{DT1}$ - $DT7$ ja $\overline{DT7}$ vastaanottimiin 236(a), 238(a), 240(a) ja 242(a) sekä samanlaisiin vastaanottimiin, mitkä liittyvät kuhunkin hissikoriin. Tästä seurauksena ja ottaen huomioon aikaisempi selitys, missä osoitteen merkit syötettiin hissikorin tietojen varastointiosaan $CRAM(a)$ on nyt ymmärrettävä, että samanlainen piiristö liittyen kuhunkin hissikoreista, toimii samaan tapaan syöttäen ensimmäiset kahdeksan bittiä osoitteen merkistä hissikorin tietojen varastointiosiin $CRAM(b) - CRAM(h)$ (joita ei ole esitetty).

Nyt tullaan oletttamaan, että kunkin hissikorin tietojen varastointiosan niihin sijaintipaikkoihin varastoitu tieto, mitkä paikat on tunnistettu osoitteen signaalilla tähän syötettynä, tulee nyt vastaanottaa ryhmän prosessoriin. Kuten on aikaisemmin kuvattu, tämä tunnetaan myös "lukemisen" toimenpiteenä ja kuten on aikaisemmin kuvattu, tällaisen "lukemisen" toimenpiteen aikana käyttölaitteet 122-130 (kuvio 7) estetään häiritsemästä merkkejä, joita on syötetty pitkin johtimia $DT\emptyset(a)$, $\overline{DT\emptyset(a)}$ - $DT\emptyset(h)$ ja $\overline{DT\emptyset(h)}$ sekä myös $DT1 - \overline{DT1}$ aina $DT7$ ja $\overline{DT7}$ saakka.

Tämän lukemisen toimenpiteen aikana yksi ainoa tietobitti vastaanotetaan ryhmän prosessoriin hissikorin tietojen varastointiosasta, mikä liittyy kuhunkin hissikorin prosessoriin vastakohdina jo aikaisemmin kuvatulle lukemisen toimenpiteelle, missä jopa kahdeksan bittiä tietoa vastaanotettiin ryhmän prosessoriin hissikorin tietojen varastointiosasta $CRAM(a)$, mikä liittyi hissikorin prosessoriin $CPU(a)$. Tämä tietojen ainoa bitti, mikä tulee vastaanottaa piiristöstä liittyen kuhunkin hissikoriin, tulee siirtää pitkin johtimia $DT\emptyset(a)$, $\overline{DT\emptyset(a)}$ - $DT\emptyset(h)$ ja $\overline{DT\emptyset(h)}$ kuviossa 8 esitettyihin vastaanottimiin 160, 161, 162 ja 163. Vaikkakin seuraavassa oleva selitys suuntautuu piiristöön, mikä liittyy hissiko-

"a", ja mikä muodostaa ainoan tietojen bitin pitkin johtimia $DT\emptyset(a)$ ja $\overline{DT\emptyset(a)}$, on myös tämä sovellettavissa siihen piiristöön, mikä liittyy jäljellä oleviin hissikoreihin (joita ei ole esitetty), mitkä syöttävät yhden ainoan tietobitin pitkin johtimia $DT\emptyset(b)$, $\overline{DT\emptyset(b)}$ - $DT\emptyset(h)$ ja $\overline{DT\emptyset(h)}$.

Kuten jo aikaisemmin on kuvattu, syöttää "lukemisen" toimenpiteen aikana valitsin 200 (kuvio 9B) binäärisen ykkösen merkin johtimesta $\overline{GA14}$ käyttölaitteeseen 204B, mikä siirtää tämän signaalin pitkin yhteistä linjaa GTC vastaanottimeen 216(a) (kuvio 10). Seurauksena binäärisistä ykkösen signaaleista vastaanottimesta 216(a) ja vuorottelijasta 214B(a) syöttää JA portti 220B binäärisen ykkössignaalin käyttölaitteen 228(a) piikkiin 10, mikä käyttölaite siirtää hissikorin tietojen varastointiosasta CRAM(a) vastaanottamansa signaalin pitkin johtimia $DT\emptyset(a)$ ja $\overline{DT\emptyset(a)}$ vastaanottimeen 160 (kuvio 8). Ylimääräisiin hissikoreihin liittyvä piiristö siirtää vastaavasti tietojen merkit pitkin johtimia $DT\emptyset(b)$, $\overline{DT\emptyset(b)}$ - $DT\emptyset(h)$ ja $\overline{DT\emptyset(h)}$ vastaanottimiin 160, 161, 162 ja 163. Nämä tietojen merkit syötetään pitkin johtimia $\overline{CGB\emptyset(a)}$ - $\overline{CGB\emptyset(h)}$ valitsijoihin 156 ja 158. Tänä ajanhetkenä syöttää valitsin 200 binäärisen ykkössignaalin nand portista 202B (kuvio 9B) pitkin johdinta G8B valitsimiin 156 ja 158, mitkä toimivat syöttäen niihin johtimia $\overline{CGB\emptyset(a)}$ - $\overline{CGB\emptyset(h)}$ pitkin tuodut signaalit johtimiin $\overline{GD\emptyset}$ - $\overline{GD7}$, mitkä on yhdistetty kaksisuuntaisen yhteyskiskon käyttölaitteisiin 54 ja 56 (kuvio 4) siirrettäväksi sitten ryhmän prosessoriin GPU.

Mikäli osoitteen koodi on sellainen, että se saa ryhmän prosessorin yksikön siirtämään yhden ainoan tietojen bitin kuhunkin hissikoriin, syötetään ensimmäiset kahdeksan osoitteen bittiä ensinnä hissikorin tietojen varastointiosaan, mikä kuhunkin hissikoriin liittyy, kuten on kuvattu. Ajanjakson T3 kuluessa ryhmän prosessorissa tiedot syötetään pitkin johtimia $\overline{GD\emptyset}$ - $\overline{GD7}$ valitsijoiden 100 ja 102 (kuvio 7) kautta valitsimiin 116 ja 118. Tänä ajanhetkenä binäärinen ykkössignaali saatuna JA portista 202B (kuvio 9B) invertoidaan ja syötetään pitkin johdinta $\overline{G8B}$ tietojen valitsijoihin 116 ja 118 (kuvio 7), minkä vaikutuksesta nämä syöttävät tietojen valitsimen 100 piikissä 4 olevaa signaalia vastaavat signaalit pitkin johtimia $GCD\emptyset(a)$ - $GCD\emptyset(h)$ käyttölaitteisiin 122,

123, 124 ja 125. Jäljellä olevan piirin toiminta on samankaltainen kuin mitä on kuvattu "kirjoittamisen" toimenpiteen aikana, missä tietoja siirretään sen hissikorin tietojen varastointiosiin CRAM(a), mikä liittyy hissikoriin "a".

On ymmärrettävä, että alan asiantuntija pystyy toteuttamaan erilaisia muunnoksia yllä kuvattuun keksinnön suoritusmuotoon, ja että tässä kuvattu järjestely on vain havainnollistamistarkoitukseen eikä sitä tule pitää keksintöä rajoittavana.

Patentkrav:

1. Kontrollsystem för användning i en hissinstallation med ett flertal hisskorgar som betjänar ett flertal våningar, varvid nämnda installation har gruppkontrollutrustning, som är gemensam för nämnda flertal hisskorgar, inklusive våningsanrop registrerande medel, vilka alstrar våningsanropssignaler, och hisskorgen kontrollerande anordningar som individuella för varje hisskorg för kontrollerande av ifrågavarande hisskorg, varvid varje hisskorgs kontrollerande anordning inkluderar en apparat för manövrerande av hisskorgen, registreringsmedel för hisskorganrop och ett hisskorgpositionen utmärkande medel, varvid de två senare alstrar hisskorganrops- resp. hisskorgpositionssignaler, och nämnda kontrollsystem är kopplat till både nämnda hisskorgkontrollerande anordningar och nämnda gruppkontrollutrustning av hisskorganrops- och hisskorgpositionssignaler och våningsanropssignaler, k ä n n e t e c k n a t därav, att kontrollsystem omfattar:

- ett programminne som uppbevarar instruktionkontrollprogram, vilka inkluderar ett instruktionsprogram för varje hisskorg och ett gruppinstruktionsprogram;

- ett hisskorgsbehandlande medel kopplat till nämnda programminne, varvid nämnda hisskorgdatabehandlande medel i sekvens utför en första uppsättning behandlingar genom att steg för steg följa varje instruktionsprogram för hisskorgarna för alstrande av första hisskorgkontrollsignaler som svar på ifrågavarande hisskorganrop och hisskorgpositionssignaler och för anbringande av nämnda första hisskorgkontrollsignaler på den med ifrågavarande hisskorg koordinerade manövreringsapparaten så, att denna manövrerar sin hisskorg på ett särskilt sätt; och

- gruppdatabearbetande medel kopplade till nämnda programminne och till nämnda hisskorgdatabehandlande medel, varvid nämnda gruppdatabearbetande medel i sekvens utför en andra uppsättning manövrar genom att steg för steg följa nämnda gruppinstruktionsprogram för alstrande av gruppkontrollsignaler som svar på utvalda första hisskorgkontrollsignaler och våningsanropssignaler som svar på utvalda första hisskorgkontrollsignaler och våningsanropssignaler och för anbringande av nämnda gruppkontrollsignaler på nämnda hisskorgdatabehandlande medel;

- varvid nämnda hisskorgdatabehandlande medel producerar andra hisskorgkontrollsignaler som svar på nämnda gruppkontrollsignaler och anbringar nämnda andra hisskorgkontrollsignaler på nämnda individuella

hisskorgmanövrerande apparat för att förorsaka att denna manövrerar ifrågavarande hisskorgar som svar på nämnda våningsanropssignaler som en övervakad grupp.

2. Kontrollsystem enligt patentkravet 1, k ä n n e t e c k n a t därav, att nämnda hisskorgdatabehandlande medel inkluderar en separat hisskorgdatabehandlare och separata logiska kretskomponenter i förening med var och en hisskorg, varvid nämnda separata logiska kretskomponenter kopplar varje hisskorgdatabehandlare till nämnda programminne, till nämnda gruppdatabearbetningsmedel och till den individuella hisskontrollutrustningen i respektive hisskorg, att varje hisskorgdatabehandlare i enlighet med hisskorginstruktionsprogrammet för ifrågavarande hisskorg arbetar för alstrande av nämnda första och andra hisskorgssignaler som svar på nämnda hisskorganrops- och hisspositionssignaler och nämnda gruppkontrollsignaler och för applicerande av nämnda första och andra hisskorgkontrollsignaler genom nämnda inkopplade logiska kretskomponenter till manövreringsapparat i ifrågavarande hisskorg för manövrerande av densamma som en medlem av den övervakade gruppen.

3. Kontrollsystem enligt patentkravet 2, k ä n n e t e c k n a t därav, att nämnda gruppdatabearbetande medel inkluderar en gruppdatabehandlare och en grupp logiska kretskomponenter som förener nämnda gruppdatabehandlare med nämnda programminne, till nämnda gruppkontrollutrustning och via nämnda separata logiska kretskomponenter för hisskorgen till varje hisskorgdatabehandlare, att nämnda gruppdatabehandlare i sekvens utför nämnda andra sekvens manövrerar i enlighet med gruppinstruktionsprogrammet under alstrande av gruppkontrollsignaler som svar på nämnda våningsanropssignaler och utvalda första hisskorgkontrollsignaler från var och en hisskorgdatabehandlare, och att nämnda gruppkontrollsignaler anbringas på nämnda gruppkontrollutrustning och via nämnda grupp logiska kretskomponenter till varje hisskorgdatabehandlare för kontrollerande av manövrarna hos ifrågavarande hisskorgar som en övervakad grupp.

4. Kontrollsystem enligt patentkravet 3, k ä n n e t e c k n a t därav, att nämnda grupp logiska kretskomponenter inkluderar en gruppavbrytningssignalgenerator kopplad till nämnda gruppdatabehandlare, varvid nämnda gruppdatabehandlare då den i sekvens utför nämnda andra uppsättning behandlingar mottager en speciell gruppinstruktion att den skall mottaga en första eller andra hisskontrollsignal från eller att den skall avgiva en gruppkontrollsignal till en särskild hisskorgdatabehandlare, och att nämnda gruppdatabehandlare arbetar som svar på nämnda särskilda gruppinstruktion och förorsakar nämnda gruppavbryt-

ningssignalgenerator att alstra en gruppevbrytningssignal som anbringas på nämnda gruppdatabehandlare för att förmå denna att avbryta det sekventiella utförandet av andra uppsättningen behandlingar.

5. Kontrollsystem enligt patentkravet 4, k ä n n e t e c k n a t därav, att nämnda grupp logiska kretskomponenter inkluderar en hisskorgavbrytningssignalgenerator kopplad till var och en hisskorgdatabehandlare, att nämnda gruppdatabehandlare då den mottager nämnda speciella gruppinstruktion innehåller en adresskod som inkluderar en hisskorgväljarsignal som identifierar en utvald hisskorg, att nämnda gruppdatabehandlare anbringar nämnda hisskorgväljarsignal på nämnda hisskorgavbrytningssignalgenerator för att få denna att alstra en hisskorgavbrytningssignal för nämnda valda hisskorg, och att nämnda hisskorgavbrytningssignal på nämnda valda hisskorgdatabehandlare för att denna skall avbryta sekventiella utförandet av första uppsättningen behandlingar.

6. Kontrollsystem enligt patentkravet 5, k ä n n e t e c k n a t därav, att varje nämnda logiska krets inkluderar förenade hisskorgdataminnen för mottagande och uppbevarande av förenade första och andra hisskorgkontrollsignaler och gruppkontrollsignaler, att nämnda logiska kretskomponenter inkluderar en separatdataöverföringssignalgenerator i förening med varje hisskorg, att varje dataöverföringssignalgenerator är kopplad till den med densamma koordinerade hisskorgens logiska och till nämnda hisskorgsavbrytningssignalgenerator, och att varje dataöverföringssignalgenerator fungerar som svar på en hisskorgavbrytningssignal för den med densamma koordinerade hisskorgen för alstrande av en dataöverföringssignal som utmärker att hisskorgens logiska krets är beredd så, att en första eller andra hisskorgkontrollsignal kan matas från ifrågavarande hisskorgdataminne till nämnda gruppdatabehandlare eller att nämnda gruppdatabehandlare kan överföra en gruppkontrollsignal till ifrågavarande hisskorgdataminne.

7. Kontrollsystem enligt patentkravet 6, k ä n n e t e c k n a t därav, att varje hisskorgs logiska krets inkluderar hisskorgsöppkopplingsmedel, vilka kopplar ifrågavarande hisskorgsdataminne för att möjliggöra att nämnda hisskorgsdatabehandlare anbringar första och andra hisskorgkontrollsignaler på de med densamma förenade hisskorgdataminnena för uppbevaring däri och för uttagande av nämnda uppbevarade första och andra hisskorgkontrollsignaler, från dessa, att varje hisskorgsöppkopplingsmedel manövreras som svar på den med densamma koordinerade dataöverföringssignalen för uppkoppling av ifrågavarande hisskorgsdataminne från tillhörande hisskorgsdatabehandlare och för kopplande av nämnda minne

till nämnda gruppdatatabehandlare för att möjliggöra matande av en första och andra hisskorgkontrollsignal från ifrågavarande hisskorgdataminne till nämnda gruppdatatabehandlare eller för att möjliggöra överförande av en gruppkontrollsignal från nämnda gruppdatatabehandlare till ifrågavarande hisskorgdataminne.

8. Kontrollsystem enligt patentkravet 7, k ä n n e t e c k - n a t därav, att då nämnda speciella gruppinstruktion av nämnda gruppdatatabehandlingsmedel innehåller denna adresssignaler som identifierar en cell i nämnda utvalda hisskorgs dataminne, i vilken cell en särskild första eller andra hisskorgkontrollsignal som nämnda gruppdatatabehandlare skall uttaga eller i vilken en särskild gruppkontrollsignal skall uppbevaras, och att nämnda adresssignaler överförs från nämnda gruppdatatabehandlare till nämnda hisskorgdataminne via nämnda hisskorgdataomkopplingsmedel som svar på inkopplande och urkopplandet som förorsakas av alstrandet av ifrågavarande dataöverföringssignal.

9. Kontrollsystem enligt patentkravet 8, k ä n n e t e c k - n a t därav, att nämnda speciella första eller andra hisskorgkontrollsignal uttages från eller nämnda speciella gruppkontrollsignal uppbevaras i nämnda hisskorgdataminne av nämnda gruppdatatabehandlare genom överföring via nämnda hisskorgsdataomkopplingsmedel som svar på inkopplingen eller urkopplingen som förorsakas av alstrandet av ifrågavarande dataöverföringssignal.

10. Kontrollsystem enligt patentkravet 9, k ä n n e t e c k - n a t därav, att då nämnda gruppdatatabehandlare mottager nämnda speciella gruppinstruktion, kan den i densamma innehållna adresskoden identifiera ett flertal hisskorgar som valda, och att nämnda gruppdatatabehandlare kan uttaga en första eller andra hisskorgkontrollsignal från hisskorgdataminnet i var och en av nämnda valda hisskorg samtidigt eller uppbevara samma gruppkontrollsignal i hisskorgdataminnet i samtliga hisskorgar samtidigt.

11. Kontrollsystem enligt patentkravet 6, k ä n n e t e c k - n a t därav, att nämnda programminne inkluderar ett gruppprogramminne, som uppbevarar nämnda gruppinstruktionsprogram, och ett flertal hisskorgprogramminnen, vilka vard och ett uppbevarar ett hisskorgsinstruktionsprogram för respektive hisskorgar, att vard och ett hisskorgprogramminne inkluderar för sin hisskorgdatatabehandlare att uppbevara första och andra hisskorgkontrollsignaler i identifierade celler i ifrågavarande hisskorgdataminne för uttagning av nämnda gruppdatatabehandlare, och att nämnda gruppprogramminne inkluderar instruktioner för gruppdatatabehandlaren att uppbevara gruppkontrollsignaler i identifiera-

de celler i respektive hisskorgdataminnen för för uttagning av ifrågavarande hisskorgdatbehandlare, varvid nämnda gruppprogramminne även inkluderar instruktioner för gruppdatabelandlaren att uttaga första och hisskorgkontrollsignalen från ifrågavarande hisskorgdataminne.

12. Kontrollsystem enligt patentkravet 5, k ä n n e t e c k - n a t därav, att nämnda grupplogiska kretskomponenter inkluderar gruppregister, att nämnda gruppdatabelandlare anbringar nämnda adresskod som inkluderar nämnda hisskorgväljarsignal på nämnda gruppregister för uppbevaring av detsamma, att nämnda hisskorgregister arbetar för anbringande av nämnda hisskorgväljarsystem på nämnda hisskorgavbrytarsignalgenerator till nämnda gruppdatabelandlare, då den arbetar som svar på det sekventionella utförandet av nämnda andra uppsättning anbringar en annan adresskod på nämnda gruppregister.

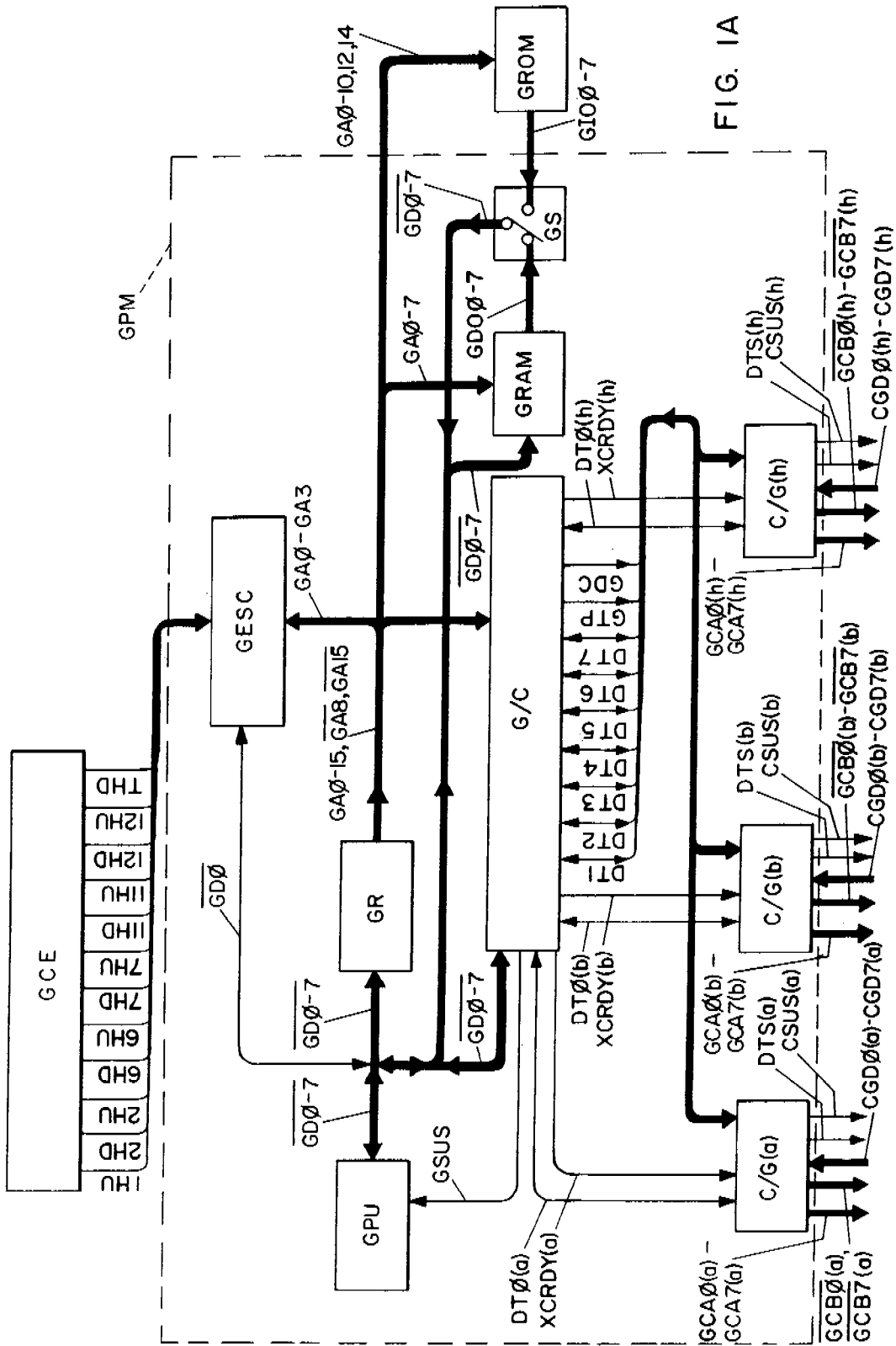


FIG. 1A

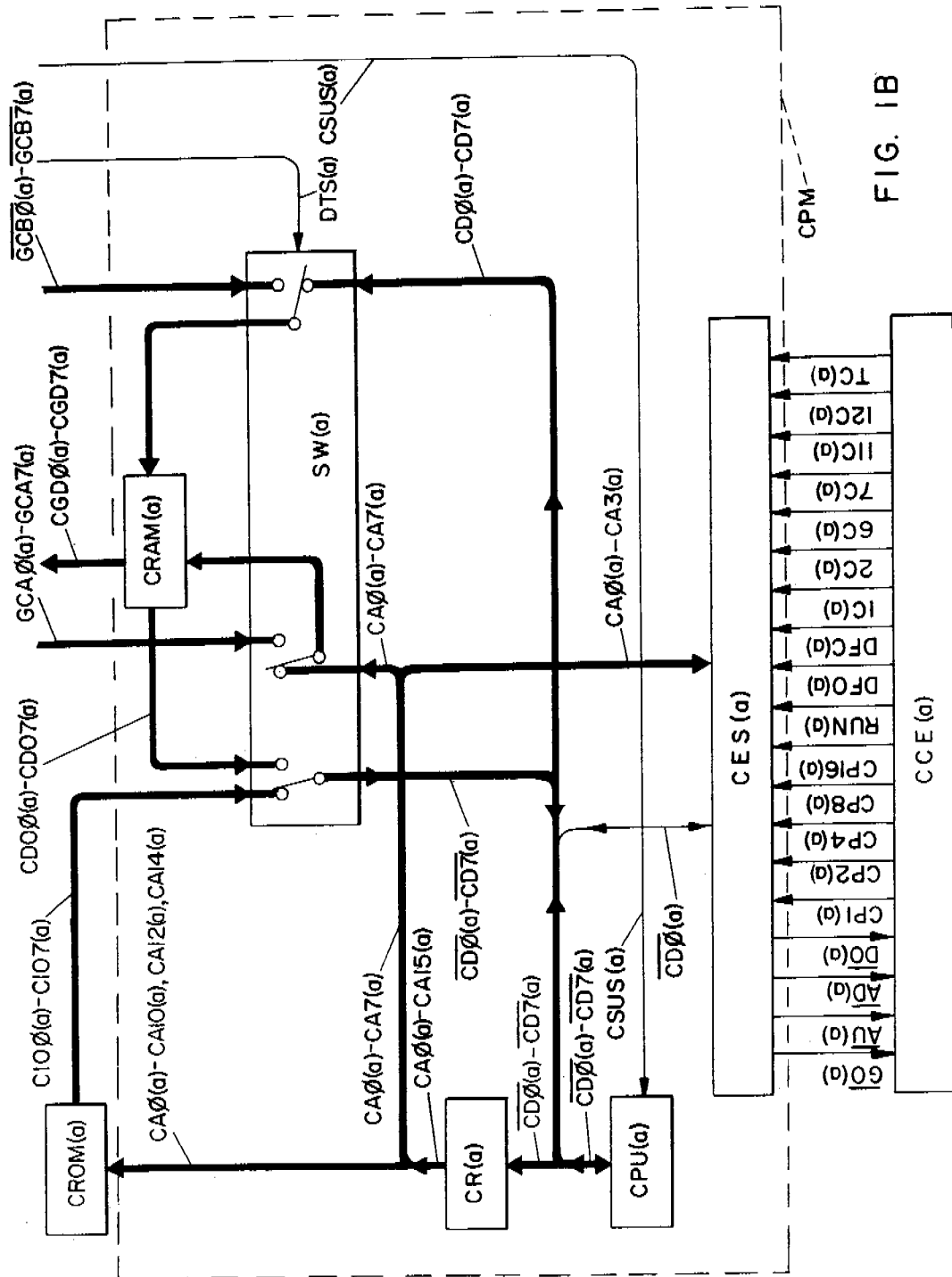


FIG. 1B

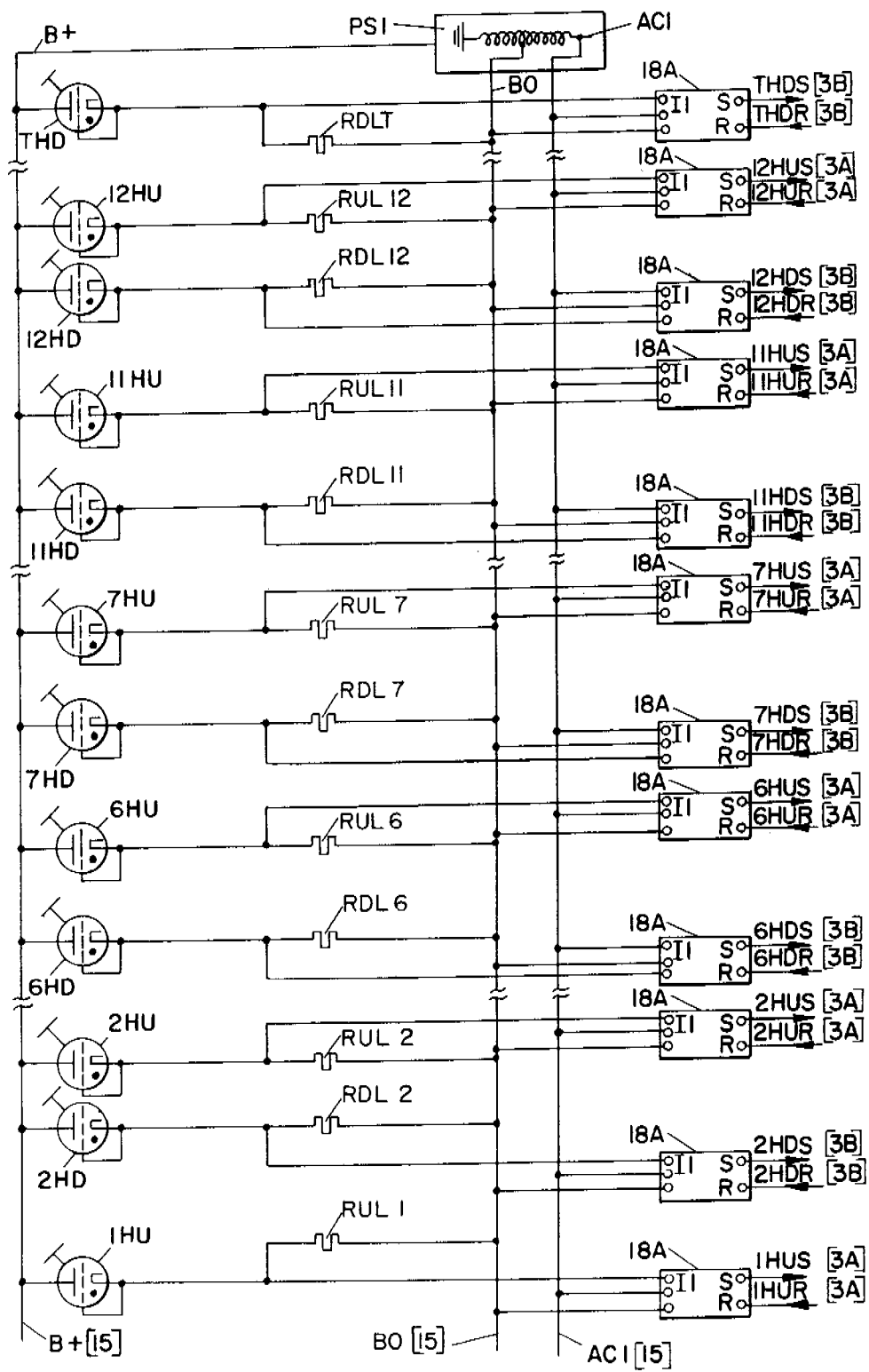


FIG. 2

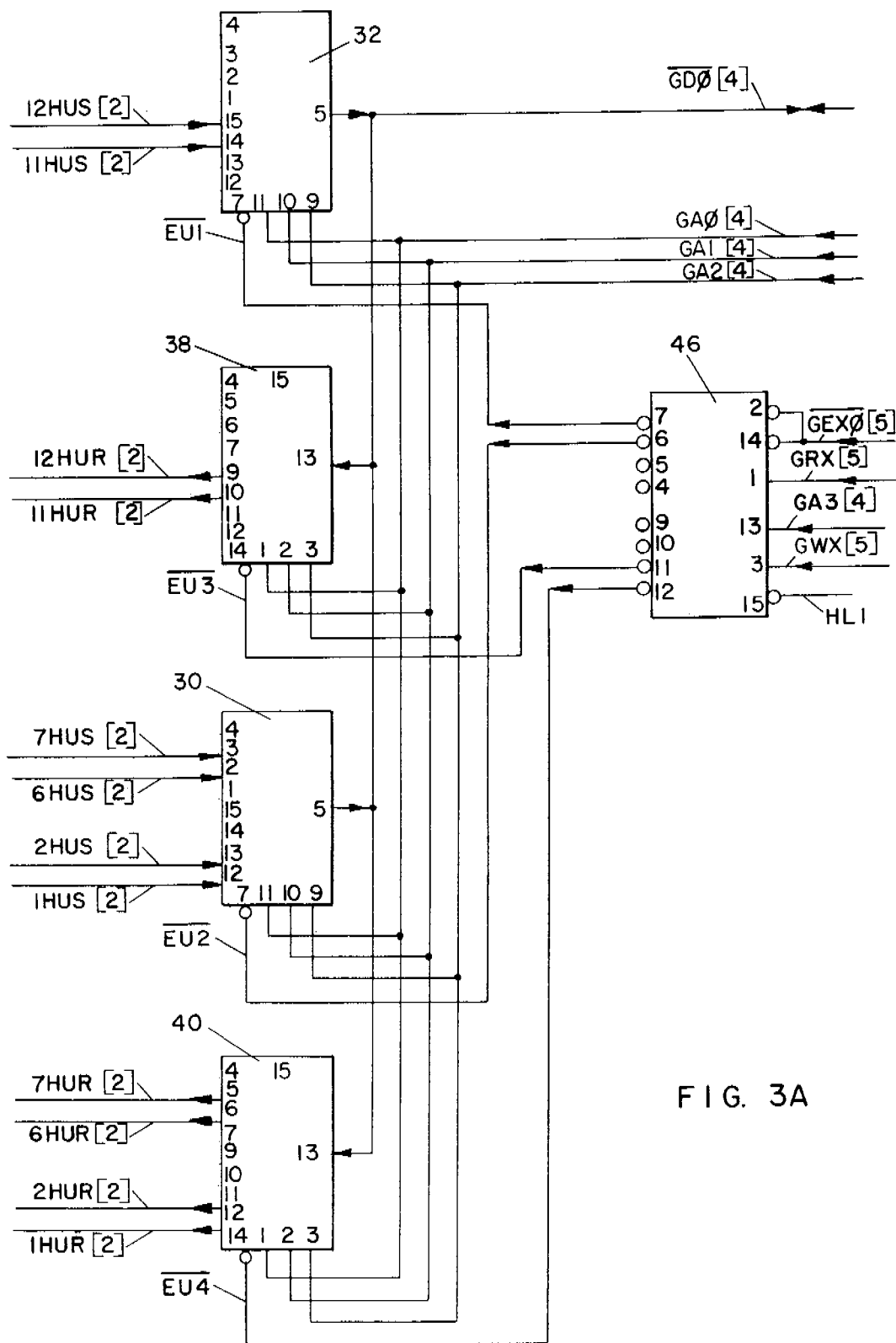


FIG. 3A

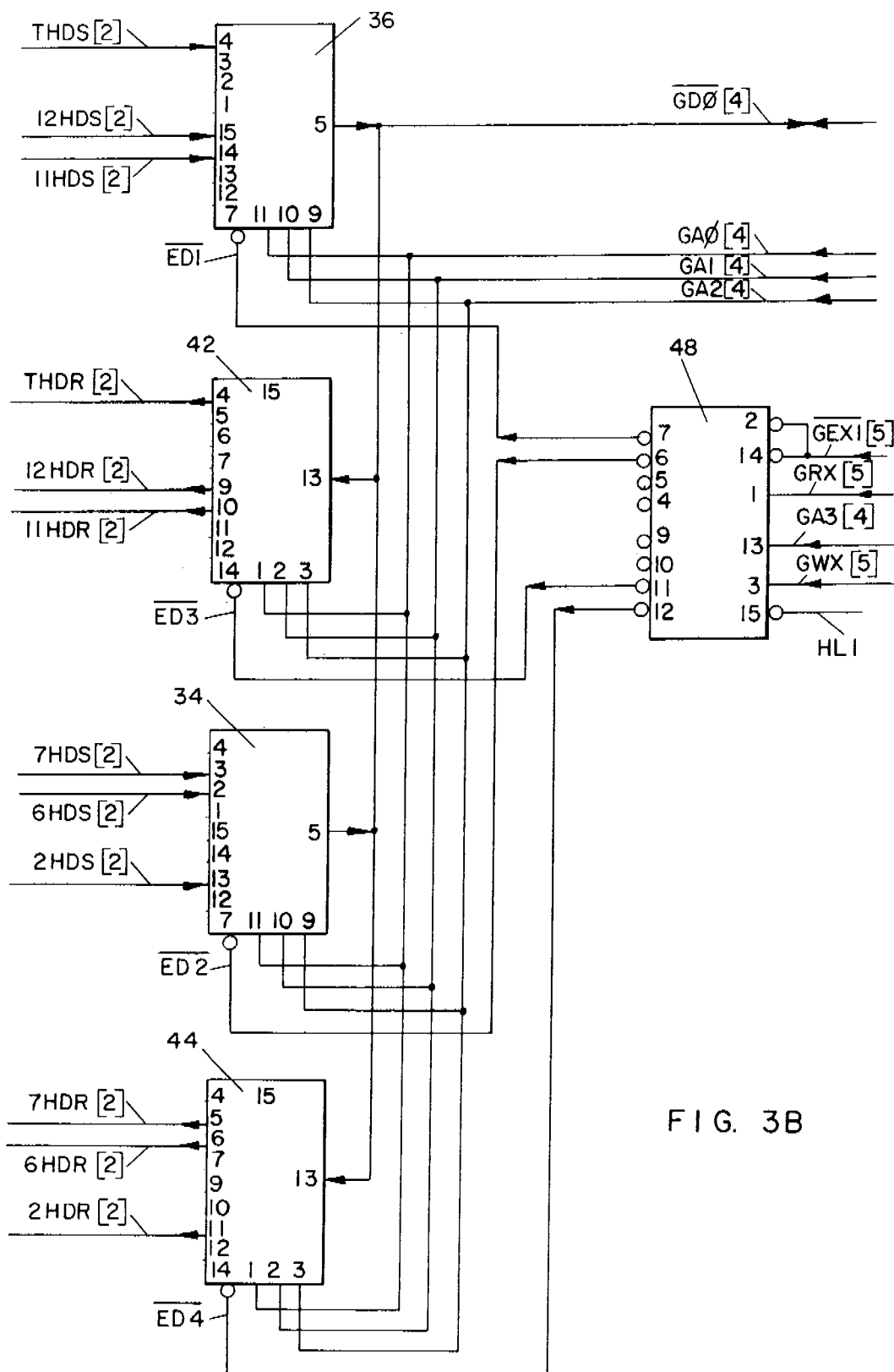
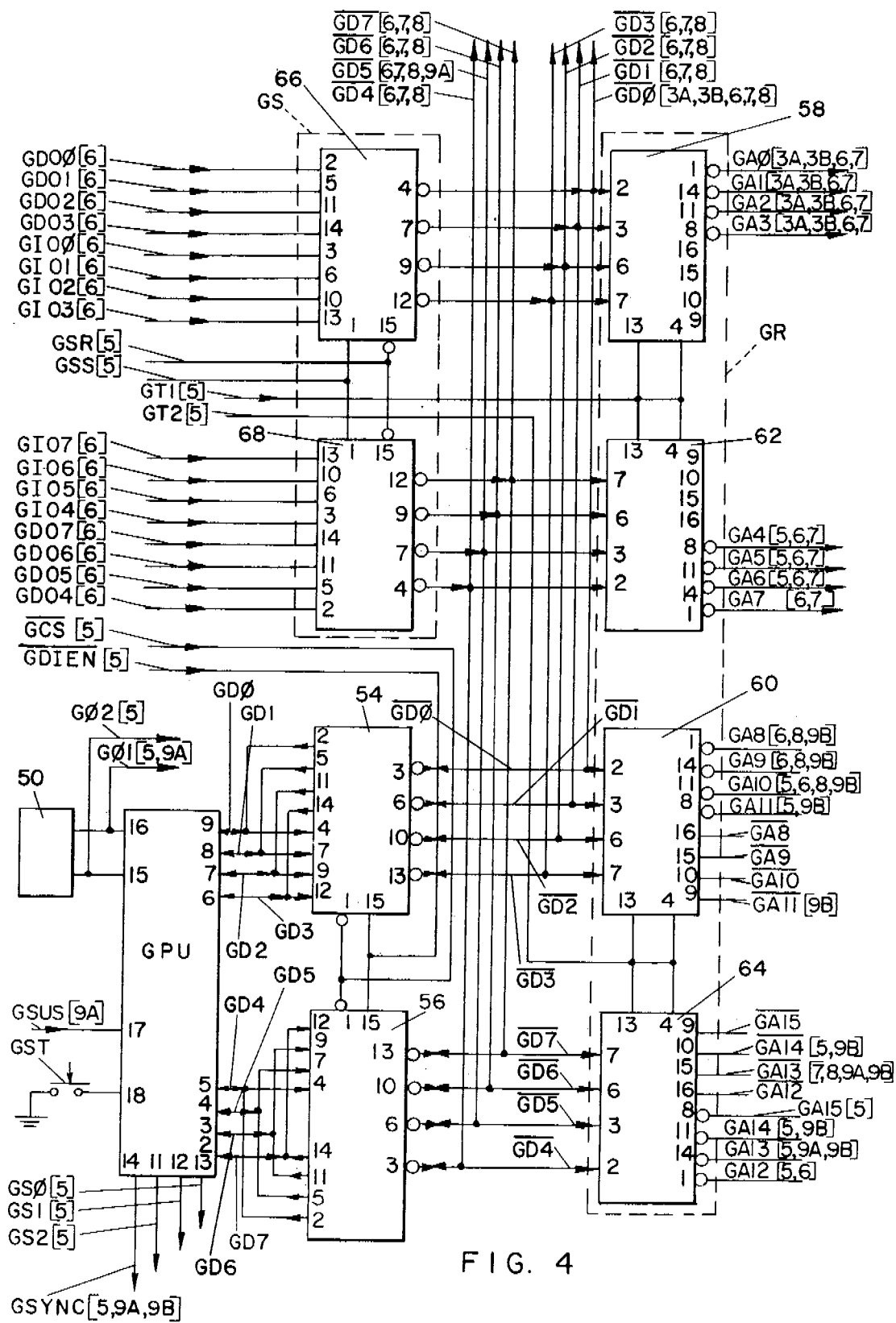
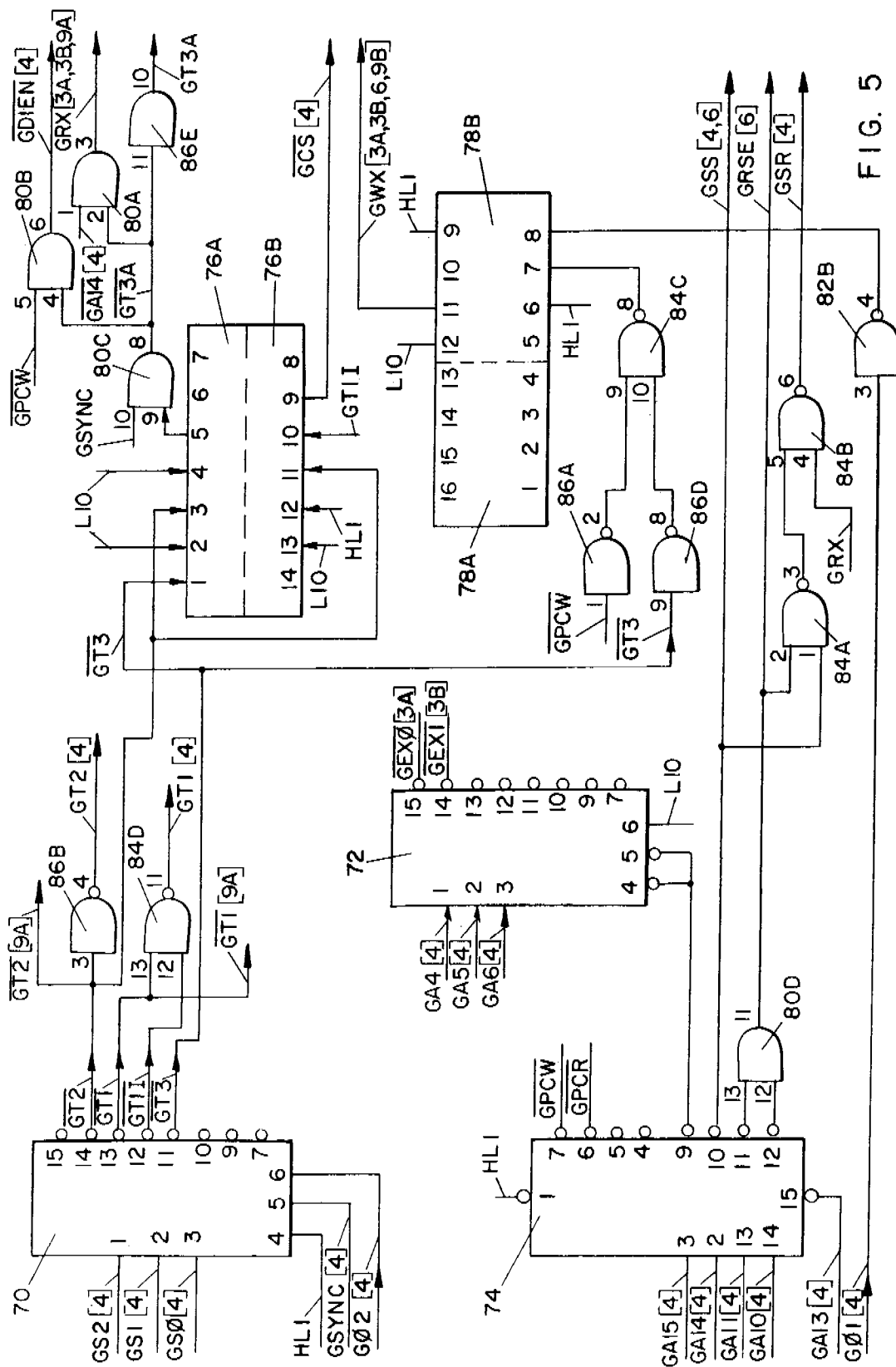
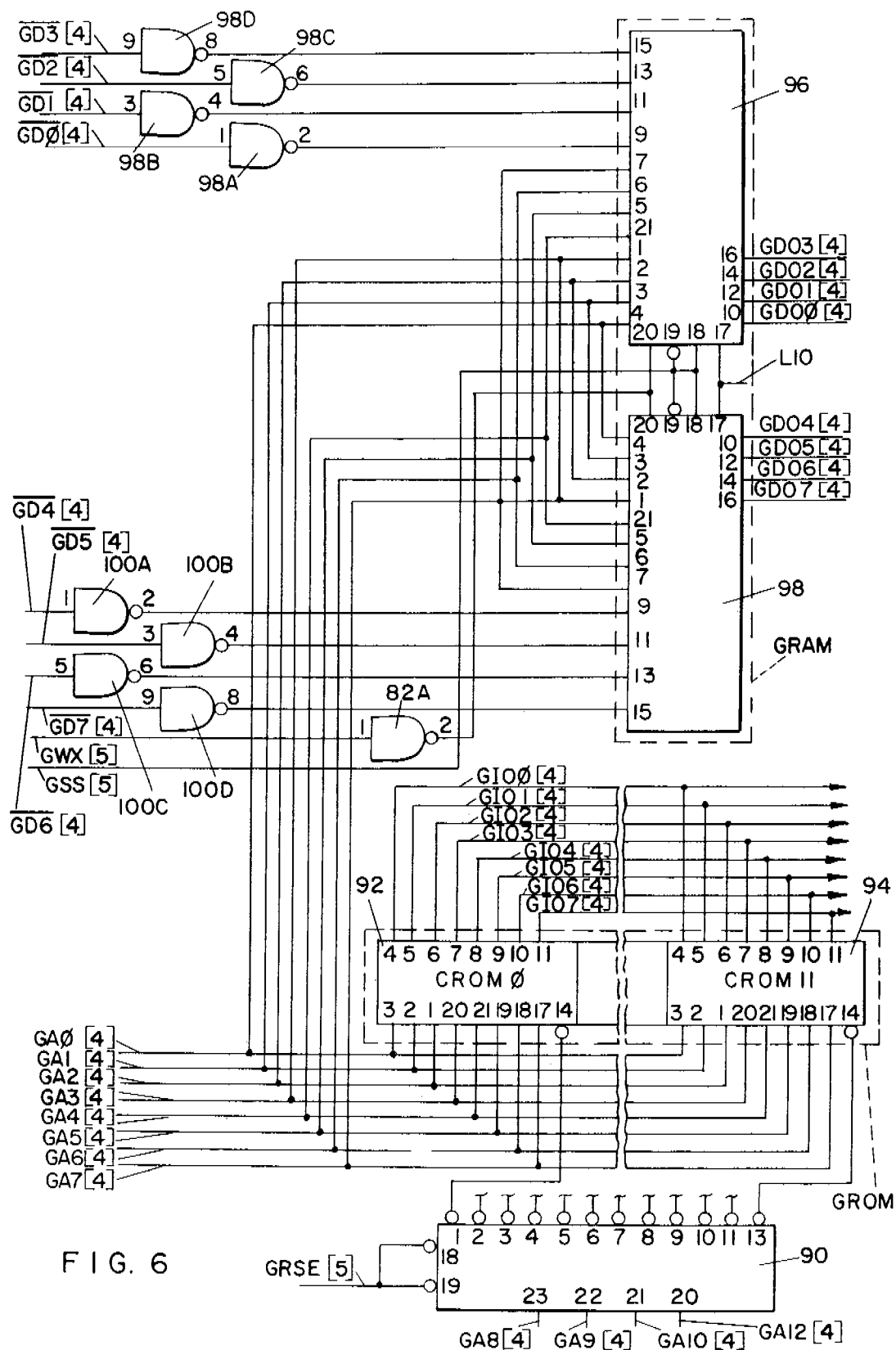


FIG. 3B







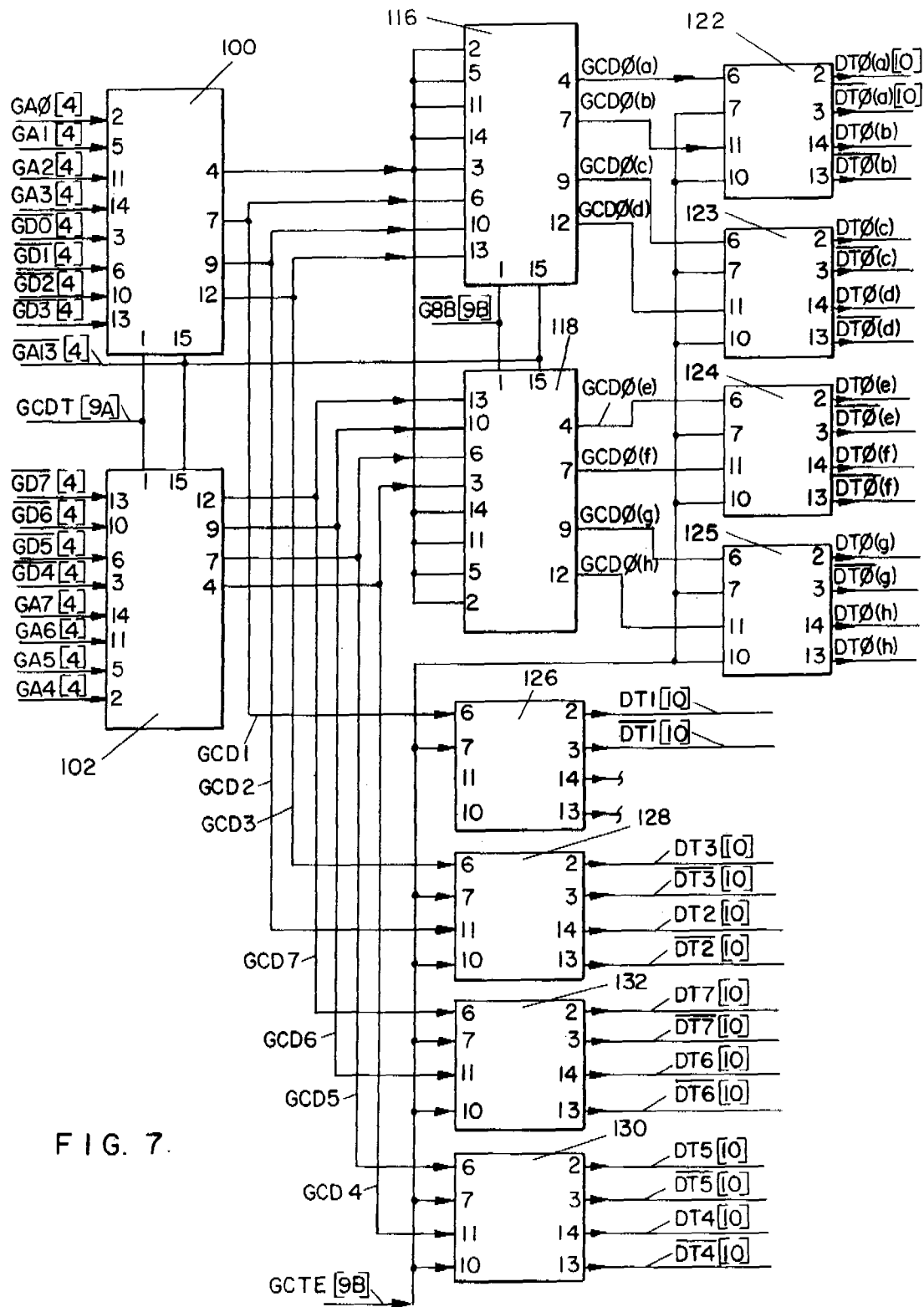


FIG. 7.

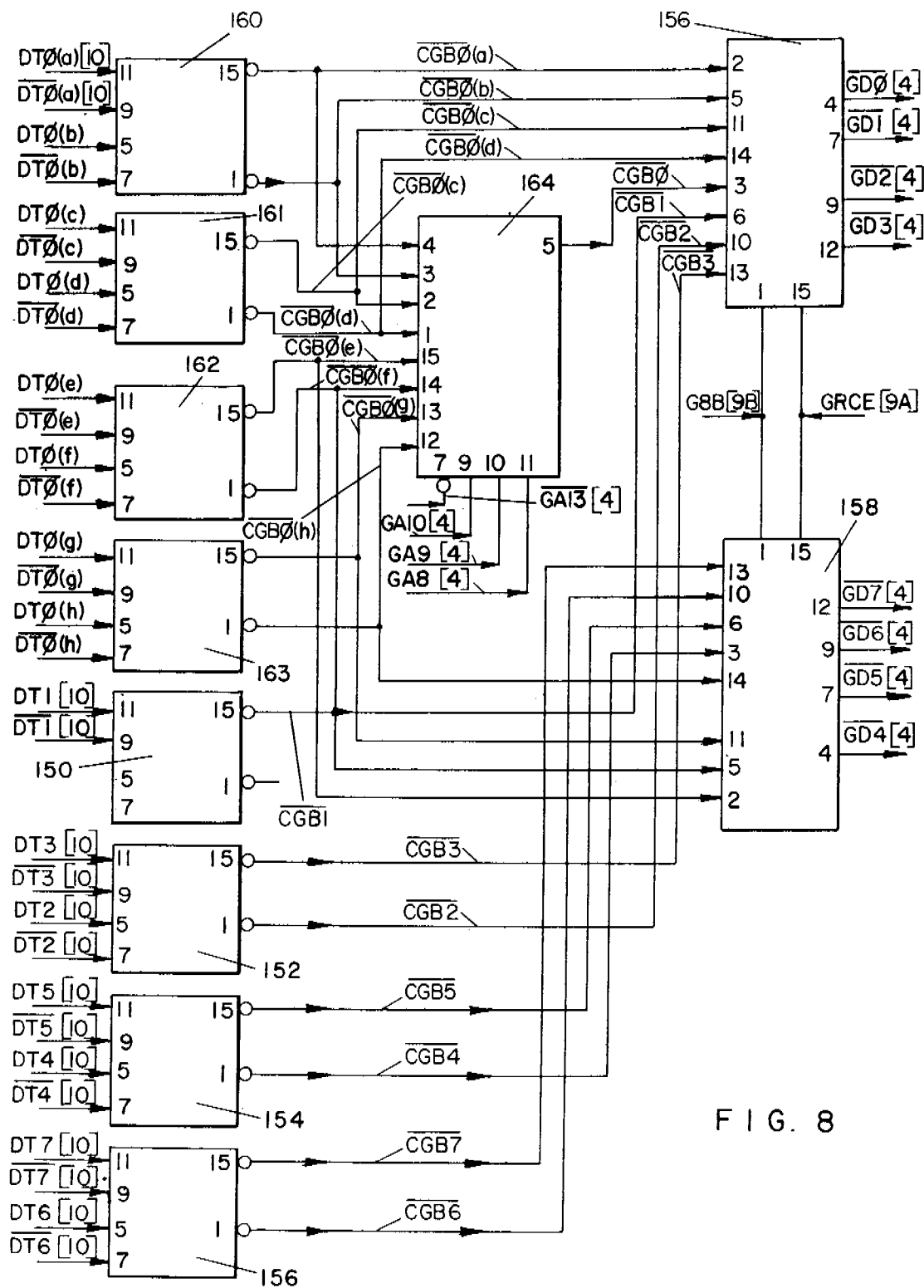


FIG. 8

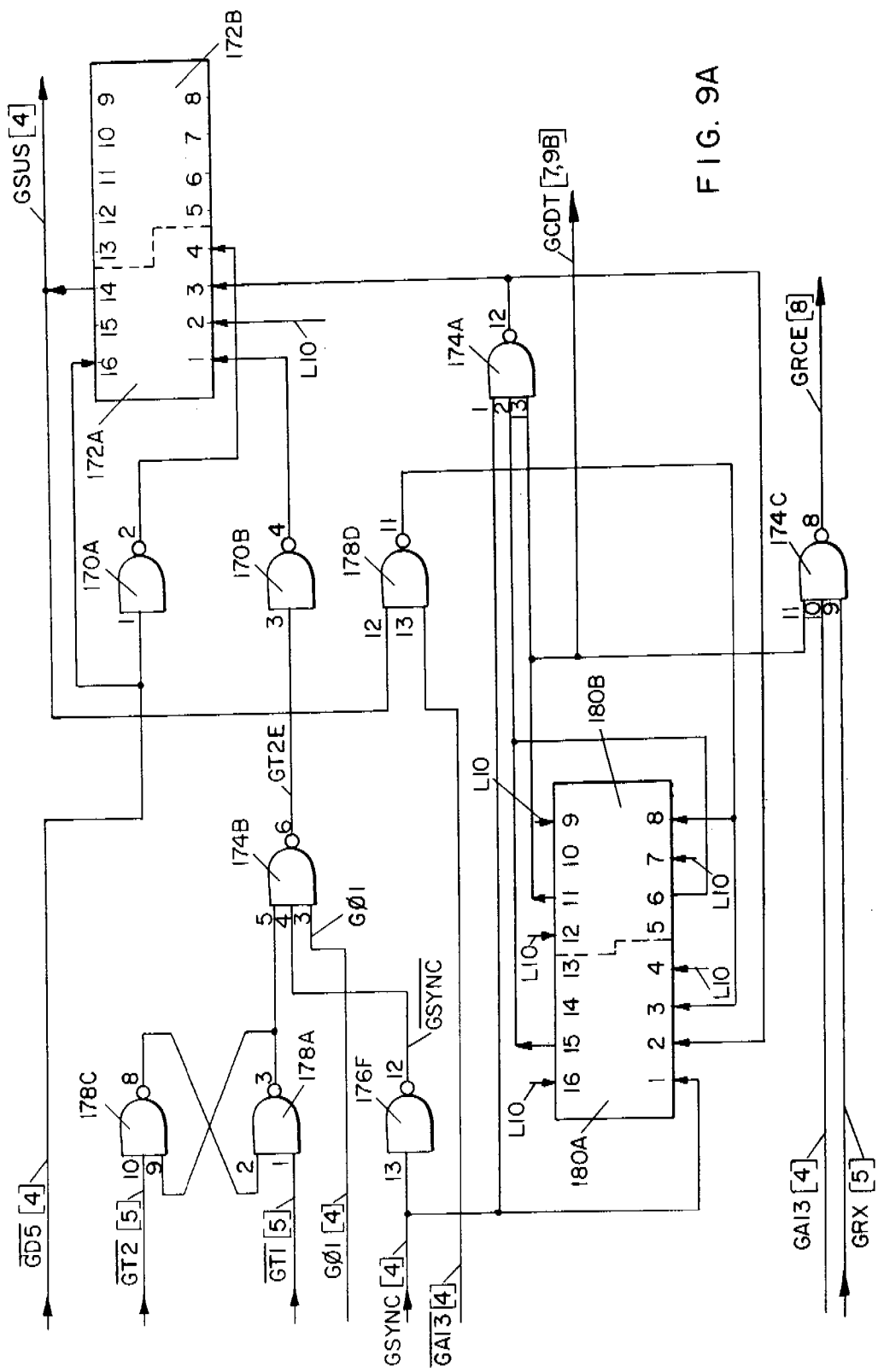
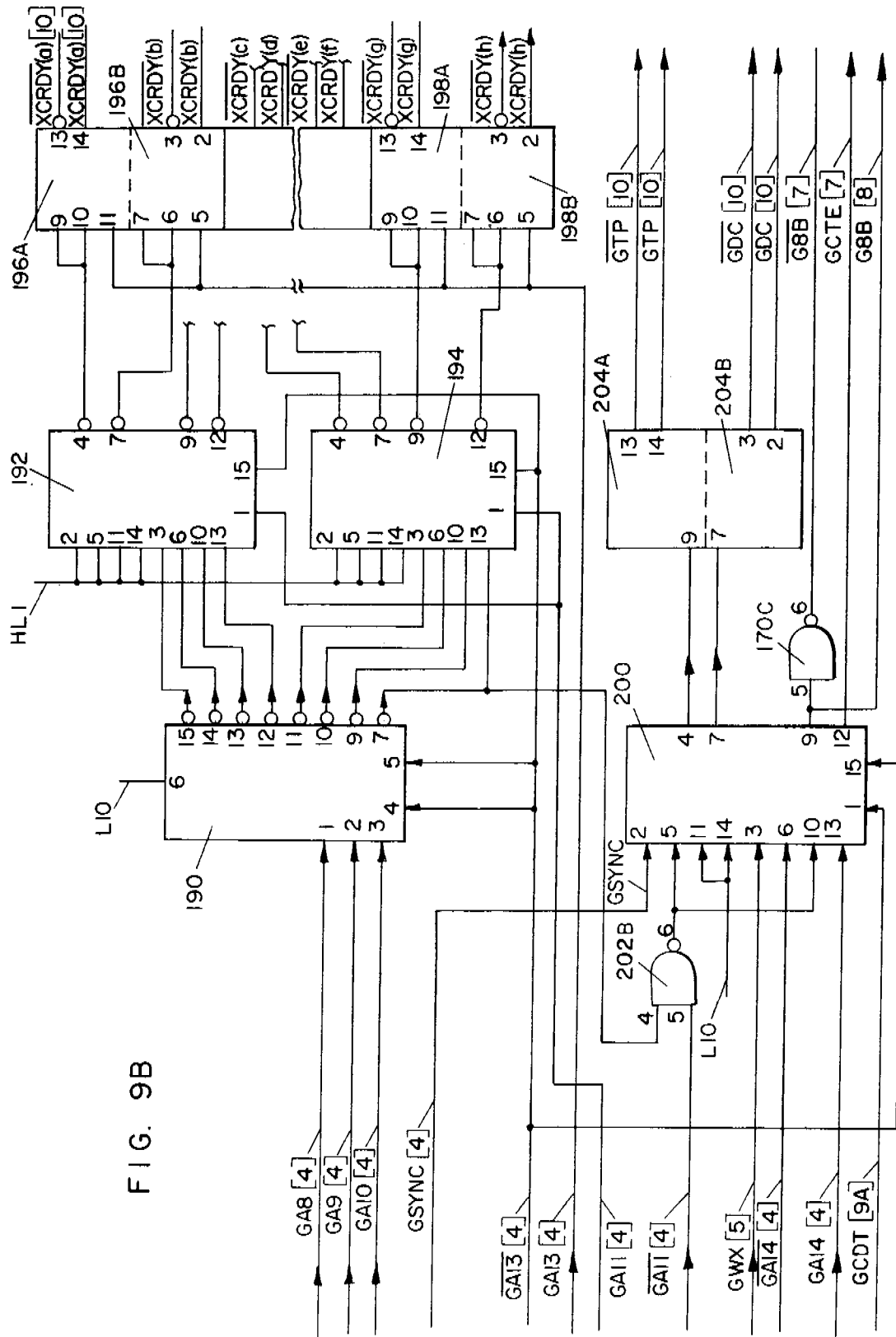
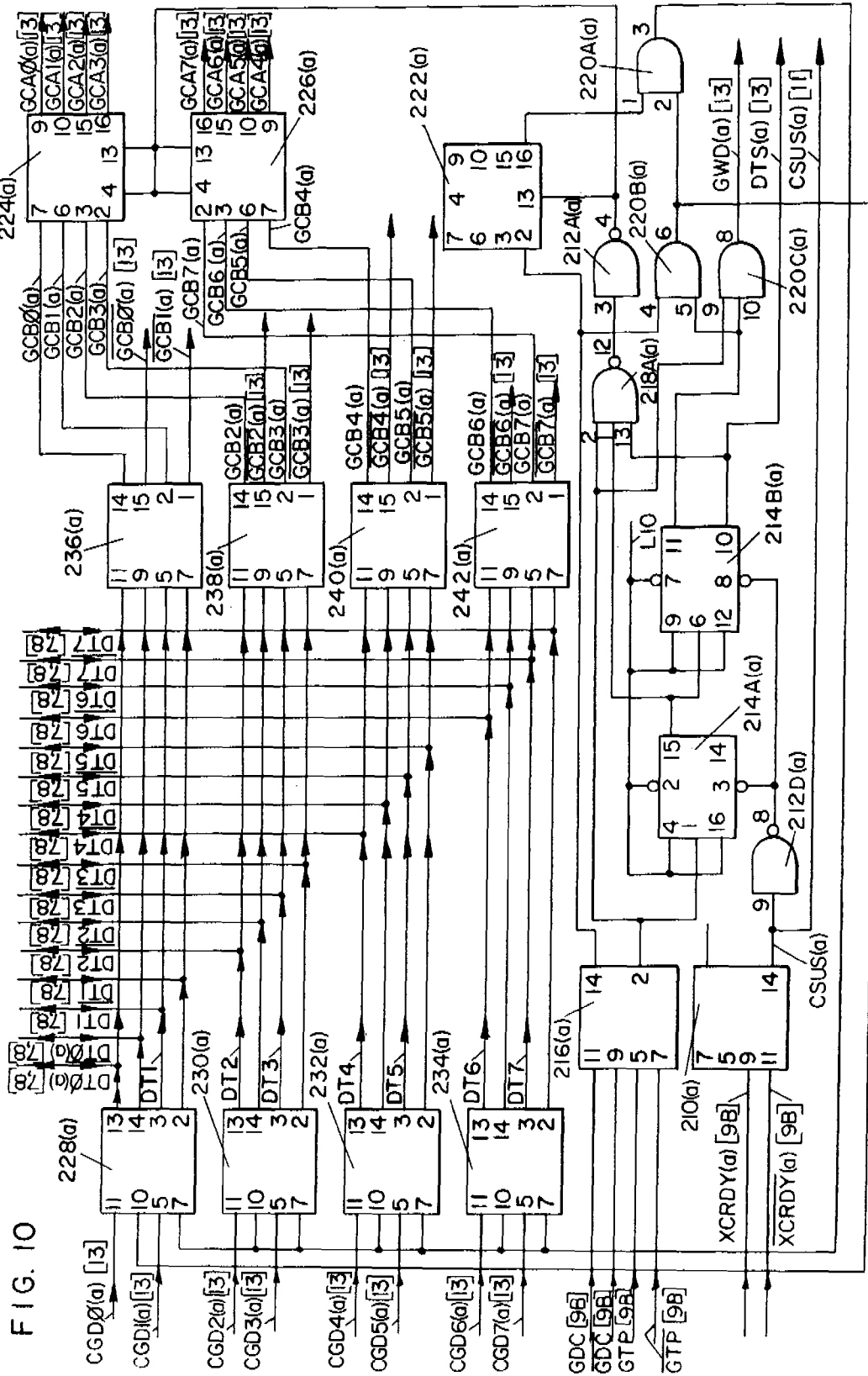
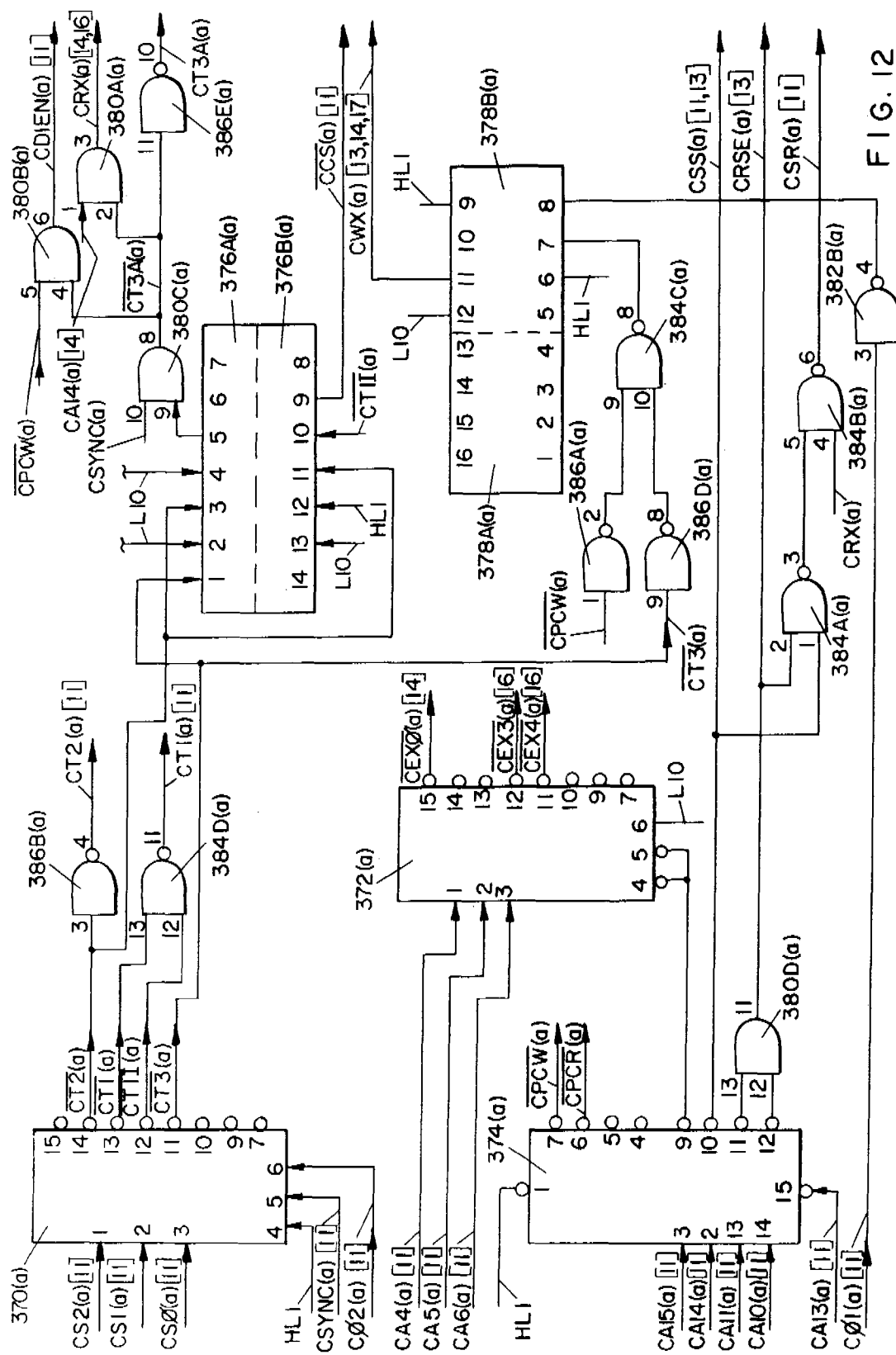
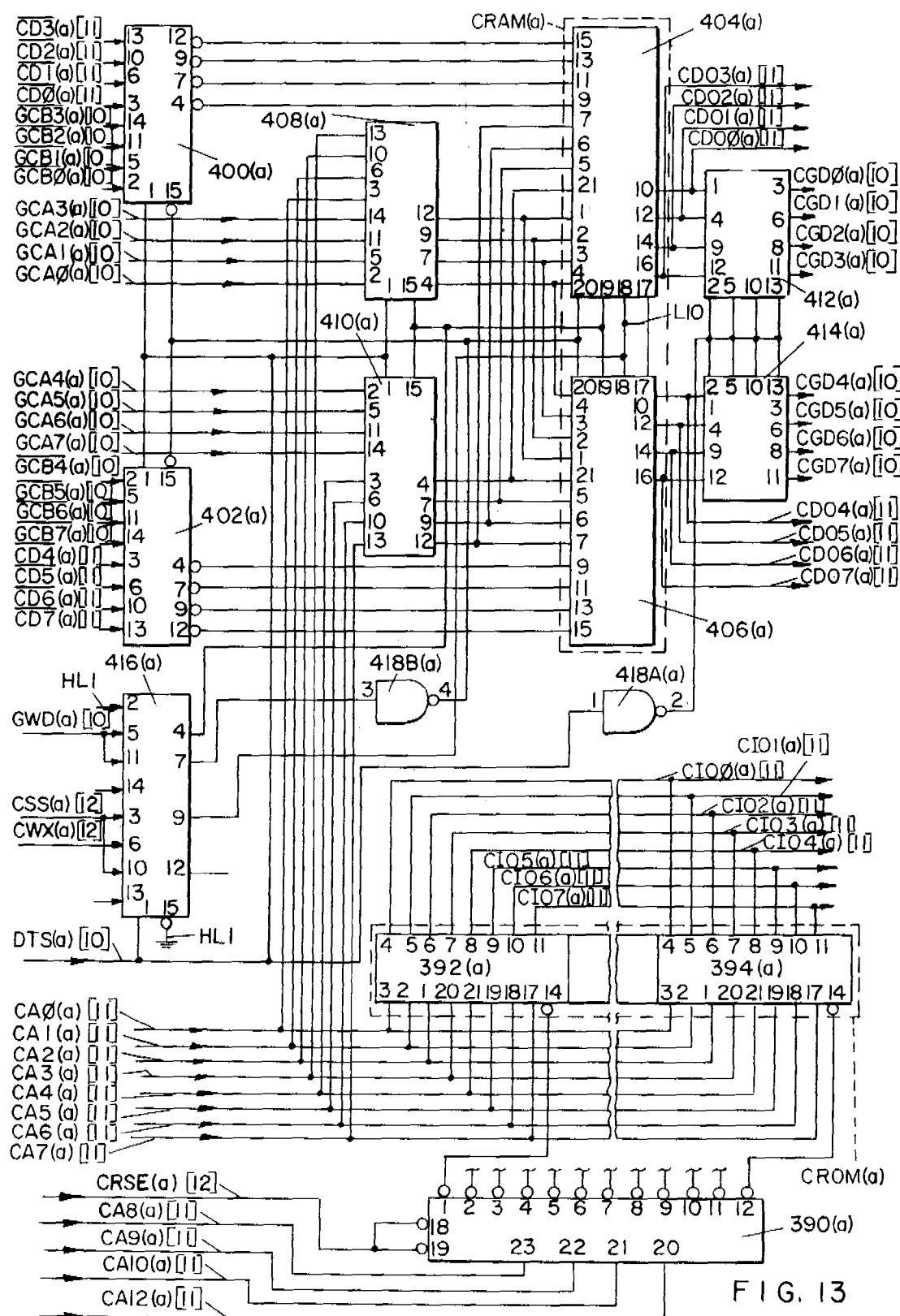


FIG. 9A









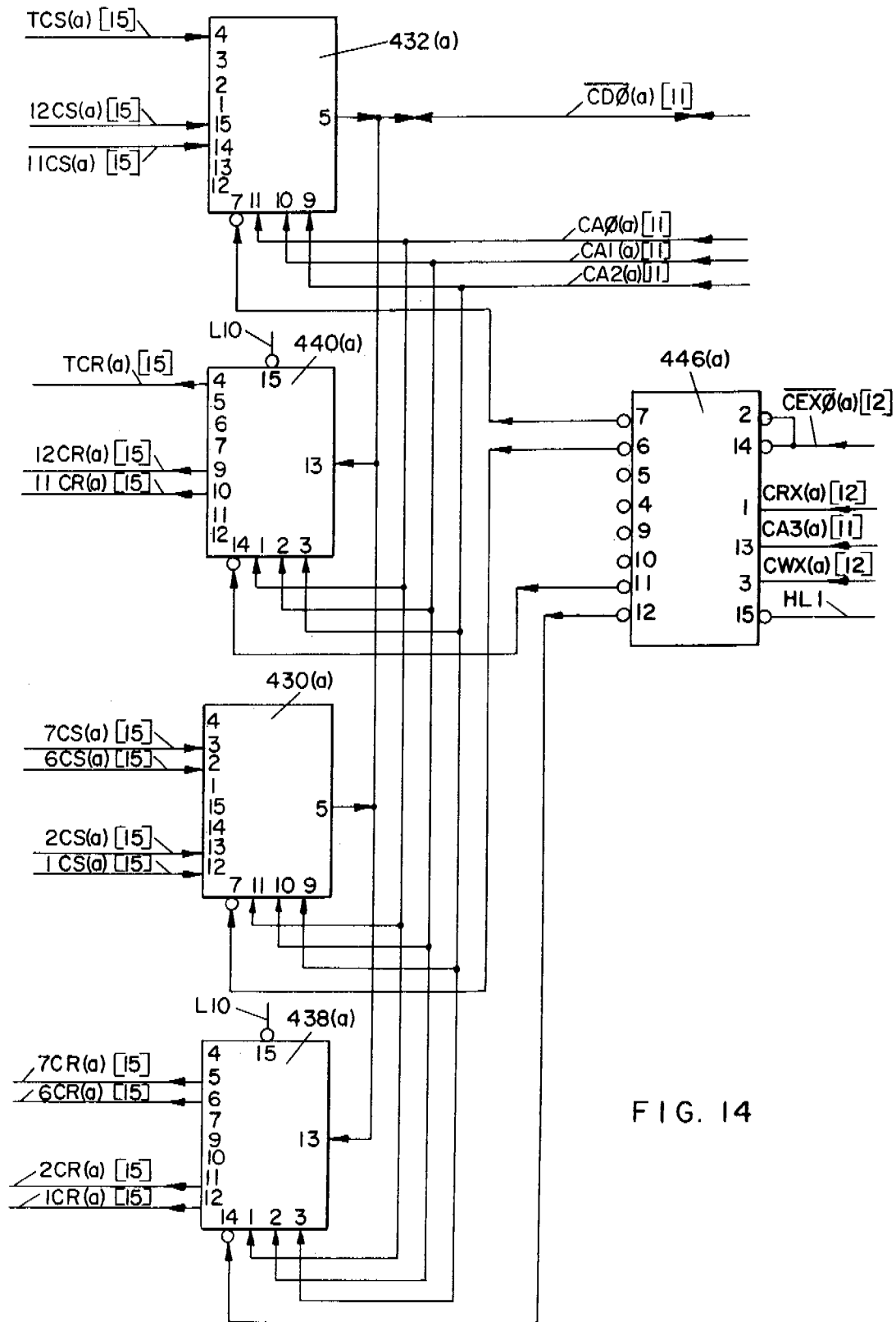


FIG. 14

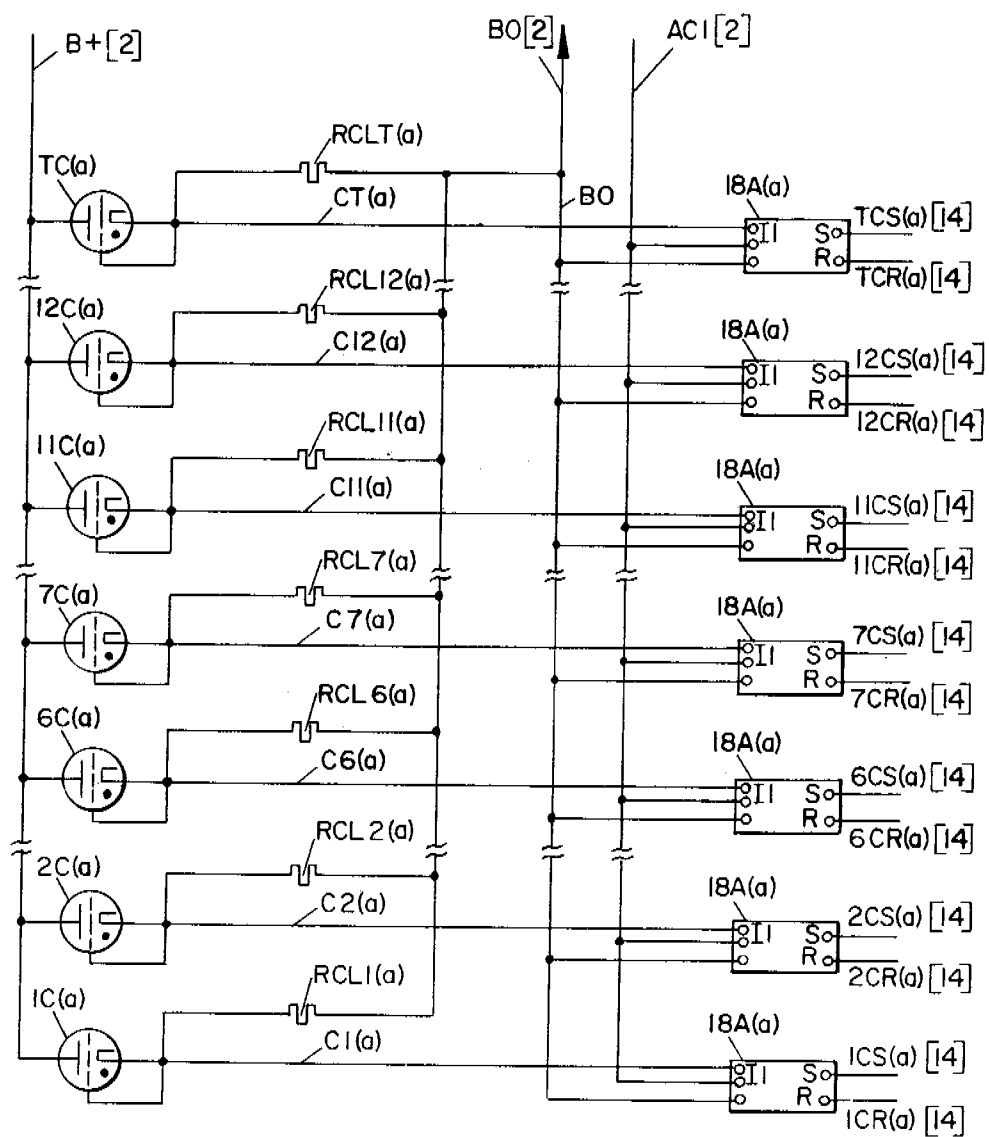
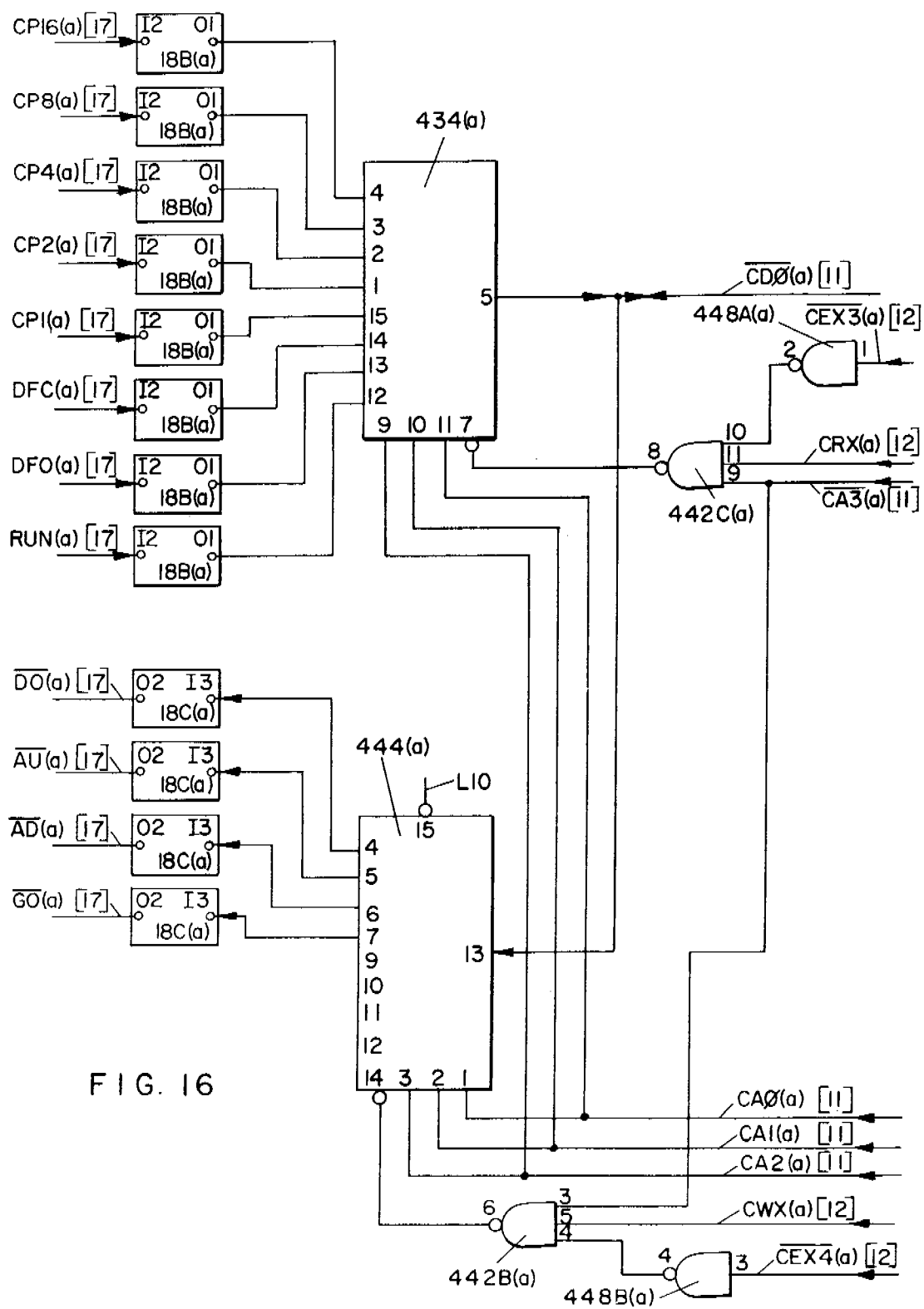
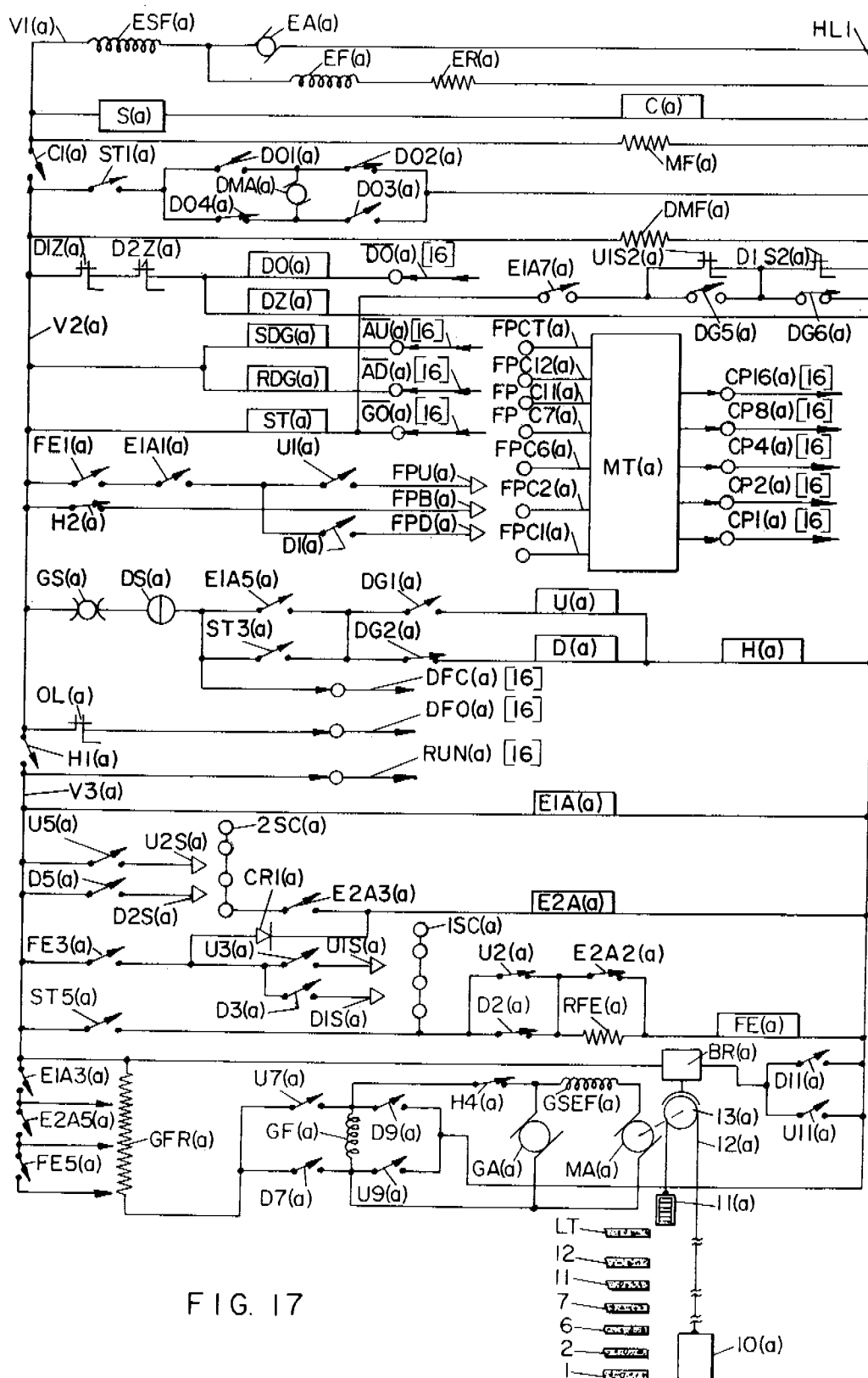


FIG. 15





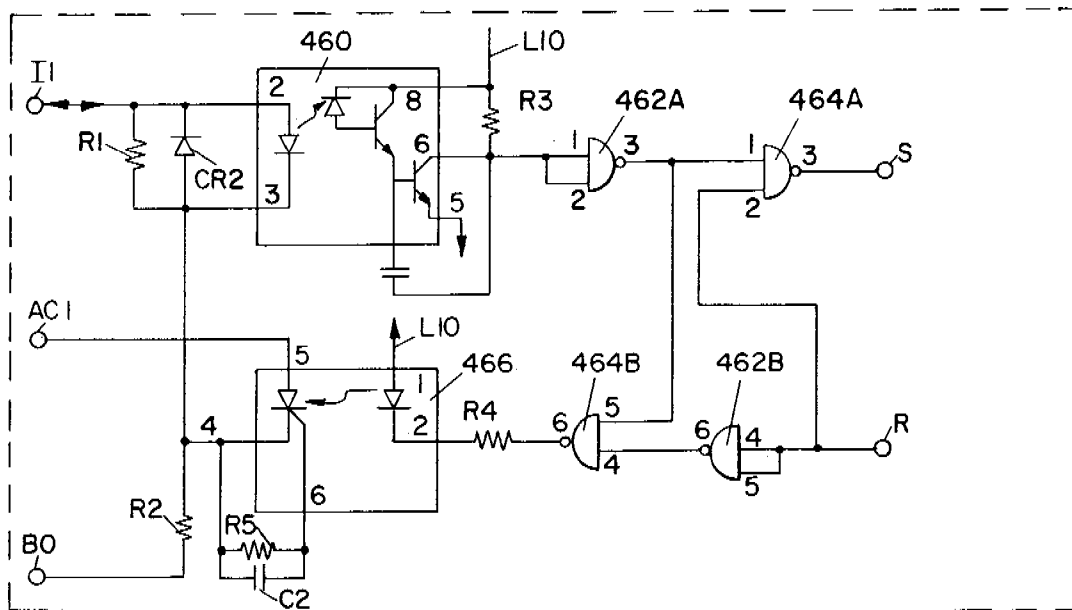


FIG. 18A

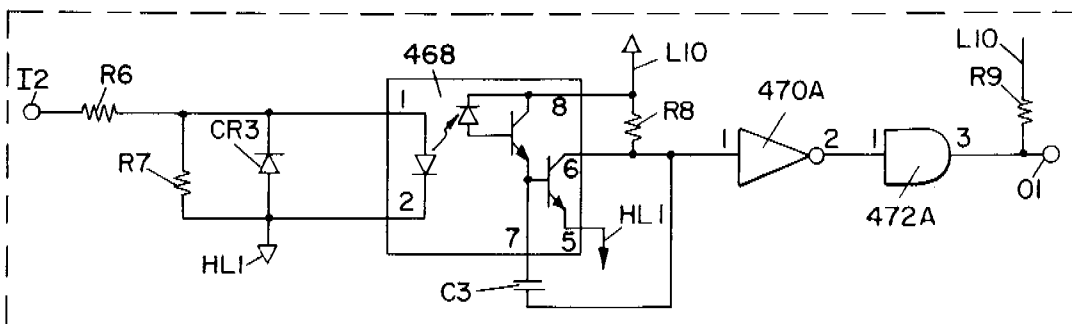


FIG. 18B

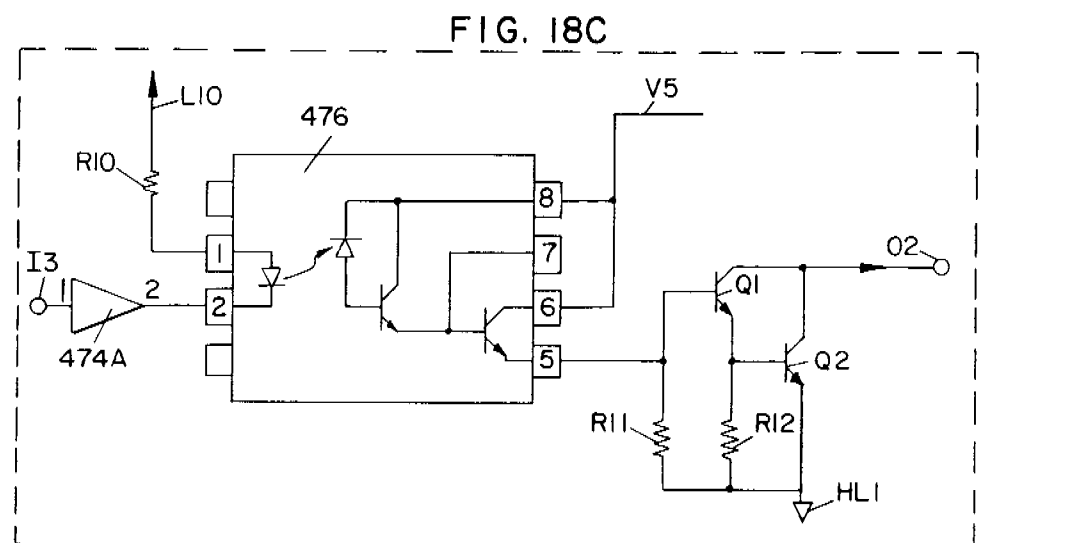


FIG. 18C

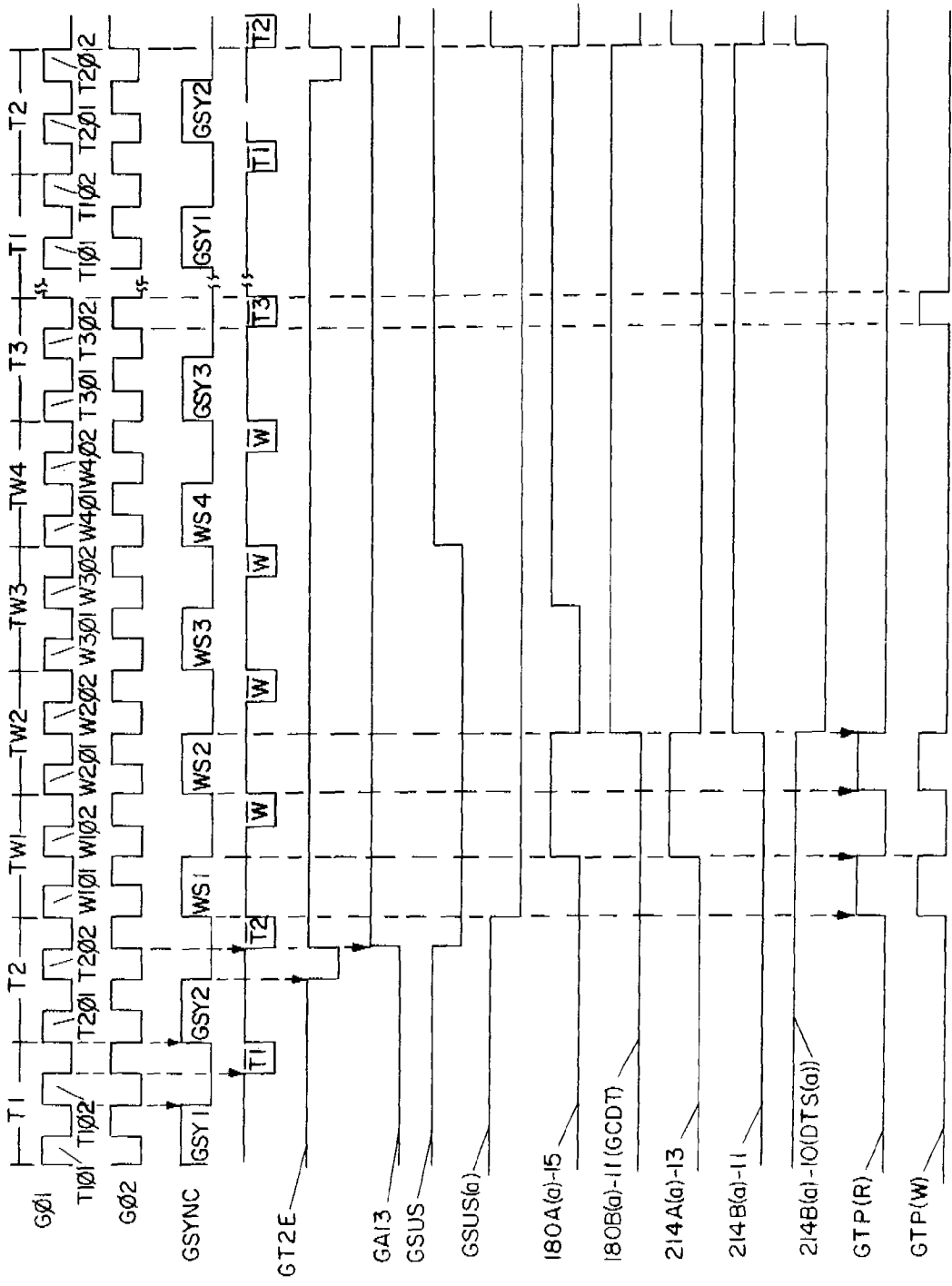


FIG. 19

Viitejulkaisuja - Anförda publikationer

Julkisia suomalaisia patenttihakemuksia: - Offentliga finska patentansökningar:

Hakemus-, kuulutus- ja patenttijulkaisuja: - Ansökningspublikationer, utlägg-
nings- och patentskrifter:

Suomi - Finland _____
Iso-Britannia - Storbritannien _____
Norja - Norge _____
Ranska - Frankrike _____
Ruotsi - Sverige _____
Saksa - BRD - Tyskland _____
Sveitsi - Schweiz _____
Tanska - Danmark _____
USA 3973648

Muita julkaisuja: - Andra publikationer:

Merkitse hakemusjulkaisun (esim. saksal. Offenlegungsschrift) numeron eteen H ja vastaavasti kuulutus- ja patenttijulkaisun numeron eteen K ja P.