

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)



(10) 国際公開番号

WO 2020/137283 A1

(51) 国際特許分類:

H01L 31/10 (2006.01) *H01L 27/04* (2006.01)
H01L 27/00 (2006.01) *H01L 27/146* (2006.01)
H01L 21/822 (2006.01)

(21) 国際出願番号: PCT/JP2019/045726

(22) 国際出願日: 2019年11月22日(22.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-245180 2018年12月27日(27.12.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

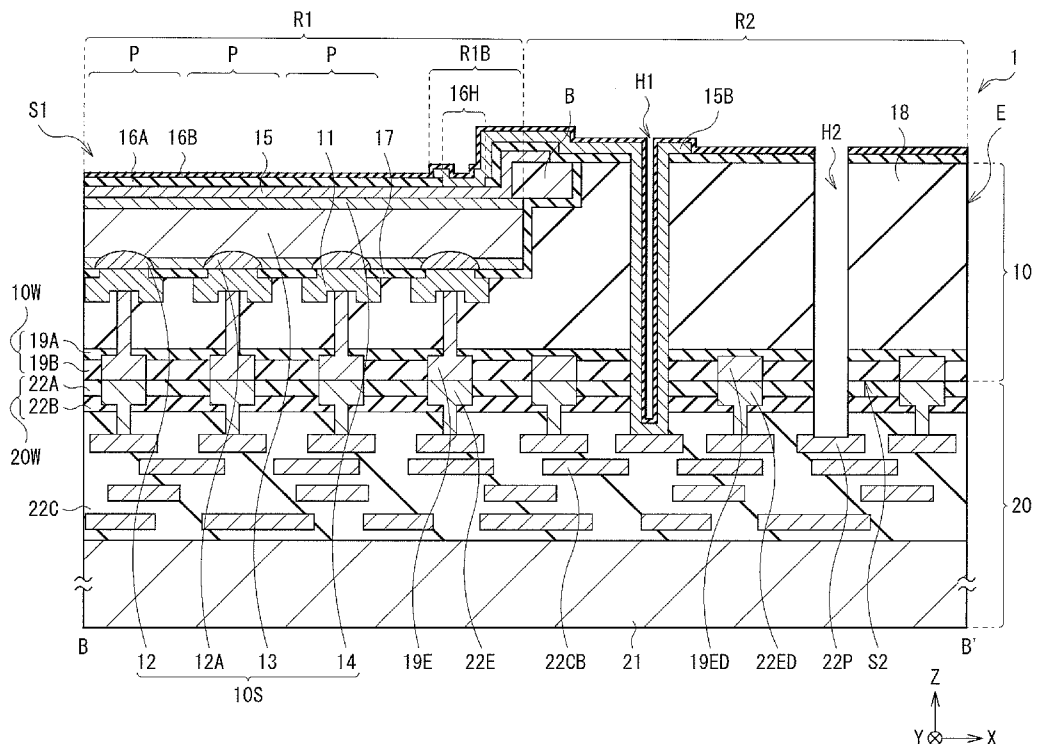
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 伊藤 大介(ITO, Daisuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 村田 賢一(MURATA, Kenichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 林 利彦(HAYASHI, Toshihiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL

(54) Title: SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子



(57) Abstract: A first semiconductor element according to one embodiment of the present disclosure comprises: an element substrate having an element region provided by stacking a wiring layer and a first semiconductor layer containing a compound semiconductor material, and a peripheral region on the outer side of the element region; a read circuit board that faces the first semiconductor layer with the wiring layer interposed therebetween, and that is electrically connected to the first semiconductor layer through the wiring layer; a first electrode provided on the wiring layer and electrically

CORPORATION); 〒1600022 東京都新宿
区新宿 1 丁目 1 5 番 9 号 さわだビ
ル 3 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

connected to the first semiconductor layer; a second electrode facing the first electrode with the first semiconductor layer therebetween; and an insulating layer provided on the second electrode and having non-reducing properties.

(57) 要約：本開示の一実施形態の第 1 の半導体素子は、配線層と化合物半導体材料を含む第 1 半導体層とが積層して設けられた素子領域、および素子領域の外側の周辺領域を有する素子基板と、配線層を間にし第 1 半導体層に対向し、配線層を介して第 1 半導体層に電氣的に接続された読出回路基板と、配線層に設けられると共に、第 1 半導体層に電氣的に接続された第 1 電極と、第 1 半導体層を間にし第 1 電極に対向する第 2 電極と、第 2 電極上に設けられると共に、非還元性を有する絶縁層とを備える。

明 細 書

発明の名称：半導体素子

技術分野

[0001] 本開示は、例えば赤外線センサ等に用いられる半導体素子に関する。

背景技術

[0002] 近年、赤外領域に感度を有するイメージセンサ（赤外線センサ）が商品化されている。例えば、特許文献1に記載されているように、この赤外線センサに用いられる半導体素子では、例えばInGaAs（インジウムガリウム砒素）等のIII-V族半導体を含む光電変換層が用いられ、この光電変換層において、赤外線が吸収されることで電荷が発生する（光電変換が行われる）。

[0003] 特許文献1では、InP（インジウムリン）により構成された成長基板上に、エピタキシャル成長させたInGaAsを、光電変換層として用いている。

先行技術文献

特許文献

[0004] 特許文献1：特表2014-521216号公報

発明の概要

[0005] ところで、このような半導体素子では、製造歩留まりの向上が求められている。

[0006] 製造歩留まりを向上させることが可能な半導体素子を提供することが望ましい。

[0007] 本開示の一実施の形態に係る第1の半導体素子は、配線層と化合物半導体材料を含む第1半導体層とが積層して設けられた素子領域、および素子領域の外側の周辺領域を有する素子基板と、配線層を間にして第1半導体層に対向し、配線層を介して第1半導体層に電氣的に接続された読出回路基板と、配線層に設けられると共に、第1半導体層に電氣的に接続された第1電極と

、第1半導体層を間にして第1電極に対向する第2電極と、第2電極上に設けられると共に、非還元性を有する絶縁層とを備えたものである。

[0008] 本開示の一実施の形態に係る第1の半導体素子では、光透過性を有する第2電極上に、非還元性を有する絶縁層を設けるようにした。これにより、第2電極と絶縁層との密着性が向上する。

[0009] 本開示の一実施の形態に係る第2の半導体素子は、配線層と化合物半導体材料を含む第1半導体層とが積層して設けられた素子領域、および素子領域の外側の周辺領域を有する素子基板と、配線層を間にして第1半導体層に対向し、配線層を介して第1半導体層に電氣的に接続された読出回路基板と、配線層に設けられると共に、第1半導体層に電氣的に接続された第1電極と、第1半導体層を間にして第1電極に対向する第2電極と、第2電極上に設けられると共に、素子領域の周辺領域の近傍に開口を有する絶縁層と、絶縁層の上方に設けられると共に、開口を介して第2電極と電氣的に接続されるアルミニウム（Al）を含む導電膜とを備えたものである。

[0010] 本開示の一実施の形態に係る第2の半導体素子では、絶縁層上に設けられ、素子領域の周辺領域近傍に設けられた開口を介して第2電極と電氣的に接続される導電膜を、アルミニウム（Al）を用いて形成することにより、導電膜の厚みを削減する。

[0011] 本開示の一実施の形態に係る第3の半導体素子は、配線層と化合物半導体材料を含む第1半導体層とが積層して設けられた素子領域、および前記素子領域の外側の周辺領域を有する素子基板と、配線層を間にして第1半導体層に対向し、配線層を介して第1半導体層に電氣的に接続された読出回路基板と、配線層に設けられると共に、第1半導体層に電氣的に接続された第1電極と、第1半導体層を間にして第1電極に対向する第2電極と、第2電極上に設けられると共に、素子領域の周辺領域の近傍に開口を有する絶縁層と、絶縁層の上方に設けられると共に、開口を介して第2電極と電氣的に接続される導電膜と、導電膜上に設けられると共に、ブラックレジストからなる遮光膜とを備えたものである。

[0012] 本開示の一実施の形態に係る第3の半導体素子では、絶縁層上に設けられ、素子領域の周辺領域近傍に設けられた開口を介して第2電極と電氣的に接続される導電膜上に、さらにブラックレジストからなる遮光膜を設けることにより、導電膜の厚みを削減する。

図面の簡単な説明

[0013] [図1]本開示の第1の実施の形態に係る受光素子の構成の一例を表す断面模式図である。

[図2]図1に示した受光素子の全体の概略構成を表す平面模式図である。

[図3]本開示の第1の実施の形態に係る受光素子の構成の他の例を表す断面模式図である。

[図4]図3に示した受光素子の構成の他の構成例を表す断面模式図である。

[図5]本開示の第1の実施の形態に係る受光素子の構成の他の例を表す断面模式図である。

[図6]本開示の第1の実施の形態に係る受光素子の構成の他の例を表す断面模式図である。

[図7A]図1に示した受光素子の製造方法の一工程を説明するための断面模式図である。

[図7B]図7Aに続く工程を表す断面模式図である。

[図7C]図7Bに続く工程を表す断面模式図である。

[図8]図7Cの工程の一例を表す平面模式図である。

[図9]図8に示した半導体層の構成の他の例(1)を表す平面模式図である。

[図10A]図8に示した半導体層の構成の他の例(2)を表す平面模式図である。

。

[図10B]図10Aに示したB-B線に沿った断面構成を表す模式図である。

[図11A]図7Cに続く工程を表す断面模式図である。

[図11B]図11Aに続く工程を表す断面模式図である。

[図12A]図11Aに示した工程の平面構成の一例を表す模式図である。

[図12B]図11Bに示した工程の平面構成の一例を表す模式図である。

[図13A]図 1 1 A に示した工程の平面構成の他の例 (1) を表す模式図である。

[図13B]図 1 1 B に示した工程の平面構成の他の例 (1) を表す模式図である。

[図14A]図 1 1 A に示した工程の平面構成の他の例 (2) を表す模式図である。

[図14B]図 1 1 B に示した工程の平面構成の他の例 (2) を表す模式図である。

[図15]図 1 1 B に示した工程の他の例 (1) を表す断面模式図である。

[図16]図 1 1 B に示した工程の他の例 (2) を表す断面模式図である。

[図17A]図 1 1 B に続く工程を表す断面模式図である。

[図17B]図 1 7 A に続く工程を表す断面模式図である。

[図17C]図 1 7 B に続く工程を表す断面模式図である。

[図17D]図 1 7 C に続く工程を表す断面模式図である。

[図17E]図 1 7 D に続く工程を表す断面模式図である。

[図17F]図 1 7 E に続く工程を表す断面模式図である。

[図17G]図 1 7 F に続く工程を表す断面模式図である。

[図17H]図 1 7 G に続く工程を表す断面模式図である。

[図17I]図 1 7 H に続く工程を表す断面模式図である。

[図17J]図 1 7 I に続く工程を表す断面模式図である。

[図18]本開示の第 2 の実施の形態に係る受光素子の構成を表す断面模式図である。

[図19]各金属における波長と透過率との関係を表す特性図である。

[図20]各種導電膜における波長と反射率との関係を表す特性図である。

[図21]各種導電膜の膜厚と S i 基板の反り量との関係を表す特性図である。

[図22]本開示の第 3 の実施の形態に係る受光素子の構成の一例を表す断面模式図である。

[図23]本開示の第 3 の実施の形態に係る受光素子の構成の他の例を表す断面

模式図である。

[図24]本開示の第3の実施の形態に係る受光素子の構成の他の例を表す断面模式図である。

[図25]本開示の第3の実施の形態に係る受光素子の構成の他の例を表す断面模式図である。

[図26]本開示の変形例1に係る受光素子の構成の他の例を表す断面模式図である。

[図27A]図26に示した受光素子の製造方法の一工程を説明するための断面模式図である。

[図27B]図27Aに続く工程を表す断面模式図である。

[図28]図27Bに示した工程の他の例(1)を表す断面模式図である。

[図29]図27Bに示した工程の他の例(2)を表す断面模式図である。

[図30A]図27Bに続く工程を表す断面模式図である。

[図30B]図30Aに続く工程を表す断面模式図である。

[図31]本開示の変形例2に係る受光素子の概略構成を表す断面模式図である。

[図32A]本開示の変形例3に係る受光素子の製造方法の一工程を説明するための断面模式図である。

[図32B]図32Aに続く工程を表す断面模式図である。

[図32C]図32Bに続く工程を表す断面模式図である。

[図32D]図32Cに続く工程を表す断面模式図である。

[図32E]図32Dに続く工程を表す断面模式図である。

[図33]図32Eに続く工程を経て完成した受光素子の要部の構成を表す断面模式図である。

[図34A]図32Eに示した一部を拡大して表す断面模式図(1)である。

[図34B]図33に示した一部を拡大して表す断面模式図(1)である。

[図34C]図34Aに示した開口の形状の他の例を表す断面模式図である。

[図35A]図32Eに示した一部を拡大して表す断面模式図(2)である。

[図35B]図33に示した一部を拡大して表す断面模式図(2)である。

[図35C]図35Aに示した開口の形状の他の例を表す断面模式図である。

[図36A]図32Eに示した一部を拡大して表す断面模式図(3)である。

[図36B]図33に示した一部を拡大して表す断面模式図(3)である。

[図36C]図36Aに示した開口の形状の他の例を表す断面模式図である。

[図36D]図32Eに示した一部を拡大して表す断面模式図(4)である。

[図37]本開示の変形例4に係る受光素子の構成の一例を表す断面模式図である。

[図38]本開示の変形例4に係る受光素子の構成の他の例を表す断面模式図である。

[図39]本開示の変形例5に係る受光素子の構成の一例を表す断面模式図である。

[図40]撮像素子を用いた電子機器(カメラ)の一例を表す機能ブロック図である。

[図41]内視鏡手術システムの概略的な構成の一例を示す図である。

[図42]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

[図43]車両制御システムの概略的な構成の一例を示すブロック図である。

[図44]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0014] 以下、本開示における実施の形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 第1の実施の形態(第2電極上に非還元層を有する受光素子の例)

1-1. 受光素子の構成

1-2. 受光素子の製造方法

1-3. 受光素子の動作

1 - 4. 作用・効果

2. 第2の実施の形態（A1を含む導電材料を用いて導電膜を形成した例）

3. 第3の実施の形態（導電膜上にブラックレジストを形成した例）

4. 変形例1

5. 変形例2

6. 変形例3

7. 変形例4

8. 変形例5

9. 適用例1（撮像素子の例）

10. 適用例2（電子機器の例）

11. 応用例1（内視鏡手術システムへの応用例）

12. 応用例2（移動体への応用例）

[0015] <1. 第1の実施の形態>

図1は、本開示の第1の実施の形態に係る半導体素子（受光素子1）の断面構成の一例を模式的に表したものである。図2は、図1に示した受光素子1の全体の平面構成を模式的に表したものである。なお、図1は、図2に示したI-I線における断面構成を示している。受光素子1は、例えばIII-V族半導体等の化合物半導体材料を用いた赤外線センサ等に適用されるものであり、例えば、可視領域（例えば380nm以上780nm未満）～短赤外領域（例えば780nm以上2400nm未満）の波長の光に、光電変換機能を有するものである。この受光素子1には、例えば2次元配置された複数の受光単位領域（画素P）が設けられている。図1には、3つの画素Pに相当する部分の断面構成について示している。

[0016] （1-1. 受光素子の構成）

受光素子1は、図2に示したように、中央部の素子領域R1と、素子領域R1の外側に設けられ、素子領域R1を囲む周辺領域R2とを有している。受光素子1は、素子領域R1から周辺領域R2にわたって設けられた導電膜

15Bを有している。この導電膜15Bは、素子領域R1の中央部に対向する領域に開口を有している。

[0017] 受光素子1は、図1に示したように、素子基板10および読出回路基板20の積層構造を有している。素子基板10の一方の面は光入射面（光入射面S1）であり、光入射面S1と反対の面（他方の面）が、読出回路基板20との接合面（接合面S2）である。

[0018] 素子基板10は、読出回路基板20に近い位置から、配線層10W、第1電極11、半導体層10S（第1半導体層）、第2電極15およびパッシベーション膜16A、16Bをこの順に有している。半導体層10Sの配線層10Wとの対向面および端面（側面）は、絶縁膜17により覆われている。読出回路基板20は、いわゆるROIC（Readout integrated circuit）であり、素子基板10の接合面S2に接する配線層20Wおよび多層配線層22Cと、この配線層20Wおよび多層配線層22Cを間にして素子基板10に対向する半導体基板21とを有している。

[0019] 素子基板10は素子領域R1に半導体層10Sを有している。換言すれば、半導体層10Sが設けられた領域が、受光素子1の素子領域R1である。素子領域R1のうち、導電膜15Bから露出された領域（導電膜15Bの開口に対向する領域）が、受光領域である。素子領域R1のうち、周辺領域R2近傍の導電膜15Bで覆われた領域は、OPB（Optical Black）領域R1Bである。OPB領域R1Bは、受光領域を囲むように設けられている。OPB領域R1Bは、黒レベルの画素信号を得るために用いられる。素子基板10は、周辺領域R2に、絶縁膜17と共に埋込層18を有している。周辺領域R2には、素子基板10を貫通し、読出回路基板20に達する貫通孔H1、H2が設けられている。受光素子1では、素子基板10の光入射面S1から、パッシベーション膜16A、16B、第2電極15および第2コンタクト層14を介して半導体層10Sに光が入射するようになっている。半導体層10Sで光電変換された信号電荷は、第1電極11および配線層10Wを介して移動し、読出回路基板20で読み出される。以下、各部の構成につ

いて説明する。

- [0020] 配線層 10W は、素子領域 R1 および周辺領域 R2 にわたって設けられ、読出回路基板 20 との接合面 S2 を有している。受光素子 1 では、この素子基板 10 の接合面 S2 が素子領域 R1 および周辺領域 R2 に設けられ、例えば素子領域 R1 の接合面 S2 と周辺領域 R2 の接合面 S2 とは、同一平面を構成している。後述するように、受光素子 1 では、埋込層 18 を設けることにより周辺領域 R2 の接合面 S2 が形成される。
- [0021] 配線層 10W は、例えば層間絶縁膜 19A、19B 中に、コンタクト電極 19E およびダミー電極 19ED を有している。例えば、読出回路基板 20 側に層間絶縁膜 19B が、第 1 コンタクト層 12 側に層間絶縁膜 19A が配置され、これら層間絶縁膜 19A、19B が積層して設けられている。層間絶縁膜 19A、19B は、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン (SiN)、酸化アルミニウム (Al₂O₃)、酸化ケイ素 (SiO₂) および酸化ハフニウム (HfO₂) 等が挙げられる。層間絶縁膜 19A、19B を同一の無機絶縁材料により構成するようにしてもよい。
- [0022] コンタクト電極 19E は、例えば、素子領域 R1 に設けられている。このコンタクト電極 19E は、第 1 電極 11 と読出回路基板 20 とを電氣的に接続するためのものであり、素子領域 R1 に画素 P 毎に設けられている。隣り合うコンタクト電極 19E は、埋込層 18 および層間絶縁膜 19A、19B により電氣的に分離されている。コンタクト電極 19E は、例えば銅 (Cu) パッドにより構成されており、接合面 S2 に露出されている。ダミー電極 19ED は、例えば、周辺領域 R2 に設けられている。このダミー電極 19ED は、後述の配線層 20W のダミー電極 22ED に接続されている。このダミー電極 19ED およびダミー電極 22ED を設けることにより、周辺領域 R2 の強度を向上させることが可能となる。ダミー電極 19ED は、例えば、コンタクト電極 19E と同一工程で形成されている。ダミー電極 19ED は、例えば銅 (Cu) パッドにより構成されており、接合面 S2 に露出さ

れている。

[0023] コンタクト電極 19 E と半導体層 10 S との間に設けられた第 1 電極 11 は、光電変換層 13 で発生した信号電荷（正孔または電子、以下便宜上、信号電荷が正孔であるとして説明する。）を読み出すための電圧が供給される電極（アノード）であり、素子領域 R 1 に画素 P 毎に設けられている。第 1 電極 11 は、絶縁膜 17 の開口を埋め込むように設けられ、半導体層 10 S（より具体的には、後述の拡散領域 12 A）に接している。第 1 電極 11 は、例えば、絶縁膜 17 の開口よりも大きく、第 1 電極 11 の一部は、埋込層 18 に設けられている。即ち、第 1 電極 11 の上面（半導体層 10 S 側の面）は、拡散領域 12 A に接し、第 1 電極 11 の下面および側面の一部は埋込層 18 に接している。隣り合う第 1 電極 11 は、絶縁膜 17 および埋込層 18 により電氣的に分離されている。

[0024] 第 1 電極 11 は、例えば、チタン（Ti）、タングステン（W）、窒化チタン（TiN）、白金（Pt）、金（Au）、ゲルマニウム（Ge）、パラジウム（Pd）、亜鉛（Zn）、ニッケル（Ni）およびアルミニウム（Al）のうちのいずれかの単体、またはそれらのうちの少なくとも 1 種を含む合金により構成されている。第 1 電極 11 は、このような構成材料の単膜であってもよく、あるいは、2 種以上を組み合わせた積層膜であってもよい。例えば、第 1 電極 11 は、チタンおよびタングステンの積層膜により構成されている。第 1 電極 11 の厚みは、例えば数十 nm ～ 数百 nm である。

[0025] 半導体層 10 S は、例えば、配線層 10 W に近い位置から、第 1 コンタクト層 12、光電変換層 13 および第 2 コンタクト層 14 を含んでいる。第 1 コンタクト層 12、光電変換層 13 および第 2 コンタクト層 14 は、互いに同じ平面形状を有し、各々の端面は、平面視で同じ位置に配置されている。

[0026] 第 1 コンタクト層 12 は、例えば、全ての画素 P に共通して設けられ、絶縁膜 17 と光電変換層 13 との間に配置されている。第 1 コンタクト層 12 は、隣り合う画素 P を電氣的に分離するためのものであり、第 1 コンタクト層 12 には、例えば複数の拡散領域 12 A が設けられている。第 1 コンタク

ト層 1 2 に、光電変換層 1 3 を構成する化合物半導体材料のバンドギャップよりも大きなバンドギャップの化合物半導体材料を用いることにより、暗電流を抑えることも可能となる。第 1 コンタクト層 1 2 には、例えば n 型の InP （インジウムリン）を用いることができる。

[0027] 第 1 コンタクト層 1 2 に設けられた拡散領域 1 2 A は、互いに離間して配置されている。拡散領域 1 2 A は、画素 P 毎に配置され、それぞれの拡散領域 1 2 A に第 1 電極 1 1 が接続されている。OPB 領域 R 1 B にも拡散領域 1 2 A が設けられている。拡散領域 1 2 A は、光電変換層 1 3 で発生した信号電荷を画素 P 毎に読み出すためのものであり、例えば、p 型不純物を含んでいる。p 型不純物としては、例えば Zn （亜鉛）等が挙げられる。このように、拡散領域 1 2 A と、拡散領域 1 2 A 以外の第 1 コンタクト層 1 2 との間に p n 接合界面が形成され、隣り合う画素 P が電氣的に分離されるようになっている。拡散領域 1 2 A は、例えば第 1 コンタクト層 1 2 の厚み方向に設けられ、光電変換層 1 3 の厚み方向の一部にも設けられている。

[0028] 第 1 電極 1 1 と第 2 電極 1 5 との間、より具体的には、第 1 コンタクト層 1 2 と第 2 コンタクト層 1 4 との間の光電変換層 1 3 は、例えば、全ての画素 P に共通して設けられている。この光電変換層 1 3 は、所定の波長の光を吸収して、信号電荷を発生させるものであり、例えば、i 型の III-V 族半導体などの化合物半導体材料により構成されている。光電変換層 1 3 を構成する化合物半導体材料としては、例えば、 InGaAs （インジウムガリウム砒素）、 InAsSb （インジウム砒素アンチモン）、 InAs （インジウム砒素）、 InSb （インジウムアンチモン）および HgCdTe （水銀カドミウムテルル）等が挙げられる。 Ge （ゲルマニウム）により光電変換層 1 3 を構成するようにしてもよい。光電変換層 1 3 では、例えば、可視領域から短赤外領域の波長の光の光電変換がなされるようになっている。

[0029] 第 2 コンタクト層 1 4 は、例えば、全ての画素 P に共通して設けられている。この第 2 コンタクト層 1 4 は、光電変換層 1 3 と第 2 電極 1 5 との間に設けられ、これらに接している。第 2 コンタクト層 1 4 は、第 2 電極 1 5 か

ら排出される電荷が移動する領域であり、例えば、 n 型の不純物を含む化合物半導体により構成されている。第2コンタクト層14には、例えば、 n 型のInP（インジウムリン）を用いることができる。

[0030] 第2電極15は、例えば各画素Pに共通の電極として、第2コンタクト層14上（光入射側）に、第2コンタクト層14に接するように設けられている。第2電極15は、光電変換層13で発生した電荷のうち、信号電荷として用いられない電荷を排出するためのものである（カソード）。例えば、正孔が、信号電荷として第1電極11から読み出される場合には、この第2電極15を通じて例えば電子を排出することができる。第2電極15は、例えば赤外線などの入射光を透過可能な導電膜により構成されている。第2電極15には、例えば、ITO（Indium Tin Oxide）または $\text{In}_2\text{O}_3-\text{TiO}_2$ 等を用いることができる。第2電極15は、例えば、後述する変形例4のように、隣り合う画素Pを仕切るように、格子状に設けられていてもよい。その場合、第2電極15には光透過性の低い導電材料を用いることが可能である。

[0031] パッシベーション膜16A、16Bは、第2電極15を光入射面S1側から覆っている。パッシベーション膜16A、16Bは、可視領域（例えば380nm以上780nm未満）～短赤外領域（例えば780nm以上2400nm未満）の波長の光を吸収しない材料を用いて形成することが好ましい。パッシベーション膜16A、16Bは、同じ材料を用いて形成してもよいし、異なる材料を用いて形成するようにしてもよい。更に、パッシベーション膜16A、16Bは、反射防止機能を有していてもよい。パッシベーション膜16A、16Bは、例えばALD（Atomic Layer Deposition）法、CVD（Chemical Vapor Deposition）法、PVD（Physical Vapor Deposition）法または塗布法等により形成することができる。

[0032] パッシベーション膜16Aは、上記のように、第2電極15上に設けられており、例えば、周辺領域R2のチップ端Eまで延在している。パッシベーション膜16Aは、OPB領域R1Bに開口16Hを有している。開口16

Hは、図2に示したように、例えば、受光領域を囲む額縁状に設けられている。開口16Hは、例えば平面視で四角形状または円状の孔であってもよい。このパッシベーション膜16Aの開口16Hにより、第2電極15に、後述する導電膜15Bが電氣的に接続されている。

[0033] パッシベーション膜16Aは、非還元性を有する材料を用いて形成することが好ましい。非還元性を有する材料としては、例えば、酸化物 (M_xO_y)、窒化物 (M_xN_y) および酸窒化物 ($M_xO_yN_z$) が挙げられる。Mは、ケイ素 (Si)、チタン (Ti)、ハフニウム (Hf)、ジルコニウム (Zr) およびイットリウム (Y) が挙げられる。x, y, zは1以上の整数である。なお、窒化シリコン (SiN) に関しては、還元性ガスを用いない成膜方法を用いることが望ましい。そのような成膜方法としては、例えばスパッタ法や塗布法等が挙げられる。パッシベーション膜16Aは、例えば、上記いずれかの材料からなる単層膜として形成してもよい。パッシベーション膜16Aを単層膜とする場合には、その単層膜は 2.0 g/cm^3 以上の膜密度を有することが好ましい。膜密度の上限は特に問わないが、例えば 8.0 g/cm^3 以下である。なお、膜密度は、薄膜の質量÷体積 (g/cm^3) で定義され、例えばXRR測定によって求められる。これにより、パッシベーション膜16Aに封止機能が付加される。パッシベーション膜16Aは、例えば、図3に示したような膜16A1および膜16A2がこの順に積層された積層膜として形成してもよい。パッシベーション膜16Aを積層膜とする場合には、第2電極15と直接接する膜16A1は、上記いずれかの材料を用いて形成することが好ましい。膜16A1の厚みは、例えば 0.5 nm 以上である。膜16A2には、例えば窒化シリコン (SiN) や酸化アルミニウム (Al_2O_3) などの封止性の高い材料を用いることが好ましい。更に、パッシベーション膜16Aは、図4に示したように、第2電極15上に3層以上の膜16A1, 16A2, 16A3, 16A4...16AXが積層された多層膜としてもよい。

[0034] パッシベーション膜16Bは、パッシベーション膜16Aおよび導電膜1

5 Bを覆うように設けられており、例えば、パッシベーション膜16 Aと同様に、周辺領域R 2のチップ端Eまで延在している。パッシベーション膜16 Bには、例えば窒化シリコン (S i N) , 酸化アルミニウム (A l₂O₃) , 酸化ケイ素 (S i O₂) および酸化タンタル (T a₂O₃) 等を用いることができる。なお、パッシベーション膜16 Bでは、窒化シリコン (S i N) の成膜方法は特に問わず、スパッタ法および塗布法の他に、還元性ガスを用いるプラズマC V D法を用いて成膜した窒化シリコン (S i N) 膜を用いても構わない。

[0035] 絶縁膜17は、第1コンタクト層12と埋込層18との間に設けられると共に、第1コンタクト層12の端面、光電変換層13の端面、第2コンタクト層14の端面および第2電極15の端面を覆い、周辺領域R 2ではパッシベーション膜16に接している。この絶縁膜17は、例えば、酸化シリコン (S i O_x) または酸化アルミニウム (A l₂O₃) 等の酸化物を含んで構成されている。複数の膜からなる積層構造により絶縁膜17を構成するようにしてもよい。絶縁膜17は、例えば酸窒化シリコン (S i O N) , 炭素含有酸化シリコン (S i O C) , 窒化シリコン (S i N) およびシリコンカーバイド (S i C) などのシリコン (S i) 系絶縁材料により構成するようにしてもよい。絶縁膜17の厚みは、例えば数十nm〜数百nmである。

[0036] 導電膜15 Bは、O P B領域R 1 Bから周辺領域R 2の貫通孔H 1にわたって設けられている。この導電膜15 Bは、O P B領域R 1 Bに設けられたパッシベーション膜16 Aの開口16 Hで第2電極15に接すると共に、貫通孔H 1を介して読出回路基板20の配線（後述の配線22 C B）に接している。これにより、読出回路基板20から導電膜15 Bを介して第2電極15に電圧が供給されるようになっている。導電膜15 Bは、このような第2電極15への電圧供給経路として機能すると共に、遮光膜としての機能を有し、O P B領域R 1 Bを形成する。導電膜15 Bは、例えば、タングステン (W) , アルミニウム (A l) , チタン (T i) , モリブデン (M o) , タンタル (T a) または銅 (C u) を含む金属材料により構成されている。導

電膜 15 B 上にパッシベーション膜 16 B が設けられていてもよい。

[0037] 第2コンタクト層 14 の端部と第2電極 15 との間に、接着層 B が設けられていてもよい。この接着層 B は、後述するように、受光素子 1 を形成する際に用いられるものであり、半導体層 10 S を仮基板（後述の図 7 C の仮基板 33）に接合する役割を担っている。接着層 B は、例えばテトラエトキシシラン（TEOS）または酸化シリコン（SiO₂）等により構成されている。接着層 B は、例えば、半導体層 10 S の端面よりも拡幅して設けられ、半導体層 10 S と共に、埋込層 18 に覆われている。接着層 B と埋込層 18 との間には、絶縁膜 17 が設けられている。

[0038] 図 5 および図 6 は、接着層 B の構成の他の例を表している。接着層 B は、周辺領域 R2 の広い領域にわたって設けられていてもよく、例えば、半導体層 10 S（素子領域 R1）の縁近傍から、貫通孔 H1 と貫通孔 H2 との間まで延在していてもよい（図 5）。あるいは、接着層 B は、半導体層 10 S（素子領域 R1）の縁近傍から、チップ端（チップ端 E）まで延在していてもよい（図 6）。

[0039] 埋込層 18 は、受光素子 1 の製造工程で、仮基板（後述の図 7 C の仮基板 33）と半導体層 10 S との段差を埋めるためのものである。詳細は後述するが、この埋込層 18 を形成することで、半導体層 10 S と仮基板 33 との段差に起因した製造工程の不具合の発生が抑えられる。

[0040] 周辺領域 R2 の埋込層 18 は、配線層 10 W と絶縁膜 17 との間、および配線層 10 W とパッシベーション膜 16 との間に設けられ、例えば、半導体層 10 S の厚み以上の厚みを有している。ここでは、この埋込層 18 が半導体層 10 S を囲んで設けられているので、半導体層 10 S の周囲の領域（周辺領域 R2）が形成される。これにより、この周辺領域 R2 に読出回路基板 20 との接合面 S2 を設けることができるようになっている。周辺領域 R2 に接合面 S2 が形成されていれば、埋込層 18 の厚みを小さくしてもよいが、埋込層 18 が半導体層 10 S を厚み方向にわたって覆い、半導体層 10 S の端面全面が埋込層 18 に覆われていることが好ましい。埋込層 18 が、絶

縁膜 17 を介して半導体層 10S の端面全面を覆うことにより、半導体層 10S への水分の浸入を効果的に抑えることができる。素子領域 R1 の埋込層 18 は、第 1 電極 11 を覆うように、半導体層 10S と配線層 10W との間に設けられている。

[0041] 接合面 S2 側の埋込層 18 の面は平坦化されており、周辺領域 R2 では、この平坦化された埋込層 18 の面に配線層 10W が設けられている。埋込層 18 には、例えば、酸化シリコン (SiO_x)、窒化シリコン (SiN)、酸素化シリコン (SiON)、炭素含有酸化シリコン (SiOC) およびシリコンカーバイド (SiC) 等の無機絶縁材料を用いることができる。

[0042] 後述するように、受光素子 1 を製造する工程では、埋込層 18 を形成した後、埋込層 18 の上方に、層間絶縁膜 19A, 19B とコンタクト電極 19E とを含む配線層 10W が形成される（後述の図 17D）。この配線層 10W を含む素子基板 10 に、配線層 20W を含む読出回路基板 20 が貼り合わされて（後述の図 17E）受光素子 1 が形成される。このとき、配線層 10W のコンタクト電極 19E と、配線層 20W のコンタクト電極 22E とが接続される。コンタクト電極 19E, 22E は、例えば Cu パッドを有しており、この Cu パッドの直接接合により、コンタクト電極 19E, 22E 接続されるようになっている。コンタクト電極 19E を CMP (Chemical Mechanical Polishing) 法を用いて形成するとき、研磨対象の銅膜の下方に配置された埋込層 18 には、研磨時の応力に耐え得る硬度が求められる。また、コンタクト電極 19E, 22E の Cu パッド同士を直接接合させるためには、素子基板 10 および読出回路基板 20 を極めて平坦に形成することが必要である。このため、銅膜の下方に配置される埋込層 18 は、研磨時の応力に耐え得る硬度を有していることが好ましい。具体的には、埋込層 18 の構成材料は、一般的な半導体パッケージにおいてダイの周囲に配置される封止剤や有機材料よりも硬度が高い材料であることが好ましい。このような高い硬度を有する材料としては、例えば、無機絶縁材料が挙げられる。この無機絶縁材料を、例えば CVD (Chemical Vapor Deposition) 法、スパッタ法あるいは

はコーティング法で成膜することにより、埋込層 18 を形成することができる。

[0043] 埋込層 18 には、埋込層 18 を貫通する貫通孔 H1, H2 が設けられている。この貫通孔 H1, H2 は、埋込層 18 と共に、配線層 10W を貫通し、読出回路基板 20 に達している。貫通孔 H1, H2 は、例えば、四角形状の平面形状を有し、素子領域 R1 を囲むように、各々複数の貫通孔 H1, H2 が設けられている（図 1A）。貫通孔 H1 は、貫通孔 H2 よりも素子領域 R1 に近い位置に設けられており、貫通孔 H1 の側壁および底面は、導電膜 15B に覆われている。この貫通孔 H1 は、第 2 電極 15（導電膜 15B）と読出回路基板 20 の配線（後述の配線 22CB）とを接続するためのものであり、パッシベーション膜 16、埋込層 18 および配線層 10W を貫通して設けられている。

[0044] 貫通孔 H2 は、例えば、貫通孔 H1 よりもチップ端 E に近い位置に設けられている。この貫通孔 H2 は、パッシベーション膜 16、埋込層 18 および配線層 10W を貫通し、読出回路基板 20 のパッド電極（後述のパッド電極 22P）に達している。この貫通孔 H2 を介して、外部と受光素子 1 との電気的な接続が行われるようになっている。貫通孔 H1, H2 は、読出回路基板 20 に達していなくてもよい。例えば、貫通孔 H1, H2 が、配線層 10W の配線に達し、この配線が読出回路基板 20 の配線 22CB、パッド電極 22P に接続されていてもよい。貫通孔 H1, H2 は、接着層 B を貫通していてもよい（図 5, 図 6）。

[0045] 光電変換層 13 で発生した正孔および電子は、第 1 電極 11 および第 2 電極 15 から読み出される。この読出し動作を高速に行うためには、第 1 電極 11 と第 2 電極 15 との間の距離を、光電変換するに足る距離であってかつ離間し過ぎない距離にすることが好ましい。即ち、素子基板 10 の厚みを小さくすることが好ましい。例えば、第 1 電極 11 と第 2 電極 15 との間の距離または素子基板 10 の厚みは、 $10\ \mu\text{m}$ 以下、さらには、 $7\ \mu\text{m}$ 以下、さらには $5\ \mu\text{m}$ 以下である。

- [0046] 読出回路基板 20 の半導体基板 21 は、配線層 20W および多層配線層 22C を間にして、素子基板 10 に対向している。この半導体基板 21 は、例えば、シリコン (Si) により構成されている。半導体基板 21 の表面 (配線層 20W 側の面) 近傍には、複数のトランジスタが設けられている。例えば、この複数のトランジスタを用いて、画素 P 毎に、読出回路 (Read Out Circuit) が構成されている。配線層 20W は、例えば、素子基板 10 側から、層間絶縁膜 22A および層間絶縁膜 22B をこの順に有しており、これら層間絶縁膜 22A, 22B は積層して設けられている。例えば、層間絶縁膜 22A 中に、コンタクト電極 22E およびダミー電極 22ED が設けられている。多層配線層 22C は、配線層 20W を間にして素子基板 10 に対向して設けられている。例えば、この多層配線層 22C 中に、パッド電極 22P および複数の配線 22CB が設けられている。層間絶縁膜 22A, 22B は、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン (SiN), 酸化アルミニウム (Al_2O_3), 酸化ケイ素 (SiO_2) および酸化ハフニウム (HfO_2) 等が挙げられる。
- [0047] コンタクト電極 22E は、第 1 電極 11 と配線 22CB とを電氣的に接続するためのものであり、素子領域 R1 に、画素 P 毎に設けられている。このコンタクト電極 22E は、素子基板 10 の接合面 S2 でコンタクト電極 19E に接している。隣り合うコンタクト電極 22E は、層間絶縁膜 22A により電氣的に分離されている。
- [0048] 周辺領域 R2 に設けられたダミー電極 22ED は、素子基板 10 の接合面 S2 でダミー電極 19ED に接している。このダミー電極 22ED は、例えば、コンタクト電極 22E と同一工程で形成されている。コンタクト電極 22E およびダミー電極 22ED は、例えば銅 (Cu) パッドにより構成されており、読出回路基板 20 の素子基板 10 との対向面に露出されている。即ち、コンタクト電極 19E とコンタクト電極 22E との間、および、ダミー電極 19ED とダミー電極 22ED との間で例えば CuCu 接合がなされている。詳細は後述するが、これにより、画素 P を微細化することが可能とな

る。

[0049] コンタクト電極 1 9 E に接続された配線 2 2 C B は、半導体基板 2 1 の表面近傍に設けられたトランジスタに接続されており、画素 P 毎に、第 1 電極 1 1 と読出回路とが接続されるようになっている。貫通孔 H 1 を介して導電膜 1 5 B に接続された配線 2 2 C B は、例えば所定の電位に接続されている。このように、光電変換層 1 3 で発生した電荷の一方（例えば、正孔）は、第 1 電極 1 1 から、コンタクト電極 1 9 E, 2 2 E を介して読出回路に読み出され、光電変換層 1 3 で発生した電荷の他方（例えば、電子）は、第 2 電極 1 5 から、導電膜 1 5 B を介して、所定の電位に排出されるようになっている。

[0050] 周辺領域 R 2 に設けられたパッド電極 2 2 P は、外部と電氣的な接続を行うためのものである。受光素子 1 のチップ端 E 近傍には、素子基板 1 0 を貫通し、パッド電極 2 2 P に達する貫通孔 H 2 が設けられ、この貫通孔 H 2 を介して外部と電氣的な接続がなされるようになっている。接続は、例えば、ワイヤーボンドまたはバンプ等の方法によりなされる。例えば、貫通孔 H 2 内に配置された外部端子から、第 2 電極 1 5 に、貫通孔 H 2 読出回路基板 2 0 の配線 2 2 C B および導電膜 1 5 B を介して所定の電位が供給されるようになっているてもよい。光電変換層 1 3 での光電変換の結果、第 1 電極 1 1 から読み出された信号電圧が、コンタクト電極 1 9 E, 2 2 E を介して、半導体基板 2 1 の読出回路に読み出され、この読出回路を経由して貫通孔 H 2 内に配置された外部端子に出力されるようになっているてもよい。信号電圧は、読出回路と共に、例えば、読出回路基板 2 0 に含まれる他の回路を経由して外部端子に出力されるようになっているてもよい。他の回路とは、例えば、信号処理回路および出力回路等である。

[0051] 読出回路基板 2 0 の厚みは、素子基板 1 0 の厚みよりも大きいことが好ましい。例えば、読出回路基板 2 0 の厚みは、素子基板 1 0 の厚みよりも、2 倍以上、さらには、5 倍以上、さらには、1 0 倍以上大きいことが好ましい。あるいは、読出回路基板 2 0 の厚みは、例えば、1 0 0 μm 以上、あるいは

は、 $150\mu\text{m}$ 以上、あるいは、 $200\mu\text{m}$ 以上である。このような大きな厚みを有する読出回路基板20により、受光素子1の機械強度が確保される。なお、この読出回路基板20は、回路を形成する半導体基板21を1層のみ含むものであってもよいし、回路を形成する半導体基板21の他に、支持基板などの基板をさらに備えていてもよい。

[0052] (1-2. 受光素子の製造方法)

受光素子1は、例えば次のようにして製造することができる。図7A～図17Jは、受光素子1の製造工程を工程順に表したものである。

[0053] まず、図7Aに示したように、例えばInPからなる成長基板31上に、半導体層10Sをエピタキシャル成長させる。成長基板31の厚みは、例えば、数百 μm であり、半導体層10Sの厚みは、例えば、数 μm である。この後、図7Bに示したように、半導体層10S上に接着層Bを成膜する。成長基板31の口径は、例えば、6インチ以下である。半導体層10Sの形成は、例えば、第1コンタクト層12を構成するn型のInP、光電変換層13を構成するi型のInGaAsおよび第2コンタクト層14を構成するn型のInPをこの順にエピタキシャル成長させて行う。成長基板31上に、例えばバッファ層およびストッパ層を形成した後に、半導体層10Sを形成するようにしてもよい。

[0054] 次に、図7Cに示したように、接着層Bを間にして、仮基板33に、半導体層10Sを形成した成長基板31を接合する。仮基板33は、例えば、絶縁層（絶縁層33IA）と、基板33Sを有している。絶縁層33IAは、例えば、接着層Bと基板33Sとの間に配置されている。仮基板33には、成長基板31よりも大きな口径のものをを用い、基板33Sには例えば、シリコン（Si）基板を用いる。仮基板33の口径は、例えば8インチ～12インチである。小口径の成長基板31を大口径の仮基板33に接合させることにより、素子基板10を形成する際に大口径の基板用の種々の装置を用いることが可能となる。これにより、例えば、読出回路基板20と素子基板10との接合をCuCu接合にし、画素Pを微細化することができる。仮基板3

3への成長基板31の接合は、プラズマ活性化接合、常温接合または接着剤を使用した接合（接着剤接合）等により行うようにしてもよい。このように、例えばウェハ状の半導体層10Sを仮基板33に接合する。仮基板33の厚みは、例えば、数百 μm である。

[0055] 図8および図9は、仮基板33および半導体層10S（成長基板31）の平面構成の一例を表している。ウェハ状態の仮基板33に、仮基板33よりも小さいウェハ状態の半導体層10Sを接合するようにしてもよく（図8）、ウェハ状態の仮基板33に、チップ状態の半導体層10Sを互いに離間した状態で複数接合するようにしてもよい（図9）。

[0056] あるいは、図10A、図10Bに示したように、ウェハ状態の仮基板33に、仮基板33と同じ大きさのウェハ状態の半導体層10Sを接合するようにしてもよい。図10Aは、仮基板33および半導体層10S（成長基板31）の平面構成を表し、図10Bは、図10AのB-B線に沿った断面構成を表している。

[0057] 半導体層10Sを形成した成長基板31を仮基板33に接合した後、図11Aに示したように、成長基板31を除去する。成長基板31の除去は、機械研削、CMP（Chemical Mechanical Polishing：化学機械研磨）、ウェットエッチングまたはドライエッチング等により行うことができる。このとき、成長基板31が一部残っていてもよい。また、半導体層10Sが一部エッチングされてもよい。

[0058] 続いて、図11Bに示したように、例えば、仮基板33のマークに合わせて半導体層10Sを所定の大きさにエッチングする。これにより、複数のチップ状態の半導体層10Sが形成される。図11B以降は、複数のチップ状態の半導体層10Sのうち、2つの半導体層10Sを図示する。

[0059] 図12Aは、成形前の半導体層10Sの平面構成の一例を表し、図12Bは、図12Aに続く成形後の半導体層10Sの平面構成の一例を表している。図13Aは、成形前の半導体層10Sの平面構成の他の例を表し、図13Bは、図13Aに続く成形後の半導体層10Sの平面構成の他の例を表して

いる。このように、仮基板 33 よりも小さい（図 12A）あるいは仮基板 33 と同じ大きさ（図 13A）のウェハ状態の半導体層 10S が、複数のチップ状態の半導体層 10S に成形される。

[0060] あるいは、図 14A、図 14B に示したように、チップ状態の複数の半導体層 10S が、より小さいチップ状態の複数の半導体層 10S に成形されてもよい。

[0061] この半導体層 10S のエッチングの際、接着層 B は例えば、半導体層 10S と共に、エッチングされる。接着層 B は、半導体層 10S よりも拡幅して残存し、半導体層 10S の周囲に接着層 B が広がっていてもよい（図 11B）。

[0062] あるいは、図 15 に示したように、接着層 B が、半導体層 10S よりも狭まり、半導体層 10S と仮基板 33 との間に空隙が生じていてもよい。接着層 B は、半導体層 10S と同じ大きさにエッチングされてもよい。

[0063] 図 16 に示したように、半導体層 10S のエッチングの際に、接着層 B はエッチングされなくてもよい。

[0064] 半導体層 10S を成形した後、図 17A に示したように、半導体層 10S に、画素 P 毎に拡散領域 12A を形成する。これにより、素子分離がなされる。拡散領域 12A の形成には、例えば、絶縁膜 17 をハードマスクとして用いる。具体的には、半導体層 10S の上面（仮基板 33 との接合面と反対の面）および側面を覆うように絶縁膜 17 を成膜した後、半導体層 10S の上面を覆う絶縁膜 17 にエッチングにより開口を形成する。その後、絶縁膜 17 をハードマスクとして p 型不純物の気相拡散を行う。これにより選択的な領域に拡散領域 12A が形成される。拡散深さは、例えば、数百 nm であり、略等方拡散される。拡散領域 12A は、レジストマスクを用いてイオンインプラレーション等により形成するようにしてもよい。ここでは、大口径の仮基板 33 上に設けられた半導体層 10S に拡散領域 12A を形成するので、画素 P を微細化することが可能となる。

[0065] 半導体層 10S に拡散領域 12A を設けた後、図 17B に示したように、

半導体層 10S 上に、第 1 電極 11 を形成する。例えば、第 1 電極 11 は、絶縁膜 17 に設けた開口に、CVD 法、PVD 法、ALD 法または蒸着法等によりチタン (Ti) / タングステン (W) の積層膜を成膜した後、この積層膜をフォトリソグラフィおよびエッチングを用いてパターニングすることにより形成する。

[0066] 第 1 電極 11 を形成した後、図 17C に示したように、仮基板 33 の全面に埋込層 18 を形成する。埋込層 18 は、例えば、仮基板 33 の全面に半導体層 10S を埋め込むように絶縁材料を成膜した後、これを CMP (Chemical Mechanical Polishing) により平坦化して形成する。これにより、半導体層 10S の周囲 (周辺領域 R2) および、半導体層 10S の上面 (仮基板 33 から最も離れた面) を覆う埋込層 18 が形成される。詳細は後述するが、本実施の形態では、このように半導体層 10S と仮基板 33 との段差を埋める埋込層 18 が形成されるので、これらの段差に起因した製造工程の不具合の発生が抑えられる。

[0067] 埋込層 18 を形成した後、図 17D に示したように、埋込層 18 を間にして半導体層 10S に対向する配線層 10W を形成する。例えば、埋込層 18 上に、層間絶縁膜 19A および層間絶縁膜 19B をこの順に成膜した後、層間絶縁膜 19A, 19B の第 1 電極 11 に対向する領域に開口を形成する。この層間絶縁膜 19A, 19B の開口に、蒸着法、PVD 法またはメッキ法等により銅 (Cu) 膜を成膜した後、例えば CMP 法を用いて銅膜の表面を研磨することによりコンタクト電極 19E を形成する。例えば、このコンタクト電極 19E の形成工程と同一工程で、周辺領域 R2 にはダミー電極 19ED を形成する。ここでは、大口径の仮基板 33 上に配線層 10W を形成するので、大口径の基板用の種々の装置を用いることが可能となる。

[0068] 配線層 10W を形成した後、図 17E に示したように、配線層 10W を間にして、仮基板 33 に読出回路基板 20 を貼り合わせる。このとき、読出回路基板 20 には、予め配線層 20W を形成しておく。読出回路基板 20 の配線層 20W は、コンタクト電極 22E、ダミー電極 22ED を有しており、

読出回路基板 20 を仮基板 33 に貼り合わせる際には、例えば、配線層 20W のコンタクト電極 22E、ダミー電極 22ED と配線層 10W のコンタクト電極 19E、ダミー電極 19ED とが CuCu 接合される。より具体的には、素子領域 R1 では、コンタクト電極 19E とコンタクト電極 22E とが接合された接合面 S2 が形成され、周辺領域 R2 ではダミー電極 19ED とダミー電極 22ED とが接合された接合面 S2 が形成される。ここでは、素子基板 10 の周辺領域 R2 も、読出回路基板 20 に接合される。

[0069] 仮基板 33 に読出回路基板 20 を貼り合わせた後、図 17F に示したように、仮基板 33 を除去する。仮基板 33 は、例えば、機械研削、ウェットエッチングまたはドライエッチング等を用いることにより除去することができる。

[0070] 仮基板 33 を除去した後、図 17G に示したように、接着層 B 等も除去し、半導体層 10S の表面を露出させる。このとき、半導体層 10S の不要な層を除去するようにしてもよい。また、半導体層 10S 開口部以外の絶縁層 33IA または絶縁膜 17 を一部残すようにしてもよく、あるいは、埋込層 18 を途中まで掘り込んでもよい。

[0071] 続いて、図 17H に示したように、仮基板 33 が除去されることにより露出された半導体層 10S の面（配線層 10W が設けられた面と反対の面）上に第 2 電極 15 およびパッシベーション膜 16A をこの順に形成する。その後、図 17I に示したように、貫通孔 H1 および導電膜 15B およびパッシベーション膜 16B をこの順に形成する。これにより、第 2 電極 15 と読出回路基板 20 とが電氣的に接続される。

[0072] 最後に、図 17J に示したように、素子基板 10 を貫通し、読出回路基板 20 のパッド電極 22P に達する貫通孔 H2 を形成する。これにより、図 1 に示した受光素子 1 が完成する。

[0073] (1-3. 受光素子の動作)

受光素子 1 では、パッシベーション膜 16A, 16B、第 2 電極 15 および第 2 コンタクト層 14 を介して、光電変換層 13 へ光（例えば可視領域お

よび赤外領域の波長の光）が入射すると、この光が光電変換層 13 において吸収される。これにより、光電変換層 13 では正孔（ホール）および電子の対が発生する（光電変換される）。このとき、例えば第 1 電極 11 に所定の電圧が印加されると、光電変換層 13 に電位勾配が生じ、発生した電荷のうち一方の電荷（例えば正孔）が、信号電荷として拡散領域 12A に移動し、拡散領域 12A から第 1 電極 11 へ収集される。この信号電荷が、コンタクト電極 19E, 22E を通じて半導体基板 21 に移動し、画素 P 毎に読み出される。

[0074] （1－4．受光素子の作用・効果）

本実施の形態の受光素子 1 は、半導体層 10S の光入射面（面 S1）側に設けられた第 2 電極 15 上に設けられるパッシベーション膜 16A を、非還元性を有する材料を用いて形成しものである。非還元性を有する材料を用いてパッシベーション膜 16A を形成することにより、第 2 電極 15 とパッシベーション膜 16A との密着性が向上する。以下、これについて説明する。

[0075] パッシベーション膜 16A 上には、OPB (Optical Black) 領域 R1B の遮光膜を兼ねる、読出回路基板 20 から第 2 電極 15 に電圧を供給するための配線（導電膜 15B）が形成される。しかしながら、この導電膜 15B は、その成膜時の応力によって第 2 電極 15 とパッシベーション膜 16A との界面で剥がれを発生させる虞があり、製造歩留まりの低下の原因となる。一般的な受光素子では、第 2 電極 15 は ITO 等の酸化物透明電極材料によって形成され、パッシベーション膜 16A は窒化シリコン (SiN) によって形成されている。第 2 電極 15 とパッシベーション膜 16A との界面での剥がれの原因としては、ITO の膜表面と SiN との反応が少ないことによる密着性の低さが考えられる。

[0076] これに対し、本実施の形態の受光素子 1 では、第 2 電極 15 上に直接形成されるパッシベーション膜 16A を、非還元性を有する材料、具体的には、Si, Ti, Hf, Zr および Y 等の酸化物、窒化物あるいは酸窒化物を用いて形成するようにした。これにより、第 2 電極 15 とパッシベーション膜

16Aとの反応性が高まり、密着性が向上する。よって、導電膜15Bの成膜時における応力による第2電極15とパッシベーション膜16Aとの界面での剥がれの発生が低減されるようになる。即ち、製造歩留まりを向上させることが可能となる。

[0077] また、導電膜15Bの成膜時の応力は、半導体層10S（具体的には、光電変換層13）に歪みを生じさせ、暗示特性を悪化させる虞があるが、上記のように、第2電極15と密着性の高い材料を用いてパッシベーション膜16Aを形成するようにしたので、暗示特性の悪化を防ぐことが可能となる。

[0078] 以上説明したように、本実施の形態の受光素子1では、非還元性を有する材料を用いて第2電極15上に直接設けられるパッシベーション膜16Aを形成するようにしたので、第2電極15とパッシベーション膜16Aとの密着性が向上する。よって、第2電極15とパッシベーション膜16Aとの界面での剥がれの発生が低減され、製造歩留まりを向上させることが可能となる。また、暗示特性の悪化を防ぐことが可能となる。

[0079] 以下、第2、第3の実施の形態および第1～第3の実施の形態に対する変形例について説明するが、以降の説明において上記第1の実施の形態と同一構成部分については同一符号を付してその説明は適宜省略する。

[0080] <2. 第2の実施の形態>

図18は、本開示の第2の実施の形態に係る受光素子（受光素子2）の断面構成を模式的に表したものである。受光素子2は、上記第1の実施の形態と同様に、例えばIII-V族半導体等の化合物半導体材料を用いた赤外線センサ等に適用されるものであり、例えば、可視領域（例えば380nm以上780nm未満）～短赤外領域（例えば780nm以上2400nm未満）の波長の光に、光電変換機能を有するものである。受光素子2は、読出回路基板20から第2電極15へ電圧を供給する導電膜35Bを、アルミニウム（Al）を用いて形成したものである。

[0081] 導電膜35Bは、OPB領域R1Bから周辺領域R2の貫通孔H1にわたって設けられている。この導電膜35Bは、OPB領域R1Bに設けられた

パッシベーション膜 16 の開口 16 H で第 2 電極 15 に接すると共に、貫通孔 H1 を介して読出回路基板 20 の配線（後述の配線 22 CB）に接している。これにより、読出回路基板 20 から導電膜 35 B を介して第 2 電極 15 に電圧が供給されるようになっている。導電膜 35 B は、このような第 2 電極 15 への電圧供給経路として機能すると共に、遮光膜としての機能を有し、OPB 領域 R1 B を形成する。

[0082] 導電膜 35 B は、例えば、膜応力が低く、且つ、赤外領域において、例えばタングステン（W）よりも遮光性能が高い材料により構成されている。具体的には、アルミニウム（Al）を用いて形成されている。導電膜 35 B は、例えば、バリアメタルと Al 膜との積層膜として形成することが好ましい。これにより、第 2 電極 15 と接する開口 16 H 内における Al の酸化を防止することができる。バリアメタルとしては、例えば、チタン（Ti）または窒化チタン（TiN）の単層膜、Ti/TiN の積層膜が挙げられる。この他、バリアメタルの材料としては、タンタル（Ta）、タングステン（W）またはモリブデン（Mo）、あるいはその窒化物等を用いてもよい。

[0083] 導電膜 35 B は、さらに、表面に反射防止構造を有することが好ましい。具体的には、導電膜 35 B を構成する Al 膜上に、例えば 30 nm の厚みを有する W 膜を積層することが好ましい。Al 膜上に W 膜を積層することにより、ゴーストの発生が抑制される。Al/W の積層膜の加工が難しい場合には、Al 膜と W 膜との間に酸化シリコン（SiO_x）膜や窒化シリコン（SiN）膜を形成するようにしてもよい。なお、後述する第 3 の実施の形態のように、導電膜 15 B 上にブラックレジストからなる遮光膜 37 を設ける等、金属膜以外の手法で対応できる場合には、反射防止構造は省略しても構わない。

[0084] パッシベーション膜 36 は、上記パッシベーション膜 16 A、16 B と同様に、第 2 電極 15 を光入射面 S1 側から覆っている。パッシベーション膜 36 は、反射防止機能を有していてもよい。パッシベーション膜 36 には、例えば窒化シリコン（SiN）、酸化アルミニウム（Al₂O₃）、酸化ケイ素

(SiO_2) および酸化タンタル (Ta_2O_3) 等を用いることができる。

[0085] 本実施の形態の受光素子 2 は、素子領域 R 1 の周辺領域 R 2 近傍において、パッシベーション膜 1 6 に形成された開口 1 6 H を介して第 2 電極と電氣的に接続される導電膜 3 5 B を、A l を用いて形成するようにしたものである。A l を用いて導電膜 3 5 B を形成することにより、導電膜 3 5 B の薄膜化が可能となる。以下、これについて説明する。

[0086] 図 1 9 は、金属膜の透過分光測定より求めた、各種金属膜における波長と透過率との関係を表したものである。遮光膜を兼ねる導電膜 3 5 B に求められる遮光性能は以下のようにして求められる。

$$\begin{aligned} \text{(数 1) 必要遮光性能 } N [\text{dB}] &= d [\text{nm}] \times A [\text{dB/nm}] \cdots \\ &\cdots (1) \end{aligned}$$

(d : 膜厚、 A : 遮光性能、 $\text{dB} = 20 \log T$ (T : 透過率))

[0087] 例えば、近赤外領域 (設計波長 $1.5 \mu\text{m}$) の必要遮光性能を -120 dB とする。上記数式 (1) を用いて各種金属膜を導電膜 3 5 B として用いる場合の必要膜厚を求めると、例えば、波長 1500 nm での W 膜の遮光性能は、 60 nm の厚みで -31 dB であり、 -120 dB の遮光性能を得るためには、W 膜では 240 nm の厚みが必要になる。これに対して、波長 1500 nm での A l 膜の遮光性能は、 60 nm の厚みの A l 膜では -81 dB であり、 -120 dB の遮光性能を得るためには、A l 膜では 90 nm の厚みとなる。このように、W 膜と比較して A l 膜では、より薄い厚みで同程度の遮光性能を得ることができる。

[0088] 以上説明したように、本実施の形態の受光素子 2 では、A l を用いて導電膜 3 5 B を形成するようにしたので、上記第 1 の実施の形態のように W を用いて導電膜 1 5 B を形成した場合と比較して導電膜 3 5 B の薄膜化が可能となる。即ち、導電膜 3 5 B の成膜時における応力の発生が低減される。よって、製造歩留まりを向上させることが可能となる。また、暗示特性の悪化を防ぐことが可能となる。

[0089] また、本実施の形態では、第 2 電極 1 5 と接する開口 1 6 H 内において、

第2電極15と導電膜35Bとの間に、導電膜35Bを構成するAlの酸化を防止するためバリアメタルを形成するようにした。これにより、第2電極15を構成する、例えばITO膜によるAlの酸化が防止され、第2電極15と導電膜35Bとの低抵抗で安定な電氣的接続が可能となる。

[0090] 更に、本実施の形態では、導電膜35Bを構成するAl膜上に、反射防止構造としてW膜を積層するようにした。図20は、Al単層膜、W単層膜およびAl/W積層膜の絶対反射率を表したものである。Alの単層膜と比較して、Al膜上に30nmの厚みのW膜を積層したAl/Wの積層膜とすることで、Wの単層膜と同程度の反射率となることがわかる。よって、導電膜35Bによって反射された迷光によるゴーストの発生が抑えられるようになる。

[0091] 表1は、各種金属膜のスputa成膜条件および膜応力をまとめたものである。表2は、各種導電膜を導電膜35Bとして用いる場合の各パラメータをまとめたものである。図21は、表2に基づいた各種導電膜の膜厚とSi基板の反り量との関係を表したものである。

[0092] [表1]

金属膜種	スputa成膜条件	膜応力
W	基板温度 200℃, DCPower2kW, Ar 流量 100sccm	-200MPa
Al	基板温度 25℃, DCPower1kW, Ar 流量 60sccm	-10MPa
TiN	基板温度 200℃, DCPower1kW, Ar 流量 80sccm	-1500MPa
Ti	基板温度 200℃, DCPower6.5kW, Ar/N2 流量 45/80sccm	-60MPa

[0093]

[表2]

	サンプル 1	サンプル 2	サンプル 3	サンプル 4	サンプル 5
導電膜の 構造 (下層 ／上層)	W	Ti/W	Al	Ti/Al	Ti/Al/SiO ₂ /W
各膜厚	240nm	30/200nm	90nm	5/90nm	5/80/10/30nm
総膜厚	240nm	230nm	90nm	95nm	125nm
遮光特性	-124dB	-122dB	-121dB	-124dB	基準に準ずる
応力	-6.1	-5.6	-0.1	-0.2	-0.9

[0094] サンプル 1, 2 は比較例として W を用いたものであり、サンプル 3～5 は本実施の形態の導電膜 35B に対応するものである。バリアメタル (Ti) を含む導電膜 (サンプル 2, 4, 5) は、合計の遮光性能が -120 dB を超えるように W および Al の膜厚を調整している。応力は、表 1 の条件を用いて各導電膜をスパッタ成膜した場合に得られた値を示しており、各導電膜のストレス値から合成されて生じる $\phi 200\text{ mm}$ ウェハサイズの Si 基板の反り量で示している。ストレスおよび反り量が共に負の値は圧縮の方向、正の値は伸長の方向である。サンプル 1, 2 の W を用いた導電膜と比較して、Al を用いたサンプル 3～5 では応力が大幅に低下していることが確認できる。

[0095] <3. 第 3 の実施の形態>

図 22 は、本開示の第 3 の実施の形態に係る受光素子 (受光素子 3) の断面構成を模式的に表したものである。受光素子 3 は、上記第 1 の実施の形態と同様に、例えば III-V 族半導体等の化合物半導体材料を用いた赤外線センサ等に適用されるものであり、例えば、可視領域 (例えば 380 nm 以上 780 nm 未満) ～短赤外領域 (例えば 780 nm 以上 2400 nm 未満) の波長の光に、光電変換機能を有するものである。受光素子 3 は、導電膜 15B 上に、例えば、ブラックレジストからなる遮光膜 37 が設けられたも

のである。

[0096] 遮光膜 37 は、導電膜 15 B と共に O P B 領域 R 1 B を形成するものである。遮光膜 37 は、例えば、ブラックレジストを用いて形成されている。遮光膜 37 の素子領域 R 1 側の端面（面 37 S）は、例えば導電膜 15 B の素子領域 R 1 側の端面（面 15 S）よりも素子領域 R 1 側に延在している。換言すると、導電膜 15 B の素子領域 R 1 側の端面（面 15 S）は、遮光膜 37 によって覆われている。導電膜 15 B および遮光膜 37 の素子領域側の端面構造はこれに限らず、例えば、図 23 に示したように、遮光膜 37 の素子領域 R 1 側の端面（面 37 S）および導電膜 15 B の素子領域 R 1 側の端面（面 15 S）が同一面を形成していてもよい。あるいは、図 24 に示したように、導電膜 15 B の素子領域 R 1 側の端面（面 15 S）が遮光膜 37 の素子領域 R 1 側の端面（面 37 S）よりも素子領域 R 1 側に張り出してもよい。また、遮光膜 37 は、必ずしも導電膜 15 B の直上に形成されている必要はなく、例えば、図 25 に示したように、導電膜 15 B と遮光膜 37 との間にパッシベーション膜 36 B が形成されていてもよい。

[0097] 以上のように、本実施の形態の受光素子 3 では、導電膜 15 B の上方に、例えば、ブラックレジストからなる遮光膜 37 を設けるようにしたので、導電膜 15 B の薄膜化が可能となる。即ち、導電膜 35 B の成膜時における応力の発生が低減される。よって、製造歩留まりを向上させることが可能となる。また、暗示特性の悪化を防ぐことが可能となる。更に、フレアの発生も低減することが可能となる。

[0098] なお、上記第 2 の実施の形態および第 3 の実施の形態では、パッシベーション膜 36 を、例えば窒化シリコン（S i N）、酸化アルミニウム（A l₂O₃）、酸化ケイ素（S i O₂）および酸化タンタル（T a₂O₃）等を用いて形成した例を示したが、これに限らない。上記受光素子 2 および受光素子 3 は、それぞれ、上記第 1 の実施の形態におけるパッシベーション膜 16 A のように、S i、T i、H f、Z r および Y 等の酸化物、窒化物あるいは酸窒化物を用いて形成するようにしてもよい。また、例えば、受光素子 3 は、受光素子

1を構成するパッシベーション膜16と、受光素子2を構成する導電膜35Bとを組み合わせた構成としてもよい。上記第1～第3の実施の形態の構成を組み合わせることにより、製造歩留まりをさらに向上させることが可能となる。また、暗示特性の悪化をより防ぐことが可能となる。

[0099] <4. 変形例1>

図26は、上記第1～第3の実施の形態の変形例1に係る受光素子（受光素子4）の要部の断面構成を表したものである。この受光素子4は、埋込層18が、積層された第1埋込層18Aおよび第2埋込層18Bを含んでいる。この点を除き、受光素子4は受光素子1と同様の構成および効果を有している。なお、図26では、一例として図1に示した受光素子1を基にした断面構成を表している。また、図26では、簡略化のためパッシベーション膜16A、16Bはまとめてパッシベーション膜16として示している。

[0100] 第1埋込層18Aは、周辺領域R2に配置され、第2埋込層18Bよりも光入射面S1側に設けられている。具体的には、第1埋込層18Aは、第2埋込層18Bとパッシベーション膜16との間に配置され、半導体層10Sの端面を覆っている。

[0101] 第2埋込層18Bは、素子領域R1および周辺領域R2にわたって設けられている。素子領域R1の第2埋込層18Bは、配線層10Wと半導体層10Sとの間に配置され、第1電極11の下面および側面と共に、半導体層10Sの下面（読出回路基板20との対向面）を覆っている。周辺領域R2の第2埋込層18Bは、配線層10Wと第1埋込層18Aとの間に配置されている。第1埋込層18Aの構成材料および第2埋込層18Bの構成材料は、同じであってもよく、異なってもよい。第1埋込層18Aの厚みと第2埋込層18Bの厚みとは同じであってもよく、異なってもよい。

[0102] 絶縁膜17は、素子領域R1および周辺領域R2にわたって略同一平面上に設けられている。この絶縁膜17は、素子領域R1の半導体層10Sと第2埋込層18Bとの間に配置されると共に、周辺領域R2の第1埋込層18Aと第2埋込層18Bとの間に配置されている。

- [0103] このような受光素子4は、例えば次のようにして製造することができる。
図27A～図30Bは、受光素子4の製造工程を工程順に表したものである。
。
- [0104] まず、上記第1の実施の形態で説明したのと同様にして、仮基板33上の半導体層10Sを複数のチップ形状に成形する（図14B）。
- [0105] 次に、図27Aに示したように、仮基板33の全面に第1埋込層18Aを形成する。第1埋込層18Aは、例えば、仮基板33の全面に半導体層10Sを埋め込むように、絶縁材料を成膜した後、これをCMPにより平坦化して形成する。これにより、半導体層10Sの周囲を覆う第1埋込層18Aが形成される。このとき、半導体層10Sの上面が第1埋込層18Aから露出されていてもよい。
- [0106] 第1埋込層18Aを形成した後、図27Bに示したように、例えば、絶縁膜17により形成したマスクを用いて、半導体層10Sに拡散領域12Aを形成する。絶縁膜17は、第1埋込層18A上に形成される。
- [0107] 拡散領域12Aを形成するためのマスクは、図28に示したように、第1埋込層18Aにより形成するようにしてもよく、あるいは、図29に示したように、第1埋込層18Aおよび絶縁膜17により形成するようにしてもよい。
- [0108] 半導体層10Sに拡散領域12Aを形成した後、図30Aに示したように、絶縁膜17の開口に第1電極11を形成する。
- [0109] 第1電極11を形成した後、図30Bに示したように、第1電極11を覆うようにして、第1埋込層18A上に、第2埋込層18Bを形成する。第2埋込層18Bは、仮基板33の全面に絶縁材料を成膜した後、これをCMPにより平坦化して形成する。これ以降の工程は、上記第1の実施の形態で説明したのと同様にして（図28D～図28J）、受光素子4を完成させる。
- [0110] 本変形例のように、埋込層18を第1埋込層18Aおよび第2埋込層18Bの積層構造により構成するようにしてもよい。この場合にも、上記第1の実施の形態と同等の効果を得ることができる。

[0111] <5. 変形例2>

図31は、上記第1～第3の実施の形態の変形例2に係る受光素子（受光素子5）の要部の断面構成を表したものである。この受光素子5は、素子基板10の光入射面S1（読出回路基板20との対向面と反対面）にカラーフィルタ層41およびオンチップレンズ（集光レンズ）42を有している。この点を除き、受光素子5は受光素子1と同様の構成および効果を有している。なお、図31では、一例として図1に示した受光素子1を基にした断面構成を表している。また、図31では、簡略化のためパッシベーション膜16A、16Bはまとめてパッシベーション膜16として示している。

[0112] 例えば、受光素子5では、素子基板10のパッシベーション膜16上に、平坦化膜16Cを間にして、カラーフィルタ層41およびオンチップレンズ42がこの順に設けられている。カラーフィルタ層41は、IR（Infrared）フィルタを含んでいてもよい。カラーフィルタ層41を設けることにより、画素P毎に対応する波長の受光データを得ることができる。

[0113] オンチップレンズ42は、受光素子1に入射した光を光電変換層13に集めるためのものである。オンチップレンズ42は、例えば有機材料または酸化シリコン（ SiO_2 ）等により構成されている。受光素子5では、周辺領域R2に埋込層18が設けられているので、素子基板10の素子領域R1と周辺領域R2との間の段差が小さくなり、あるいは、無くなり、平坦な光入射面S1が形成される。これにより、例えばフォトリソグラフィ工程を用いて、高い精度でオンチップレンズ42を形成することが可能となる。例えば、カラーフィルタ層41およびオンチップレンズ42は、素子領域R1内で終端している。パッシベーション膜16とカラーフィルタ層41との間に配置された平坦化膜16Cは、例えば、素子領域R1から周辺領域R2にわたって設けられており、周辺領域R2内で終端されている。カラーフィルタ層41、オンチップレンズ42および平坦化膜16Cは、各々、素子領域R1内、または周辺領域R2内のいずれの位置で終端されていてもよい。

[0114] 本変形例のように、素子基板10の光入射面S1にカラーフィルタ層41

およびオンチップレンズ42を設けるようにしてもよい。この場合にも、上記第1の実施の形態と同等の効果を得ることができる。また、埋込層18により平坦化された光入射面S1には、高い精度で容易にオンチップレンズ42を形成することができる。

[0115] <6. 変形例3>

図32A～図32Eは、上記第1～第3の実施の形態の変形例3に係る受光素子（図33の受光素子6）の製造工程を工程順に表したものである。この受光素子6は、半導体層10Sを保護するためのキャップ層（図32Aのキャップ層35）を形成した後に、このキャップ層を間にして半導体層10Sを仮基板33に接合し、製造される。この点を除き、受光素子6は、受光素子1と同様の構成を有し、その作用および効果も同様である。なお、図33では、一例として図1に示した受光素子1を基にした断面構成を表している。また、図33では、簡略化のためパッシベーション膜16A、16Bはまとめてパッシベーション膜16として示している。

[0116] 受光素子6は、キャップ層35を用いて、例えば次のようにして製造することができる。

[0117] まず、図32Aに示したように、成長基板31上に、例えば、半導体層10Sおよびi型のInGaAsからなるキャップ層35をこの順にエピタキシャル成長により形成する。半導体層10Sとしては、例えば、n型のInPからなる第1コンタクト層12、i型またはn型のInGaAsからなる光電変換層13およびn型のInPからなる第2コンタクト層14をこの順に形成する。

[0118] キャップ層35は、半導体層10Sと、半導体層10Sを仮基板33に接合するための接着層Bとが直に接することを防ぐためのものである。半導体層10Sに接着層Bが接したまま、工程を進めると、半導体層10Sの特性が低下するおそれがある。あるいは、仮基板33から半導体層10Sが剥がれてしまうおそれもある。半導体層10Sが、接着層Bから剥がれるおそれもある。半導体層10Sと接着層Bとの間にキャップ層35を形成しておく

ことにより、このような特性低下および膜剥がれ等の発生を抑えることができる。キャップ層 35 は、半導体層 10S（より具体的には、第 2 コンタクト層 14）上にエピタキシャル成長可能な半導体材料であればよく、例えば InGaAs または InAsSb 等を用いることができる。

[0119] 半導体層 10S 上にキャップ層 35 を形成した後、キャップ層 35 上に、例えば酸化シリコン (SiO_2) を含む接着層 B を成膜する。

[0120] 続いて、図 32B に示したように、この接着層 B を間にして、成長基板 31 を大口径の仮基板 33 に接合する。このとき、接着層 B と第 2 コンタクト層 14 との間にキャップ層 35 が介在する。接着層 B には、例えばテトラエトキシシラン (TEOS) および酸化シリコン (SiO_2) 等を用いることができる。

[0121] 次に、上記第 1 の実施の形態で説明したのと同様にして、成長基板 31 の除去、半導体層 10S の成形、純物拡散による拡散領域 12A の形成、第 1 電極 11 の形成および埋込層 18 の形成をこの順に行う（図 11A～図 17C 参照）。この後、図 32C に示したように、埋込層 18 上に配線層 10W を形成する。本実施の形態では、受光素子 1 と同様に、半導体層 10S と仮基板 33 との段差を埋める埋込層 18 が形成されるので、これらの段差に起因した製造工程の不具合の発生が抑えられる。また、成長基板 31 の除去、拡散領域 12A の形成および配線層 10W の形成等の工程で、接着層 B と第 2 コンタクト層 14 との間にキャップ層 35 が介在しているので、半導体層 10S の特性低下および膜剥がれ等の発生を抑えることができる。

[0122] 配線層 10W を形成した後、上記第 1 の実施の形態で説明したのと同様にして、配線層 10W を間にして仮基板 33 を読出回路基板 20 に貼り合わせる（図 32D）。

[0123] 次に、図 32E に示したように、仮基板 33、接着層 B およびキャップ層 35 をこの順に除去して、第 2 コンタクト層 14 を露出させる。仮基板 33 の除去は、上記第 1 の実施の形態で説明したのと同様に行う。接着層 B およびキャップ層 35 は、例えばウェットエッチングにより除去することができ

る。接着層Bのウェットエッチングには、例えばHF (Hydrogen Fluoride) またはBHF (Buffered Hydrogen Fluoride) 等を用いることができる。キャップ層35のウェットエッチングには、例えば、酸および酸化剤の混合液を用いることができる。酸としては、例えば、HF、塩酸(HCl)またはリン酸(H_3PO_4)等を用いることができ、酸化剤としては、例えば、過酸化水素水またはオゾン水等を用いることができる。接着層Bおよびキャップ層35をドライエッチングにより除去することも可能であるが、ウェットエッチングにより除去することが好ましい(後述)。

[0124] 図34Aは図32Eに示した部分Rを拡大して表した一例である。接着層Bおよびキャップ層35を除去する領域は、例えば、平面視で半導体層10Sの面積よりも小さくする。これにより、半導体層10Sの光入射面S1側(読出回路基板20との対向面と反対面)の周縁、より具体的には、第2コンタクト層14の端部上にキャップ層35および接着層Bが残存する。なお、キャップ層35は、接着層Bに対してへこんでいてもよく、あるいは、突出していてもよい。

[0125] キャップ層35を除去した後の工程は、上記第1の実施の形態で説明したのと同様にして(図17H~図17J参照)、受光素子6を完成させる。

[0126] 図33は、このようにして製造した受光素子6の要部の断面構成の一例を表している。

[0127] 図34Bは図33に示した部分Rを拡大して表した一例である。このように、キャップ層35および接着層Bが残存した状態で、第2電極15およびパッシベーション膜16が形成されてもよい。このとき、第2電極15は、第2コンタクト層14に接すると共に、キャップ層35および接着層Bに接する。埋込層18は、キャップ層35および接着層Bの厚み分、半導体層10Sよりも光入射面S1(読出回路基板20と反対)側に突出している。

[0128] 接着層Bおよびキャップ層35を除去することにより形成される開口、即ち、第2コンタクト層14を露出させる開口は、図34Cに示したように、テーパ形状を有していることが好ましい。このようなテーパ形状の開口に、

第2電極15を形成することにより、第2電極15のカバレッジが向上する。例えば、ウェットエッチングを用いて、接着層Bおよびキャップ層35を除去することにより、テーパ形状の開口が形成される。このため、接着層Bおよびキャップ層35は、ウェットエッチングにより除去することが好ましい。

[0129] 図35Aは図32Eに示した部分R、図35Bは図33に示した部分Rをそれぞれ拡大して表した他の例である。このように、接着層Bおよびキャップ層35を除去する領域を、例えば、平面視で半導体層10Sの面積と同じにしてもよい。これにより、第2コンタクト層14の端部上のキャップ層35が除去される。このようにして形成された受光素子6には、第2コンタクト層14の上面（光入射面S1側の面）と接着層Bの下面（読出回路基板20側の面）との位置がずれ、これらの間にキャップ層35に起因した段差が形成される。また、第2電極15は、第2コンタクト層14に接すると共に、接着層Bに接する。

[0130] 接着層Bおよびキャップ層35を除去することにより形成される開口、即ち、第2コンタクト層14を露出させる開口は、図35Cに示したように、テーパ形状を有していることが好ましい。

[0131] 図36Aは図32Eに示した部分R、図36Bは図33に示した部分Rをそれぞれ拡大して表したその他の例である。このように、接着層Bおよびキャップ層35を除去する領域を、例えば、平面視で半導体層10Sの面積よりも大きくしてもよい。これにより、第2コンタクト層14の端部上のキャップ層35が除去される。このようにして形成された受光素子6には、半導体層10Sの端面と埋込層18との間にエッチングに起因した凹部18Rが形成される。また、第2電極15は、第2コンタクト層14に接すると共に、凹部18Rを埋め、更に、接着層Bに接する。

[0132] 接着層Bおよびキャップ層35を除去することにより形成される開口、即ち、第2コンタクト層14を露出させる開口は、図36Cに示したように、テーパ形状を有していることが好ましい。

[0133] 図36Dに示したように、接着層Bおよびキャップ層35を除去する領域を更に大きくして、キャップ層35と共に接着層Bを除去するようにしてもよい。

[0134] このような方法で形成した受光素子6も、上記受光素子1で説明したのと同様に、埋込層18を形成するので、半導体層10Sと仮基板33との段差に起因した製造工程の不具合の発生を抑えることができる。また、キャップ層35を形成するので、半導体層10S（第2コンタクト層14）と接着層Bとの接触を防ぐことができる。

[0135] 受光素子6には、第2コンタクト層14の端部上にキャップ層35が残存していてもよく（図34A～図34C）、キャップ層35が完全に除去されていてもよい。キャップ層35が完全に除去された受光素子6には、例えば、第2コンタクト層14の上面と接着層Bの下面との段差（図35A～図35C）または、半導体層10Sの端面と埋込層18との間の凹部18R（図36A～図36D）が設けられている。受光素子6では、埋込層18が、キャップ層35および接着層Bの厚み分、半導体層10Sよりも光入射面S1側に突出している。

[0136] <7. 変形例4>

図37、図38は、上記第2、第3の実施の形態の変形例4に係る受光素子（受光素子7A、7B）の断面構成を模式的に表したものである。この受光素子7A、7Bは、第1コンタクト層52、光電変換層53および第2コンタクト層54が、複数の画素Pに対して共通の半導体層50Sを構成しており、この半導体層50Sの光入射面S1側の隣り合う複数の画素Pの間に、遮光性を有する第2電極55が設けられている。この点を除き、受光素子7A、7Bは、受光素子1と同様の構成を有し、その作用および効果も同様である。

[0137] 素子基板50は、上記第1の実施の形態と同様に、読出回路基板60に近い位置から、層間絶縁膜58B、58A、第1コンタクト層52、光電変換層53、第2コンタクト層54および第2電極55をこの順に有している。

更に、第2コンタクト層54、第2電極55、埋込層57および貫通電極57V上には、パッシベーション膜59が設けられている。層間絶縁膜58には、第1電極51を含む配線層50Wが設けられている。配線層50Wは、層間絶縁膜58A、58B中に、コンタクト電極58EA、58EB、ダミー電極58EDを有している。半導体層50Sの配線層50Wとの対向面および端面（側面）は、絶縁膜56により覆われている。読出回路基板60は、素子基板50の接合面S2に接する配線層60Wと、この配線層60Wを間にして素子基板50に対向する半導体基板61とを有している。

[0138] 第2電極55は、キャップ層55Aおよび遮光膜55Bがこの順に積層された構成を有し、例えば、第2コンタクト層54上（光入射面側）の隣り合う画素Pの間に、例えば格子状に設けられている。第2電極55を格子状に設けることにより、電子取り出しの抵抗が低減され、第2コンタクト層54への低抵抗化の要求が小さくなり、第2コンタクト層54を薄膜化することが可能となる。遮光膜55Bは、例えば、上記第2の実施の形態における導電膜35Bのように、アルミニウム（Al）膜を用いて形成することができる。その他、タングステン（W）膜、銅（Cu）膜、および銀（Ag）膜等を用いてもよい。遮光膜55Bは、例えば、チタン（Ti）膜あるいは窒化チタン（TiN）膜等のバリアメタル膜を介してキャップ層55A上に積層されていることが好ましい。これにより、キャップ層55Aと遮光膜55Bとの間には、オーミックコンタクトが形成される。

[0139] 素子領域R1の周辺領域R2近傍の遮光膜55B上には、図38に示したように、例えばブラックレジストからなる遮光膜37を積層するようにしてもよい。

[0140] 第2電極55は、例えば、遮光膜55Bをドライエッチングでパターニングしたのち、この遮光膜55Bをメタルマスクとして、キャップ層55Aをウェットエッチングにてパターニングして形成する。このようにウェットエッチングにてキャップ層55Aをパターニングした場合、格子状にパターニングされたキャップ層55A（例えば、N+InGaAs層）の断面形状は

、結晶面方位により異なる特徴を有する。一般に、100面のInGaAs／InP結晶は、(011)面断面方向では逆テーパに、(011)面に対して90°回転した方向では順テーパ状に加工される。

[0141] 読出回路基板60は、上記第1の実施の形態と同様に、いわゆるROIC (Readout integrated circuit) であり、素子基板50の接合面S2に接する配線層60Wおよび配線層60Wを間にして素子基板50に対向する半導体基板61とを有している。半導体基板61は、配線層60Wを支持するためのものであり、例えば、シリコン(Si)により構成されている。配線層60Wは、例えば、層間絶縁膜62(62A, 62B)中に、コンタクト電極62EA, 62EB、ダミー電極62ED、画素回路62CA、配線62CBおよびパッド電極62Pを有している。層間絶縁膜62A, 62Bは、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン(SiN)、酸化アルミニウム(Al₂O₃)、酸化ケイ素(SiO₂)および酸化ハフニウム(HfO₂)等が挙げられる。層間絶縁膜62A, 62Bは、互いに異なる無機絶縁材料を用いて形成してもよいし、同一の無機絶縁材料を用いて形成するようにしてもよい。

[0142] 以上のように、隣り合う画素Pの間に遮光性を有する第2電極を形成することにより、例えば、上記第2の実施の形態に効果に加えて、隣接画素領域からの光の漏れ込みを低減することが可能となる。また、第2電極55は、キャップ層55Aおよび、例えば金属膜を用いて形成された遮光膜55Bの積層構造を有している。このように、キャップ層55Aおよび遮光膜55Bがこの順に積層された構成とすることにより、透明電極の形成や、第2コンタクト層54の厚膜化が不要となる。また、遮光膜55Bのパターニング時における光電変換部(具体的には、第2コンタクト層54)へのダメージが低減される。よって、感度を向上させることが可能となる。

[0143] <8. 変形例5>

図39は、上記第1～第3の実施の形態の変形例5に係る受光素子(受光素子8)の断面構成を模式的に表したものである。この受光素子8は、化合

物半導体材料を含む素子基板 10 とシリコン (Si) を含む半導体層 (半導体層 71 S、第 2 半導体層) との積層構造を有している。この点を除き、受光素子 8 は、受光素子 1 と同様の構成を有し、その作用および効果も同様である。なお、図 39 では、一例として図 1 に示した受光素子 1 を基にした断面構成を表している。また、図 39 では、簡略化のためパッシベーション膜 16 A、16 B はまとめてパッシベーション膜 16 として示している。

[0144] 受光素子 8 は、素子基板 10 の光入射面 S1 に、半導体層 71 S に電氣的に接続された配線層 71 W、半導体層 71 S、カラーフィルタ層 41 およびオンチップレンズをこの順に有している。

[0145] 半導体層 71 S には、画素 P 毎に p n 接合を有するフォトダイオード PD が設けられている。配線層 71 W は複数の配線を含んでおり、例えばフォトダイオード PD で生成した信号電荷が、この配線層 71 W により画素 P 毎に読出回路基板 20 に移動するようになっている。

[0146] 受光素子 8 では、例えば、可視領域および赤外領域の波長の光の光電変換がなされる。例えば、可視領域の波長の光は、オンチップレンズ 42 およびカラーフィルタ層 41 を介して半導体層 71 S に入射し、フォトダイオード PD で光電変換される。一方、赤外領域の波長の光は、半導体層 71 S を透過して、素子基板 10 の光電変換層 13 で光電変換される。フォトダイオード PD で発生した信号電荷および光電変換層 13 で発生した信号電荷は、読出回路基板 20 で読み出される。

[0147] 本実施の形態の受光素子 8 も、上記受光素子 1、2 で説明したのと同様に、埋込層 18 を形成するので、半導体層 10 S と仮基板 33 との段差に起因した製造工程の不具合の発生を抑えることができる。また、素子基板 10 に半導体層 71 S が積層されているので、1 つの画素 P で、可視領域および赤外領域の波長の光を光電変換することができる。よって、1 つの画素 P から取得可能な情報量を増やすことが可能となる。

[0148] < 9. 適用例 1 >

上記実施の形態等において説明した受光素子 1 (または、受光素子 1, 2

、 3、 4、 5、 6、 7 A、 7 B、 8、 以下、まとめて受光素子 1 という）は、例えば、撮像素子に適用される。この撮像素子は、例えば赤外線イメージセンサである。

[0149] < 1 0. 適用例 2 >

上述の撮像素子は、例えば赤外領域を撮像可能なカメラなど、様々なタイプの電子機器に適用することができる。図 4 0 に、その一例として、電子機器 9（カメラ）の概略構成を示す。この電子機器 9 は、例えば静止画または動画を撮影可能なカメラであり、受光素子 1 により構成された撮像素子 9 A と、光学系（光学レンズ） 3 1 0 と、シャッタ装置 3 1 1 と、撮像素子 9 A およびシャッタ装置 3 1 1 を駆動する駆動部 3 1 3 と、信号処理部 3 1 2 とを有する。

[0150] 光学系 3 1 0 は、被写体からの像光（入射光）を撮像素子 9 A へ導くものである。この光学系 3 1 0 は、複数の光学レンズから構成されていてもよい。シャッタ装置 3 1 1 は、撮像素子 9 A への光照射期間および遮光期間を制御するものである。駆動部 3 1 3 は、撮像素子 9 A の転送動作およびシャッタ装置 3 1 1 のシャッタ動作を制御するものである。信号処理部 3 1 2 は、撮像素子 9 A から出力された信号に対し、各種の信号処理を行うものである。信号処理後の映像信号 D out は、メモリなどの記憶媒体に記憶されるか、あるいは、モニタ等に出力される。

[0151] 更に、本実施の形態等において説明した受光素子 1 は、下記電子機器（カプセル内視鏡および車両等の移動体）にも適用することが可能である。

[0152] < 1 1. 応用例 1（内視鏡手術システム） >

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0153] 図 4 1 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0154] 図 4 1 では、術者（医師） 1 1 1 3 1 が、内視鏡手術システム 1 1 0 0 0 を用いて、患者ベッド 1 1 1 3 3 上の患者 1 1 1 3 2 に手術を行っている様

子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。

[0155] 内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔内に挿入される鏡筒 11101 と、鏡筒 11101 の基端に接続されるカメラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0156] 鏡筒 11101 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 11100 には光源装置 11203 が接続されており、当該光源装置 11203 によって生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0157] カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit） 11201 に送信される。

[0158] CCU 11201 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。さらに、CCU 11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例

例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0159] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。

[0160] 光源装置 11203 は、例えば LED（light emitting diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。

[0161] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0162] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0163] なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で

撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0164] また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0165] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注すると共に当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0166] 図 42 は、図 41 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0167] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0168] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光

学系である。鏡筒 1 1 1 0 1 の先端から取り込まれた観察光は、カメラヘッド 1 1 1 0 2 まで導光され、当該レンズユニット 1 1 4 0 1 に入射する。レンズユニット 1 1 4 0 1 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0169] 撮像部 1 1 4 0 2 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 1 1 4 0 2 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 1 1 4 0 2 は、3 D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3 D 表示が行われることにより、術者 1 1 1 3 1 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 1 1 4 0 2 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 1 1 4 0 1 も複数系統設けられ得る。

[0170] また、撮像部 1 1 4 0 2 は、必ずしもカメラヘッド 1 1 1 0 2 に設けられなくてもよい。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。

[0171] 駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

[0172] 通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を RAW データとして伝送ケーブル 1 1 4 0 0 を介して CCU 1 1 2 0 1 に送信する。

[0173] また、通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 から、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 1 1 4

05に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0174] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE（Auto Exposure）機能、AF（Auto Focus）機能及びAWB（Auto White Balance）機能が内視鏡11100に搭載されていることになる。

[0175] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

[0176] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

[0177] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0178] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0179] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。

[0180] また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202

に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0181] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0182] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0183] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 11402 に適用され得る。撮像部 11402 に本開示に係る技術を適用することにより、より鮮明な術部画像を得ることができるため、術者が術部を確実に確認することが可能になる。

[0184] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0185] < 12. 応用例 2 (移動体) >

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0186] 図43は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0187] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図43に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (Interface) 12053が図示されている。

[0188] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0189] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0190] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030

は、撮像部１２０３１に車外の画像を撮像させると共に、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0191] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0192] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0193] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0194] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした

協調制御を行うことができる。

- [0195] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0196] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 43 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。
- [0197] 図 44 は、撮像部 12031 の設置位置の例を示す図である。
- [0198] 図 44 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。
- [0199] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0200] なお、図44には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0201] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0202] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0203] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドラ

イバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0204] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0205] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。撮像部 12031 に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0206] 更に、本実施の形態等において説明した受光素子 1 は、監視カメラ、生体認証システムおよびサーモグラフィ等の電子機器にも適用することが可能である。監視カメラは、例えばナイトビジョンシステム（暗視）のものである。受光素子 1 を監視カメラに適用することにより、夜間の歩行者および動物

等を遠くから認識することが可能となる。また、受光素子 1 を車載カメラとして適用すると、ヘッドライトや天候の影響を受けにくい。例えば、煙および霧等の影響を受けずに、撮影画像を得ることができる。更に、物体の形状の認識も可能となる。また、サーモグラフィでは、非接触温度測定が可能となる。サーモグラフィでは、温度分布や発熱も検出可能である。加えて、受光素子 1 は、炎、水分またはガス等を検知する電子機器にも適用可能である。

[0207] 以上、第 1 ～第 3 の実施の形態、変形例 1 ～ 5 および適用例ならびに応用例を挙げて説明したが、本開示内容は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記変形例 1 ～ 3, 5 は、上記第 1 の実施の形態の変形例として説明したが、第 2 の実施の形態および第 3 の実施の形態の変形例としても適用できる。

[0208] また、上記実施の形態等において説明した受光素子の層構成は一例であり、更に他の層を備えていてもよい。また、各層の材料や厚みも一例であって、上述のものに限定されるものではない。例えば、上記実施の形態等では、第 1 コンタクト層 1 2、光電変換層 1 3 および第 2 コンタクト層 1 4 により半導体層 1 0 S を構成する場合について説明したが、半導体層 1 0 S は光電変換層 1 3 を含んでいればよい。例えば、第 1 コンタクト層 1 2 および第 2 コンタクト層 1 4 を設けなくてもよく、あるいは、他の層を含んでいてもよい。

[0209] 更に、上記実施の形態等では、便宜上、信号電荷が正孔である場合について説明したが、信号電荷は電子であってもよい。例えば、拡散領域が n 型の不純物を含んでいてもよい。

[0210] 加えて、上記実施の形態等では、本技術の半導体素子の一具体例の受光素子を説明したが、本技術の半導体素子は受光素子以外であってもよい。例えば、本技術の半導体素子は、発光素子であってもよい。

[0211] また、上記実施の形態等において説明した効果は一例であり、他の効果であってもよいし、更に他の効果を含んでいてもよい。

[0212] 尚、本開示は、以下のような構成であってもよい。以下の構成の第1の本技術によれば、光透過性を有する第2電極上に、非還元性を有する絶縁層を設けるようにしたので、第2電極と絶縁層との密着性が向上する。第2の本技術によれば、絶縁層上に設けられ、素子領域の周辺領域近傍に設けられた開口を介して第2電極と電氣的に接続される導電膜を、アルミニウム（Al）を用いて形成するようにしたので、導電膜の厚みが削減される。第3の本技術によれば、絶縁層上に設けられ、素子領域の周辺領域近傍に設けられた開口を介して第2電極と電氣的に接続される導電膜上に、さらにブラックレジストからなる遮光膜を設けるようにしたので、導電膜の厚みが削減される。よって、製造歩留まりを向上させることが可能となる。

(1)

配線層と化合物半導体材料を含む第1半導体層とが積層して設けられた素子領域、および前記素子領域の外側の周辺領域を有する素子基板と、

前記配線層を間にして前記第1半導体層に対向し、前記配線層を介して前記第1半導体層に電氣的に接続された読出回路基板と、

前記配線層に設けられると共に、前記第1半導体層に電氣的に接続された第1電極と、

前記第1半導体層を間にして前記第1電極に対向する第2電極と、

前記第2電極上に設けられると共に、非還元性を有する絶縁層とを備えた半導体素子。

(2)

前記絶縁層は、酸化物（ M_xO_y ）、窒化物（ M_xN_y ）および酸窒化物（ $M_xO_yN_z$ ）のうちのいずれかを含む、前記（1）に記載の半導体素子。

（Mは、ケイ素（Si）、チタン（Ti）、ハフニウム（Hf）、ジルコニウム（Zr）およびイットリウム（Y）のうちのいずれかである。x、y、zは1以上の整数である。）

(3)

前記絶縁層は、 2.0 g/cm^3 以上 8.0 g/cm^3 以下の膜密度を有する

酸化膜によって形成されている、前記（１）または（２）に記載の半導体素子。

（４）

前記絶縁層は多層構造を有する、前記（１）乃至（３）のうちのいずれかに記載の半導体素子。

（５）

前記絶縁層は前記素子領域の前記周辺領域の近傍に開口を有し、

前記周辺領域の近傍において、前記絶縁層の上方に、前記開口を介して前記第２電極と電氣的に接続される導電膜をさらに有する、前記（１）乃至（４）のうちのいずれかに記載の半導体素子。

（６）

前記導電膜は、アルミニウム（Ａｌ）を用いて形成されている、前記（５）に記載の半導体素子。

（７）

前記開口内において、さらに、前記第２電極と前記導電膜との間にバリアメタルを有する、前記（６）に記載の半導体素子。

（８）

前記導電膜は、前記素子領域の前記周辺領域の近傍から前記周辺領域にかけて設けられている、前記（５）乃至（７）のうちのいずれかに記載の半導体素子。

（９）

前記素子基板は、さらに、前記周辺領域に、前記読出回路基板まで貫通する貫通孔を有し、

前記導電膜は、前記貫通孔を介して前記読出回路基板と電氣的に接続されている、前記（５）乃至（８）のうちのいずれかに記載の半導体素子。

（１０）

前記導電膜は遮光性を有する、前記（５）乃至（９）のうちのいずれかに記載の半導体素子。

(11)

前記導電膜の上方にブラックレジストからなる遮光膜をさらに有する、前記(5)乃至(10)のうちのいずれかに記載の半導体素子。

(12)

前記遮光膜の前記素子領域側の端面は、前記導電膜の前記素子領域側の端面よりも前記素子領域側に延在している、前記(11)に記載の半導体素子。

(13)

前記素子基板の前記周辺領域は、前記読出回路基板との接合面を有する、前記(1)乃至(12)のうちのいずれかに記載の半導体素子。

(14)

前記素子基板の前記素子領域は、前記周辺領域の前記接合面と同一平面上で、前記読出回路基板に接合されている、前記(13)に記載の半導体素子。

(15)

前記素子基板は、更に、前記周辺領域に前記第1半導体層を囲む埋込層を有する、前記(13)または(14)に記載の半導体素子。

(16)

前記化合物半導体材料は、赤外領域の波長の光を吸収する、前記(1)乃至(15)のうちのいずれかに記載の半導体素子。

(17)

前記化合物半導体材料は、InGaAs, InAsSb, InAs, InSbおよびHgCdTeのうちのいずれか1つである、前記(1)乃至(16)のうちのいずれかに記載の半導体素子。

(18)

更に、前記第1半導体層の前記読出回路基板との対向面とは反対面側に、オンチップレンズを有する、前記(1)乃至(17)のうちのいずれかに記載の半導体素子。

(1 9)

配線層と化合物半導体材料を含む第 1 半導体層とが積層して設けられた素子領域、および前記素子領域の外側の周辺領域を有する素子基板と、

前記配線層を間にして前記第 1 半導体層に対向し、前記配線層を介して前記第 1 半導体層に電氣的に接続された読出回路基板と、

前記配線層に設けられると共に、前記第 1 半導体層に電氣的に接続された第 1 電極と、

前記第 1 半導体層を間にして前記第 1 電極に対向する第 2 電極と、

前記第 2 電極上に設けられると共に、前記素子領域の前記周辺領域の近傍に開口を有する絶縁層と、

前記絶縁層の上方に設けられると共に、前記開口を介して前記第 2 電極と電氣的に接続されるアルミニウム (A l) を含む導電膜と

を備えた半導体素子。

(2 0)

配線層と化合物半導体材料を含む第 1 半導体層とが積層して設けられた素子領域、および前記素子領域の外側の周辺領域を有する素子基板と、

前記配線層を間にして前記第 1 半導体層に対向し、前記配線層を介して前記第 1 半導体層に電氣的に接続された読出回路基板と、

前記配線層に設けられると共に、前記第 1 半導体層に電氣的に接続された第 1 電極と、

前記第 1 半導体層を間にして前記第 1 電極に対向する第 2 電極と、

前記第 2 電極上に設けられると共に、前記素子領域の前記周辺領域の近傍に開口を有する絶縁層と、

前記絶縁層の上方に設けられると共に、前記開口を介して前記第 2 電極と電氣的に接続される導電膜と、

前記導電膜上に設けられると共に、ブラックレジストからなる遮光膜とを備えた半導体素子。

[0213] 本出願は、日本国特許庁において 2 0 1 8 年 1 2 月 2 7 日に出願された日

本特許出願番号２０１８－２４５１８０号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0214] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 配線層と化合物半導体材料を含む第1半導体層とが積層して設けられた素子領域、および前記素子領域の外側の周辺領域を有する素子基板と、
- 前記配線層を間にして前記第1半導体層に対向し、前記配線層を介して前記第1半導体層に電氣的に接続された読出回路基板と、
- 前記配線層に設けられると共に、前記第1半導体層に電氣的に接続された第1電極と、
- 前記第1半導体層を間にして前記第1電極に対向する第2電極と、
- 前記第2電極上に設けられると共に、非還元性を有する絶縁層とを備えた半導体素子。
- [請求項2] 前記絶縁層は、酸化物 (M_xO_y)、窒化物 (M_xN_y) および酸窒化物 ($M_xO_yN_z$) のうちのいずれかを含む、請求項1に記載の半導体素子。
- (Mは、ケイ素 (Si)、チタン (Ti)、ハフニウム (Hf)、ジルコニウム (Zr) およびイットリウム (Y) のうちのいずれかである。x、y、zは1以上の整数である。)
- [請求項3] 前記絶縁層は、 2.0 g/cm^3 以上 8.0 g/cm^3 以下の膜密度を有する酸化膜によって形成されている、請求項1に記載の半導体素子。
- [請求項4] 前記絶縁層は多層構造を有する、請求項1に記載の半導体素子。
- [請求項5] 前記絶縁層は前記素子領域の前記周辺領域の近傍に開口を有し、
- 前記周辺領域の近傍において、前記絶縁層の上方に、前記開口を介して前記第2電極と電氣的に接続される導電膜をさらに有する、請求項1に記載の半導体素子。
- [請求項6] 前記導電膜は、アルミニウム (Al) を用いて形成されている、請求項5に記載の半導体素子。
- [請求項7] 前記開口内において、さらに、前記第2電極と前記導電膜との間に

バリアメタルを有する、請求項 6 に記載の半導体素子。

[請求項 8] 前記導電膜は、前記素子領域の前記周辺領域の近傍から前記周辺領域にかけて設けられている、請求項 5 に記載の半導体素子。

[請求項 9] 前記素子基板は、さらに、前記周辺領域に、前記読出回路基板まで貫通する貫通孔を有し、

前記導電膜は、前記貫通孔を介して前記読出回路基板と電氣的に接続されている、請求項 5 に記載の半導体素子。

[請求項 10] 前記導電膜は遮光性を有する、請求項 5 に記載の半導体素子。

[請求項 11] 前記導電膜の上方にブラックレジストからなる遮光膜をさらに有する、請求項 5 に記載の半導体素子。

[請求項 12] 前記遮光膜の前記素子領域側の端面は、前記導電膜の前記素子領域側の端面よりも前記素子領域側に延在している、請求項 11 に記載の半導体素子。

[請求項 13] 前記素子基板の前記周辺領域は、前記読出回路基板との接合面を有する、請求項 1 に記載の半導体素子。

[請求項 14] 前記素子基板の前記素子領域は、前記周辺領域の前記接合面と同一平面上で、前記読出回路基板に接合されている、請求項 13 に記載の半導体素子。

[請求項 15] 前記素子基板は、更に、前記周辺領域に前記第 1 半導体層を囲む埋込層を有する、請求項 13 に記載の半導体素子。

[請求項 16] 前記化合物半導体材料は、赤外領域の波長の光を吸収する、請求項 1 に記載の半導体素子。

[請求項 17] 前記化合物半導体材料は、 InGaAs 、 InAsSb 、 InAs 、 InSb および HgCdTe のうちのいずれか 1 つである、請求項 1 に記載の半導体素子。

[請求項 18] 更に、前記第 1 半導体層の前記読出回路基板との対向面とは反対側に、オンチップレンズを有する、請求項 1 に記載の半導体素子。

[請求項 19] 配線層と化合物半導体材料を含む第 1 半導体層とが積層して設けら

れた素子領域、および前記素子領域の外側の周辺領域を有する素子基板と、

前記配線層を間にして前記第1半導体層に対向し、前記配線層を介して前記第1半導体層に電氣的に接続された読出回路基板と、

前記配線層に設けられると共に、前記第1半導体層に電氣的に接続された第1電極と、

前記第1半導体層を間にして前記第1電極に対向する第2電極と、

前記第2電極上に設けられると共に、前記素子領域の前記周辺領域の近傍に開口を有する絶縁層と、

前記絶縁層の上方に設けられると共に、前記開口を介して前記第2電極と電氣的に接続されるアルミニウム（Al）を含む導電膜と

を備えた半導体素子。

[請求項20]

配線層と化合物半導体材料を含む第1半導体層とが積層して設けられた素子領域、および前記素子領域の外側の周辺領域を有する素子基板と、

前記配線層を間にして前記第1半導体層に対向し、前記配線層を介して前記第1半導体層に電氣的に接続された読出回路基板と、

前記配線層に設けられると共に、前記第1半導体層に電氣的に接続された第1電極と、

前記第1半導体層を間にして前記第1電極に対向する第2電極と、

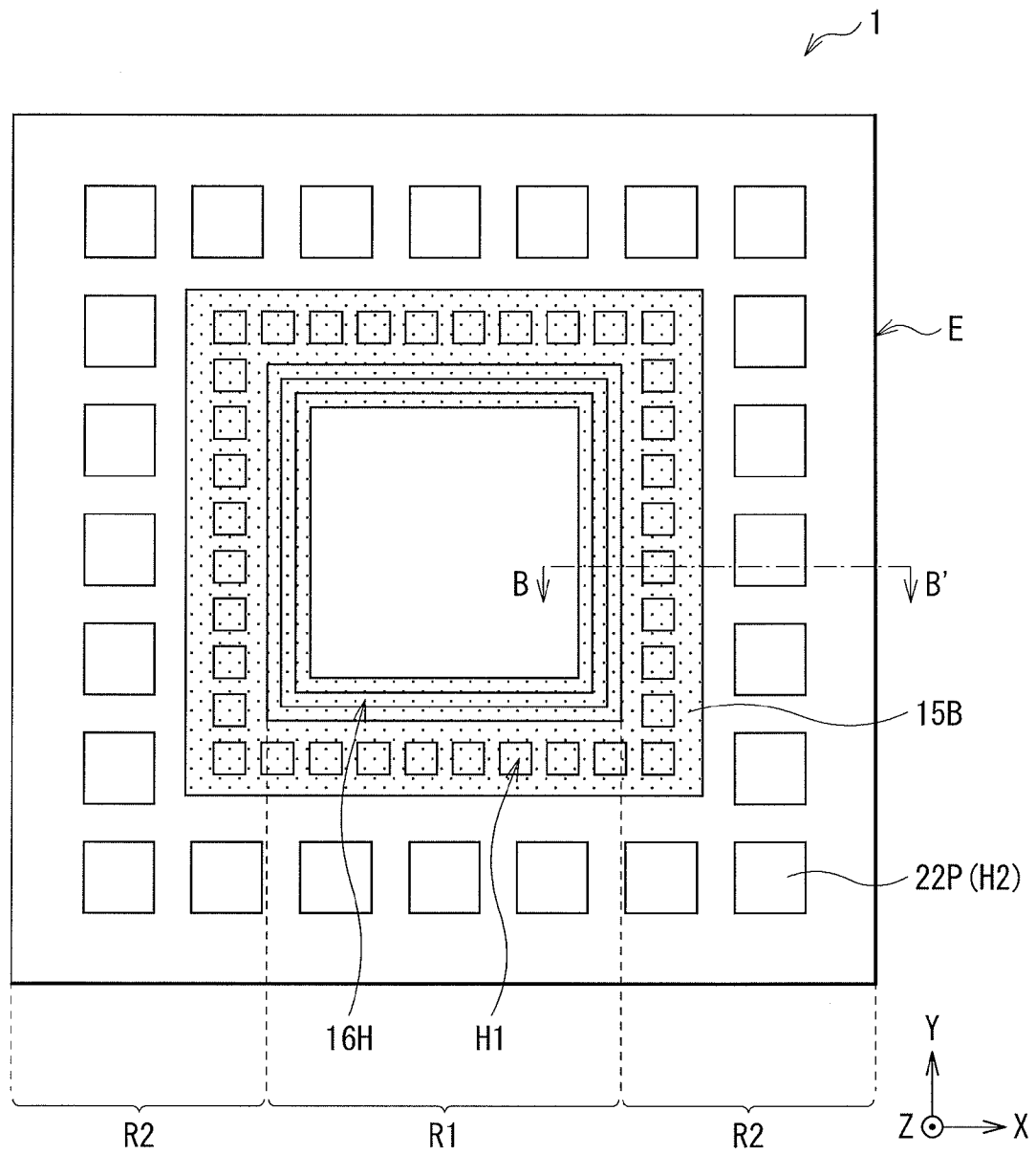
前記第2電極上に設けられると共に、前記素子領域の前記周辺領域の近傍に開口を有する絶縁層と、

前記絶縁層の上方に設けられると共に、前記開口を介して前記第2電極と電氣的に接続される導電膜と、

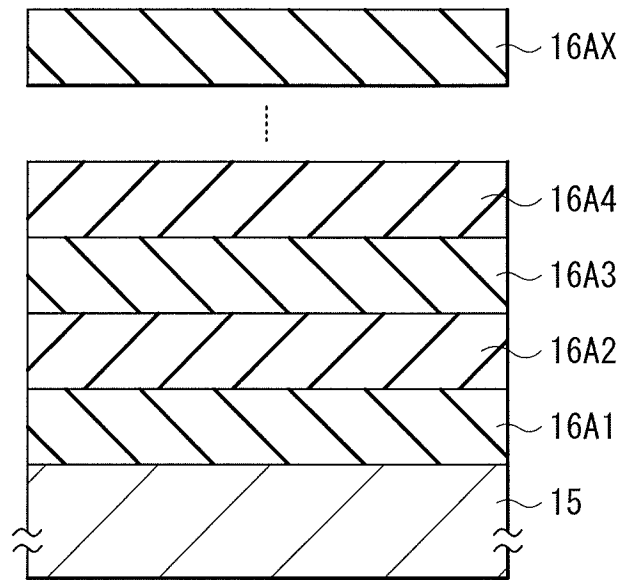
前記導電膜上に設けられると共に、ブラックレジストからなる遮光膜と

を備えた半導体素子。

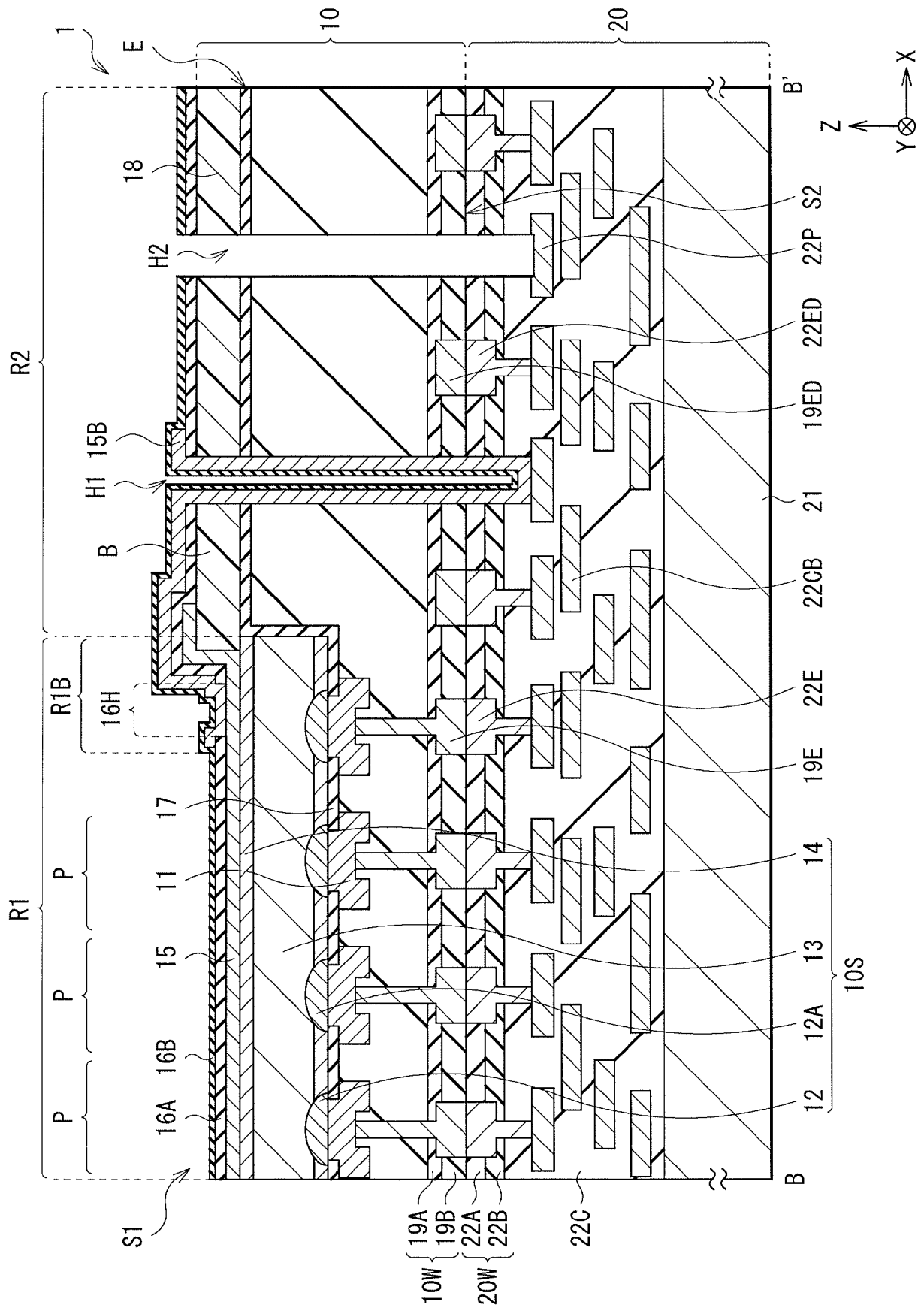
[図2]



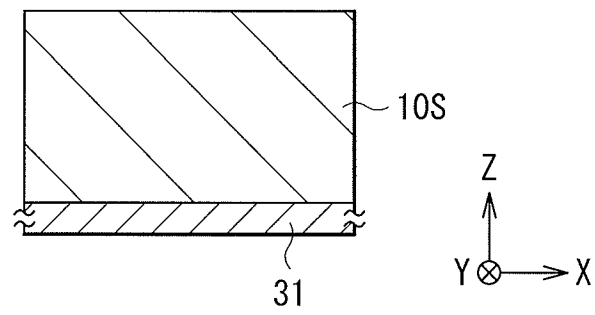
[図4]



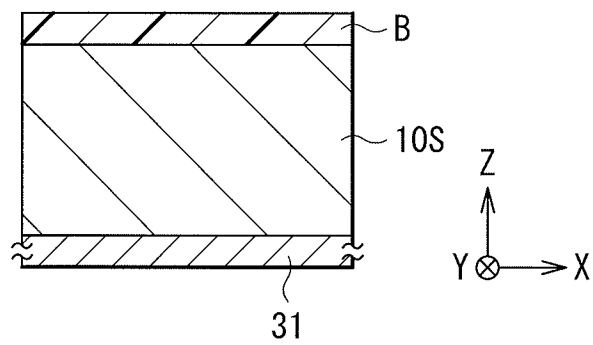
[図6]



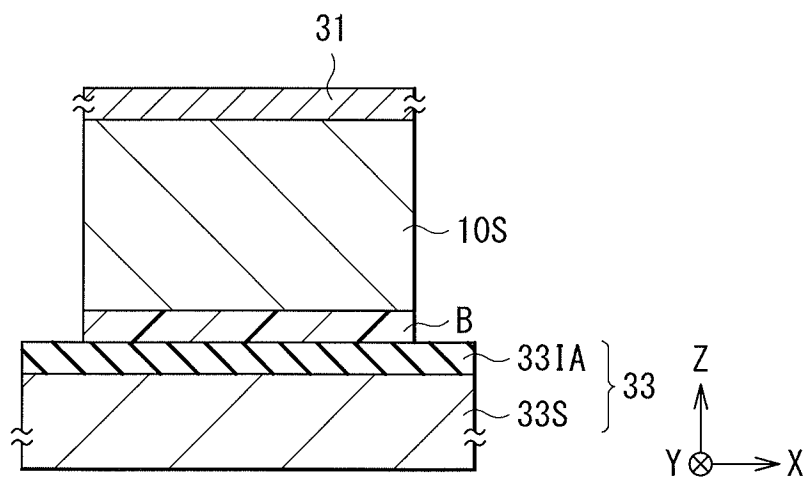
[図7A]



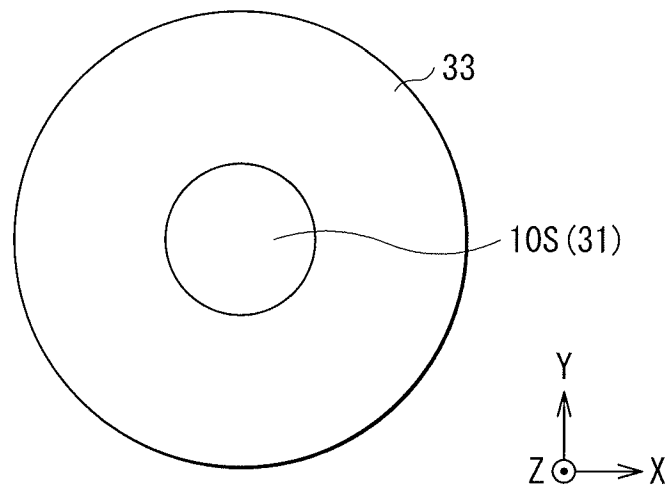
[図7B]



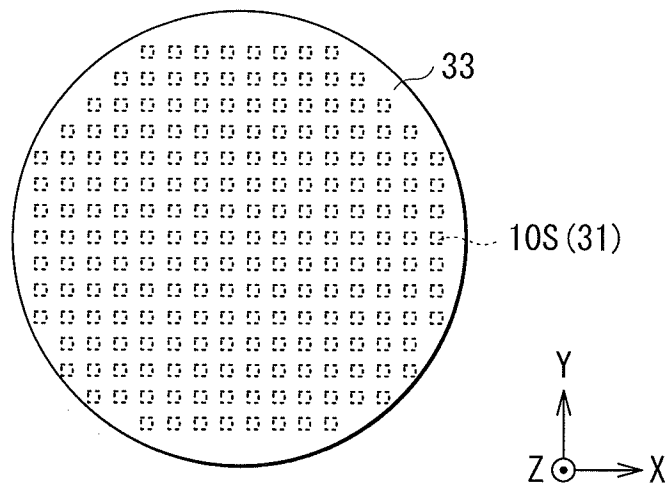
[図7C]



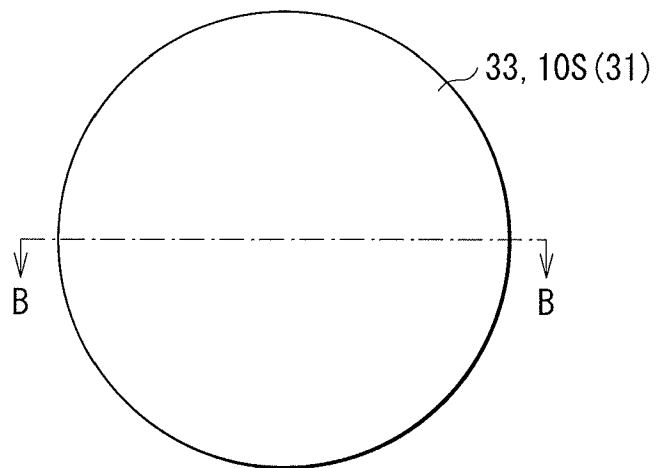
[図8]



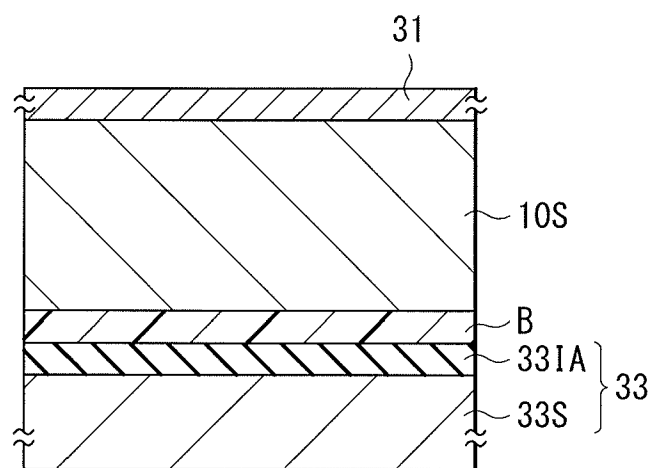
[図9]



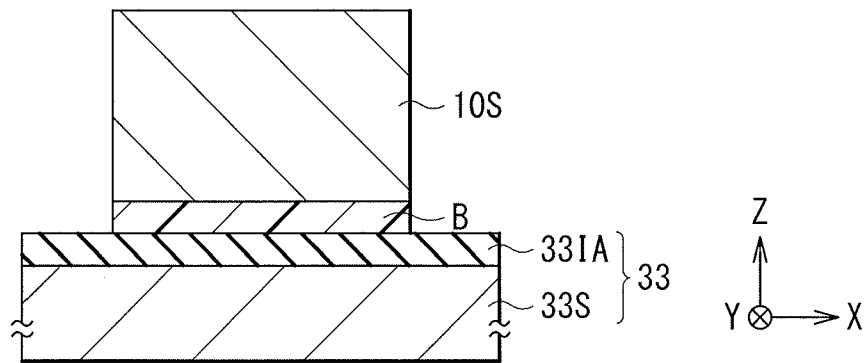
[図10A]



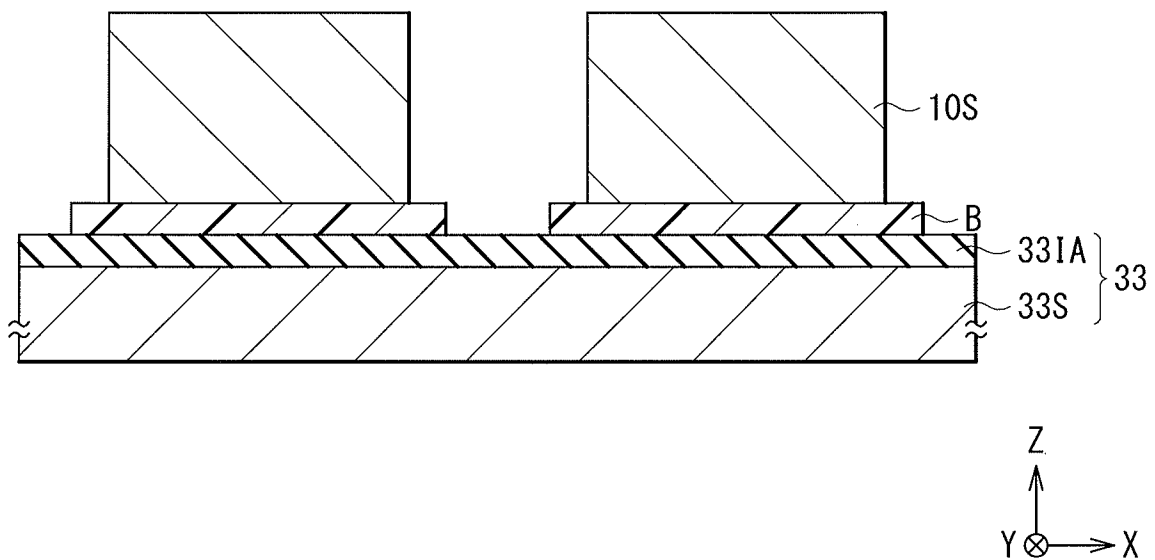
[図10B]



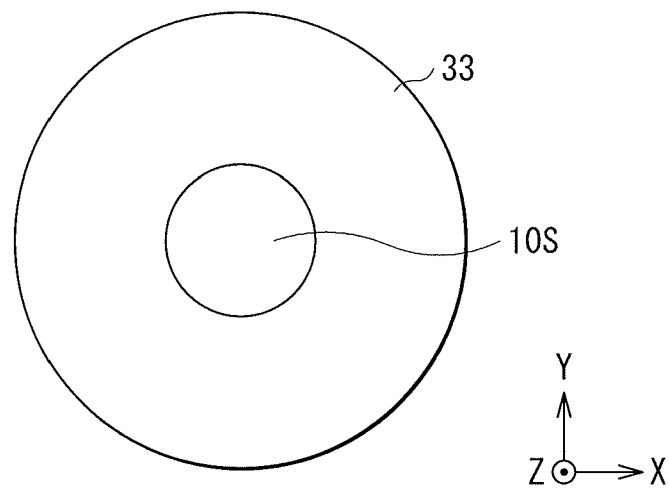
[図11A]



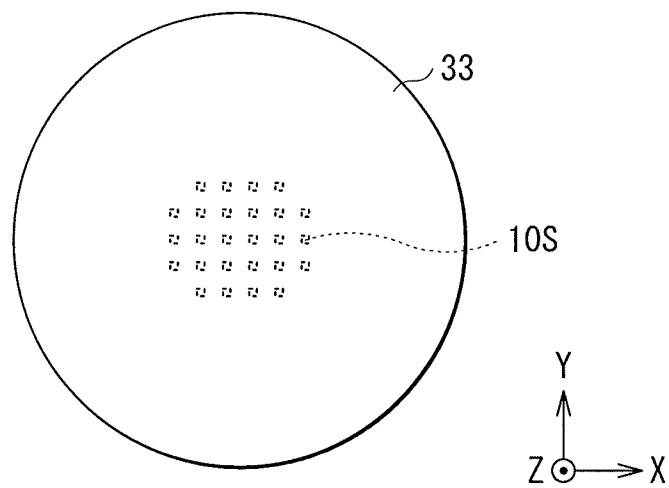
[図11B]



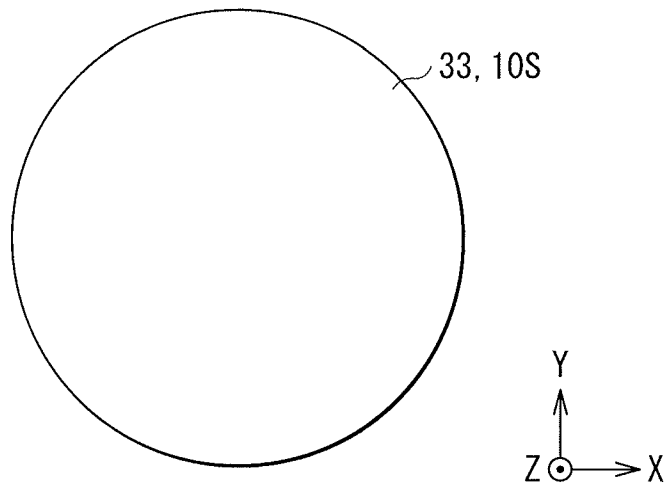
[図12A]



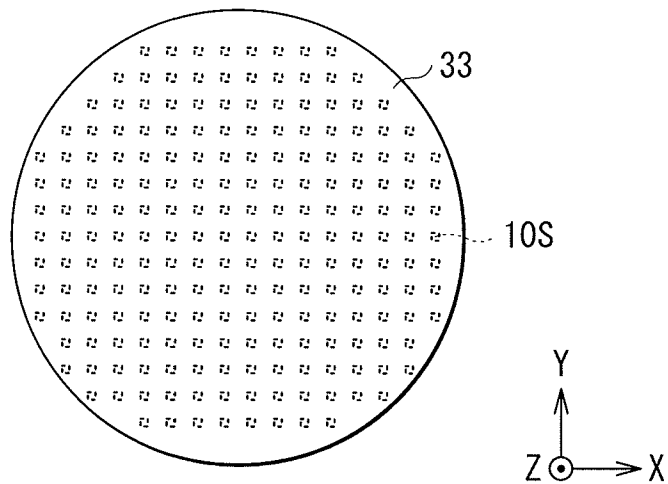
[図12B]



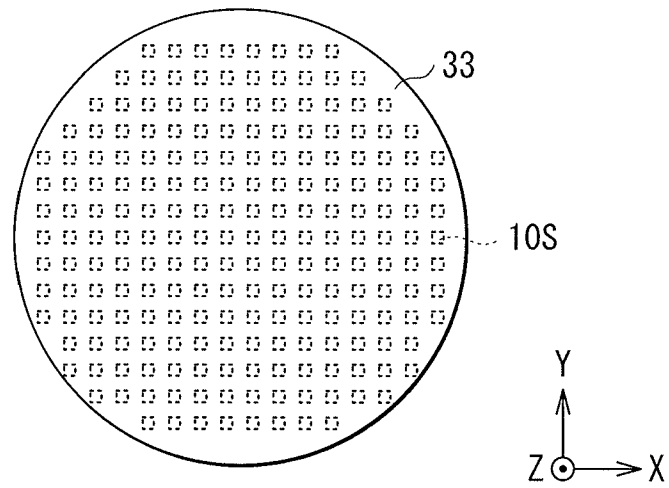
[図13A]



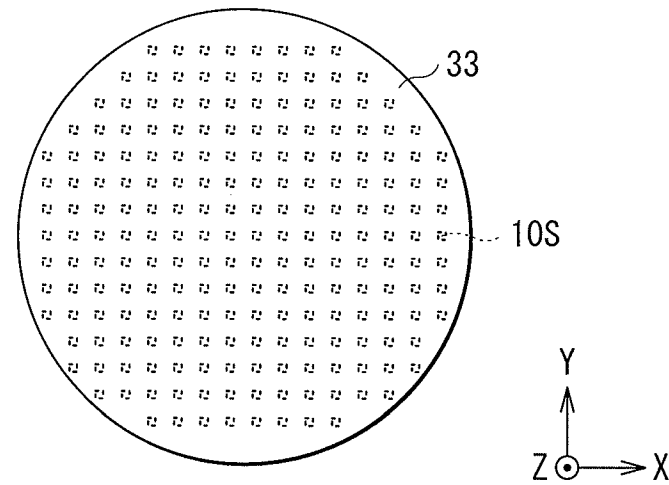
[図13B]



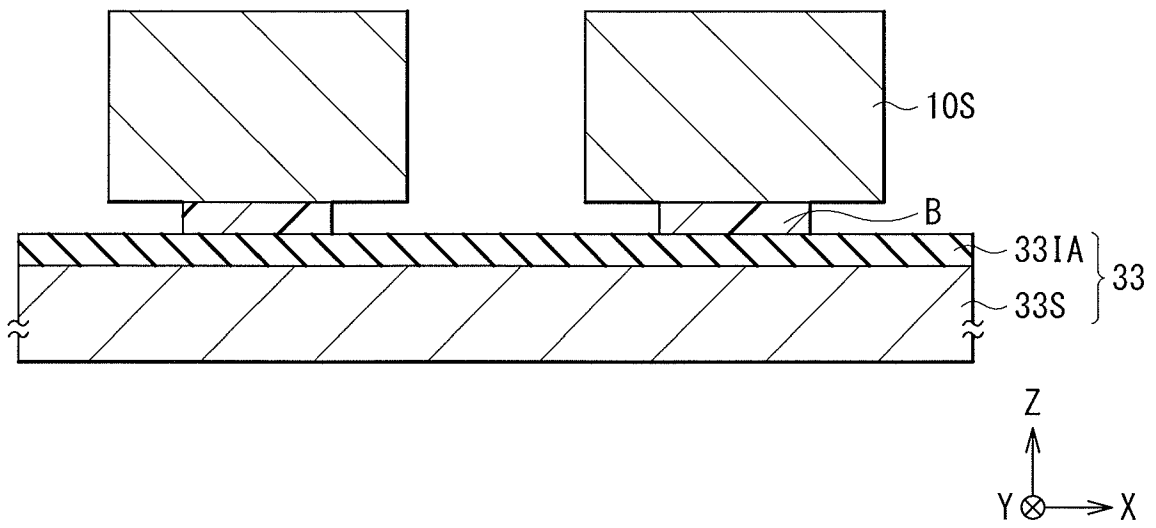
[図14A]



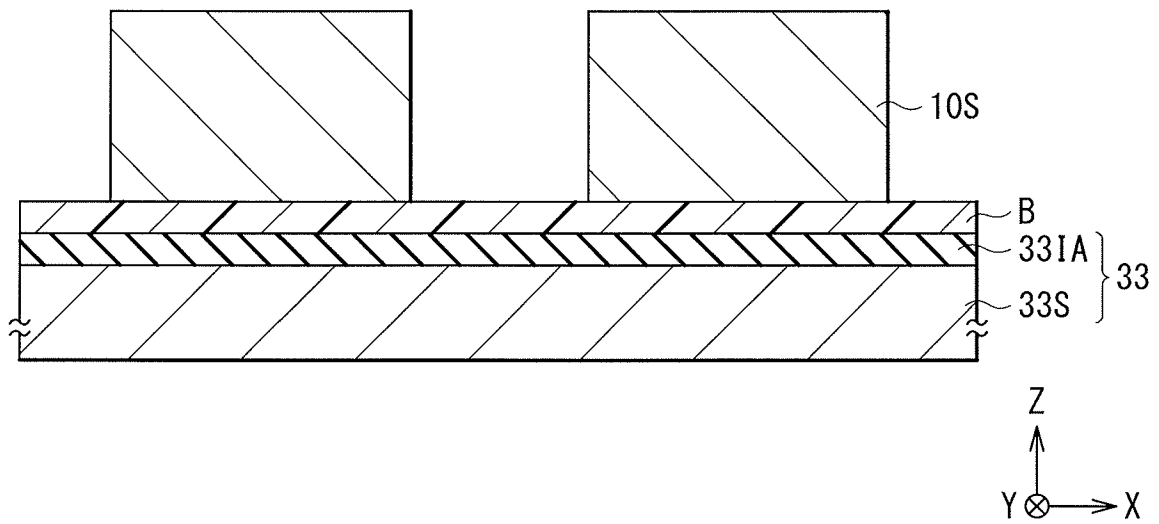
[図14B]



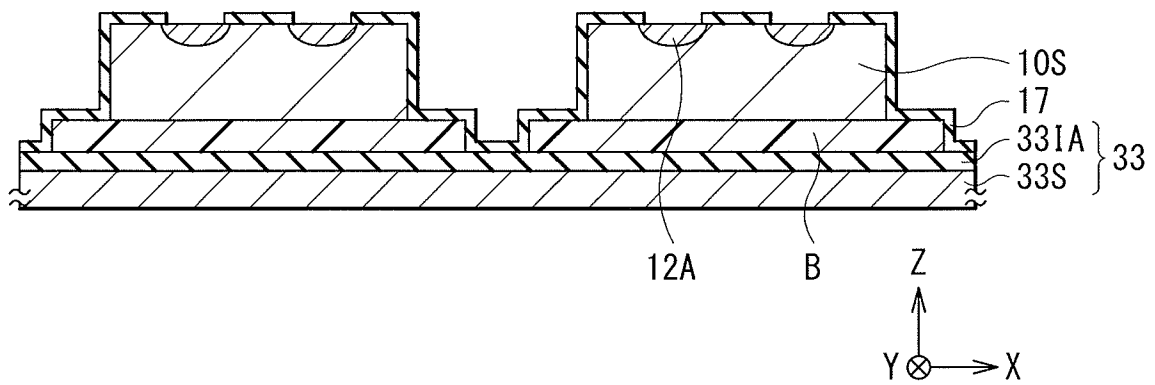
[図15]



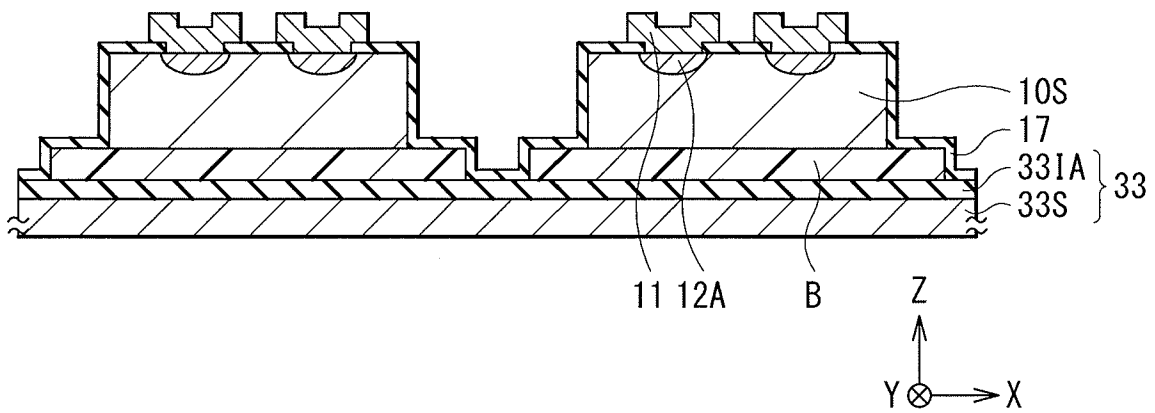
[図16]



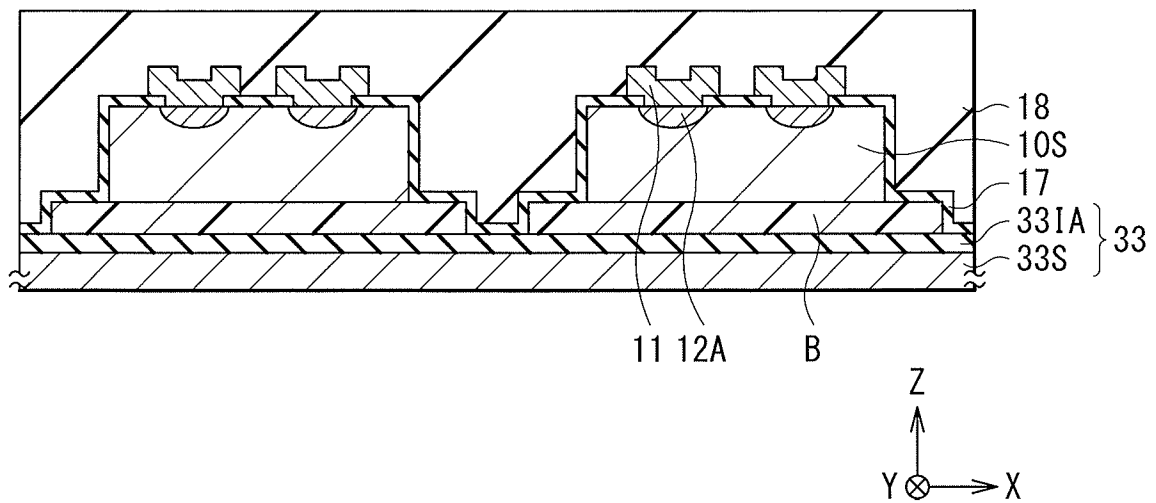
[図17A]



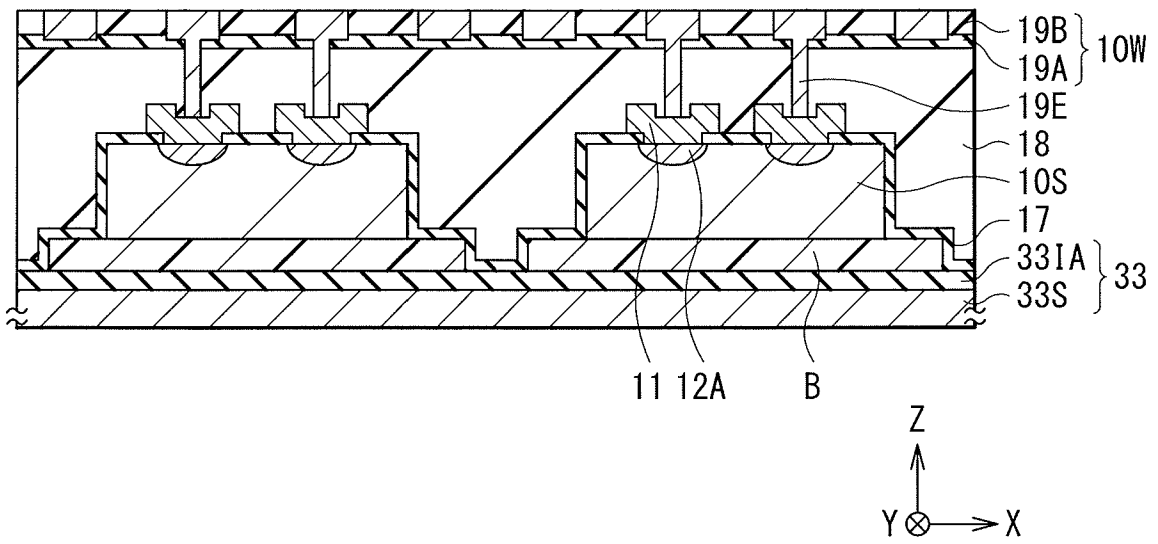
[図17B]



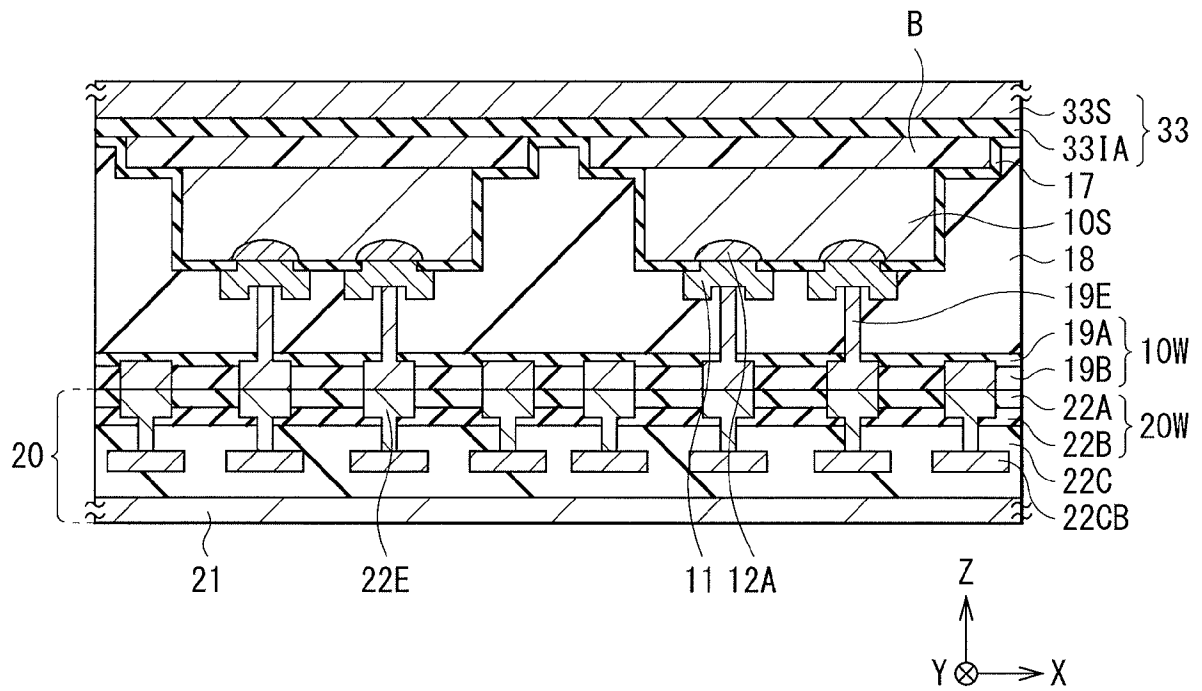
[図17C]



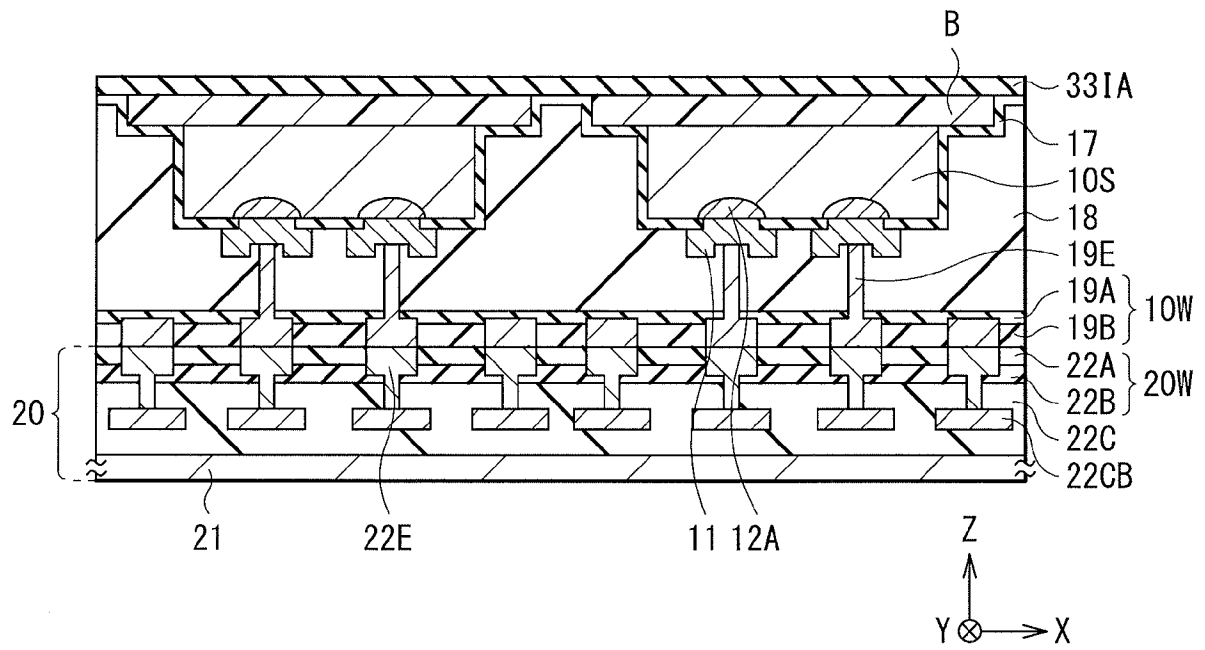
[図17D]



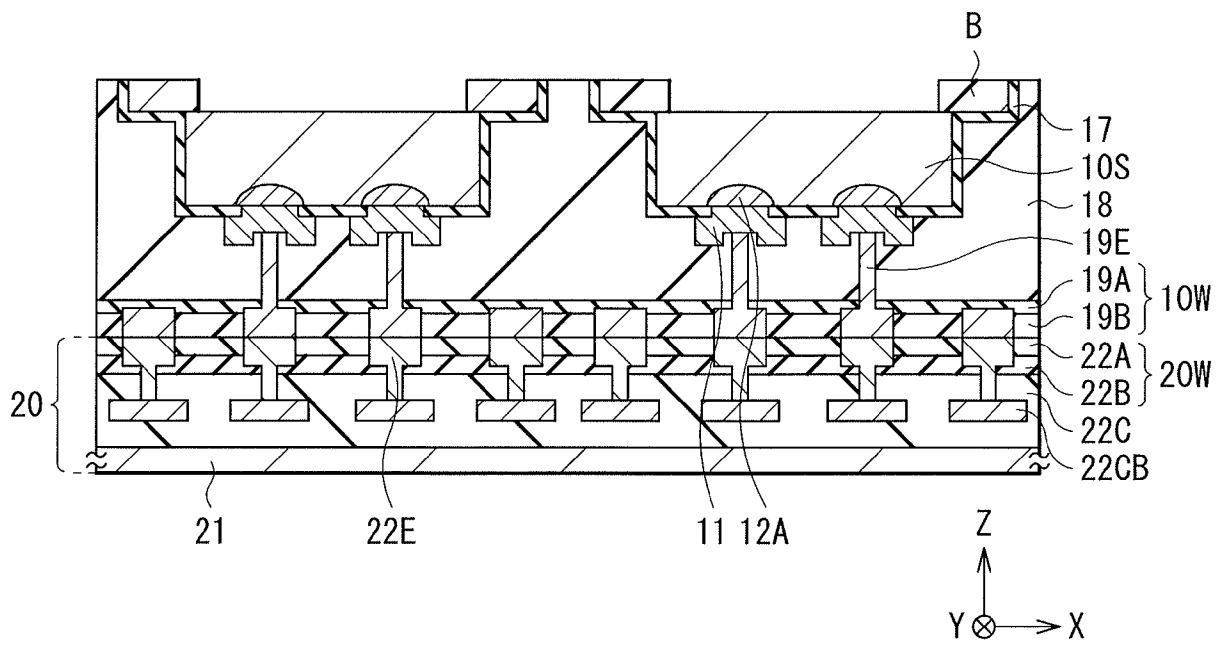
[図17E]



[図17F]

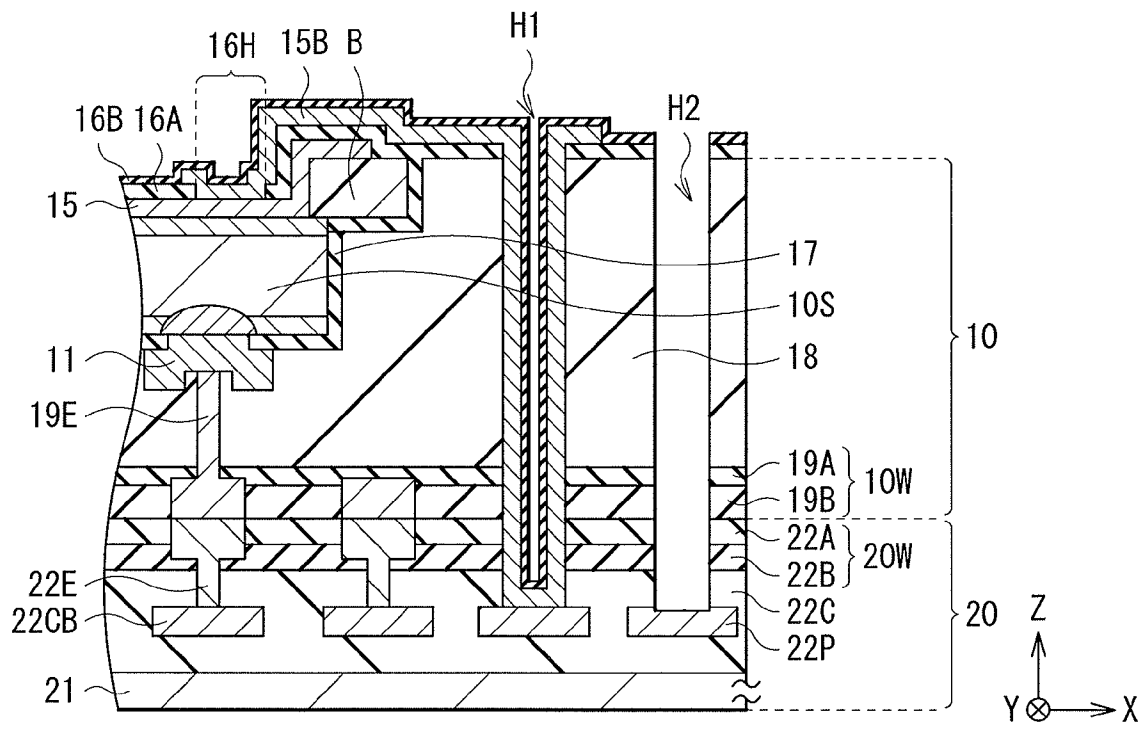


[図17G]

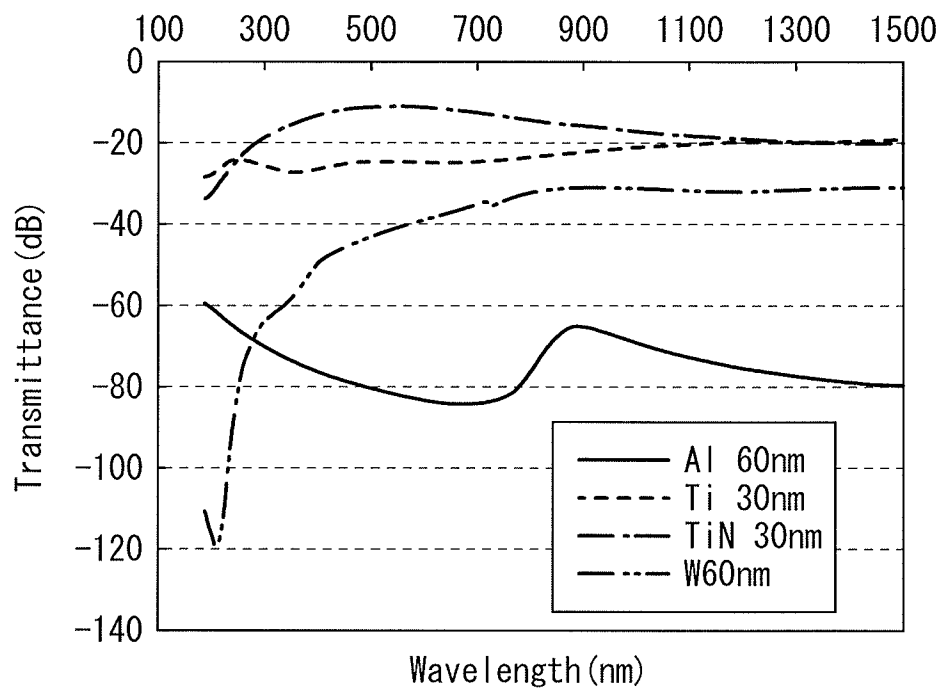


[illegible]

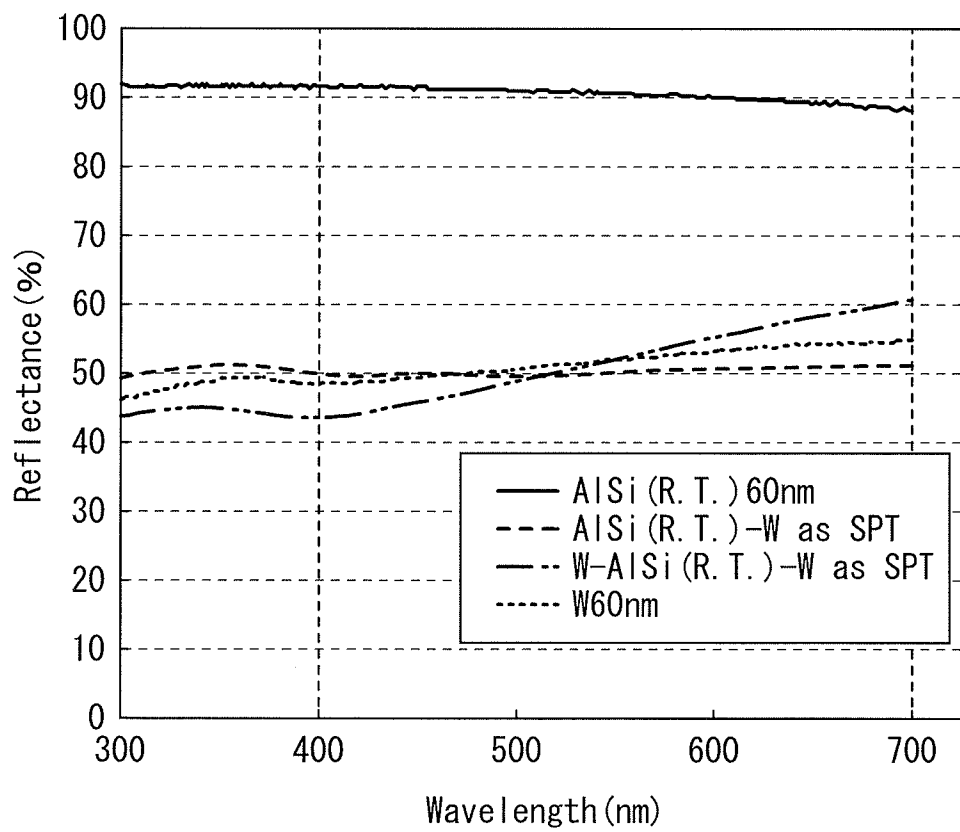
[図17J]



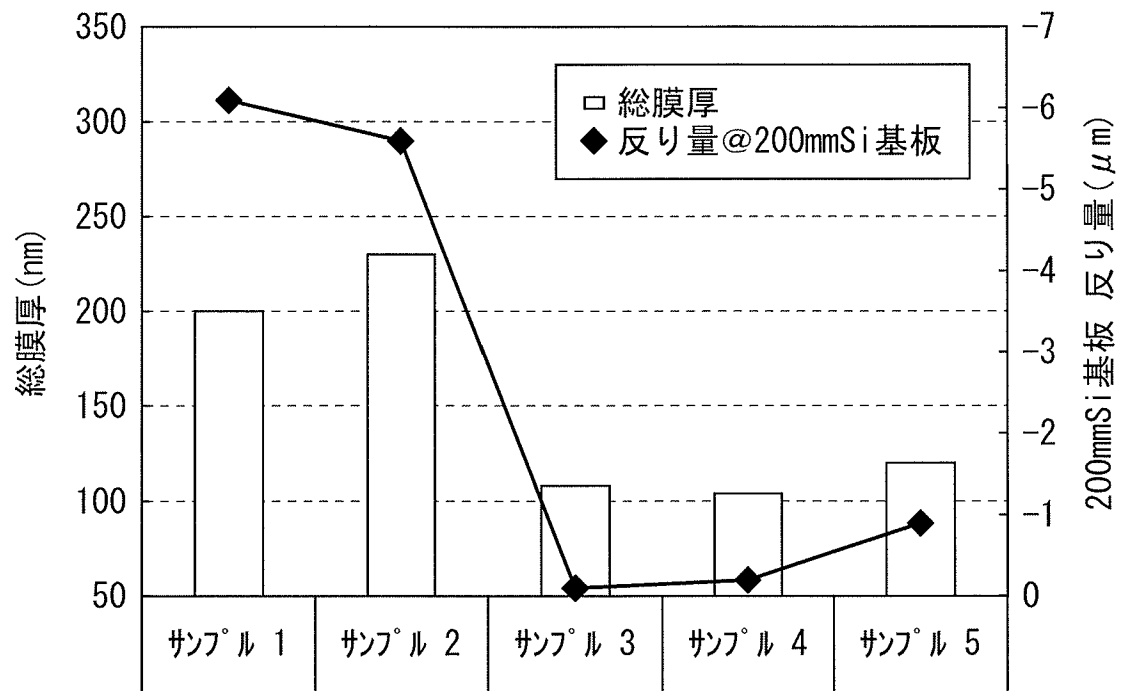
[図19]



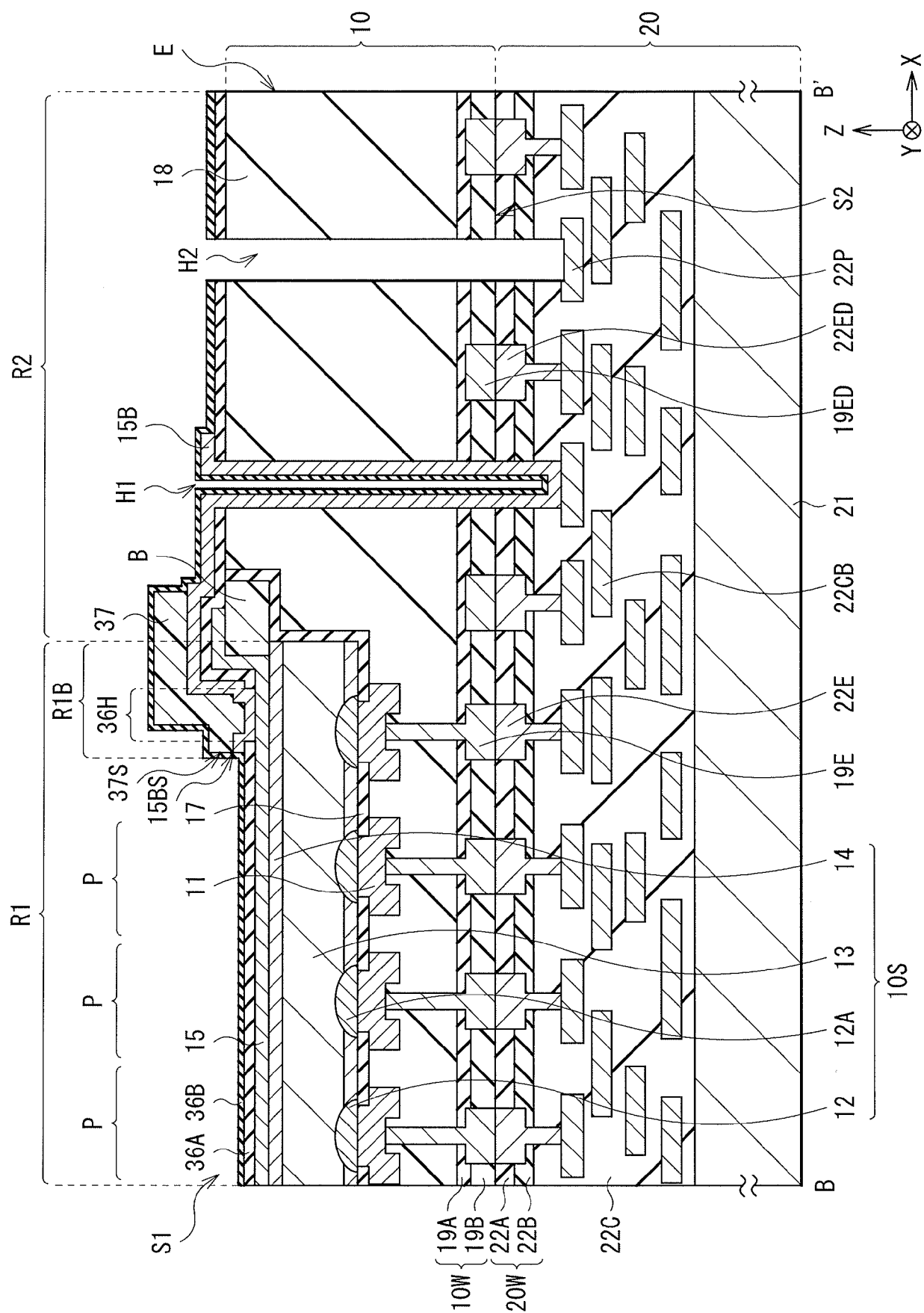
[図20]



[図21]



[図23]



[illegible]

[図26]

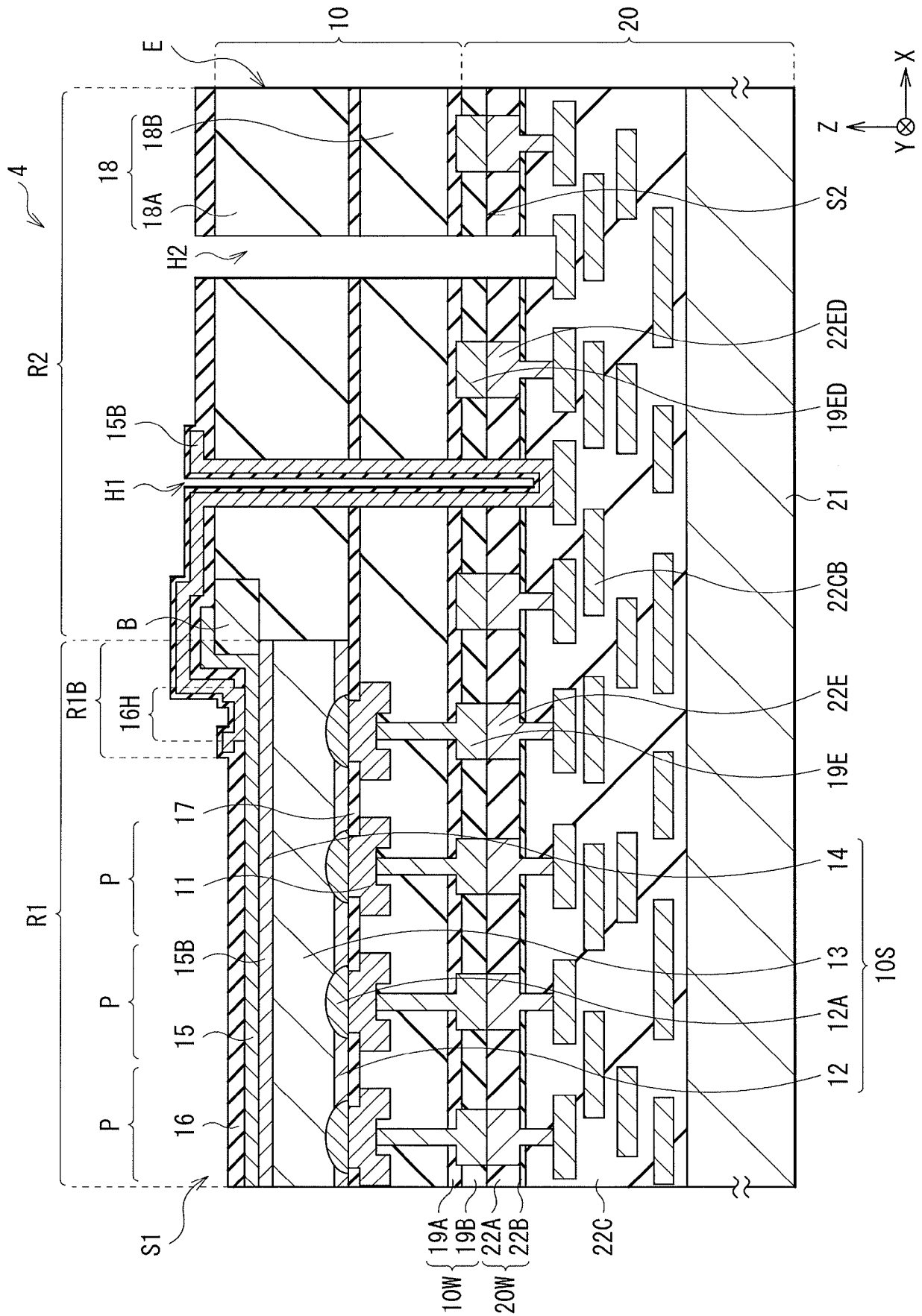
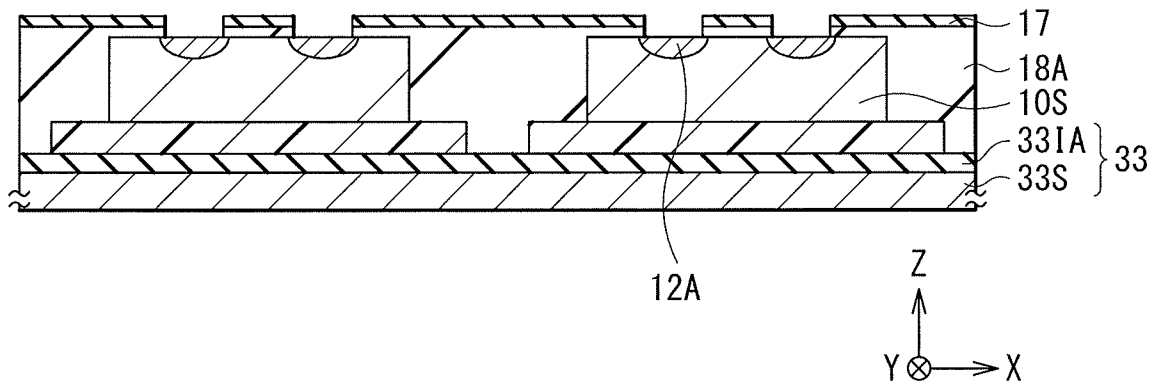
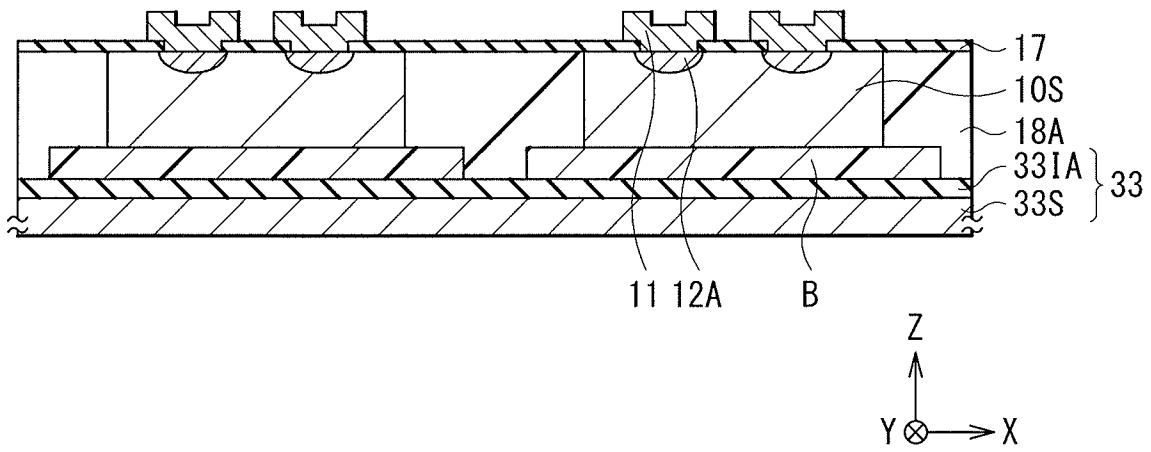


Fig. 1 is a cross-sectional view of a semiconductor device 100. The device includes a substrate 10S. A gate stack 12A is formed on the substrate 10S. The gate stack 12A includes a gate insulating layer 18A and a gate electrode 33. The gate electrode 33 is composed of a top layer 33IA and a bottom layer 33S. A source/drain region 10 is formed in the substrate 10S, with a source/drain electrode 12B formed on top of it. A coordinate system (X, Y, Z) is shown at the bottom right.

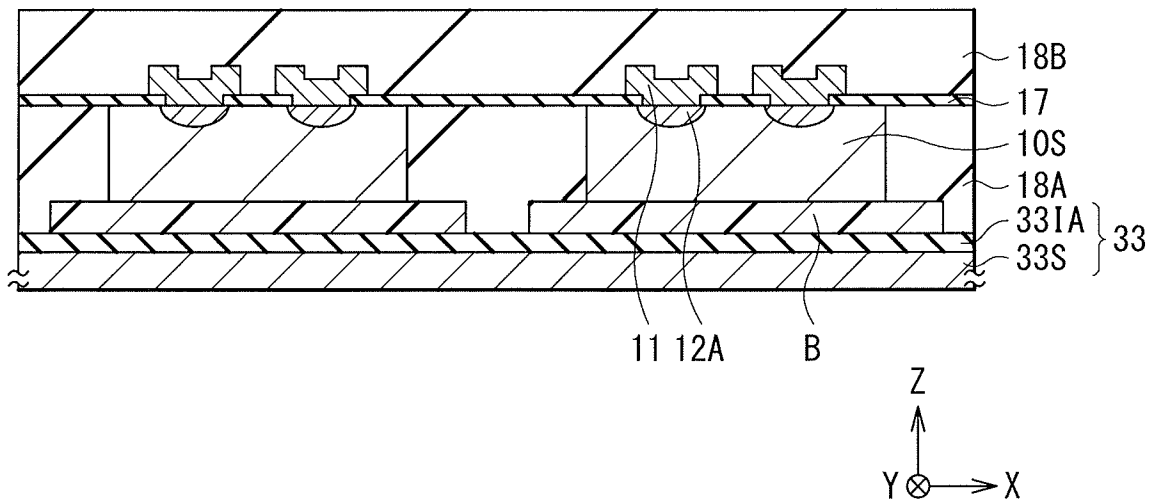
[図29]



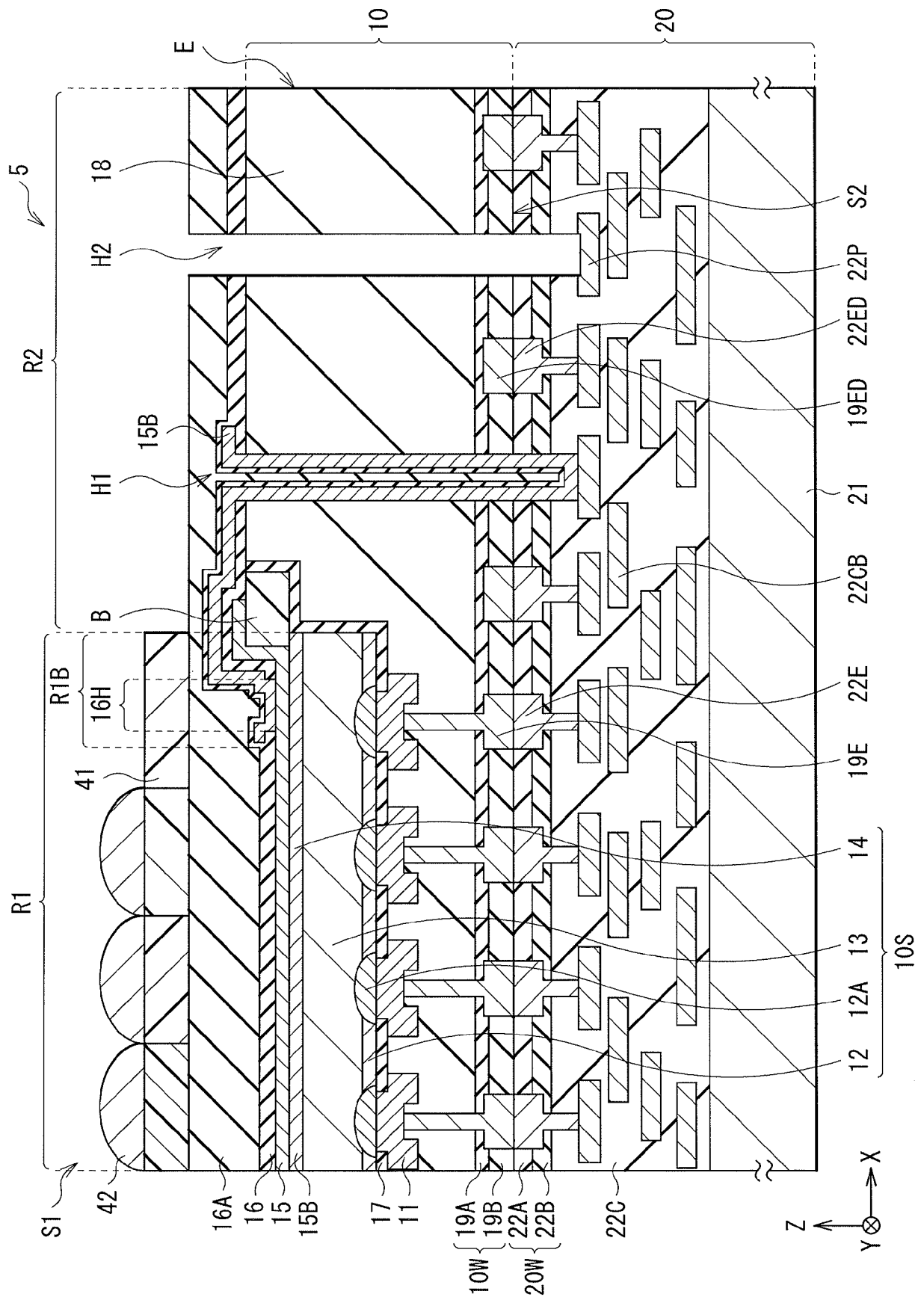
[図30A]



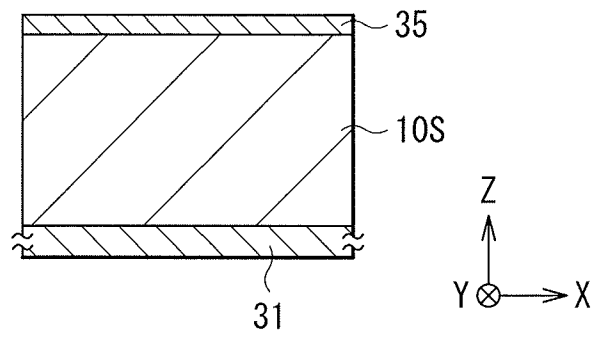
[図30B]



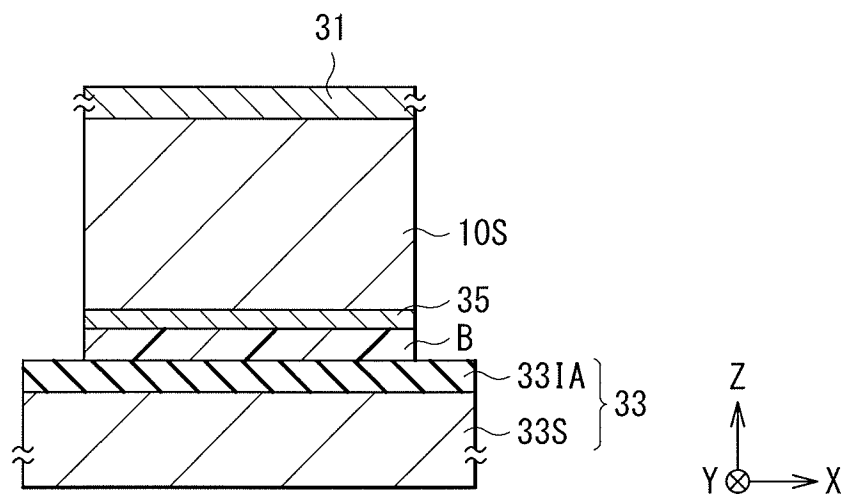
[図31]



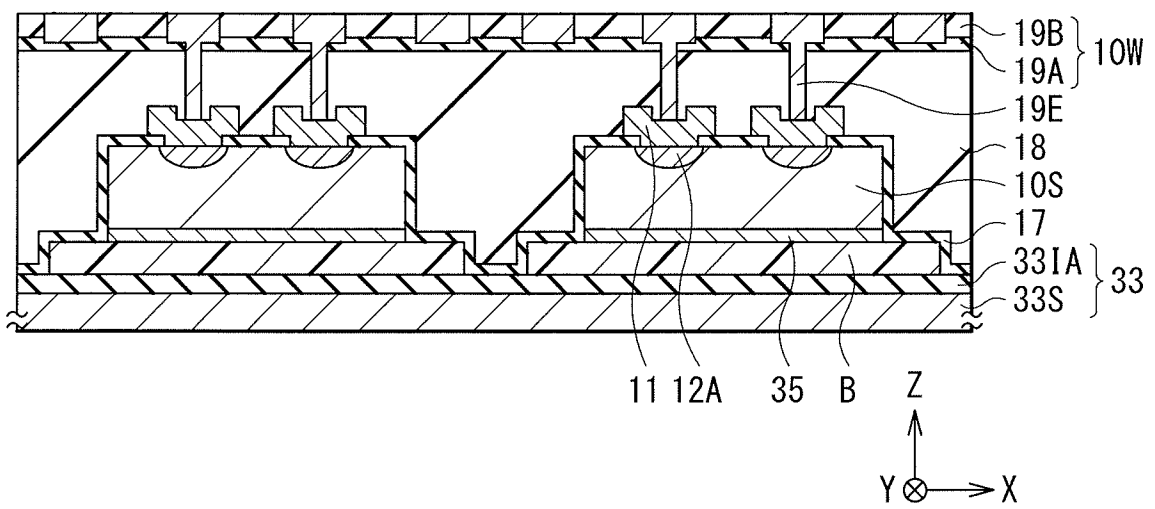
[図32A]



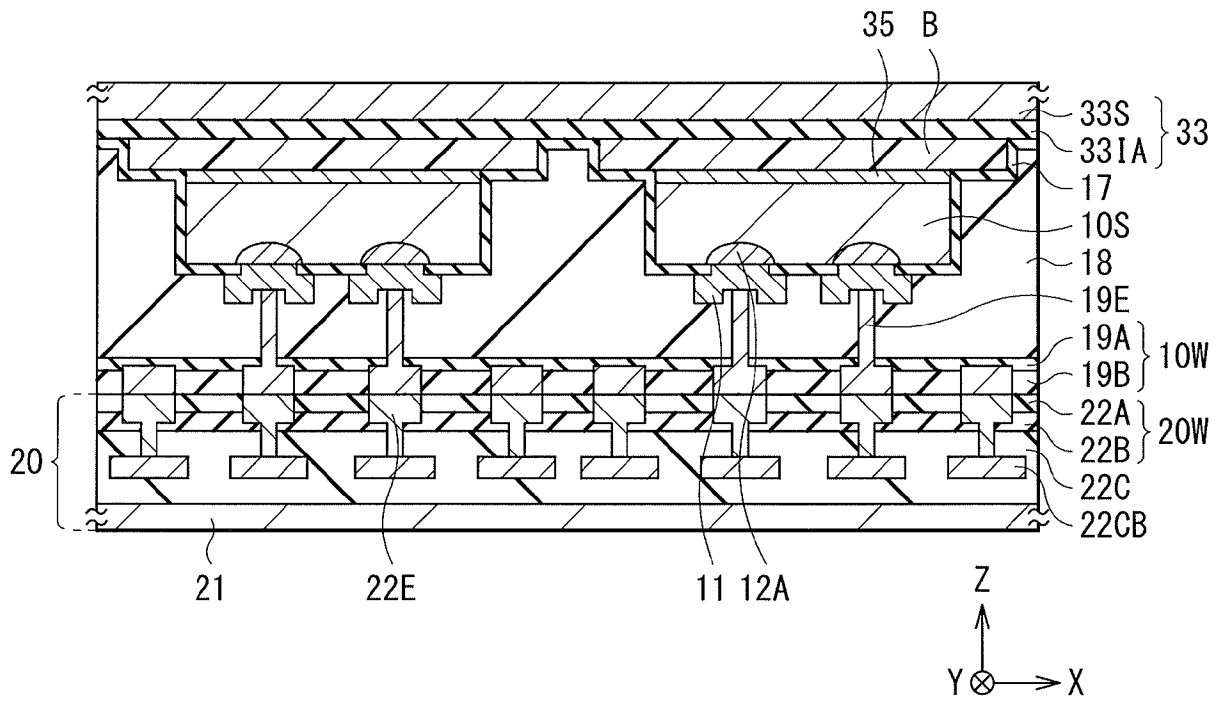
[図32B]



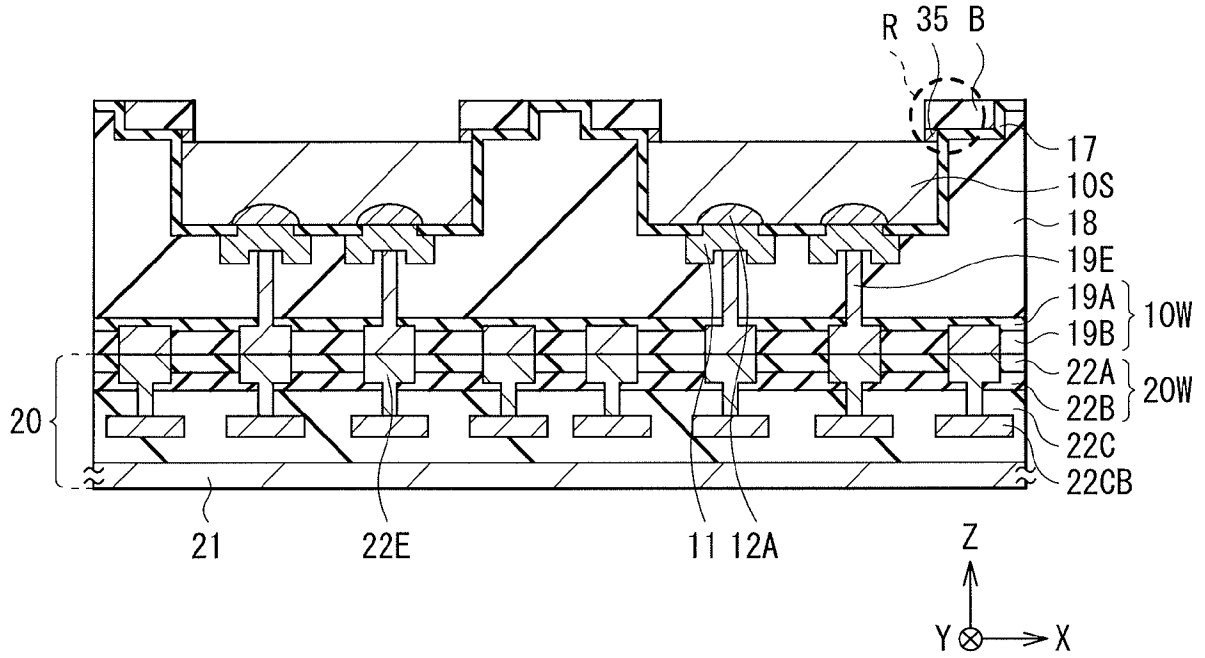
[図32C]



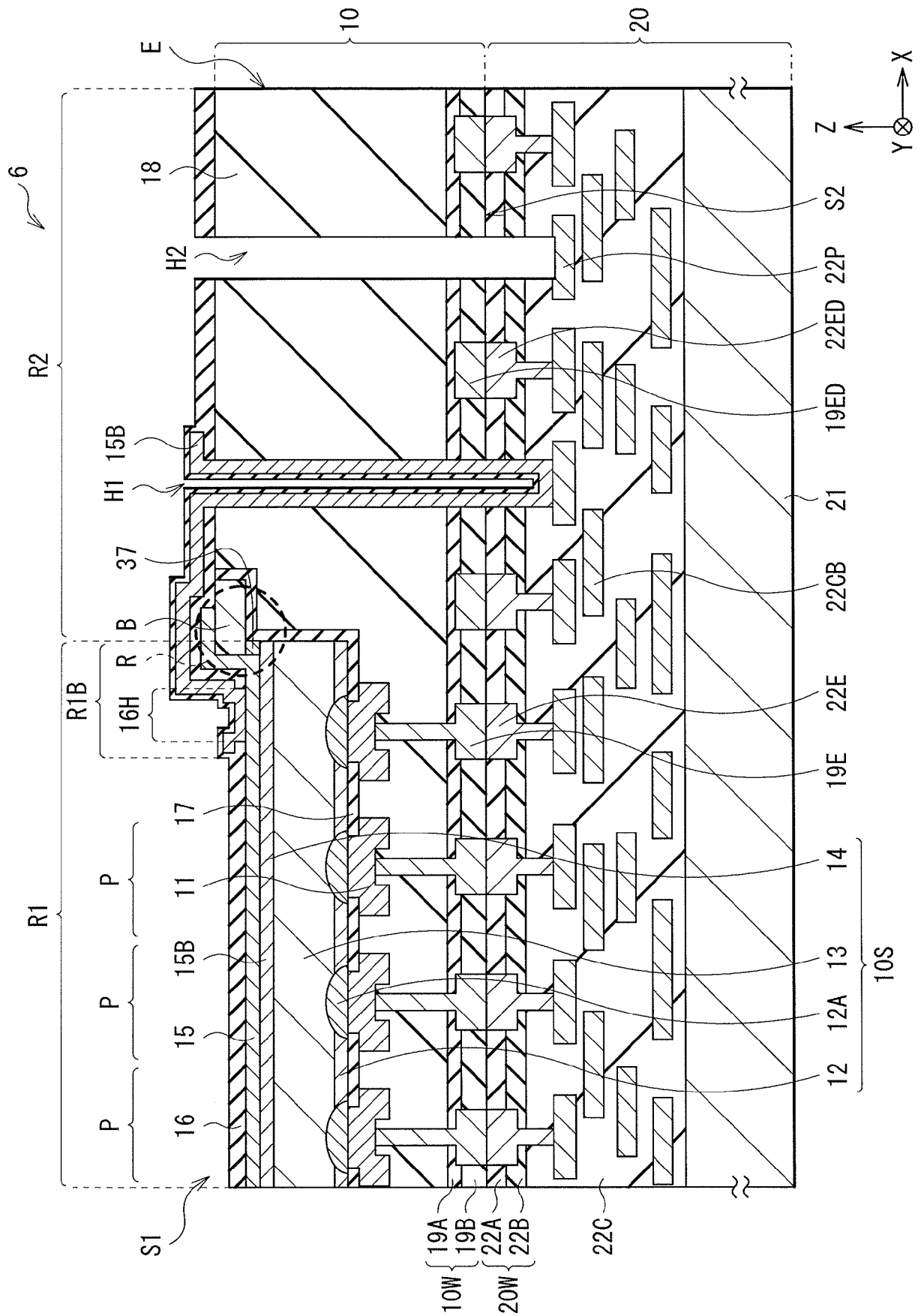
[図32D]



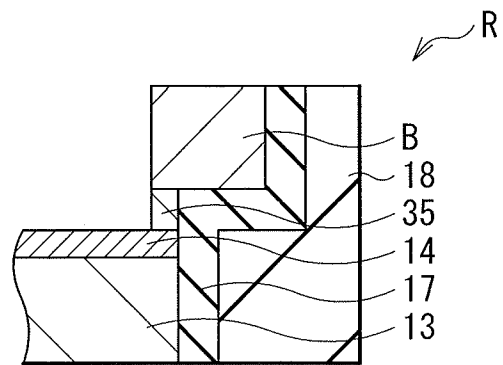
[図32E]



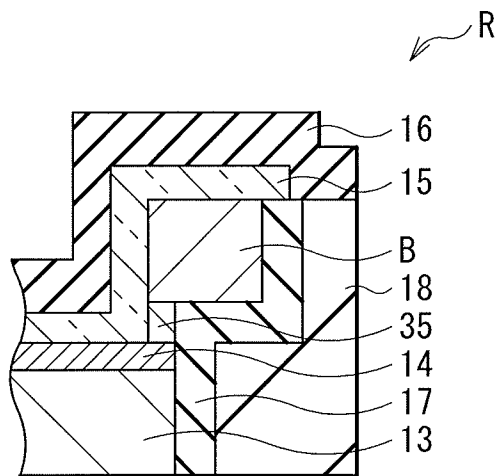
[図33]



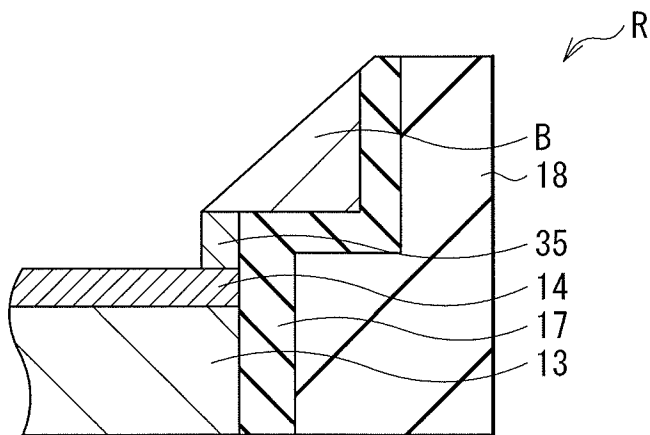
[図34A]



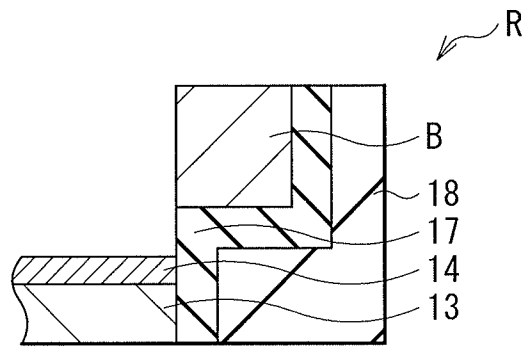
[図34B]



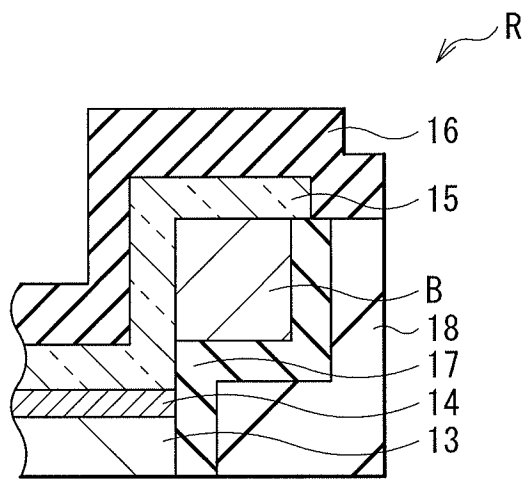
[図34C]



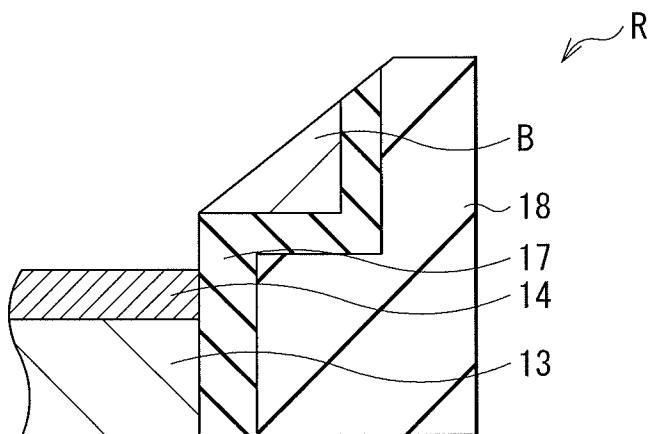
[図35A]



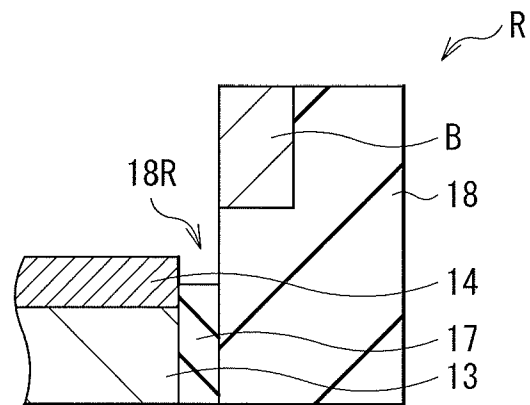
[図35B]



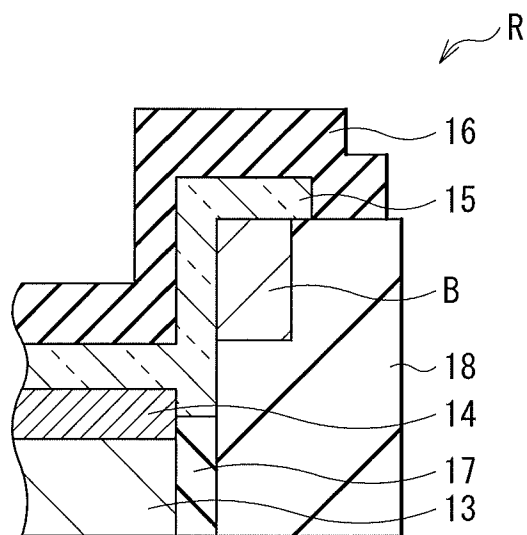
[図35C]



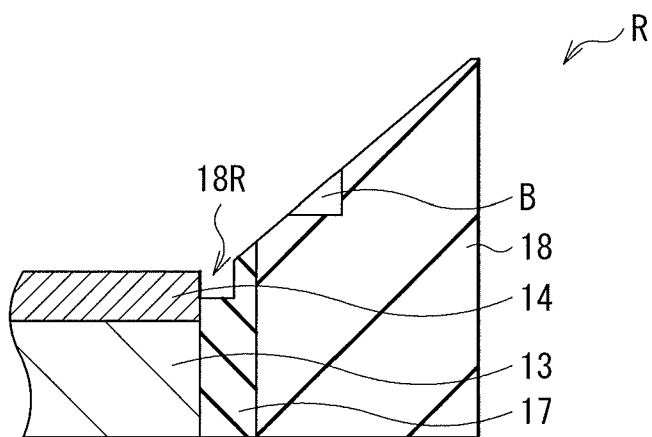
[図36A]



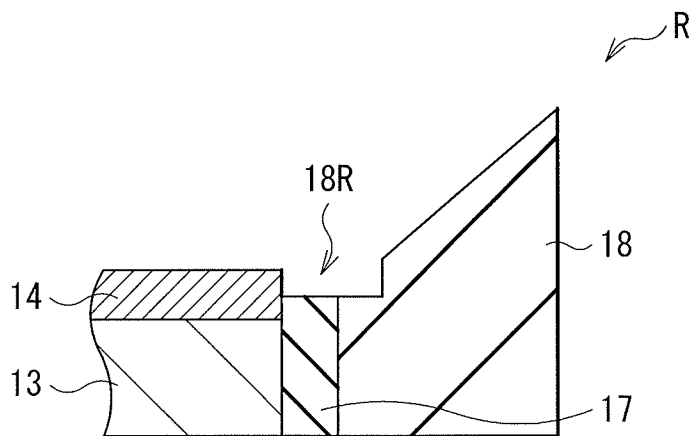
[図36B]



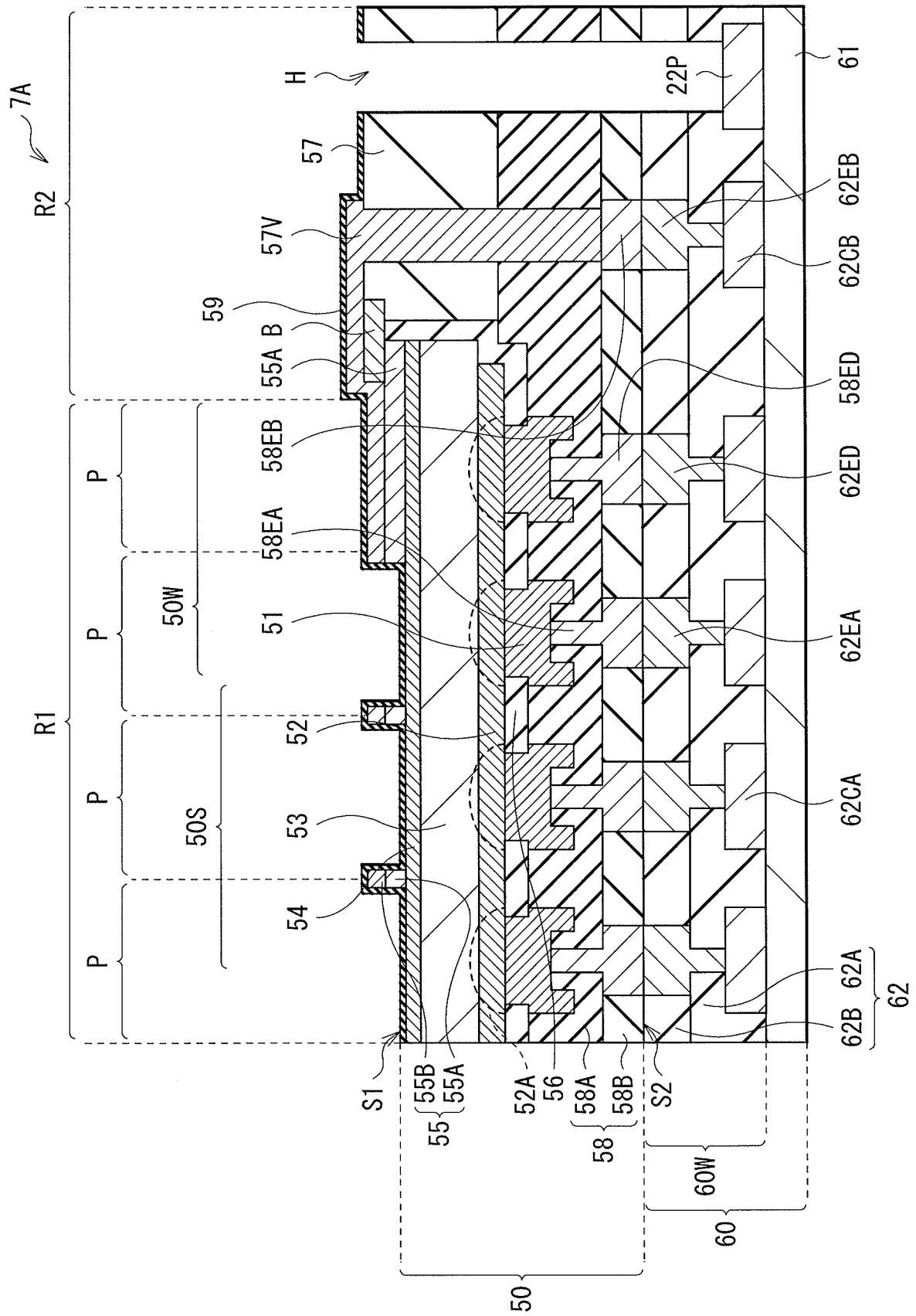
[図36C]



[図36D]

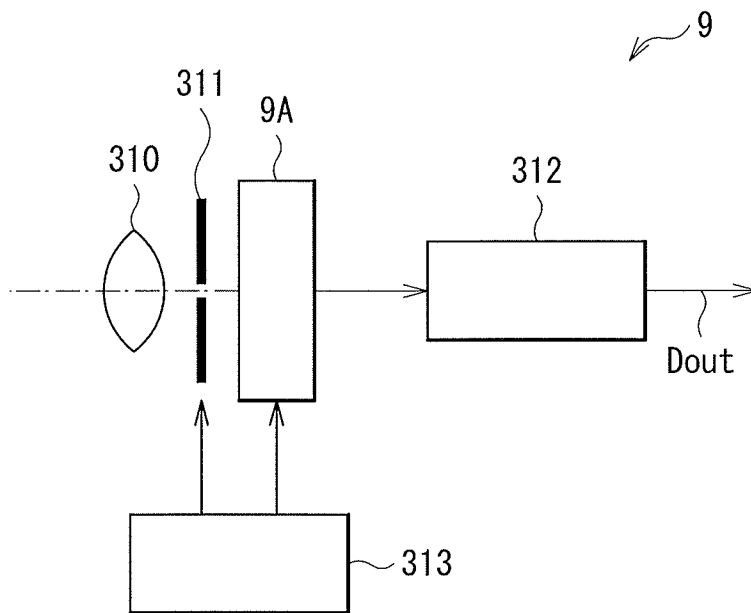


[図37]

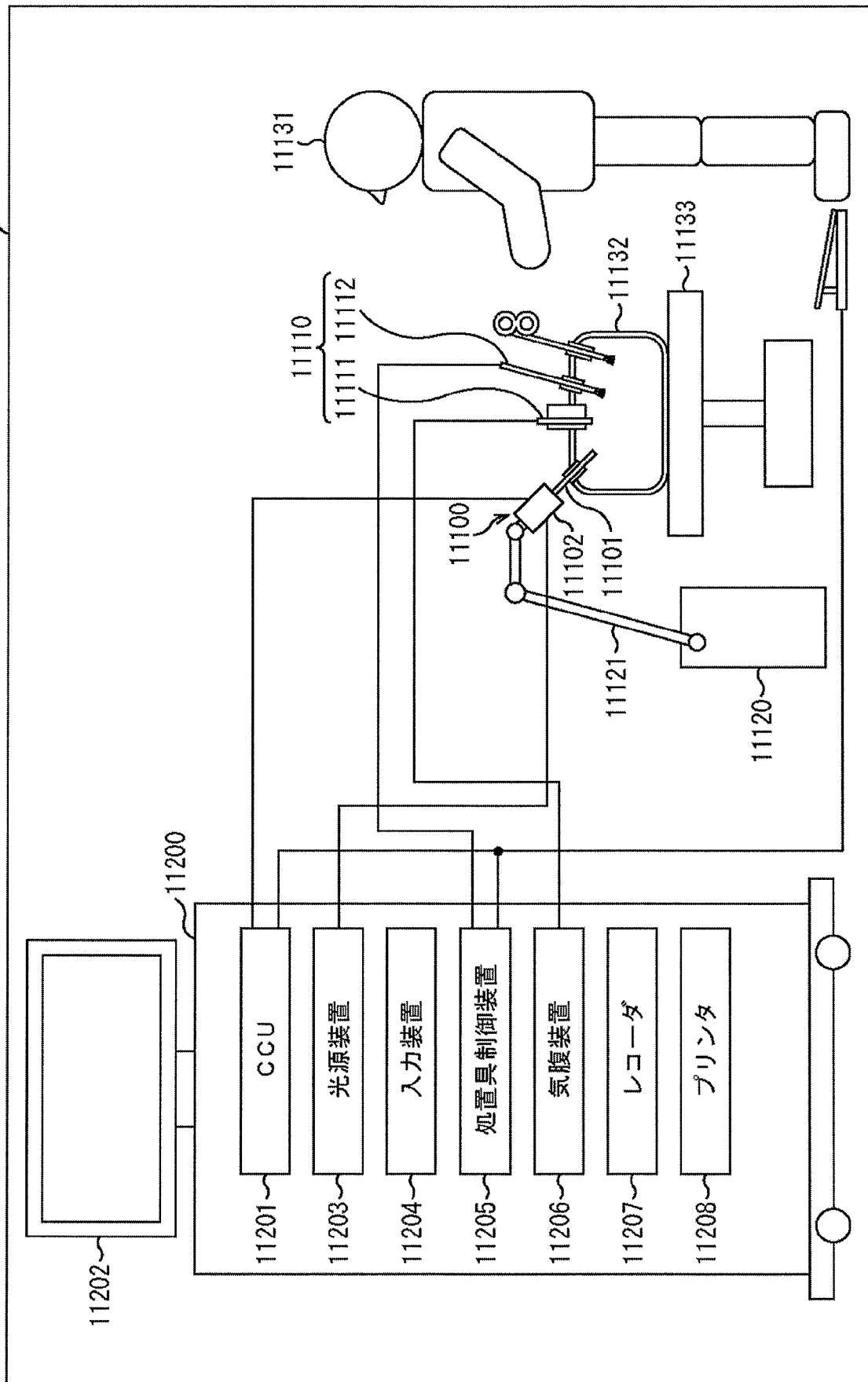


[illegible]

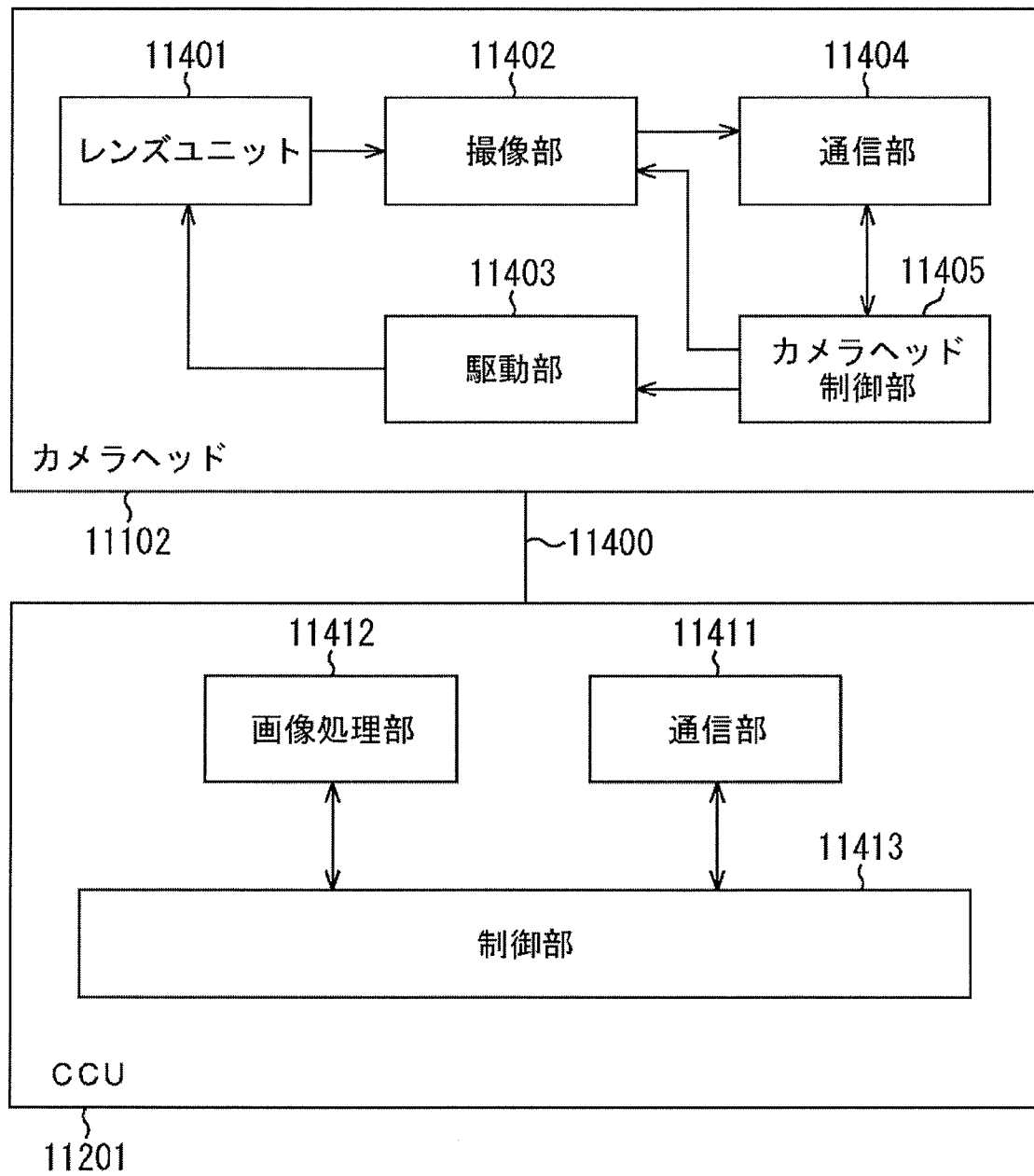
[図40]



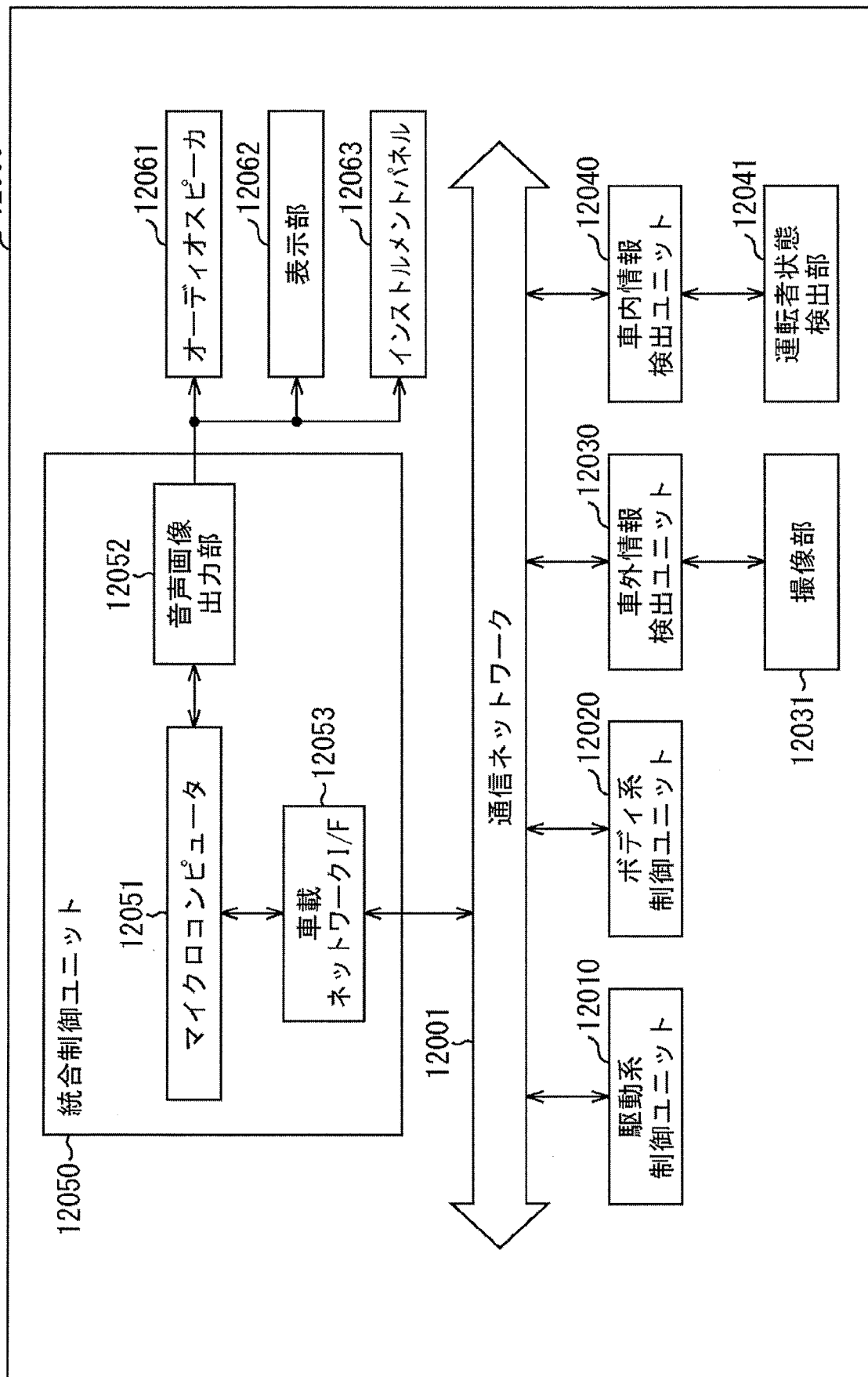
[図41]



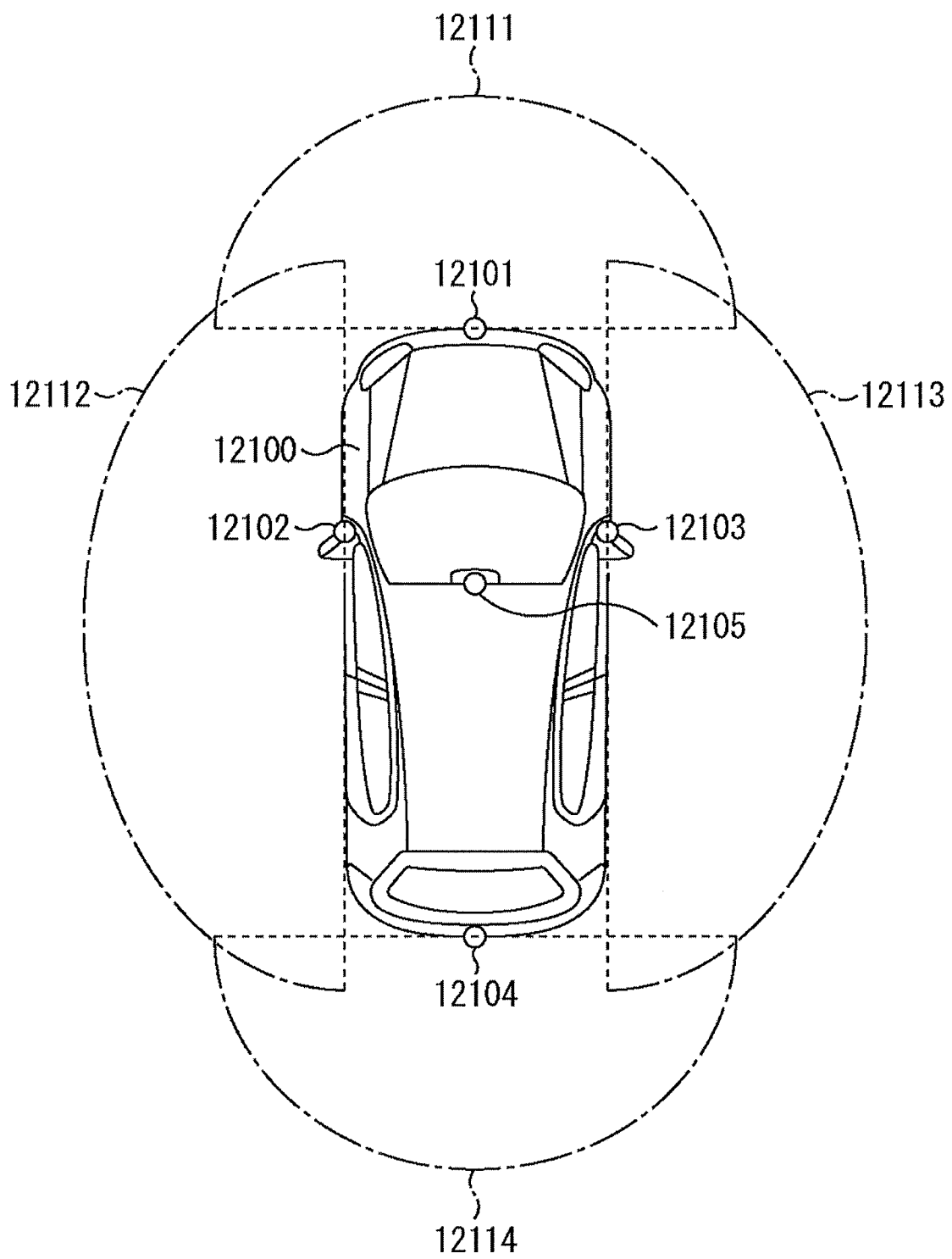
[図42]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045726

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L31/10 (2006.01) i, H01L27/00 (2006.01) i, H01L21/822 (2006.01) i, H01L27/04 (2006.01) i, H01L27/146 (2006.01) i
FI: H01L27/146 F, H01L31/10 A, H01L27/00 301C, H01L27/04 D, H01L27/146 D
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L31/10, H01L27/00, H01L21/822, H01L27/04, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2018/194030 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 25 October 2018, paragraphs [0016]-[0098], fig. 1, 20	1, 2, 4-10, 13-19
Y		3, 11, 12, 20
Y	US 2008/0067622 A1 (BUI, Peter Steven) 20 March 2008, paragraph [0052], fig. 2F	3
Y	JP 2017-022313 A (TOSHIBA CORP.) 26 January 2017, paragraphs [0030]-[0035], fig. 4	11, 12, 20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30.01.2020

Date of mailing of the international search report
10.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/045726

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2018/194030 A1	25.10.2018	(Family: none)	
US 2008/0067622 A1	20.03.2008	(Family: none)	
JP 2017-022313 A	26.01.2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/10(2006.01)i; H01L 27/00(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/146(2006.01)i FI: H01L27/146 F; H01L31/10 A; H01L27/00 301C; H01L27/04 D; H01L27/146 D		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L31/10; H01L27/00; H01L21/822; H01L27/04; H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/194030 A1 (ソニーセミコンダクタソリューションズ株式会社) 25.10.2018 (2018-10-25) [0016]-[0098], 図1, 20	1, 2, 4-10, 13-19
Y		3, 11, 12, 20
Y	US 2008/0067622 A1 (PETER STEVEN BUI) 20.03.2008 (2008-03-20) [0052], FIG. 2F	3
Y	JP 2017-022313 A (株式会社東芝) 26.01.2017 (2017-01-26) [0030]-[0035], 図4	11, 12, 20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 30.01.2020		国際調査報告の発送日 10.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2019/045726

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/194030	A1	25.10.2018	(ファミリーなし)	
US	2008/0067622	A1	20.03.2008	(ファミリーなし)	
JP	2017-022313	A	26.01.2017	(ファミリーなし)	