

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5771505号
(P5771505)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月3日(2015.7.3)

(51) Int.Cl.			F I		
HO4B	1/18	(2006.01)	HO4B	1/18	A
HO4B	1/59	(2006.01)	HO4B	1/59	
HO4B	5/02	(2006.01)	HO4B	5/02	

請求項の数 2 (全 22 頁)

(21) 出願番号	特願2011-233519 (P2011-233519)	(73) 特許権者	000153878
(22) 出願日	平成23年10月25日(2011.10.25)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-109958 (P2012-109958A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年6月7日(2012.6.7)	(72) 発明者	鎌田 康一郎
審査請求日	平成26年10月14日(2014.10.14)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-243220 (P2010-243220)		半導体エネルギー研究所内
(32) 優先日	平成22年10月29日(2010.10.29)		
(33) 優先権主張国	日本国(JP)	審査官	野元 久道

(56) 参考文献 特開2005-222265(JP, A)
)
特開平09-033645(JP, A)

最終頁に続く

(54) 【発明の名称】 受信回路

(57) 【特許請求の範囲】

【請求項1】

第1及び第2のトランジスタと、コイルと、容量素子と、比較回路と、を有し、
前記第1のトランジスタの第1の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、

前記第1のトランジスタの第2の電極は、前記第2のトランジスタの第2の電極と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第1のトランジスタの第1の電極と電氣的に接続され、

前記第2のトランジスタのゲートは、前記第2のトランジスタの第2の電極と電氣的に

10

接続され、前記コイルの一端は、前記第1のトランジスタの第1の電極と電氣的に接続され、

前記容量素子の一端は、前記第1のトランジスタの第2の電極と電氣的に接続され、

前記コイルの他端は、前記容量素子の他端と電氣的に接続され、

前記比較回路は、前記第1のトランジスタの第2の電極の電圧を検知する機能を有し、
前記第1及び第2のトランジスタは、酸化物半導体層にチャンネル形成領域を有することを特徴とする受信回路。

【請求項2】

請求項1において、

絶縁層を有し、

20

前記比較回路は、第3のトランジスタを有し、
前記絶縁層は、前記第3のトランジスタのゲートの形成後に形成されたものであり、
前記第1及び第2のトランジスタは、前記絶縁層上方に設けられていることを特徴とする受信回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電磁誘導を利用した無線通信に用いる受信回路に関する。本発明は、電磁誘導を利用した無線通信が可能なLSI（半導体集積回路）チップに関する。本発明は、電磁誘導を利用した無線通信が可能な記憶媒体に関する。

10

【背景技術】

【0002】

LSIチップなどの半導体素子とコイルを組み合わせ、電磁誘導を利用して無線通信を行う電子回路が提案されている（特許文献1）。例えばLSIチップ同士や、電子機器とLSIチップ間での相互通信を行うことが出来、LSIの積層技術や、ICチップなどへの応用が期待されている。

【0003】

例えば複数のLSIチップを積層して電氣的に接続する際、従来では、LSIチップ同士をワイヤボンディングなどの接続方法により接続する、またはスルーホールと呼ばれるチップ自体を貫通する通信路を物理的に形成して接続する技術が知られている。しかし、これらは高度な配線接続工程を要するためにコストがかかるのに加え、何層もの積層構造を実現するには物理的な限界があった。さらに従来の方法では、このような接続部における接続不良などの不良は、歩留まりや信頼性を低下させる原因の一つとなっている。

20

【0004】

しかし積層された、または隣接のLSIチップ同士を無線通信により電氣的に接続することにより、複雑な配線接続工程を要しないため、当該配線接続工程で生じていた歩留まりや信頼性の悪化が抑制され、低コストで回路の大規模化、高集積化が容易となる。

【0005】

また、このような電磁誘導を利用した無線通信の技術は小型のICチップやフラッシュメモリなどの記憶媒体などに応用することができる。この技術を記憶媒体などに応用することにより、それまで必要であった接触電極の露出部をなくすことで大幅な面積縮小が可能となり、記憶媒体の更なる小型化が期待される。さらに、露出した電極が不要となるため、ICチップや記憶媒体を樹脂等で覆うことにより完全防水化が可能となるほか、電子機器側も記憶媒体を挿入するスロットを無くせるなど、様々な面で効果が期待される。

30

【0006】

ここで、このような電磁誘導を利用した無線通信に用いられる従来の受信回路の構成と、その動作について、図10及び図11を用いて説明する。図10は、送信回路の一部と、従来用いられる受信回路の構成の一例を示す回路図であり、図11は信号を送受信する際のタイミングチャートの一例である。

【0007】

送信回路10は、コイル11を有し、コイル11の一方の端子は接地電位線に接続され、他方の端子から送信信号（TXDATA）が入力される。一方、受信回路20は、コイル21、2つのコンパレータ（コンパレータ23a、コンパレータ23b）、及びNAND回路素子から構成されるラッチ回路25から構成される。コイル21の一方の端子は接地電位線に接続され、他方の端子はコンパレータ23aの反転入力端子（以降、-端子とも呼ぶ）と、コンパレータ23bの非反転入力端子（以降、+端子とも呼ぶ）に接続される。コンパレータ23aの+端子とコンパレータ23bの-端子にはそれぞれ基準電圧VH、基準電圧VLが入力される。基準電圧VHには0Vより大きい電圧、基準電圧VLには0V未満であることを満たす電圧をそれぞれ用いる。コンパレータ23a及びコンパレータ23bのそれぞれの出力端子はラッチ回路25に接続され、ラッチ回路25からは受

40

50

信信号 (R X D A T A) が出力される。

【 0 0 0 8 】

ここで、送信回路 1 0 及び受信回路 2 0 が有する 2 つのコイルの相対的な位置関係を明確にするため、図 1 0 のコイルの一端に黒丸を記している。具体的には、結合係数が正の場合、一次側のコイルの黒丸を記した一端に対する電流の向きと、二次側のコイルの黒丸を記した一端に対する電流の向きとが一致するとする。なお、本構成では、これら 2 つのコイル間の結合係数は正であるとする。

【 0 0 0 9 】

次に受信動作について図 1 0 に加え図 1 1 に示したタイミングチャートも参照して説明する。図 1 1 (A) は、送信信号 (T X D A T A)、図 1 1 (B) はコイル 2 1 の両端に生じる電位差 (V R)、図 1 1 (C) は受信信号 (R X D A T A) の、時間に対する電圧の推移をそれぞれ示している。ここで V R は図 1 0 のコイル 2 1 において、黒丸を記した一端の向きを正として表記しており、コンパレータ 2 3 a の - 端子、及びコンパレータ 2 3 b の + 端子に入力される電圧に等しい。

10

【 0 0 1 0 】

T X D A T A がハイレベル電圧とローレベル電圧を推移する際、電磁誘導現象によりコイル 2 1 には電位差 V R が生じ、図 1 1 (B) に示したようなパルス形状の電圧波形を示す。V R がコンパレータ 2 3 a に入力される上限電圧 V H を超えると、ラッチ回路 2 5 の出力電圧 R X D A T A としてハイレベル電圧が出力され、一方、V R がコンパレータ 2 3 b に入力される下限電圧 V L を下回ると、R X D A T A は反転しローレベル電圧が出力される。またラッチ回路 2 5 は、T X D A T A の電圧が変化するまで、直前の出力電圧を保持する。

20

【 0 0 1 1 】

上記のような構成と動作方法により、受信回路 2 0 は送信回路 1 0 からの送信信号 T X D A T A を受信し、受信信号 R X D A T A として復元することが出来る。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 特許文献 1 】 特開 2 0 0 5 - 2 2 8 9 8 1 号 公 報

【 発明の概要 】

30

【 発明が解決しようとする課題 】

【 0 0 1 3 】

上記に示した従来の受信回路の構成の一例では、2 つのコンパレータと、2 つの N A N D 回路素子を用い、さらにここでは示さなかったが、基準電圧 V H、及び基準電圧 V L を生成する 2 つの定電圧電源回路が必要となってくる。このように、上記に示した構成を有する従来の受信回路に限らず、他の従来の受信回路も回路規模が大きく、回路規模及び回路サイズの縮小化、高集積化が困難であった。

【 0 0 1 4 】

本発明は、このような技術的背景のもとでなされたものである。したがって、本発明の一態様は、電磁誘導を利用した無線通信を行なうための、回路構成が簡易な受信回路を提供することを課題とする。また電磁誘導を利用した無線通信の機能を有し、回路規模やサイズの縮小が可能で L S I チップ及び記憶媒体を提供することを課題とする。

40

【 課題を解決するための手段 】

【 0 0 1 5 】

上記目的を達成するために、本発明は、回路規模の増大を招くコンパレータ及びラッチ回路を用いずに、受信コイルの両端に生じる電圧の向きの情報を電圧信号として出力すると共に、電圧の向きが反転するまでの間、この情報を保持できる回路構成を有する受信回路とすればよい。具体的には、2 つのダイオード素子を逆向き且つ並列に接続した並列回路を構成し、当該並列回路の一端を、一端が接地電位線に接続されたコイルの他端と接続し、並列回路の他端に容量素子を直列に接続する構成を有する受信回路とする。

50

【0016】

すなわち、本発明の一態様は、2つのダイオード素子を並列且つ逆向きに電氣的に接続した並列回路と、一端を並列回路の一端と直列に電氣的に接続し、他端を接地したコイルと、一端を並列回路の他端と直列に電氣的に接続し、他端を接地した容量素子と、並列回路と容量素子とが接続するノードの電圧を検知する比較回路と、を有する受信回路である。

【0017】

2つのダイオード素子からなる並列回路にコイルに生じた電圧が印加され、並列回路の両端に当該ダイオード素子のしきい値電圧を越える電位差が生じると、高電圧側から低電圧側へ電流が流れ、並列回路と直列に接続される容量素子に電圧が保持される。その後、並列回路への電圧印加がなくなると、容量素子に保持された電圧によって並列回路に上記電流とは逆向きに電流が流れるが、並列回路の両端の電位差がダイオード素子のしきい値電圧より小さくなると当該電流は止まり、並列回路と容量素子との間のノードには、当該しきい値電圧に近い大きさの電圧が保持される。ここで、保持される電圧の正負は並列回路に印加される電圧の正負に依存し、コイルに正の電圧が生じた場合には当該ノードに正の電圧が保持され、負の電圧が生じた場合には負の電圧が保持される。

【0018】

したがって、コイルに生じる電圧の向きの情報は、上記並列回路と容量素子との間のノードに保持される電圧の正負として保持される。このノードに例えば電圧の正負を判定する比較回路などを接続し、保持された電圧を所望の電圧に増幅することにより、送信回路からの送信信号を復元した受信信号を生成することが出来る。

【0019】

また、本発明の一態様は、上記受信回路内の2つのダイオード素子はトランジスタを用いてなり、当該トランジスタのチャンネルを構成する半導体層は、酸化物半導体からなる受信回路である。

【0020】

本発明の受信回路に用いるダイオード素子に、ソース又はドレインの一方とゲートを接続したトランジスタを用い、当該トランジスタのチャンネルを形成する半導体層に酸化物半導体を用いる。適切な工程を経て作製された酸化物半導体を用いたトランジスタは、オフ時のリーク電流が極めて小さい特徴を有し、上記並列回路と容量素子との間のノードに保持される電荷のリークを極めて小さいものとする事が出来る。このような特徴を持つトランジスタをダイオード素子に適用することにより、受信回路に用いる容量素子のサイズを小さくし、回路サイズを縮小化が図れる。これに加えて、容量成分が小さくなるため充放電に要する時間が短縮され、高周波数の信号にも適用可能となる。さらにダイオード素子のリークが極めて小さいという特徴により、当該ノードには極めて長い時間電圧を保持することができるため、周波数の極めて低い信号に関しても適用可能な受信回路とすることが出来る。

【0021】

また、本発明の一態様は、電磁誘導を利用した無線通信の機能を有するLSIチップであって、上記受信回路を有する、LSIチップである。

【0022】

また、本発明の一態様は、電磁誘導を利用した無線通信の機能を有する記憶媒体であって、上記受信回路を有する、記憶媒体である。

【0023】

本発明の一態様の受信回路をLSIチップに搭載することにより、積層したチップ間で電磁誘導を利用した無線通信を行うことが出来、さらに回路規模、チップサイズが縮小されたLSIチップとすることが出来る。また、本発明の一態様の受信回路をメモリカードなどの記憶媒体に搭載することにより、回路規模やその大きさを小さくしつつ、電子機器との無線通信が可能な記憶媒体とすることが出来る。

【発明の効果】

【0024】

本発明によれば、電磁誘導を利用した無線通信を行なうための、回路構成が簡易な受信回路を提供できる。また当該受信回路を用いることにより、電磁誘導を利用した無線通信の機能を有し、回路規模やサイズの縮小が可能なLSIチップ及び記憶媒体を提供できる。

【図面の簡単な説明】

【0025】

【図1】本発明の一態様の、受信回路を説明する図。

【図2】本発明の一態様の、信号を送受信する際のタイミングチャート。

【図3】本発明の一態様の、受信回路を説明する図。

【図4】本発明の一態様の、受信回路の断面模式図。

【図5】本発明の一態様の、受信回路の作製方法を説明する図。

【図6】本発明の一態様の、LSIチップを説明する図。

【図7】本発明の一態様の、メモリカードを説明する図。

【図8】本発明の実施例に係る、受信回路の回路図。

【図9】本発明の実施例に係る、受信回路の入出力特性の計算結果。

【図10】従来技術の受信回路の構成例を説明する図。

【図11】従来技術の信号を送受信する際のタイミングチャート。

【発明を実施するための形態】

【0026】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0027】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0028】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET(Insulated Gate Field Effect Transistor)や薄膜トランジスタ(TFT:Thin Film Transistor)を含む。

【0029】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0030】

また、本明細書等において、トランジスタのソース、又はドレインのどちらか一方のことを「第1電極」と呼び、ソース、又はドレインの他方を「第2電極」とも呼ぶことがある。なお、この際、ゲートについては「ゲート」又は「ゲート電極」とも呼ぶ。

【0031】

なお、本明細書等において、ダイオード素子の2つの電極をそれぞれ「第1の電極」、「第2の電極」や、「第1電極」「第2電極」、または「第1端子」「第2端子」などと呼ぶことがある。ここで、第1電極から第2電極に向かって電流が流れる向きをダイオード素子の順方向、その逆を逆方向とする。また、これらの電極の一つを単純に「端子」や

10

20

30

40

50

「一端」、「一方」などと呼ぶこともある。

【0032】

また、本明細書等において、コイルの2つの電極をそれぞれ「第1の電極」、「第2の電極」や、「第1電極」「第2電極」、または「第1端子」「第2端子」などと呼ぶことがある。また、これらの電極の一つを単純に「端子」や「一端」、「一方」などと呼ぶこともある。

【0033】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子などが含まれる。

10

【0034】

なお、本明細書等においてノードとは、回路を構成する素子の電氣的な接続を可能とする素子（例えば、配線など）のことをいう。したがって、「Aが接続されたノード」とは、Aと電氣的に接続され、且つAと同電位と見なせる配線のことをいう。なお、配線の途中に電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が1個以上配置されていても、配線をAと同電位と見なせれば同じノードであるとする。

20

【0035】

（実施の形態1）

本実施の形態では、本発明の一態様の受信回路について図1及び図2を用いて説明する。図1は、送信回路の一部と、本実施の形態で示す受信回路の構成の一例を示す回路図であり、図2は信号を送受信する際のタイミングチャートの一例である。

【0036】

回路構成例

まず、本実施の形態で説明する送信回路110、及び受信回路120の回路構成について図1を用いて説明する。

【0037】

送信回路110は、コイルを用いて送信信号を送信する機能を有する回路である。本実施の形態の送信回路110はコイル111を有し、コイル111の一方の端子は接地電位線に接続され、他方の端子には送信信号（TXDATA）が入力される。なお、本実施の形態ではコイルの一方の端子を接地する構成としているが、これに限定されず他の機能素子や回路などと接続されていても良い。

30

【0038】

本実施の形態の受信回路120は、コイル121、並列回路123、容量素子125、及び比較回路127を有する。

【0039】

並列回路123は、ダイオード素子123a及びダイオード素子123bを有し、これらが並列且つ逆向きに接続されている。ダイオード素子123aとダイオード素子123bとは、少なくともそのしきい値電圧 V_{th} が正の値をとればよく、両者の特性は必ずしも同じである必要はない。 V_{th} は例えばシリコンダイオードであれば約0.7V、ゲルマニウムダイオードであれば約0.2Vであることが知られている。また、ダイオード素子123a及びダイオード素子123bとして、トランジスタのゲートとソース又はドレインの一方とを接続した構成を用いた場合、 V_{th} はトランジスタの作製工程により任意の値に設定することが出来る。ここで、ダイオード素子123aのしきい値電圧を $V_{th}(a)$ 、ダイオード素子123bのしきい値電圧を $V_{th}(b)$ と呼ぶこととする。

40

【0040】

コイル121は、送信回路110内のコイル111が出力する信号に応じて、電磁誘導

50

現象によりその両端に電位差が生じる。本実施の形態ではコイル 1 2 1 は一方の端子が接地電位線と接続され、他方の端子が並列回路と接続されている。

【 0 0 4 1 】

ここでコイル 1 1 1 とコイル 1 2 1 との相対的な位置関係を明確にするため、図 1 に示すそれぞれのコイルの一方の端子には黒丸を記している。具体的には、結合係数が正の場合、それぞれの黒丸を記した一方の端子に対して、コイル 1 1 1 の流す電流の向きと、コイル 1 2 1 の流す電流の向きとが一致するとする。なお、本実施の形態では、コイル間の結合係数は正であるとする。

【 0 0 4 2 】

容量素子 1 2 5 は、並列回路 1 2 3 と比較回路 1 2 7 との間のノードの電圧を保持する機能を有する。容量素子 1 2 5 は一方の電極が接地電位線と接続し、他方の電極は並列回路、及び比較回路に接続される。ここで、並列回路 1 2 3 と、比較回路 1 2 7 との間のノードを $node(A)$ と呼ぶ。

10

【 0 0 4 3 】

比較回路 1 2 7 は、 $node(A)$ の電圧と基準電圧 V_{ref} とを比較し、この結果に基づく受信信号 ($RXDATA$) を出力する機能を有する。本実施の形態では比較回路 1 2 7 としてコンパレータを用い、コンパレータの + 端子が $node(A)$ と接続し、- 端子に基準電圧 V_{ref} が入力される構成とした。ここで基準電圧 V_{ref} は、 $V_{th}(b)$ より小さく、且つ $-V_{th}(a)$ よりも大きい値を設定すればよく、好ましくはこれらの値の中央値とすればよい。例えば $V_{th}(a)$ と $V_{th}(b)$ が等しい場合は、 V_{ref} として 0 V を用いればよい。比較回路 1 2 7 の構成としてはこの構成に限定されることはなく、少なくとも上記目的を果たす構成であればなにを用いても良い。

20

【 0 0 4 4 】

回路動作例

次に、図 1 に加えて図 2 を用いて、受信時の回路動作について説明する。図 2 (A) は、送信回路 1 1 0 のコイル 1 1 1 に出力される送信信号 ($TXDATA$)、図 2 (B) はコイル 1 2 1 の両端に生じる電位差 (VR)、図 2 (C) は $node(A)$ の電圧、図 2 (D) は比較回路 1 2 7 から出力される受信信号 ($RXDATA$) の、時間に対する推移をそれぞれ示している。ここで VR は図 1 のコイル 1 2 1 において、黒丸を記した一端の向きを正として表記しており、並列回路 1 2 3 とコイル 1 2 1 との間のノードにおける電圧と等しい。

30

【 0 0 4 5 】

まず、 $TXDATA$ がローレベル電圧からハイレベル電圧に推移した場合について説明する。 $TXDATA$ がハイレベル電圧に推移する間、電磁誘導現象によりコイル 1 2 1 の両端に電位差 VR が生じる。上記で説明したとおり、コイル 1 1 1 とコイル 1 2 1 との間の結合係数は正であるため、図 2 (B) に示したように VR は正の値のパルス的な波形を示す。

【 0 0 4 6 】

並列回路 1 2 3 のコイル 1 2 1 側のノードに正の電圧が印加されると、当該電圧の向きに対して順方向に接続されたダイオード素子 1 2 3 a を介して $node(A)$ に電流が流れ、 $node(A)$ の電圧が上昇する。

40

【 0 0 4 7 】

その後、 VR が 0 V に収束すると、電圧の高い $node(A)$ からコイル 1 2 1 に向かってダイオード素子 1 2 3 b を介して電流が流れ、 $node(A)$ の電圧が低下する。一方、この電圧の向きに対して逆方向接続となるダイオード素子 1 2 3 a には電流は流れない。 $node(A)$ の電圧がダイオード素子 1 2 3 b のしきい値電圧 $V_{th}(b)$ を下回るとダイオード素子 1 2 3 b がオフ状態となり電流が遮断され、 $node(A)$ には $V_{th}(b)$ に近い電圧が保持される。

【 0 0 4 8 】

比較回路 1 2 7 は、 $node(A)$ の電圧と基準電圧 V_{ref} とを比較し、これに応じ

50

てR X D A T Aを出力する。本実施の形態の比較回路127は、node(A)の電圧が基準電圧V r e fよりも高い場合、ハイレベル電圧を出力する。

【0049】

続いて、T X D A T Aがハイレベル電圧からローレベル電圧に推移する場合について説明する。T X D A T Aがハイレベル電圧からローレベル電圧に推移する間、電磁誘導現象によりコイル121には上記とは逆向きの電位差V Rがパルスの的に生じる。つまり、並列回路123のコイル121側のノードには負の電圧V Rが印加される。

【0050】

並列回路123のコイル121側のノードに負の電圧が印加されると、ダイオード素子123bを介してnode(A)からコイル側に向かって電流が流れ、node(A)の電圧は低下する。

10

【0051】

その後V Rが収束すると、コイル121側から電圧の低いnode(A)に向かってダイオード素子123aを介して電流が流れ、node(A)の電圧は上昇する。一方、ダイオード素子123bは、この電位差に対して逆方向接続となるため、電流は流れない。node(A)の電圧が $-V_{th}(a)$ を上回ると、ダイオード素子123aがオフ状態となり電流が遮断され、node(A)には $-V_{th}(a)$ に近い電圧が保持される。

【0052】

比較回路127は上記と同様、node(A)の電圧と基準電圧V r e fとを比較し、これに応じてR X D A T Aを出力する。本実施の形態の比較回路127は、node(A)の電圧が基準電圧V r e fよりも小さい場合、R X D A T Aとしてローレベル電圧を出力する。

20

【0053】

以上のような構成とすることにより、並列回路と比較回路との間のノードに、コイルに発生する電位差の向きの情報を保持することが出来、これを受信信号として出力することが出来る。

【0054】

ここで、コイルの両端に発生する電位差V Rが小さい場合、node(A)に保持される電圧はダイオード素子のしきい値電圧まで達しない場合がある。また、受信回路が正常動作する最低限のV Rの値は、比較回路の構成によって異なるが、本実施の形態の受信回路120の場合は $V_{th}(a)$ より大きく、且つ $V_{th}(b)$ より高い電圧が必要となる。なお、2つのダイオード素子のしきい値電圧が異なる場合には、コイルに発生する電圧の向きによって、node(A)には絶対値の異なる電圧が保持されることにも留意する。

30

【0055】

なお、本実施の形態では、コイル間の結合係数が正であるとしたが、例えばこれが負であった場合は、コイルに発生する電圧の向きが反転し、出力される受信信号も反転する。反転した受信信号では不都合がある場合は、比較回路の入力側、または比較回路の出力側にインバータを設けるなどし、受信信号を再度反転させることができる。

【0056】

40

なお、本実施の形態では、並列回路に2つのダイオードを用いた構成としたが、ダイオードの数はこれに限られず、直列に接続した複数のダイオードを、逆向き且つ並列に接続した構成としてもよい。その場合、並列回路が電流を流し始めるしきい値電圧が、直列接続したそれぞれのダイオードのしきい値電圧の和となるため、より高い電圧を並列回路と比較回路との間のノードに保持することができる。その結果、ダイオードのリーク電流による電圧低下の影響を抑制でき、パルス電圧が入力される間の期間を長くすることが出来るため低周波数の送信信号に適用できる。

【0057】

以上のような構成の受信回路は、回路構成が簡易で、回路規模及び回路サイズの縮小化に適している。したがってこのような受信回路を例えばL S Iチップの受信回路に適用す

50

ることにより、チップサイズが縮小された、無線通信可能なLSIチップとすることができ、また、受信回路を同一チップに複数設けて、複数の信号の送受信を同時に行うような場合には、本発明の受信回路を適用することにより、より回路の縮小化に寄与することができる。

【0058】

本実施の形態は、本明細書で例示する他の実施の形態及び実施例と適宜組み合わせることで実施することができる。

【0059】

(実施の形態2)

本実施の形態では、実施の形態1で示した受信回路のダイオード素子に、リーク電流の極めて低減されたトランジスタを適用した構成について図3乃至図5を用いて説明する。

【0060】

回路構成例

図3は本実施の形態で示す送信回路110、及び受信回路220の回路構成の一例を示す図である。

【0061】

送信回路110は、実施の形態1で示したものと同一構成である。また、受信回路220は、実施の形態1で示した受信回路120において、並列回路123内のダイオード素子123a、及びダイオード素子123bを、トランジスタ223a、及びトランジスタ223bに置き換えた以外は同様の構成である。すなわち、コイル221、容量素子225、及び比較回路227はそれぞれ、受信回路120内のコイル121、容量素子125、及び比較回路227と同様のものを用いる。

【0062】

並列回路223はトランジスタ223a、及びトランジスタ223bを有する。トランジスタ223aは、ゲート及び第1電極がコイル221の一方の端子と接続し、第2電極が比較回路227、及び容量素子225の一方の電極と接続している。一方トランジスタ223bは、ゲート及び第1電極が比較回路227、及び容量素子225の一方の電極と接続し、第2電極がコイル221の一方の端子と接続している。したがって各々のトランジスタはゲートと第1電極とが接続され、ダイオード素子としての機能を有する。

【0063】

トランジスタ223a、及びトランジスタ223bには、オフ時のリーク電流が極めて低減されたトランジスタを用いてもよい。このようなトランジスタとしては、例えばトランジスタのチャンネルを形成する半導体層に、酸化物半導体を用いたトランジスタが挙げられる。一方、それ以外の回路を構成するトランジスタなどの半導体素子には、単結晶シリコンなどの半導体を用いればよい。

【0064】

特に、酸化物半導体の中でも、バンドギャップが3電子ボルト以上のものでは、ドナーあるいはアクセプタの濃度を $1 \times 10^{12} \text{ cm}^{-3}$ 以下とすることにより、オフ時の抵抗を極めて高くできる。例えばこのようなトランジスタは、ゲートの電位を最適化することにより、ソースとドレイン間の抵抗を 1×10^{24} 以上とすることができる。したがってダイオード接続したトランジスタであっても、例えばシリコンを半導体層に用いたトランジスタに比べてオフ時のリーク電流を極めて小さくすることができる。

【0065】

このようなトランジスタを受信回路220に適用することにより、並列回路223のリーク電流が極めて低減されるため、node(A)に電圧を保持できる時間を極めて長くすることができる。したがって、容量素子225にサイズの小さい素子を用いることができるため、さらなる回路サイズの縮小化が実現できる。さらに容量成分が小さくなることによって、node(A)への充放電にかかる時間が短縮されるため、高い周波数の送信信号に対して適用可能な受信回路とすることが出来る。また、node(A)に電圧を保持できる時間が極めて長いことから、周波数の極めて低い信号に対しても適用可能となる

10

20

30

40

50

。すなわち、上述のようなトランジスタを受信回路に適用することにより、回路サイズを縮小できるのに加え、広い周波数帯に適用可能な受信回路とすることが可能となる。

【 0 0 6 6 】

次に、受信回路 2 2 0 の具体的な構成の一例について図 4 を用いて説明する。

【 0 0 6 7 】

図 4 は、単結晶半導体基板 4 0 1 上に、トランジスタ 4 3 1 a、トランジスタ 4 3 1 b、及びトランジスタ 4 3 5、並びに容量素子 4 3 3 が形成された断面概略図である。

【 0 0 6 8 】

トランジスタ 4 3 1 a は受信回路 2 2 0 内のトランジスタ 2 2 3 a に相当し、ゲートとソース又はドレインの一方が接続されている。一方トランジスタ 4 3 1 b はトランジスタ 2 2 3 b に相当し、同様にゲートとソース又はドレインの一方が接続されている。ここで、トランジスタ 4 3 1 b のゲートとソース又はドレインの一方に接続される配線が受信回路 2 2 0 の node (A) に相当する。

【 0 0 6 9 】

トランジスタ 4 3 5 は、比較回路 2 2 7 の入力部にあるトランジスタを想定したものである。本実施の形態では、トランジスタ 4 3 5 のゲートが node (A) と接続する構成とした。なお、明瞭化のため、トランジスタ 4 3 5 のソース又はドレインに接続されるコンタクトプラグは省略している。また、図 4 及び後に説明する図 5 には、比較回路 2 2 7 に用いる他のトランジスタに接続するコンタクトプラグ及び第 1 配線の一部を図示している。

【 0 0 7 0 】

容量素子 4 3 3 は、受信回路 2 2 0 内の容量素子 2 2 5 に相当し、上部電極、または下部電極が図示されない配線によって上記 node (A) と接続している。また容量素子は後に説明する第 1 の配線、トランジスタ 4 3 1 a 及びトランジスタ 4 3 1 b のゲート絶縁層、並びにゲート配線と同じ材料で構成されている。なお、容量は必ずしもこの構成でなくともよく、単結晶半導体基板 4 0 1 に形成された不純物領域や、第 2 の配線などを電極として用いた構成としてもよい。

【 0 0 7 1 】

なお、図 4 及び図 5 に示す断面概略図では明瞭化のため、トランジスタ 4 3 5 の直上にトランジスタ 4 3 1 a 及びトランジスタ 4 3 1 b が形成されるよう表記しているが、必ずしもこれに限定されず、これらを接続する配線の引き回し等によってこれらの相対的な位置関係を適宜決めればよい。

【 0 0 7 2 】

また、図 4 及び図 5 に示す断面概略図では、コイル 2 2 1 は図示していないが、第 1 配線、ゲート配線、又は第 2 配線のいずれかに銅などの低抵抗な材料を用いることにより、同時に作製することができる。または、これらの配線の二以上をコンタクトプラグで接続したものをを用いるとより低抵抗化できる。またコイルは、外付けのコイルを接続する構成としてもよい。

【 0 0 7 3 】

作製工程例

次に、作製工程の一例について図 5 を用いて順に説明する。まず、公知の半導体加工技術を用いて、珪素、砒化ガリウムなどの単結晶半導体の基板 4 0 1 の一表面に、素子分離層 4 0 3 を形成し、さらに不純物領域 4 0 7 a 乃至 4 0 7 c、及びトランジスタのゲート 4 0 5 を形成する。さらに、第 1 層間絶縁層 4 0 9 を形成し、第 1 コンタクトプラグ 4 1 1 a 及び 4 1 1 b を形成する（図 5 (A) 参照）。不純物領域 4 0 7 a 乃至 4 0 7 c の表面には、シリサイド層などを設けて導電性を高めても良い。

【 0 0 7 4 】

次に、第 1 埋め込み絶縁層 4 1 3 と第 1 配線 4 1 5 a 乃至 4 1 5 e を形成する（図 5 (B) 参照）。第 1 配線 4 1 5 a 乃至 4 1 5 e には、導電性を高めるために銅を用いても良い。その場合は、ダマシン法を用いて作製するとよい。なお、第 1 配線 4 1 5 a 乃至 4 1

10

20

30

40

50

5cの上表面は、その後に形成する酸化物半導体と直接接するため、その目的に好ましい材料を用いると良い。例えば、チタン、窒化チタン等のように仕事関数が酸化物半導体の電子親和力より小さい材料を用いると良い。

【0075】

その後、酸化物半導体層417を形成する。酸化物半導体としては、インジウムが金属元素に占める比率が20原子%以上のものを用いると良い。形成時には水素が混入しないように注意することが必要で、酸化物半導体の成膜は雰囲気や、ターゲット中、並びにターゲット及び装置表面の水素や水を十分に低減したスパッタリング法で行うことが好ましい。また、酸化物半導体を成膜した後に水、水素が低減された雰囲気下で加熱処理を行い膜中の水、水素を脱離させてもよい。

10

【0076】

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3nm以上15nm以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450以上850以下、好ましくは550以上750以下の第1の加熱処理を行い、表面を含む領域に結晶領域(板状結晶を含む)を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450以上850以下、好ましくは600以上700以下の第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。なおこの場合、コンタクトプラグや配線に用いる材料は、加熱処理の温度に耐えうる材料を用いる。

20

【0077】

また、酸化物半導体層を成膜する際に、酸化物半導体がc軸に配向する温度に基板を加熱しながら成膜を行うことにより、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。このような成膜方法を用いることにより、プロセスを短縮することができる。基板を加熱する温度は、成膜装置によって他の成膜条件が異なるためこれに合わせて適宜設定すればよいが、例えば、スパッタリング装置で成膜する際の基板温度を250以上として成膜すればよい。

30

【0078】

さらに、ゲート絶縁層419を形成する。ゲート絶縁層419の材料としては、酸化珪素、酸化窒化珪素、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウムなどを用いることができる。また、その厚さは6nm乃至20nm、好ましくは10nm乃至16nmとするとよい。

【0079】

その後、ゲート配線421a乃至421cを形成する(図5(C)参照)。ゲート配線421a乃至421cの材料としては、タングステン、ニッケル、パラジウム、オスミウム、白金などのように仕事関数が酸化物半導体の電子親和力より大きい材料を用いると良い。あるいは、ゲート絶縁層419と接する部分にのみそのような材料を用いてもよい。

40

【0080】

以上の工程により、トランジスタ431a、トランジスタ431b、及びトランジスタ435、並びに容量素子433が形成される。

【0081】

次に、第2層間絶縁層423、第2コンタクトプラグ425a乃至425fを形成した後、第2配線427a乃至427dを形成する(図5(D)参照)。第2配線に用いる材料としては、第1配線に用いたものと同様のものを用いることができる。

【0082】

第2配線427aを、第1配線415a及びゲート配線421aと接続するように形成することにより、トランジスタ431aをダイオード接続することが出来る。同様に第2

50

配線 4 2 7 b を、第 1 配線 4 1 5 b 及びゲート配線 4 2 1 b と接続するように形成することにより、トランジスタ 4 3 1 b をダイオード接続することが出来る。

【 0 0 8 3 】

また、容量素子 4 3 3 の下部電極である第 1 配線 4 1 5 d と、第 1 配線 4 1 5 b とを同一層上で接続しても良いし、容量素子 4 3 3 の上部電極であるゲート配線 4 2 1 c に接続された第 2 配線 4 2 7 d と、第 2 配線 4 2 7 b とを接続する構成としてもよい。また、第 1 配線 4 1 5 d と第 2 配線 4 2 7 b、又は第 2 配線 4 2 7 d と第 1 配線 4 1 5 b とをコンタクトプラグを用いて接続する構成としてもよい。その際、node (A) に相当する配線に接続されていない他方の電極は、図示しない接地電位線と接続される。

【 0 0 8 4 】

以上の工程により、受信回路 2 2 0 におけるトランジスタ 2 2 3 a、トランジスタ 2 2 3 b、容量素子 2 2 5、コイル 2 2 1、及び比較回路 2 2 7 の一部を形成することができる。

【 0 0 8 5 】

このように作製されたトランジスタ 4 3 1 a 及びトランジスタ 4 3 1 b は、オフ時のリーク電流が極めて低減されたトランジスタとすることができる。したがってこのようなトランジスタを受信回路 2 2 0 のダイオード素子に適用することにより、回路サイズを縮小できるのに加え、広い周波数帯に適用可能な受信回路とすることが可能となる。

【 0 0 8 6 】

本実施の形態は、本明細書で例示する他の実施の形態及び実施例と適宜組み合わせることで実施することが出来る。

【 0 0 8 7 】

(実施の形態 3)

本実施の形態では、本発明の一態様の受信回路を搭載した L S I チップの一例について図 6 を用いて説明する。

【 0 0 8 8 】

図 6 は、積層した 3 個の L S I チップにおいて、それぞれの構成と信号のやり取りを説明するための模式図である。図 6 に示す L S I チップ 3 0 1 乃至 3 0 3 は、それぞれ受信回路と送信回路とを複数個具備し、図 6 中の矢印は、送信回路から受信回路へ送信される信号の向きを示している。

【 0 0 8 9 】

L S I チップ間の信号の送受信は、それぞれの L S I チップに搭載された一对の送信回路及び受信回路の間で行われる。そのため L S I チップを積層した際、一对の送信回路と受信回路とのそれぞれの有するコイル同士をほぼ重なるようにして配置すると、コイル間の結合係数を高めることが出来るため好ましい。送信回路及び受信回路の有するコイルのサイズや形状は L S I のチップサイズや積層した際の L S I チップ間距離によって適宜設定すればよいが、例えば対角 1 0 μ m ~ 数 1 0 0 μ m のコイルを用いればよい。

【 0 0 9 0 】

それぞれの L S I チップには、電源電圧を供給する電源線が接続される。または、電源線に接続された L S I チップから電力を供給するための正弦波などの信号を送信し、他の L S I チップがこれを受信した後、整流回路や定電圧回路等を用いて電源電圧を生成してもよい。

【 0 0 9 1 】

また、それぞれの L S I チップの動作を同期させるためのクロック信号を入力する配線が接続される。または、L S I チップからこのようなクロック信号を送信し、他の L S I チップがこれを受信することにより、L S I チップ間の動作を同期させる構成としてもよい。

【 0 0 9 2 】

L S I チップ 3 0 1 と L S I チップ 3 0 2 の間では、送信回路 3 1 2 a から受信回路 3 1 2 b に、また送信回路 3 2 1 a から受信回路 3 2 1 b に信号が送信される。また、L S

10

20

30

40

50

Iチップ302とLSIチップ303の間では、送信回路323aから受信回路323bに、また送信回路332aから受信回路332bに信号が送信される。さらに、LSIチップ301とLSIチップ303の間では、送信回路313aから受信回路313bに、また送信回路331aから受信回路331bに信号が送信される。

【0093】

また、図6に示すように、LSIチップ302の送信回路324aから送信された信号を、受信回路324bと受信回路324cとがそれぞれ受信することにより、LSIチップ301とLSIチップ303とが同じ信号を受信することも出来る。

【0094】

このように、複数のLSIチップを、送信回路と受信回路とが重なるように積層することにより、LSIチップ間に他のLSIチップが挟まれた状態でも配線を引き回すことなく通信が可能となる。

10

【0095】

本実施の形態ではLSIチップを3個積層した形態としたが、もちろんこれに限定されず、2個でも良いし、4個以上積層しても良い。

【0096】

ここでLSIチップを4個以上積層した場合、送信回路と受信回路の対と、これとはコイルの形状の異なる送信回路と受信回路の対を、複数重ねて配置することにより、チップサイズの増大を抑制することができる。例えば一方の送信回路と受信回路の対のコイルは1つのループを持つように形成し、もう一方は2つのループを持ち、且つそれぞれのループの発生する磁界を磁界強度が等しく位相が逆になるように形成する。このような2種類のコイルは重ねても、それぞれの発生する磁界に干渉されることがないため、2対以上の送信回路と受信回路の対を重ねて配置しても誤動作せずに通信することが出来る。

20

【0097】

なお、LSIチップの形態として樹脂などの薄膜上に形成した薄膜トランジスタを用いた構成としても良い。このような構成のLSIチップは、厚さを数 μm ～数十 μm 程度と薄く出来るため、これに受信回路と送信回路を設けることによりコイル間の結合係数を高めることが出来る。したがってコイルサイズを小さくできるほか、低消費電力での無線通信が可能となるため好ましい。このような薄膜のLSIチップは、例えば耐熱性の樹脂基板上に直接設ける、または、剥離層を設けたガラス基板上にLSIチップを作製し、その後これを剥離して樹脂などの薄膜に転置して形成することができる。

30

【0098】

以上のようなLSIチップに搭載する受信回路に、上記実施の形態に示した受信回路を適用することにより、チップサイズが縮小された、無線通信可能なLSIチップの積層とすることができる。さらに上記受信回路をLSIチップに複数設けることにより、効果的にLSIチップサイズを縮小することができる。

【0099】

本実施の形態は、本明細書で例示する他の実施の形態及び実施例と適宜組み合わせることで実施することが出来る。

【0100】

(実施の形態4)

本実施の形態では、本発明の一態様の受信回路を搭載した記憶媒体の一例として、メモリカードの構成例について図7を用いて説明する。

40

【0101】

図7(A)は、本実施の形態で例示するメモリカード350の模式図である。メモリカード350は、2つの受信回路(受信回路351a、受信回路351b)と一つの送信回路(送信回路352)を有する。

【0102】

受信回路351aは、電源電圧を生成するための信号を受信する。一方、受信回路351bは、電子機器からの情報信号を受信する。送信回路352は、メモリカードに書き込

50

まれた情報などを電子機器に送信する。

【0103】

メモリカード350は、図示しない制御回路を有し、受信回路351a、受信回路351b及び送信回路352と接続されている。当該制御回路は、受信回路351a、受信回路351bで受信した信号にしたがって後に説明する記憶素子への書き込み、読出し等の動作を制御し、必要に応じて送信信号を送信回路352から出力するよう送信回路352の動作を制御する。

【0104】

メモリカード350は記憶素子を有しており、電子機器からの書き込み信号にしたがって、情報を書き込むことが出来る。また、電子機器からの読出し信号にしたがって、メモリカード350に書き込まれた情報を読み出すことが出来る。メモリカード350が有する記憶素子には、フラッシュメモリ、強誘電体メモリ、磁気抵抗メモリ、相変化メモリ、抵抗変化型メモリなどの書き込み、消去が可能なメモリや、一度だけ書き込みが可能なOTP(One Time Programmable)メモリなどの不揮発性のメモリが挙げられる。また、メモリカード内に電池などの電源が搭載されている場合は、SRAMやDRAMなどの揮発性メモリも搭載してもよい。

10

【0105】

図7(B)は、電子機器360によってメモリカード350と送受信を行う際の断面模式図であり、図7(B)に示す鎖線X-Yは、図7(A)に示す鎖線X-Yに対応する。

【0106】

電子機器360は、受信回路361、及び送信回路362と、図示しない送信回路を有する。また、メモリカード350の受信回路351a、351b、及び送信回路352と、電子機器360の送信回路362、図示しない送信回路、及び受信回路361とが、通信可能な範囲で重畳するようにメモリカード350が設置されるよう、電子機器360には窪みが設けられている。

20

【0107】

このようなメモリカードと、電子機器を用いることにより、接触電極の露出部をなくすことで大幅な面積縮小が可能となり、メモリカードの更なる小型化が可能となる。さらに、露出する電極が不要となるため、樹脂等で覆うことによる完全防水化や、電子機器側もカードを挿入するスロットを無くせるなどの効果を奏する。

30

【0108】

なお、本実施の形態では、メモリカードに2つの受信回路と1つの送信回路とを備えた構成としたが、この数には限定されない。例えば受信回路を複数設置し、並行して信号を受信する構成とすることにより、信号の送受信の速度を速めることが出来る。

【0109】

また、本実施の形態では、メモリカードの備える送信回路、受信回路及び電子機器の備える送信回路、受信回路を並べて配置する構成としたが、実施の形態3で説明した場合と同様、コイル形状を異ならせることによりこれらを積層しても良い。

【0110】

また、本実施の形態では、メモリカードと電子機器との相対位置を合わせるために電子機器に窪みを設ける構成としたが、これらの相対位置がずれないのであれば、どのような構成としてもよい。例えば、メモリカード側に窪みを設け、これと嵌合するような形状の凸部を電子機器に設けても良い。

40

【0111】

また、本実施の形態では、メモリカードの表裏や向きを明瞭化するため一端に切り欠き部を設けているが、その表裏や向きが明瞭であれば、どのような構成としても良い。例えばメモリカード表面に凹凸を設けたり、文字や印を用いたりしても良い。

【0112】

以上のようなメモリカードに搭載する受信回路に、上記実施の形態に示した受信回路を適用することにより、従来のメモリカードに比べてサイズの縮小された、無線通信可能な

50

メモリカードとすることができる。また電子機器の受信回路にも適用することにより、電子機器のサイズも小さくすることが出来る。さらに上記受信回路を複数設けることにより、効果的にメモリカードまたは電子機器のサイズを縮小することができる。

【0113】

本実施の形態は、本明細書で例示する他の実施の形態及び実施例と適宜組み合わせることで実施することが出来る。

【実施例1】

【0114】

本実施例では、実施の形態1で示した受信回路を想定し、入出力特性を計算した結果について図8及び図9を用いて説明する。図8は本実施例で入出力特性の計算に用いた回路モデルを示す回路図であり、図9は入出力電圧及び回路内部の電圧の推移についての計算結果である。

10

【0115】

回路構成

まず、本実施例で計算に用いた回路について図8を用いて説明する。ここで、送信回路510、及び受信回路520内の比較回路以外の部分については、図3の送信回路110、及び受信回路220と同様の構成であるため、説明を省略し、ここでは比較回路530についてのみ説明することとする。

【0116】

並列回路523及び容量素子525が接続されるノード(node(A))は、比較回路530に入力される。

20

【0117】

比較回路530は、8つのトランジスタ(トランジスタ531乃至538)、及び一つの抵抗素子(抵抗素子539)で構成される。トランジスタ531は、ゲートがnode(A)と接続し、第1電極がトランジスタ536の第2電極、並びにトランジスタ535及びトランジスタ538のそれぞれのゲートと接続され、第2電極がトランジスタ534の第1電極、及びトランジスタ532の第2電極と接続する。トランジスタ532は、ゲートが接地され、第1電極がトランジスタ536のゲート、並びにトランジスタ537のゲート及び第2電極と接続する。トランジスタ533は、ゲート及び第1電極が、抵抗素子539の第2端子、及びトランジスタ534のゲートと接続し、第2電極が低電圧電源線VSSと接続する。トランジスタ534は、第2電極が低電圧電源線VSSと接続する。トランジスタ535は、第1電極がトランジスタ538の第2電極と接続し、第2電極が接地されている。トランジスタ536、トランジスタ537、及びトランジスタ538はそれぞれ、第1電極が高電圧電源線VDDと接続する。また抵抗素子539は、第1端子が高電圧電源線VDDと接続する。

30

【0118】

ここで、トランジスタ531乃至535はnチャネル型のトランジスタであり、トランジスタ536乃至538は、pチャネル型のトランジスタである。

【0119】

ここでトランジスタ538の第2電極と、トランジスタ535の第1電極との間のノードから、受信信号RXDATAが出力される。

40

【0120】

したがって比較回路530は、差動増幅回路とインバータ回路を組み合わせた構成となっている。また基準電圧はトランジスタ532のゲートに入力される電圧で決まり、本実施例においては接地電位(0V)が基準電圧となる。

【0121】

入出力特性結果

次に、図8に示した回路を用いて計算した、入出力電圧及び回路内部の電圧特性について説明する。

【0122】

50

本実施例では、 n チャネル型のトランジスタのしきい値電圧を 0.5 V とし、 p チャネル型のトランジスタのしきい値電圧を -0.5 V として計算を行った。トランジスタの他の特性の詳細については説明を省略するが、多結晶シリコンを半導体層としたトランジスタを作製し、その実測から見積もった値を用いた。また、容量素子 525 の容量の大きさを 0.3 pF 、抵抗素子 539 の抵抗の大きさを 1.6 M としている。またコイル 511 及びコイル 521 のインダクタンスを 10 nH 、抵抗成分を 0.1 とし、これらの結合係数を 0.7 とした。さらに、高電圧電源線 VDD 、及び低電圧電源線 VSS に入力される電圧をそれぞれ 3 V 、 -3 V とした。

【0123】

図9(A)は送信回路 510 のコイル 511 に入力される送信信号 $TXDATA$ 、図9(B)はコイル 521 に発生する電位差 VR 、図9(C)は $node(A)$ の電圧、図9(D)は比較回路 530 から出力される受信信号 $RXDATA$ の、それぞれ時間に対する電圧値の推移を示している。

10

【0124】

送信信号 $TXDATA$ には図9(A)に示すような、幅が $0.25\text{ }\mu\text{s}$ 、周期が $0.8\text{ }\mu\text{s}$ 、振幅 5 V の矩形波を用いた。送信信号 $TXDATA$ の立ち上がり、及び立ち下がりに対応して、コイル 521 の両端には図9(B)に示すように、およそ 1.5 V の振幅を有するパルス的な電位差 VR が生じた。電位差 VR によって $node(A)$ の電圧は、図9(C)のように急峻に上昇した後に減少するものの、絶対値 0.35 V 程度の電圧が保持されることが確認された。これに伴い、比較回路 530 からの出力である受信信号 $RXDATA$ として、 $TXDATA$ とほぼ等しい周期と幅をもった振幅 3 V の矩形波が出力されることが確認された。

20

【0125】

以上の結果から、本発明の一態様の受信回路は、極めて簡略化された回路構成にも関わらず、送信回路からの送信信号を受信信号として正常に復元することができることが確認できた。

【0126】

本実施例は、本明細書で例示する実施の形態と適宜組み合わせる実施することが出来る。

【符号の説明】

30

【0127】

10 送信回路
 11 コイル
 20 受信回路
 21 コイル
 23 a コンパレータ
 23 b コンパレータ
 25 ラッチ回路
 110 送信回路
 111 コイル
 120 受信回路
 121 コイル
 123 並列回路
 123 a ダイオード素子
 123 b ダイオード素子
 125 容量素子
 127 比較回路
 220 受信回路
 221 コイル
 223 並列回路

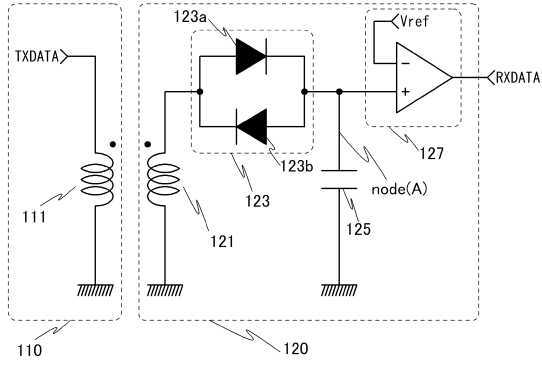
40

50

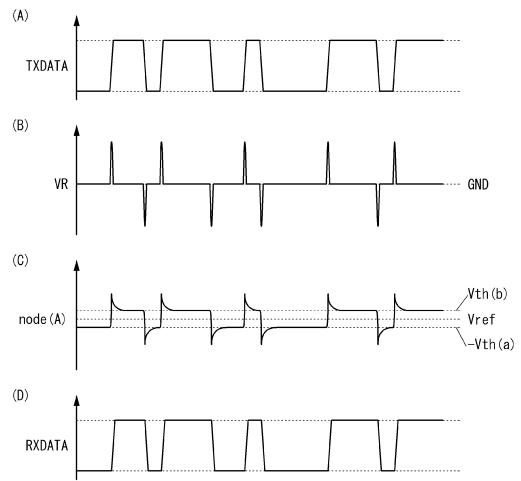
2 2 3 a	トランジスタ	
2 2 3 b	トランジスタ	
2 2 5	容量素子	
2 2 7	比較回路	
3 0 1	L S Iチップ	
3 0 2	L S Iチップ	
3 0 3	L S Iチップ	
3 1 2 a	送信回路	
3 1 2 b	受信回路	
3 1 3 a	送信回路	10
3 1 3 b	受信回路	
3 2 1 a	送信回路	
3 2 1 b	受信回路	
3 2 3 a	送信回路	
3 2 3 b	受信回路	
3 2 4 a	送信回路	
3 2 4 b	受信回路	
3 2 4 c	受信回路	
3 3 1 a	送信回路	
3 3 1 b	受信回路	20
3 3 2 a	送信回路	
3 3 2 b	受信回路	
3 5 0	メモリカード	
3 5 1 a	受信回路	
3 5 1 b	受信回路	
3 5 2	送信回路	
3 6 0	電子機器	
3 6 1	受信回路	
3 6 2	送信回路	
4 0 1	基板	30
4 0 3	素子分離層	
4 0 5	ゲート	
4 0 7 a	不純物領域	
4 0 7 b	不純物領域	
4 0 7 c	不純物領域	
4 0 9	第1層間絶縁層	
4 1 1 a	第1コンタクトプラグ	
4 1 1 b	第1コンタクトプラグ	
4 1 3	第1埋め込み絶縁層	
4 1 5 a	第1配線	40
4 1 5 b	第1配線	
4 1 5 c	第1配線	
4 1 5 d	第1配線	
4 1 5 e	第1配線	
4 1 7	酸化物半導体層	
4 1 9	ゲート絶縁層	
4 2 1 a	ゲート配線	
4 2 1 b	ゲート配線	
4 2 1 c	ゲート配線	
4 2 3	第2層間絶縁層	50

4 2 5 a	第 2 コンタクトプラグ	
4 2 5 b	第 2 コンタクトプラグ	
4 2 5 c	第 2 コンタクトプラグ	
4 2 5 d	第 2 コンタクトプラグ	
4 2 5 e	第 2 コンタクトプラグ	
4 2 5 f	第 2 コンタクトプラグ	
4 2 7 a	第 2 配線	
4 2 7 b	第 2 配線	
4 2 7 c	第 2 配線	
4 2 7 d	第 2 配線	10
4 3 1 a	トランジスタ	
4 3 1 b	トランジスタ	
4 3 3	容量素子	
4 3 5	トランジスタ	
5 1 0	送信回路	
5 1 1	コイル	
5 2 0	受信回路	
5 2 1	コイル	
5 2 3	並列回路	
5 2 3 a	トランジスタ	20
5 2 3 b	トランジスタ	
5 2 5	容量素子	
5 3 0	比較回路	
5 3 1	トランジスタ	
5 3 2	トランジスタ	
5 3 3	トランジスタ	
5 3 4	トランジスタ	
5 3 5	トランジスタ	
5 3 6	トランジスタ	
5 3 7	トランジスタ	30
5 3 8	トランジスタ	
5 3 9	抵抗素子	

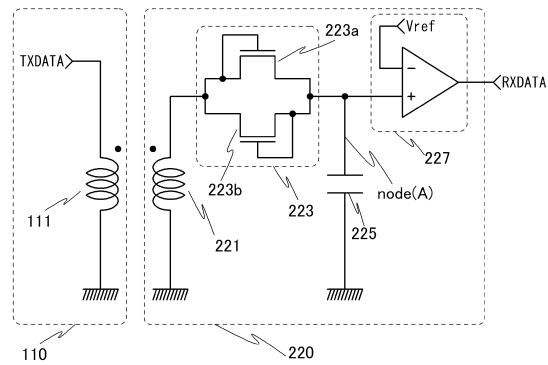
【図1】



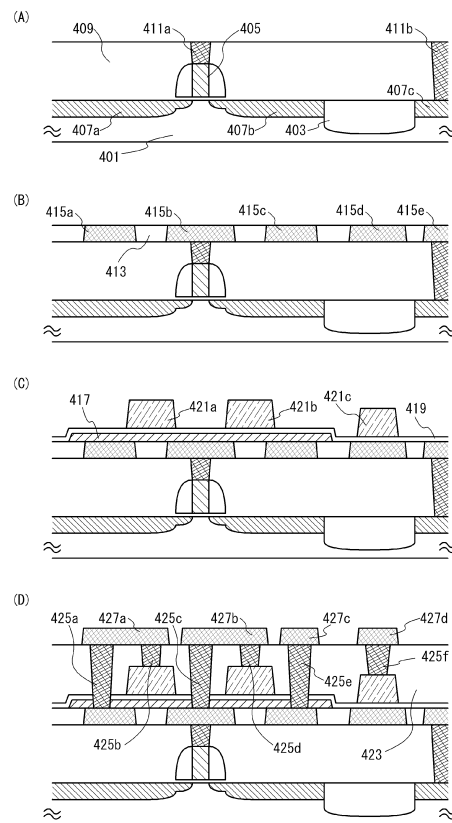
【図2】



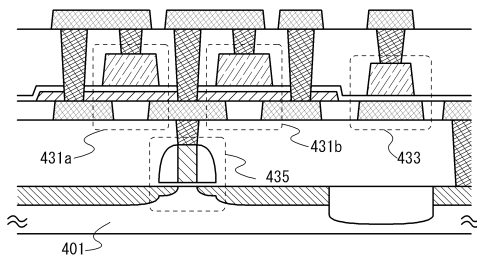
【図3】



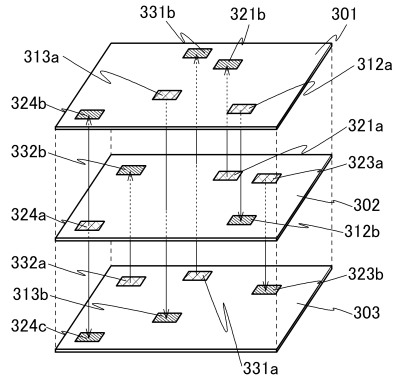
【図5】



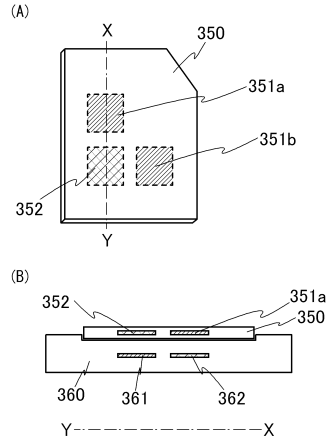
【図4】



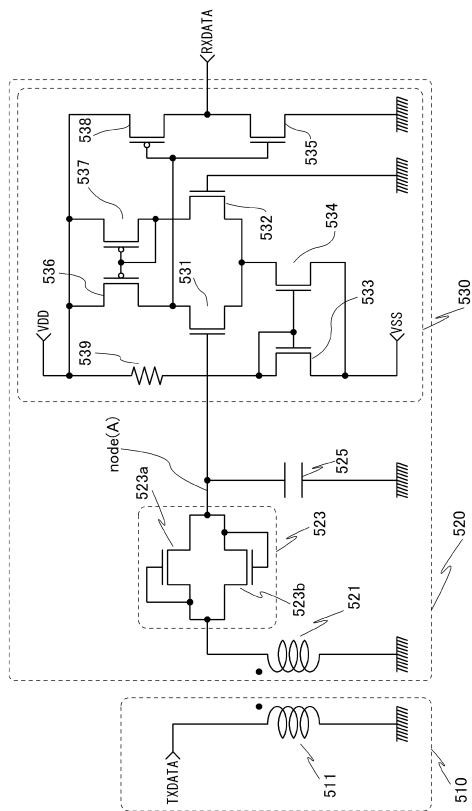
【図 6】



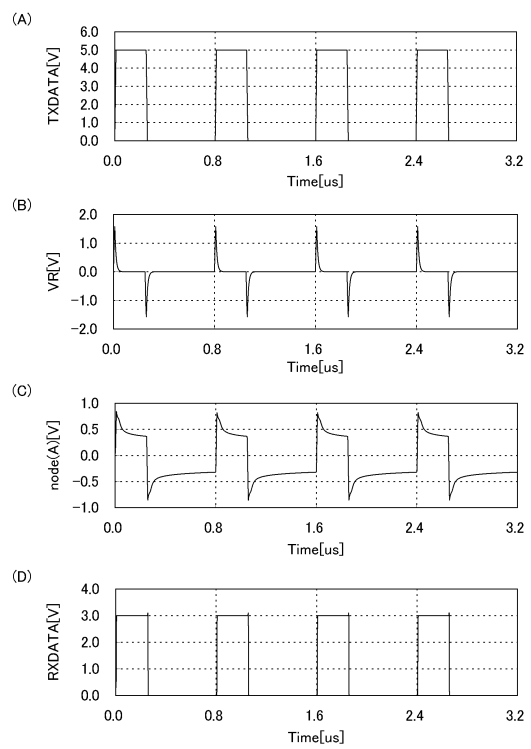
【図 7】



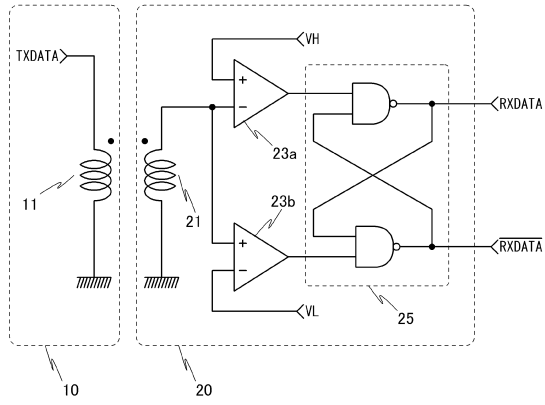
【図 8】



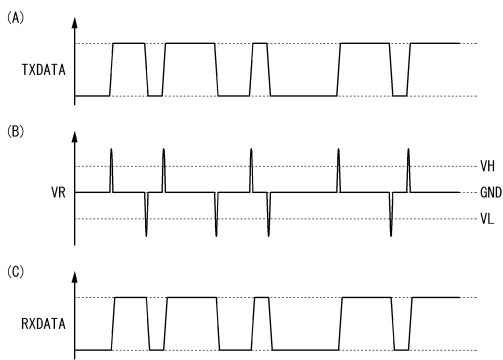
【図 9】



【 10 】



【 11 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 0 4 B 1 / 1 8

H 0 4 B 1 / 5 9

H 0 4 B 5 / 0 2