



(12) 发明专利

(10) 授权公告号 CN 1542858 B

(45) 授权公告日 2010.05.26

(21) 申请号 200410033552.9

(22) 申请日 2000.07.21

(30) 优先权数据

29786/99 1999.07.22 KR

(62) 分案原申请数据

00121687.2 2000.07.21

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李科燮

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 马莹 邵亚丽

(51) Int. Cl.

G11C 16/10(2006.01)

G11C 16/34(2006.01)

(56) 对比文件

CN 1199909 A, 1998.11.25, 全文.

US 5671176 A, 1997.09.23, 全文.

审查员 吴紫璇

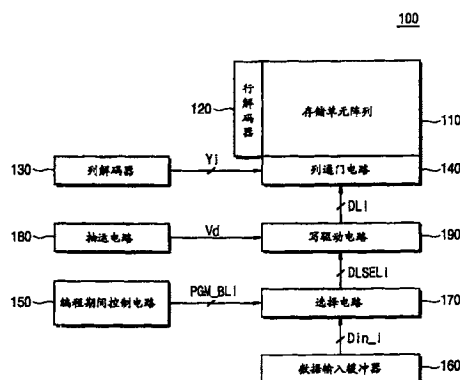
权利要求书 2 页 说明书 9 页 附图 12 页

(54) 发明名称

高密度“或非”型闪速存储装置和存储单元

(57) 摘要

一种“或非”闪速存储装置包括：以行和列排列的多个存储单元阵列；用于选择某行的行选择电路；用于选择列中一组列的列选择电路；用于在编程操作期间产生供给所选列的漏极电压的抽运电路；用于产生指示由所选行和所选列确定的存储单元的一个编程期间的第一编程期间信号和第二编程期间信号的编程期间控制电路；用于响应第一和第二编程期间信号以及待编程的数据位产生将所选列指定给指定的存储单元的选择信号的选择电路；和用于响应选择信号驱动从抽运电路产生的漏极电压的所选列的写驱动电路。



1. 一种“或非”闪速存储装置包括：

一个以行和列排列的多个存储单元阵列；

一个用于选择所述行中的一者的行选择电路；

一个用于在所述列中选择列的一组的列选择电路；

一个用于在编程操作期间产生供给所选列的漏极电压的抽运电路；

一个用于产生指示由所选行和所选列确定的存储单元的一个编程期间的第一编程期间信号和第二编程期间信号的编程期间控制电路；

一个用于响应第一和第二编程期间信号以及待编程的数据位产生将所选列指定给指定的存储单元的选择信号的选择电路；和

一个用于响应选择信号驱动从抽运电路产生的漏极电压的所选列的写驱动电路；

其中，编程期间控制电路产生每个均对应于指定的存储单元的第一编程期间信号，以致将指定的存储单元依次地编程达到一个低于目标阈电压的预定阈电压；并且其中编程期间控制电路产生第二编程期间信号，以致将指定的存储单元由预定阈电压同时地编程达到目标阈电压。

2. 根据权利要求1所述的“或非”型闪速存储单元，其中第一漏极电压与第二漏极电压具有不同的电平，第一漏极电压是当将指定的存储单元编程达到预定阈电压时，在第一时间内供给所选列的电压，而第二漏极电压是当将指定的存储单元编程由预定阈电压达到目标阈电压时，在第二时间内供给所选列的电压。

3. 根据权利要求2所述的“或非”型闪速存储单元，其中第二漏极电压比第一漏极电压高。

4. 根据权利要求2所述的“或非”型闪速存储单元，其中每个所选存储单元的一个单元编程时间等于第一时间和第二时间的和。

5. 一种“或非”型闪速存储单元包括：

一个以行和列排列的多个存储单元阵列；

一个用于选择所述行中的一者的行选择电路；

一个用于在所述列中选择列的一组的列选择电路；

一个用于在编程操作期间产生供给所选列的漏极电压的抽运电路；

一个用于产生指示由所选行和所选列确定的存储单元的一个编程期间的第一和第二编程期间信号的编程期间控制电路；

一个用于响应第一和第二编程期间信号以及待编程的数据位产生将所选列指定给指定的存储单元的选择信号的选择电路；和

一个用于响应选择信号驱动从抽运电路产生的漏极电压的所选列的写驱动电路；

其中，编程期间控制电路产生每个均对应于指定的存储单元的第一编程期间信号，以致将指定的存储单元依次地编程达到低于一个目标阈电压的预定阈电压；并且其中编程期间控制电路产生第二编程期间信号，以致将每个均具有预定阈电压的多个指定的存储单元组依次地编程，将每组的指定的存储单元同时地编程。

6. 根据权利要求5所述的“或非”型闪速存储装置，其中第一漏极电压与第二漏极电压具有不同的电平；其中当指定的存储单元被编程达到预定阈电压时，在第一时间内第一漏极电压供给所选列；其中当指定的存储单元被编程由预定阈电压达到目标阈电压时，在第

二时间内第二漏极电压供给所选列;并且其中各指定的存储单元的一个单元编程时间等于第一时间和第二时间的和。

7. 根据权利要求6所述的“或非”型闪速存储装置,其中第二漏极电压比第一漏极电压高。

高密度“或非”型闪速存储装置和存储单元

[0001] 本申请是名称为“高密度“或非”型闪速存储装置及其编程方法”(申请号:00121687.2;申请日:2000年7月21日)的申请的分案申请。

技术领域

[0002] 本发明涉及闪速存储装置,更具体地涉及一种在很低的电源电压下运行的高密度“或非”型闪速存储装置,以及编程该闪速存储装置的一种方法。

背景技术

[0003] 为了提供非易失性的信息存储,各种计算机系统均采用闪速存储器。常规闪速存储器通常包括用于将信息编程在闪速存储单元内的编程电路以及用于擦除存储单元的擦除电路。然而,这种编程和擦除电路所要求的电压电平与计算机系统电源电压使用的电压电平不同。

[0004] 某些闪速存储器需要多电压供电以适应编程和擦除电路的需要。例如,任何一种闪速存储器均需要一个电源电压和一个用于编程电路的单独的高电压。不幸的是,这种对双电压供电的要求通常会增加对采用这种双电源闪速存储器的计算机系统供电系统设计的复杂性并增加了这种系统的整体成本。

[0005] 另一方面,单电源闪速存储器通常含有产生对各闪速存储器单元进行编程和擦除所需的适当电压电平和电流电平的专用电路。例如,这种闪速存储器通常包括将单一供电电压转换为适合在编程期间驱动对闪速存储器输入所需的电压电平的抽运电路。

[0006] 与早期的计算机系统相比,更近期的计算机系统,如便携式计算机,采用使用较低供电电压运行的集成电路和其它器件。例如,过去采用5V电源电压的传统笔记本计算机系统,现在正逐渐趋向于3V或更低的电源电压(如:2V或1.5V)。

[0007] 不幸的是,如此低的电源电压引起对由闪速存储器的抽运电路产生的电编程电流的实际限制。由于限制了可以同时编程的闪速存储器单元的数量,所以对所使用的编程电流的这种限制会降低这种闪速存储器的整体速度。

[0008] 理论上,一个更大型、运行更复杂的抽运电路会提供同时编程闪速存储器的整个字节或字所需的必要的电流。如果进一步降低电源电压的电平,例如降低低于2V,抽运电路就会更复杂、更庞大。这使这种更庞大、更复杂的抽运电路占据集成电路芯片的大量空间。由于抽运电路占用了如此大量的集成电路空间,所以这通常会减少闪速存储单元及其它存取电路的可用空间,并因此限制了这种闪速存储器的整体存储容量。另一方面,如此大量的芯片空间会明显增加集成电路芯片的整体尺寸从而增加制造成本。

发明内容

[0009] 因此,本发明的一个目标是提供一种能通过最小化编程过程所消耗的最大操作电流以减小电荷泵的大小的密度“或非”型闪速存储装置及其编程方法。

[0010] 本发明的另一个目标是提供一种可以缩短编程时间的高密度“或非”型闪速存储

装置及其编程方法。

[0011] 根据本发明的一个方面,提供一种“或非”闪速存储装置包括:一个以行和列排列的多个存储单元阵列;一个用于选择所述行中的一者的行选择电路;一个用于在所述列中选择列的一组的列选择电路;一个用于在编程操作期间产生供给所选列的漏极电压的抽运电路;一个用于产生指示由所选行和所选列确定的存储单元的一个编程期间的第一编程期间信号和第二编程期间信号的编程期间控制电路;一个用于响应第一和第二编程期间信号以及待编程的数据位产生将所选列指定给指定的存储单元的选择信号的选择电路;和一个用于响应选择信号驱动从抽运电路产生的漏极电压的所选列的写驱动电路;其中,编程期间控制电路产生每个均对应于指定的存储单元的第一编程期间信号,以致将指定的存储单元依次地编程达到一个低于目标阀电压的预定阀电压;并且其中编程期间控制电路产生第二编程期间信号,以致将指定的存储单元由预定阀电压同时地编程达到目标阀电压。

[0012] 根据本发明的另一个方面,提供一种“或非”型闪速存储单元包括:一个以行和列排列的多个存储单元阵列;一个用于选择所述行中的一者的行选择电路;一个用于在所述列中选择列的一组的列选择电路;一个用于在编程操作期间产生供给所选列的漏极电压的抽运电路;一个用于产生指示由所选行和所选列确定的存储单元的一个编程期间的第一和第二编程期间信号的编程期间控制电路;一个用于响应第一和第二编程期间信号以及待编程的数据位产生将所选列指定给指定的存储单元的选择信号的选择电路;和一个用于响应选择信号驱动从抽运电路产生的漏极电压的所选列的写驱动电路;其中,编程期间控制电路产生每个均对应于指定的存储单元的第一编程期间信号,以致将指定的存储单元依次地编程达到低于一个目标阀电压的预定阀电压;并且其中编程期间控制电路产生第二编程期间信号,以致将每个均具有预定阀电压的多个指定的存储单元组依次地编程,将每组的指定的存储单元同时地编程。

[0013] 为了实现上述目标,根据本发明的一个方面,提供了一种“或非”型闪速存储装置,它包括多个以行和列排列的存储单元阵列、一个用于选择某一行的行选择电路、以及一个用于从列中的一组中选择几列的列选择电路。在该存储装置中,提供一个抽运电路,它在编程操作期间产生一个漏电压供给所选列。此外,该闪速存储装置还提供一个编程期间控制电路、一个选择电路和一个写驱动电路。编程期间控制电路产生表示由所选行和所选列确定的存储单元的编程期间的第一编程时间信号和第二编程时间信号。选择电路产生分别响应于第一和第二编程时间信号以及待编程的数据位,将所选列分别分配给指定的存储单元的选择信号。响应于选择信号,写驱动电路利用由抽运电路产生的漏电压驱动所选列。

[0014] 在该实施例中,编程期间控制电路产生每个均对应于指定的存储单元的第一编程时间信号,以致指定的存储单元被顺序编程达到一个低于目标阀电压的预定阀电压;其中编程期间控制电路产生第二编程期间信号,以致指定的存储单元被同时编程由预定阀电压达到目标阀电压。

[0015] 在该实施例中,第一漏电压具有与第二漏电压不同的电压电平,当指定的存储单元被编程达到预定的阀电压时,在第一编程时间,第一漏电压被供给所选列,而当指定的存储单元被编程由预定阀电压达到目标阀电压时,在第二编程时间,第二漏电压被供给所选列。

[0016] 在实施例中,第二漏电压较第一漏电压高,并且所选存储单元的每个单元编程时

间等于第一编程时间和第二编程时间的和。

附图说明

[0017] 本发明将以示例性实施例的方式进行描述,但并不是限制性的,附图中相同的标号代表相同的部件,其中:

[0018] 图 1 是常规闪速存储单元的剖视图;

[0019] 图 2 是表示同时编程两个数据位时单元电流与编程时间之间关系;

[0020] 图 3 是表示在编程期间闪速存储单元的阈电压与编程时间的关系;

[0021] 图 4 是表示阈电压和单元电流随编程时间的变化的图;

[0022] 图 5 是表示按照本发明第一实施例的闪速存储装置的方框图;

[0023] 图 6 是表示根据第一实施例的编程方法的单元电流与编程时间之间的关系的图;

[0024] 图 7 是表示按照本发明第二实施例的闪速存储装置的方框图;

[0025] 图 8 是表示图 7 所示的电荷泵的方框图;

[0026] 图 9 是表示闪速存储单元的阈电压和编程时间随供给位线的漏电压的变化而变化的图;

[0027] 图 10A 是表示电荷泵的电流容量的图;

[0028] 图 10B 是表示电流随电源及电荷泵的级数变化的图;

[0029] 图 10C 是表示电流随电荷泵的级数变化的图;和

[0030] 图 11 是表示按照第二实施例的编程方法的单元电流与编程时间之间关系的图。

具体实施方式

[0031] 以下参考附图更详细地说明本发明的优选实施例。

[0032] 参考图 1,它示出了闪速存储单元的剖视图,闪速存储单元在 P 型衬底 2 上具有 N⁺型源极 3 和 N⁺型漏极 4、在沟道上形成并在其与沟道之间插入了低于 $100 \text{ \AA}$ 绝缘层 5 的浮置栅 6、以及在浮置栅 6 上形成并在其与浮置栅之间插入另外的绝缘层 7 的控制栅 8。

[0033] 图 1 所示的闪速存储单元通过将衬底 2 和源极区 3 接地,将约 10V 的高电压 V_g 施加到控制栅 8 并将约 +5V ~ +6V 的正电压施加到漏极 4 进行编程。如果在预定时间内处于这种偏置状况,就会有足够的负电荷从与漏极 4 相邻的沟道注入浮置栅 6。此时,浮置栅 6 为 (-) 电位。在读操作期间,这起到增加闪速存储单元的阈电压的作用。闪速存储单元的这种状态被称为:“关态单元”。当约 +5 ~ +6V 的正电压 V_d 施加到关态单元的漏极 4 时,没有单元电流从漏极 4 流到接地的源极 3。在擦除状态,即闪速存储单元的未编程状态被称为:“开态单元”。当约 +5 ~ +6V 的正电压 V_d 施加到开态单元的漏极 4 时,约 $200 \mu\text{A}$ 的电流通过沟道从漏极 4 流到源极 3。

[0034] 如本技术领域技术人员所熟知的那样,如“或非”型闪速存储装置的闪速存储装置的所选存储单元是通过字节单元(由 8 个数据位组成)或字单元(由 16 个数据位组成)编程的。当字节/字单元的所有数据位同时编程时,字节单元编程所需的最大电流是 1.6mA ($200 \mu\text{A} \times 8$),而字单元编程所需的最大电流是 3.2mA ($200 \mu\text{A} \times 16$)。为了产生约 +5 ~ +6V 的正电压 V_d 以向闪速存储单元的漏极 4 供电并同时提供大量的电流(即 1.6mA 或 3.2mA),就需要一个大型电荷泵。如上所述,如此会使此电荷泵占用集成电路芯片的大量空

间。集成电路芯片如此大量的空间被用于电荷泵,通常会减少闪速存储单元以及存取电路的可用空间,从而限制了这种闪速存储器的整体存储容量(这意味着增加集成电路芯片的尺寸)。不仅如此,当持续消耗大量电流时,会产生电源噪声,并由此导致闪速存储装置产生故障。当“或非”型闪速存储装置所使用的电源电压电平降得越来越低时,此问题会变得很严重。

[0035] 根据常规的用于减少电荷泵占用空间的编程方法,首先,待编程的多个数据位被分成多个组。之后,各组的数据位在单元编程时间 T_{cycle} (等于编程足以达到闪速存储单元的目标阈电压所需的时间)内同时编程。例如,如果在此各组包含两个数据位,单元编程时间 T_{cycle} 期间的最大电流与上述编程方法(该方法将字单元的所有数据位同时编程)的最大电流相比减少 $1/8$,即约 $400\ \mu\text{A}$ 。电荷泵的大小随最大电流的减小而减小。在此,如图2所示,假设闪速存储单元的峰值电流表示为 I_{peak} ,则将相应的单元编程时间 T_{cycle} 的最大电流表示为两个峰值电流 ($2I_{\text{peak}}$)。另一方面,显然总编程时间 T_{pgm} 较上述的编程方法增加了8倍(当 $T_{\text{cycle}} = 1\ \mu\text{s}$, $T_{\text{pgm}} = 1\ \mu\text{s} \times 8 = 8\ \mu\text{s}$)。

[0036] 如果“或非”型闪速存储单元在很低的电源电压下运行(如低于 2.0V),则在编程期间产生供给闪速存储单元的漏极的电流和电压所需的时间会更长。另一方面,为了减少总编程时间,就可能增加电荷泵的尺寸。这样,当闪速存储装置的集成度高时,由电荷泵占用的集成电路芯片的空间就大。电荷泵占用集成电路芯片如此大量的空间,通常意味着减少了闪速存储单元及相关存取电路的可用空间,从而限制了这种闪速存储器的整体存储容量。

[0037] <第一实施例>

[0038] 参考图3,它表示出单元的阈电压与变化的编程时间之间的关系。在图3中,竖轴代表闪速存储单元的阈电压,横轴代表由对数值表示的编程时间。假设待编程的目标阈电压 $V_{\text{th_pgm}}$ 是 8V ,则编程单元所需的单元编程时间 T_{cycle} 就是 $1\ \mu\text{s}$ 。此时,从图3中可知,在 $0.5\ \mu\text{s}$ 内即单元编程时间 T_{cycle} 的一半的时间内,单元的阈电压 V_{th} 增加到约 7V (接近 85%)。

[0039] 如图4所示,它表示出阈电压和单元电流随编程时间的变化,在第一编程时间 $0 \sim T_1$,单元的阈电压 V_{th} 迅速增加到 $V_{\text{th}1}$,同时,在第一编程时间流过编程单元的单元电流迅速从 I_{peak} 减小到 $I_{\text{t}1}$ 。之后,在第二编程时间 $T_1 \sim T_{\text{cycle}}$,单元的阈电压 V_{th} 缓慢地从 $V_{\text{th}1}$ 增加到 $V_{\text{th_pgm}}$,并消耗少量单元电流。

[0040] 如图3和图4所示,当闪速存储单元的阈电压 V_{th} 在单元编程时间 T_{cycle} 的起始阶段迅速增加时,通过沟道从漏极流到源极的单元电流迅速减小。显然,对于本技术领域的技术人员,可以根据闪速存储单元的特性改变阈电压 V_{th} 增加的斜率。这意味着依赖于闪速存储单元的特性,第一编程时间 $0 \sim T_1$ 变短或变长。

[0041] 根据第一实施例的“或非”型闪速存储装置的方框图示于图5。“或非”型闪速存储装置100包括一个存储单元阵列110,尽管没有示出,该存储单元阵列110包含多条沿行延伸的字线、多条沿列延伸的位线以及多个分别布置在字线和位线的交叉点上的闪速存储单元(或EEPROM单元)。行解码电路120根据行地址选择一条字线,列解码电路130和列通门电路140根据列地址选择位线的一部分。例如,如果存储单元由字节单元编程,则列解码电路130和列通门电路140选择8位线。并且,如果存储单元由字单元编程,则列解码电路

130 和列通门电路 140 选择 16 位线。即分别选择由所选字线和所选位线确定的 8/16 闪速存储单元。

[0042] 在闪速存储装置 100 中还包括编程期间控制电路 150、数据输入缓冲电路 160、选择电路 170、抽运电路 180 以及写驱动电路 190。根据字节 / 字单元,待编程的“0”或“1”数据位暂时存储在数据输入缓冲电路 160。当对所选存储单元进行编程操作时,编程期间控制电路 150 产生一个脉冲形式的编程期间信号 PGM_Bli。例如,在本实施例中,编程期间控制电路 150 包括一个计数器。

[0043] 接着,选择电路 170 接收编程期间信号 PGM_Bli ($i = 0 \sim 17$) 和数据位 Din_i ($i = 0-15$),然后分别产生对应于所选位线的数据线选择信号 DLSELi ($i = 0-15$)。例如,当激活第一编程期间信号 PGM_B10 并且第一数据位 Din_0 待编程时(如,逻辑‘0’),激活第一数据线选择信号 DLSEL0。反之,当激活第一编程期间信号 PGM_B10 并且第一数据位 Din_0(如,逻辑‘0’)被禁止编程时(如,逻辑‘1’),就不激活第一数据线选择信号 DLSEL0。按上述方法,激活或关闭其它数据线选择信号 DLSEL1 至 DLSEL15。

[0044] 抽运电路 180 向写驱动电路 190 提供传送到所选位线的一个漏极电压 Vd 和一个电流。根据数据线选择信号 DLSELi,写驱动电路 190 将抽运电路 180 提供的漏极电压 Vd 和电流送到所选位线。题目为:“非易失半导体存储装置中使用的自动编程电路”的美国 No. 5,642,309 专利公开了一种抽运电路的实例,这里一并提出供参考。

[0045] 假设上述“或非”型闪速存储装置 100 的单元由字单元编程,以下将详细说明本发明的编程操作。然而,很明显本发明的编程方法可以应用到按字节单元编程的闪速存储装置。并且“或非”型闪速存储装置 100 支持边读边写(RWW)的操作模式,其编程操作和读出操作是同时完成的。题目为:“能够同时读出和写入的非易失存储器的存储单元结构”的美国 No. 5,867,430 专利中公开了 RWW 操作模式的存储装置,这里一并提出供参考。

[0046] 图 6 表示根据本发明第一实施例的编程方法的单元电流与编程时间之间的关系。在说明本发明的编程方法之前,将第一编程时间 T1 定义为当闪速存储单元的阈电压 Vth 达到一个低于目标阈电压 Vth_pgm 的阈电压 Vth1(如:6V ~ 7V)的时间,将第二编程时间 T1 定义为单元编程时间减去第一编程时间(Tcycle-T1)(Tcycle 是编程闪速存储单元足以达到目标阈电压 Vth_pgm)。

[0047] 如果开始编程操作,由行解码电路 120 选择存储单元阵列 110 的一条字线,而由列解码电路 130 和列通门电路 140 选择 16 条(字单元的)位线。与上述操作的结果一样,分别选择布置在所选字线和所选位线交叉点上的 16 个闪速存储单元。尽管图中未示出,例如,由一个公知的字线电压产生电路抽运的一个约 10V 的高电压可以供给通常连到所选单元的控制栅的所选字线。

[0048] 之后,当由编程期间控制电路 150 产生的第一编程期间信号 PGM_B10 由低电平跃迁到高电平时,选择电路 170 接收第一编程期间信号 PGM_B10 和第一数据位 Din_0(例如,逻辑‘0’),并相应地激活第一数据线选择信号 DLSEL0。第一数据位 Din_0 是存储在数据输入缓冲电路 160 中的、待编程的数据位 Din_0 至 Din_15 中之一。这使由抽运电路 180 产生的漏极电压 Vd 和电流通过写驱动电路 190 和列通门电路 140 供给一个对应于第一数据位 Din_0 的第一位线。结果,第一闪速存储单元开始编程。此时,如上所述,流经所选闪速存储单元的单元电流等于约为 200 μ A 的最大电流 Ipeak,而在第一编程时间 T1,编程第一

闪速存储单元达到低于目标阀电压 V_{th_pgm} 的 V_{th1} 。

[0049] 如图 6 所示, 激活信号 PGM_BL0 并在第一编程时间 T1 过去之后, 第一编程期间信号 PGM_BL0 由高电平跃迁到低电平 (它被关闭)。就在此时, 编程期间控制电路 150 激活第二编程期间信号 PGM_BL1 表示待编程的数据位 Din_0 至 Din_15 中的第二数据位 Din_1 的编程操作。由抽运电路 180 产生的漏极 V_d 和电流通过写驱动电路 190 和列通门电路 140 供给与第二数据位 Din_1 对应的第二位线。结果, 第二闪速存储单元开始编程。此时, 流经所选闪速存储单元的单元电流等于约为 $200\ \mu A$ 的最大电流 I_{peak} , 而在第一编程时间 T1 期间, 第二闪速存储单元被编程达到阀电压 V_{th1} 。

[0050] 对应于其它数据位 (如 Din_2 至 Din_15) 的所选闪速存储单元以如上所述的编程操作同样的方式顺序编程达到阀电压 V_{th1} 。当它们被顺序编程达到阀电压 V_{th1} 后, 根据抽运电路 180 的容量, 同时编程所选存储单元。或者, 将所选存储单元分为两个或更多个组后, 可以根据抽运电路 180 的容量分别编程存储单元组。在本实施例中, 假设抽运电路 180 的电流容量等于 I_{peak} ($200\ \mu A$), 待同时编程的数据位数 N 由抽运电路 180 的电流容量和在第二编程时间 T2 的起始阶段由闪速存储单元消耗的单元电流 I_{t1} 确定。如果 $N = 8$, 16 个所选存储单元被分成两组, 之后, 各组将按如下方法编程。

[0051] 如图 6 所示, 当编程期间信号 PGM_BL16 被激发到高电平, 选择电路 170 同时将分别与相应的数据位组对应的数据线选择信号 DLSEL0 至 DLSEL7 激发到高电平。这使得抽运电路 180 产生的漏极电压 V_d 和电流供给每个均与激发信号 DLSEL0 至 DLSEL7 对应的位线。结果, 在第二编程时间 T2 ($T_{cycle}-T1$) 内, 将与驱动位线分别相连的存储单元同时编程由阀电压 V_{th1} 达到目标阀电压 V_{th_pgm} 。对应于其它数据位组的数据位的闪速存储单元按上述方法编程。

[0052] 对所选存储单元的编程操作以上述方式结束。根据第一实施例的编程方法, 总编程时间 T_{pgm} 由下式表示:

$$[0053] \quad T_{pgm} = T1 \times N + (T_{cycle} - T1) \times r$$

[0054] 其中, 符号 N 表示待编程的数据位数 (以位单元编程时 $N = 8$, 以字单元编程时 $N = 16$), 符号 r 表示由电流 I_{t1} 和最大电流 I_{peak} 确定的存储单元的组数。例如, 当 $T_{cycle} = 1\ \mu s$, $T1 = 0.5\ \mu s$, $r = 2$ 时, 字单元的总编程时间为 $9\ \mu s$ ($0.5\ \mu s \times 16 + 0.5\ \mu s \times 2$)。

[0055] 从上述编程算法中得知, 在第一实施例的编程操作期间消耗的最大电流等于由闪速存储单元消耗的峰值电流 I_{peak} 。根据第一实施例的编程方法设计的抽运电路 180 的大小是常规的同时编程两个数据位的方法的抽运电路的一半。因此, 根据本发明第一实施例, 尽管提高了“或非”型闪速存储装置的集成度并降低了闪速存储单元所使用的电源电压 (例如, 低于 2.0V), 而无需因为电荷泵 180 增加集成电路芯片的尺寸, 仍能提供编程所需的足够的电流。

[0056] < 第二实施例 >

[0057] 图 7 所示是根据本发明第二实施例的“或非”型闪速存储装置的方框图。在图 7 中, 与图 5 中相同的组成部分用相同的标号标注, 并省略对它们的说明。第二实施例与第一实施例的不同之处在于漏极电压, 即在编程一个闪速存储单元达到低于目标阀电压 V_{th_pgm} 的阀电压 V_{th1} 所需的第一编程时间 T1 供给一条位线的漏极电压, 不同于在编程一个闪速存储单元达到低于目标阀电压 V_{th_pgm} 的阀电压 V_{th1} 所需的第二编程时间 T2 供给一条

位线的漏极电压。

[0058] 参考图 7, 根据本发明第二实施例的抽运电路 180' 将响应于控制信号 Svd1 和 Svd2 传送到一条位线的漏极电压 Vd 供给写驱动电路 190。特别是, 在激活控制信号 Svd1 时, 由抽运电路 180' 供给写驱动电路 190 的漏极电压 Vd, 低于在激活控制信号 Svd2 时, 由抽运电路 180' 供给写驱动电路 190 的漏极电压 Vd。以下将作更详细地说明。抽运电路 180' 包括示于图 8 中的电荷泵 181、调节器 182、第一检测器 183、第二检测器 184 以及振荡器 185。

[0059] 电荷泵 182 响应于由振荡器 185 产生的振荡信号 OSC 完成其抽运操作, 由此产生电压 Vout 供给闪速存储单元的漏极。振荡器 185 根据振荡启动信号 OSCE 运行。电荷泵 181 由串联的抽运级组成, 它由美国 No. 5, 280, 420 专利公开, 题目为: “低电源电压下运行的电荷泵”, 援引于此供参考。调节器 182 调节由电荷泵 181 产生的不稳定电压 Vout, 并将调节器 182 产生的一个输出电压, 即一个漏极电压 Vd 供给写启动电路 190。之后, 当激活控制信号 Svd1 时, 第一检测器 183 检测调节器 182 的输出电压 Vd 是否高于如 4.5V 的预定值 Vd1。如果 $V_d > V_{d1}$, 则由第一检测器 183 关闭振荡器 185, 从而结束电荷泵 182 的抽运操作。同样, 当激活控制信号 Svd2 时, 第二检测器 184 检测调节器 182 的输出电压 Vd 是否高于如 5.5V 的预定值 Vd2。如果 $V_d > V_{d2}$, 则由第二检测器 184 关闭振荡器 185, 从而结束电荷泵 182 的抽运操作。

[0060] 参考图 9, 它表示出阈电压和编程时间随供给一条位线的电压 Vd 变化的变化曲线。当 $V_d = V_{d2}$ (如: 5.5V) 时, 编程一个闪速存储单元达到阈电压 Vth1 所需的一个第一编程时间 T1' 比当 $V_d = V_{d1}$ (如: 4.5V) 时的编程时间 T1 (对应于第一实施例的第一编程时间) 要短。结果, 通过增加供给闪速存储单元漏极的电压 Vd, 能缩短总编程时间 Tpgm。如图 9 所示, 当 $V_d = V_{d2}$ 时, 流经闪速存储单元的单元电流等于峰值电流 Ipeak。

[0061] 如图 10A 所示, 它表示出电荷泵 181 的输出电压 Vout 增加时, 电荷泵电流容量, 即电荷泵 181 的输出电流 Iout 减小的情况。例如, 如果供电电压是 2V 并且电荷泵 181 由 8 个抽运级组成, 当电荷泵 181 的输出电压 Vout 接近 4.5V 时, 输出电流 Iout 接近 200 μ A (参考 A 点)。而当输出电压 Vout 增加到 5.5V 时, 输出电流 Iout 减小到接近 150 μ A (参考 B 点)。

[0062] 如上所述, 由于 $V_d = V_{d2}$ 时流经闪速存储单元的单元电流等于峰值电流 Ipeak, 所以与第一实施例相比, 必须增加根据第二实施例的电荷泵 181 的抽运级数。例如, 如图 10B 和 10C 所示, 为了获得约 5.5V 的电压输出 Vout 和约 200 μ A 的电流输出, 电荷泵 181 可以由 10 个串联的抽运级组成。这样, 当 $V_d = V_{d1}$ 时, 由 10 个抽运级组成的电荷泵 181 可以提供约 240 μ A 的电流输出 Iout。这意味着在第二编程时间 T2 期间同时编程的数据位数变得更多了。另一方面, 根据本发明第二实施例的电荷泵 181 的尺寸较根据本发明第一实施例的电荷泵的尺寸略有增加 (两个增加的抽运级相应增加电荷泵 181 的尺寸)。

[0063] 图 11 表示出根据本发明第二实施例的单元电流与编程时间之间的关系。以下参考附图更详细地说明第二实施例的编程方法。

[0064] 开始编程操作时, 由行解码电路 120 选择存储单元阵列 110 的其中一条字线, 并由列解码电路 130 和列通门电路 140 选择 16 条位线 (字单元的)。如上所述的结果, 分别选择 16 个位于所选字线和所选位线的交叉点上的闪速存储单元。尽管图中未示出, 可以将如

由一个已知的字线电压产生电路抽运的一个约 10V 的高电压供给通常与所选单元的控制栅相连的所选字线。

[0065] 之后,当由编程期间控制电路 150 产生的第一编程期间信号 PGM_BL0 由低电平跃迁到高电平时,选择电路 170 接收该第一编程期间信号 PGM_BL0 和第一数据位 Din_0(例如,逻辑'0'的),之后,相应地激活第一数据线选择信号 DLSEL0。第一数据位 Din_0 是存储在数据输入缓冲电路 160 中的、待编程的数据位 Din_0 至 Din_15 的其中之一。并且,根据控制信号 Svd2,抽运电路 180' 产生漏极电压 Vd。这使得抽运电路 180' 输出的漏极电压 Vd(=Vd2) 和电流 Iout 通过写驱动电路 190 和列通门电路 140 送到对应于第一数据位 Din_0 的第一位线。结果,第一闪速存储单元开始编程。此时,流经所选闪速存储单元的单元电流等于约为 200 μ A 的最大电流 Ipeak,并且在第一编程时间 T1' 编程第一闪速存储单元达到低于目标阈电压 Vth_pgm 的 Vth1。如上所述,第一编程时间 T1' 比第一编程时间 T1 短。

[0066] 接着,如图 11 所示,激活信号 PGM_BL0 并经过第一编程时间 T1' 后,第一编程期间信号 PGM_BL0 由高电平跃迁到低电平。同时,编程期间控制电路 150 激活第二编程期间信号 PGM_BL1,表示对数据位 Din_0 至 Din_15 中的第二数据位 Din_1 进行编程操作。这使得抽运电路 180 输出的漏极电压 Vd(=Vd2) 和电流 Iout 通过写驱动电路 190 和列通门电路 140 送到对应于第二数据位 Din_1 的第二位线。结果,第二闪速存储单元开始编程。此时,流经所选闪速存储单元的单元电流等于约为 200 μ A 的最大电流 Ipeak,并且在第一编程时间 T1' 编程第一闪速存储单元达到低于目标阈电压 Vth_pgm 的 Vth1。

[0067] 此后,按上述方法顺序编程对应于其它数据位 Din_2 至 Din_15 的闪速存储单元达到阈电压 Vth1。在它们被顺序编程达到阈电压 Vth1 之后,就可以根据抽运电路 180' 的容量同时编程所选存储单元。或者,将所选存储单元分组之后,可以根据抽运电路 180' 的容量编程各存储单元组。假设抽运电路 180' 的电流容量是约为 200 μ A 的峰值电流 Ipeak,则待同时编程的数据位数 N 由抽运电路 180' 的电流容量和由闪速存储单元在第二编程时间 T2 的起始阶段消耗的单元电流 It1 确定 ($I_{peak} \geq I_{t1} \times N$)。如果 N = 16,则将 16 个所选存储单元分成两组,之后按如下的方法编程各组。

[0068] 如图 11 所示,当将一个编程期间信号 PGM_BL16 激活到高电平时,则利用选择电路 170 同时激活每个均与各自的数据位对应的数据线选择信号 DLSEL0 至 DLSEL7。抽运电路 180' 响应于控制信号 Svd1 产生漏极电压 Vd。这使得抽运电路 180' 产生的漏极电压 Vd(=Vd1)(它比在第一编程时间 T1' 使用的电压 Vd2 低)和电流 Iout(比在第一编程时间 T1' 使用的电流大)供给每个均对应于激活信号 DLSEL0 至 DLSEL7 的位线。结果,在第二编程时间 T2(Tcycle 减 T1)内,同时编程与驱动位线分别相连的存储单元由阈电压 Vth1 达到目标阈电压 Vth_pgm。以上述同样的方法编程对应于其它组数据位的闪速存储单元。

[0069] 以上述方式结束对所选存储单元的编程操作。如下是根据第一实施例的编程方法总编程时间 Tpgm:

$$[0070] \quad T_{pgm} = T1' \times N + (T_{cycle} - T1) \times r$$

[0071] 其中,符号 N 表示待编程的数据位数(在字节单元情况时,N = 8,在字单元情况时,N = 16),符号 r 表示由电流 It1 和最大电流 Ipeak 确定的闪速存储单元的组数。例如,当 Tcycle = 1 μ s、T1 = 0.5 μ s、T1' = 0.3 μ s 及 r = 2 时,字单元的总编程时间 Tpgm 约

为 $5.8 \mu s (0.3 \mu s * 16 + 0.5 \mu s * 2)$ 。结果,第二实施例的总编程时间 T_{pgm} 与第一实施例的总编程时间 T_{pgm} 相比缩短了 $\{(T1 - T1') * 16 + T_{cycle}(r - r')\}$, 其中符号 r' 表示待根据第二实施例同时编程的闪速存储单元的组数。

[0072] 由上述编程算法可知,在第一实施例的编程操作期间消耗的最大电流等于由闪速存储单元消耗的峰值电流 I_{peak} 。根据第二实施例的编程方法设计的抽运电路 180' 的大小较用同时编程两个数据位的常规方法设计的抽运电路的大小有明显减小。结果,尽管提高了“或非”型闪速存储装置的集成度并降低了其使用的供电电压,在不因为抽运电路 180 增加集成电路芯片的尺寸的情况下,就可以供给编程所需的足够电流。此外,如上所述,根据第二实施例的编程方法的总编程时间明显比采用常规方法的总编程时间短。

[0073] 如上所述,由于“或非”型闪速存储装置具有 RWW 的操作模式,完成对某个存储单元的编程操作的同时完成对另一个存储单元的读出操作。本技术领域的人员普遍认为,当抽运电路产生高电压 V_d 和漏极电流时,会引起电源噪声。在编程期间引起的电源噪声会影响在另一个存储单元内进行的读操作。因此,希望引起电源噪声的最大漏极电流值尽可能小。于是,通过利用根据第一实施例和第二实施例的编程方法可以最小化引起电源噪声的最大电流。

[0074] 本发明利用典型的优选实施例进行了描述。然而,很明显,本发明的范围并不局限于所公开的实施例。相反,它试图涵盖各种修改和类似配置。因此,为了包含所有此类的修改和类似配置,权利要求所述的范围被作为最全面的解释。

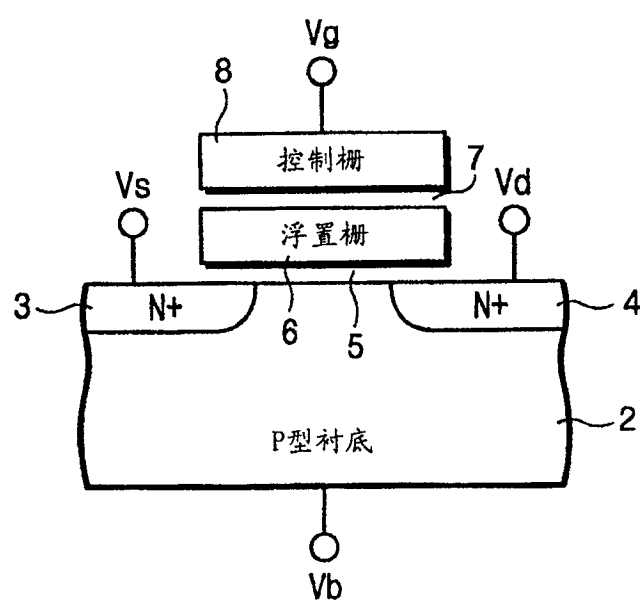


图 1

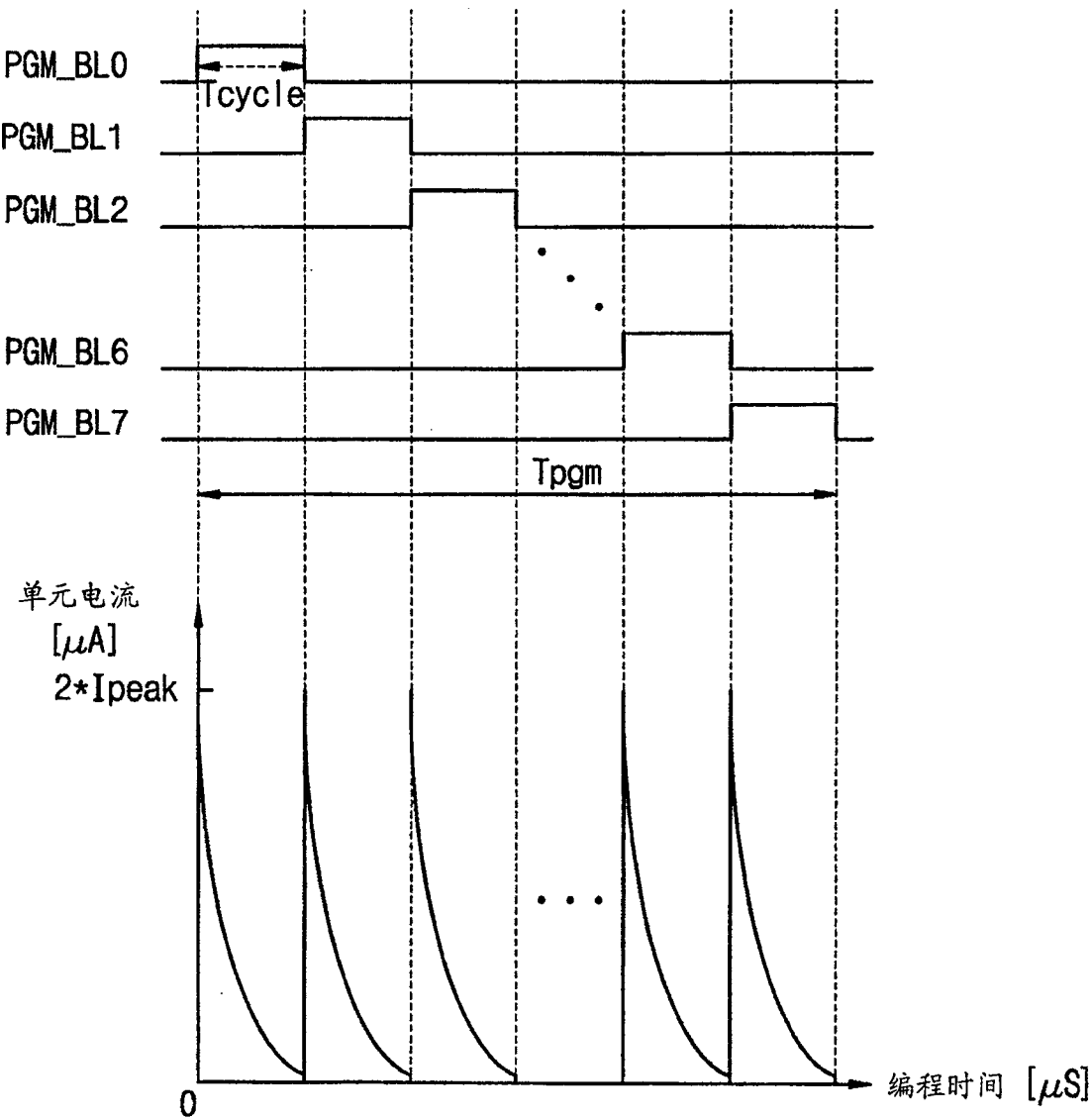


图 2

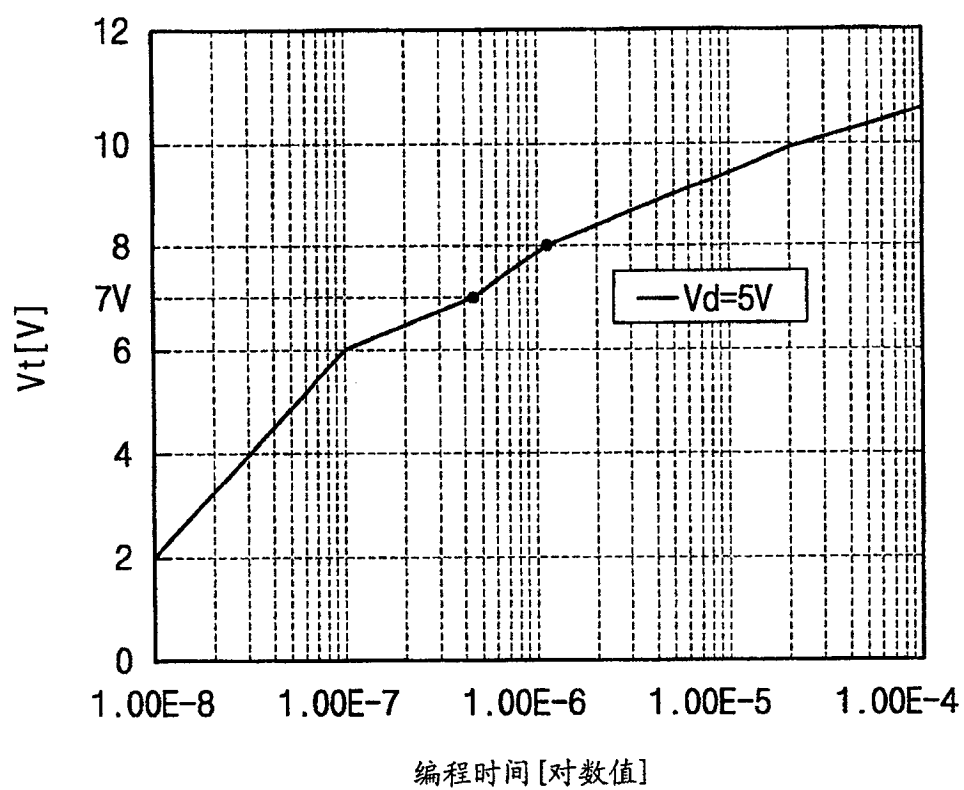


图 3

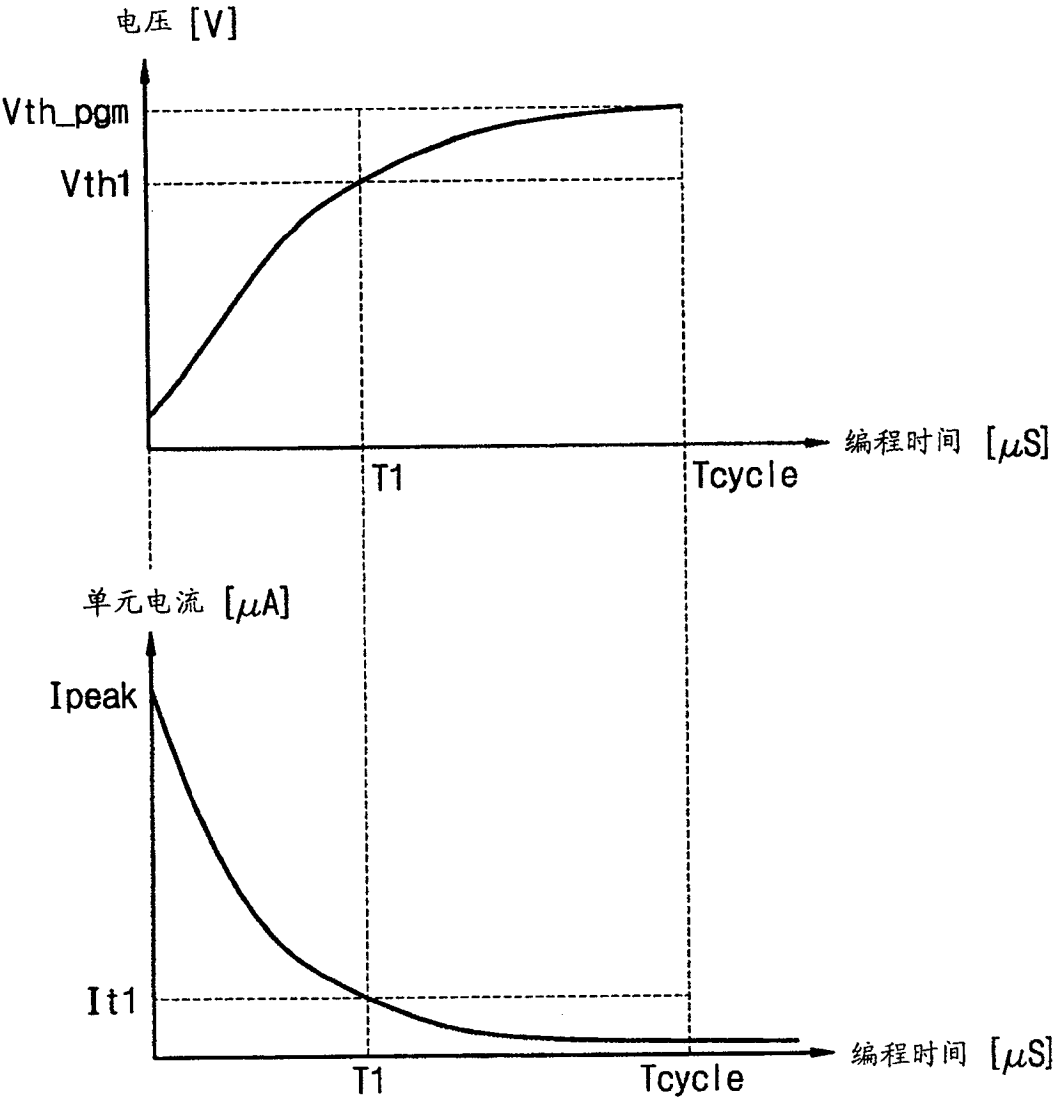


图 4

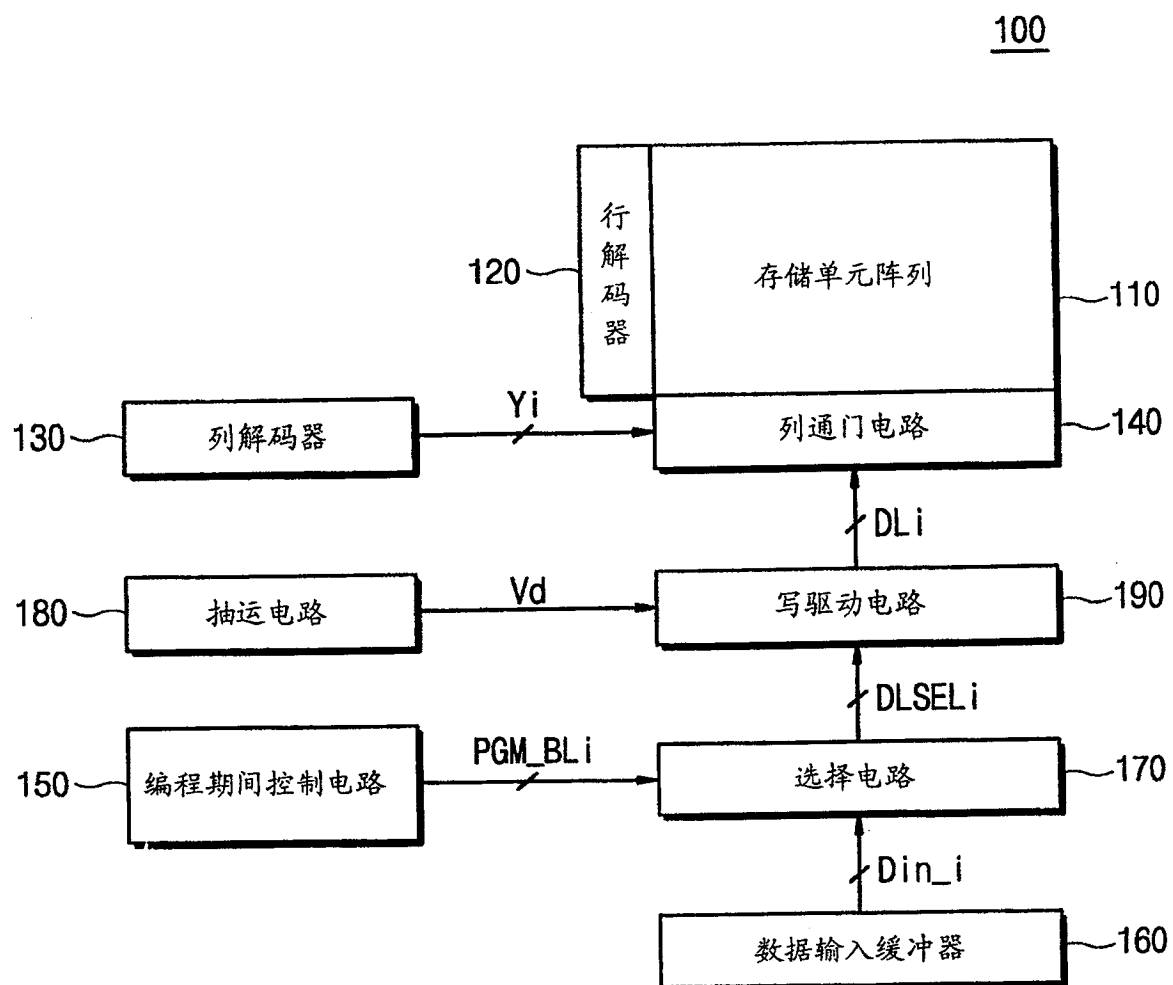


图 5

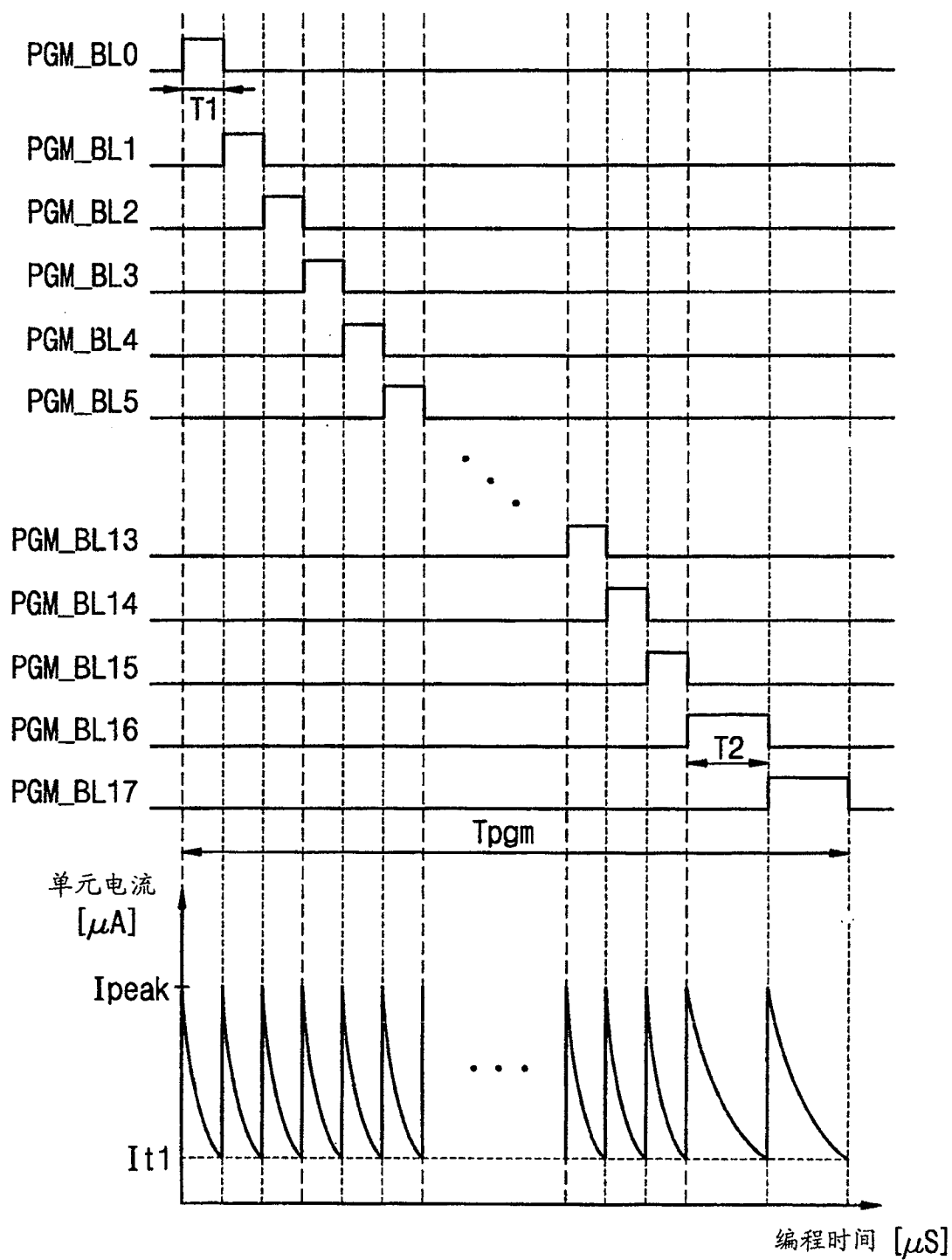


图 6

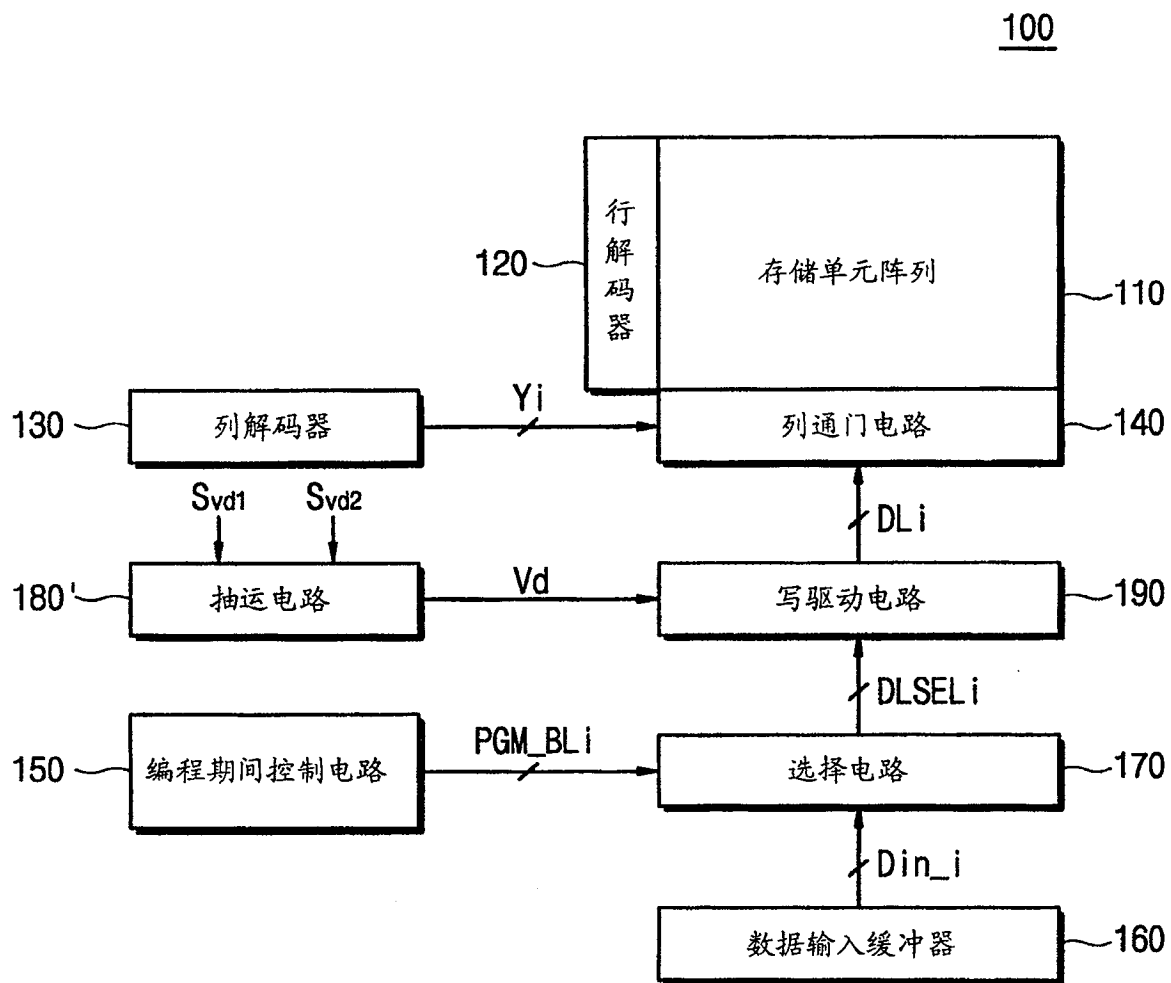


图 7

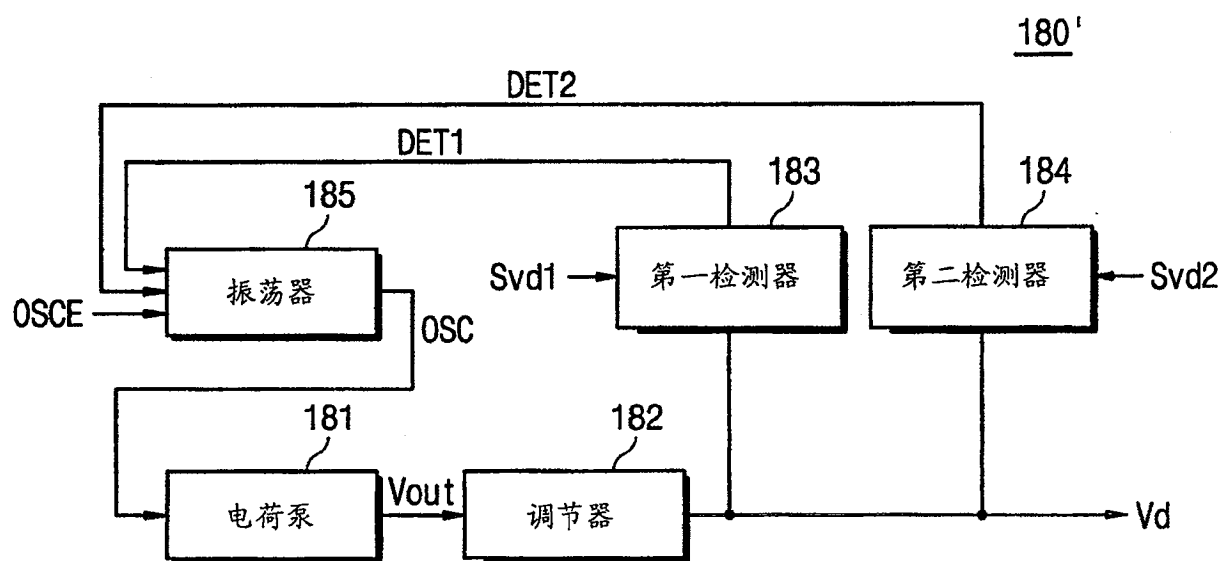


图 8

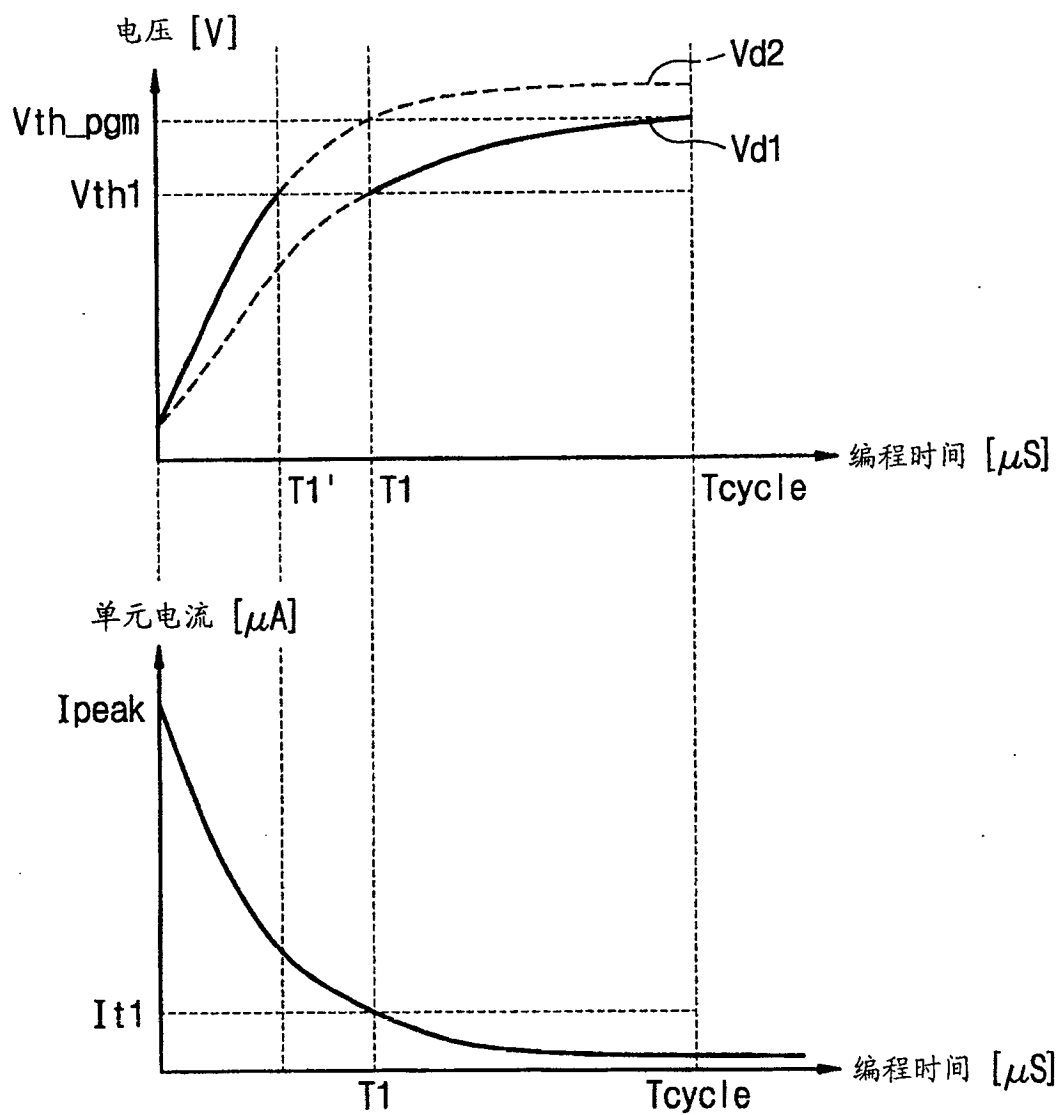


图 9

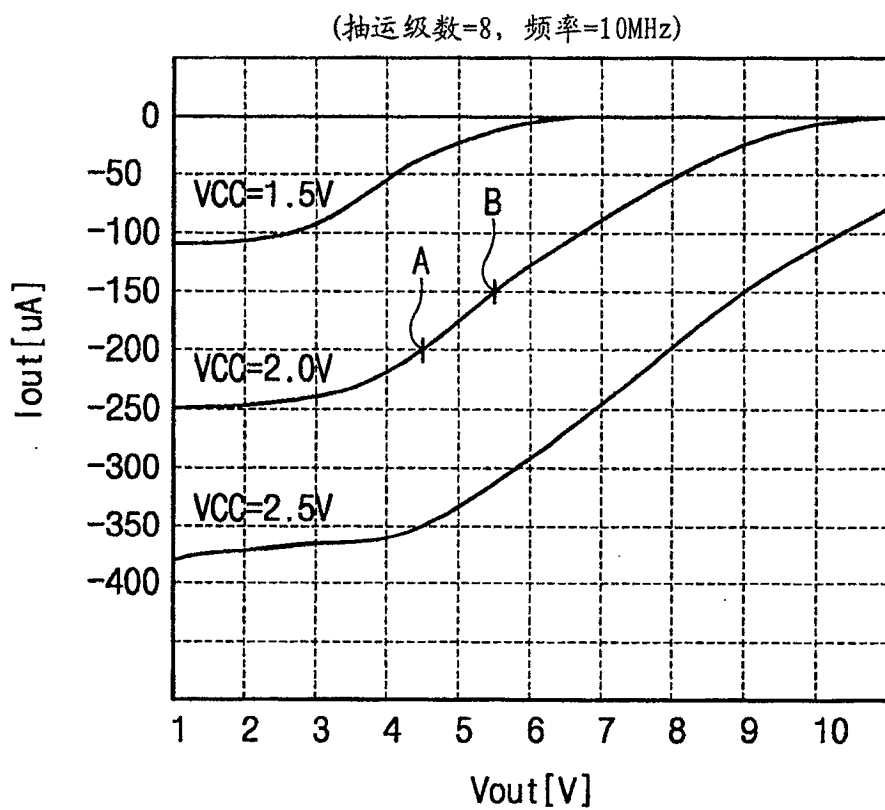


图 10A

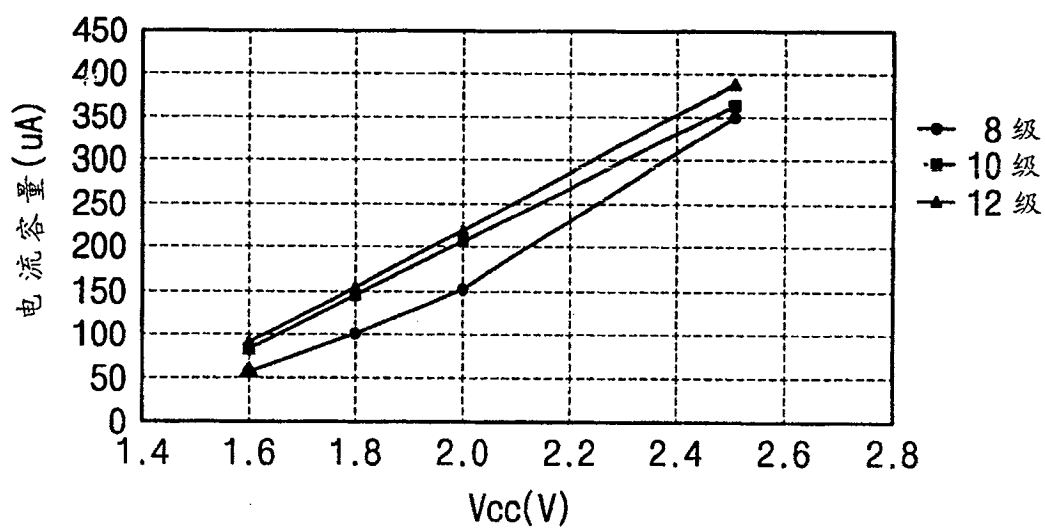


图 10B

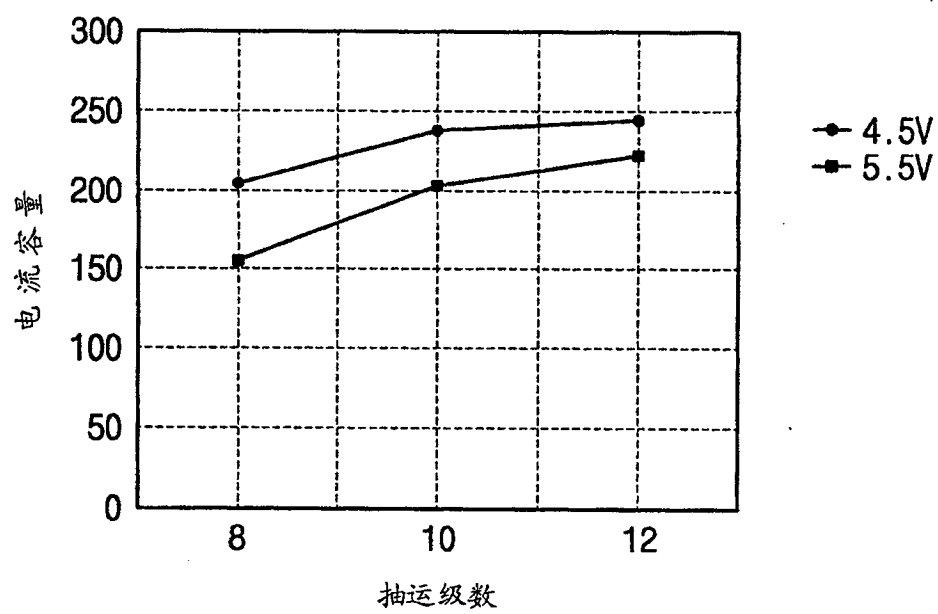


图 10C

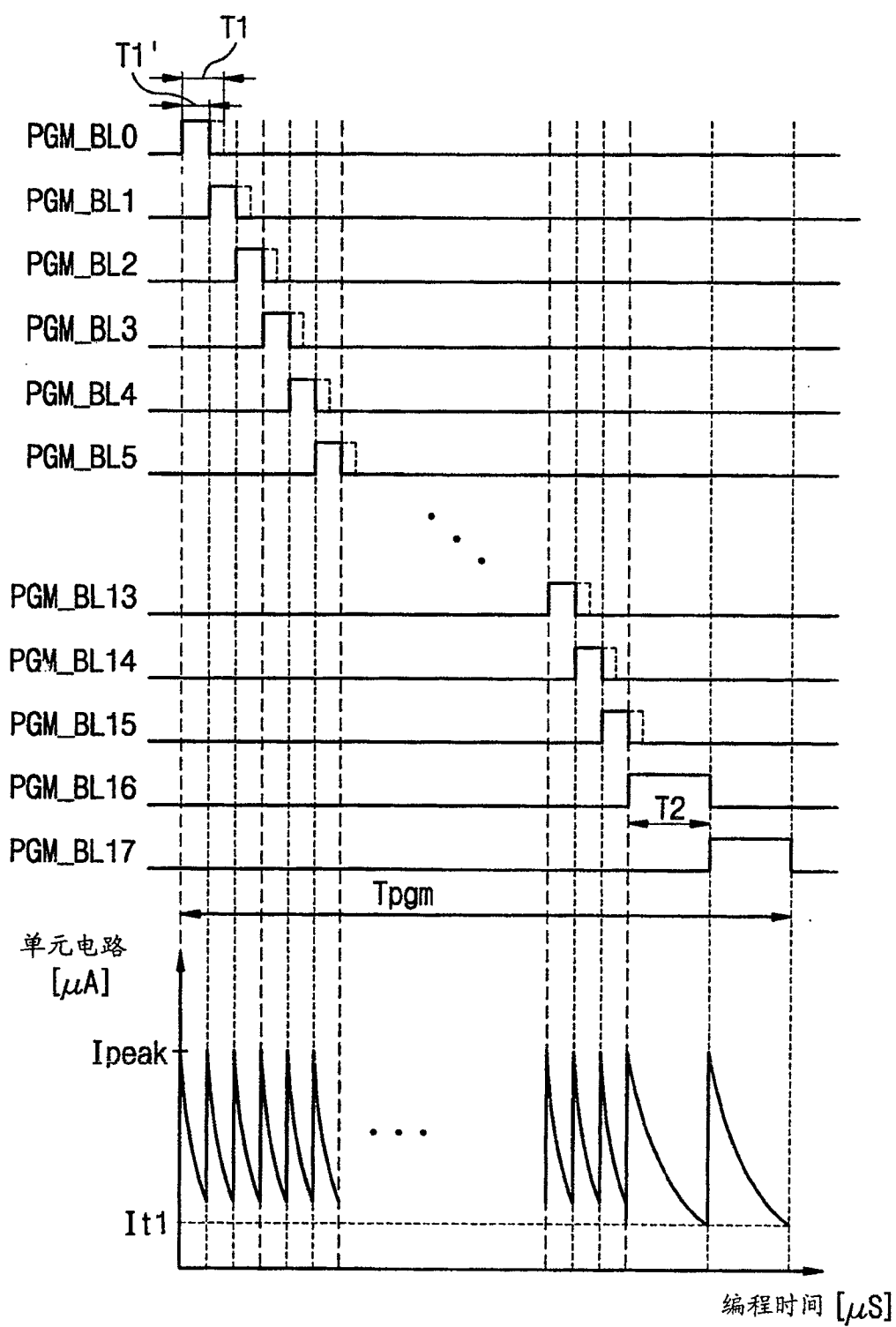


图 11