

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6088312号
(P6088312)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 7 T
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 27/108 (2006.01)	HO 1 L 29/78	6 1 7 U
HO 1 L 27/105 (2006.01)	HO 1 L 27/10	3 2 1
HO 1 L 21/336 (2006.01)	HO 1 L 27/10	4 4 1
請求項の数 3 (全 41 頁) 最終頁に続く		

(21) 出願番号	特願2013-67798 (P2013-67798)	(73) 特許権者	000153878
(22) 出願日	平成25年3月28日(2013.3.28)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-229588 (P2013-229588A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年11月7日(2013.11.7)	(72) 発明者	竹内 敏彦
審査請求日	平成27年12月9日(2015.12.9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-81477 (P2012-81477)		半導体エネルギー研究所内
(32) 優先日	平成24年3月30日(2012.3.30)	(72) 発明者	野田 耕生
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	小堺 行彦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体膜と、
 前記酸化物半導体膜上の、ゲート絶縁膜と、
 前記ゲート絶縁膜上の、ゲート電極と、を有し、
 前記ゲート電極の側端部は、前記ゲート絶縁膜の側端部と一致し、
 前記ゲート絶縁膜は、前記側端部を含む第1の領域と、前記側端部を含まない第2の領域とを有し、

前記第1の領域の窒素濃度は、前記第2の領域の窒素濃度より高く、
 前記酸化物半導体膜は、前記ゲート絶縁膜と重なる第3の領域と、ソース電極と重なる第4の領域と、ドレイン電極と重なる第5の領域と、前記ゲート絶縁膜、前記ソース電極、及び前記ドレイン電極と重ならない第6の領域と、を有し、
 前記第6の領域の窒素濃度は、前記第3の領域乃至第5の領域の窒素濃度より高いことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、
 前記第6の領域において、前記窒素濃度は、前記ゲート電極側に向かって高いことを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記ソース電極は、前記第４の領域の側端部を覆い、

前記ドレイン電極は、前記第５の領域の側端部を覆うことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明は、半導体素子、半導体装置および半導体素子の作製方法に関する。

【０００２】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

10

【背景技術】

【０００３】

絶縁表面を有する基板上に形成された半導体薄膜を活性層として用いたトランジスタは、集積回路（ＩＣ）や画像表示装置（表示装置）のような電子デバイスに広く用いられている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【０００４】

例えば、トランジスタの活性層として、Ｉｎ－Ｇａ－Ｚｎ系酸化物で構成される酸化物半導体を用いた薄膜トランジスタが開示されている（特許文献１参照）。

20

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開２００６－１６５５２７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

ところで、半導体薄膜を活性層として用いたトランジスタでは、トランジスタを微細化するためにトップゲート構造（スタガ構造、順スタガ構造などとも言われる。）が用いられることがある。これは、ゲート電極をマスクとして用い、活性層の抵抗を下げる不純物を活性層に添加してソースおよびドレインとして機能する低抵抗領域を形成することで、ゲート電極の下に低抵抗領域に挟まれたチャンネル形成領域を自己整合的に形成できる（つまり、微細なゲート電極を形成できれば、チャンネル形成領域も微細化することができる。）ためである。

30

【０００７】

半導体薄膜として酸化物半導体材料を用いたトランジスタ（以下、ＯＳ（Ｏｘｉｄｅ＿Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）トランジスタとも記載する。）では、酸化物半導体膜中の酸素欠損に代表されるような欠陥がキャリアの供給源のように機能し、酸化物半導体膜の電気伝導度が変動する原因となりうる。このため、チャンネル形成領域に用いる酸化物半導体膜は酸素欠損に代表される膜中の欠陥が低減されていることが好ましく、特にチャンネル形成領域の酸素欠損が低減されていることが好ましい。

40

【０００８】

しかしながら、活性層にＯＳを採用したトランジスタでは、トランジスタ作製プロセス中においてチャンネル形成領域の酸素が脱離しやすい（つまり、チャンネル形成領域に酸素欠損が生じやすい。）傾向にある。

【０００９】

上述問題点に鑑み、本発明は、酸化物半導体薄膜の酸素欠損の発生を抑制できる、特にチャンネル形成領域の酸素欠損の発生を抑制できる構造を備えるトップゲート構造の半導体素子を提供することを目的の一つとする。

【００１０】

50

または、上述半導体素子の作製方法を提供することを目的の一つとする。

【0011】

または、上述半導体素子を備える半導体装置を提供することを目的の一つとする。

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0013】

本発明の一態様は、ゲート電極と重ならない領域におけるゲート絶縁膜の窒素含有量を、ゲート電極と重なる領域におけるゲート絶縁膜の窒素含有量よりも多くした構造とする。窒化膜は不純物の拡散防止性に優れているため、当該構造を用いることにより、酸化物半導体膜、特にチャネル形成領域の酸素が半導体素子外部に放出されることを抑制できる半導体素子、半導体装置および半導体素子の作製方法に関する。

【0014】

なお、上述ゲート絶縁膜の側面と共に、酸化物半導体膜の表面の一部が窒化した構造としてもよい。これにより、チャネル形成領域から酸化物半導体膜中を通して脱離する酸素も抑制できる。また、外部からの水や水素などの不純物がチャネル形成領域に拡散することを抑制できる。

【0015】

すなわち、本発明の一態様は、絶縁表面上の酸化物半導体膜と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜を挟んで前記酸化物半導体膜と重なるゲート電極と、を備え、ゲート絶縁膜において、ゲート電極と重ならない領域は、ゲート電極と重なる領域よりも窒素含有量が多いことを特徴とする半導体素子である。

【0016】

半導体素子を上述構造とすることにより、ゲート電極と重ならない領域における、窒素含有量の多いゲート絶縁膜（つまり、不純物拡散防止性の高い膜。）で酸化物半導体膜からの酸素の脱離を抑制できる。これにより、半導体素子の電気特性や信頼性を良好な状態とできる。

【0017】

また、上述の半導体素子の構造において、ゲート電極と重ならない領域における膜厚方向全体に渡っての窒素含有量を多くすることにより、ゲート電極と重なる領域の酸化物半導体膜からの酸素の脱離を効果的に抑制できるため好ましい。

【0018】

また、上述の半導体素子の構造に加え、少なくともゲート電極と重畳しない領域において、酸化物半導体膜の膜上面における窒素含有量を、絶縁表面と接する面における窒素含有量より多くすることにより、酸化物半導体膜の膜上面部分においても酸素の脱離を抑制でき、更に、酸化物半導体膜中への外部からの不純物拡散を抑制できるため好ましい。

【0019】

また、ゲート絶縁膜の構造を、酸化物半導体膜と接し、酸化シリコンまたは酸化アルミニウムを主成分とする第1の絶縁膜と、第1の絶縁膜上に位置し、第1の絶縁膜よりも誘電率が高い第2の絶縁膜を少なくとも備える積層構造とすることにより、酸化物半導体に接する第1の絶縁膜の側面（側面を含む領域とも言える。）が不純物の拡散防止性に優れた膜となり、かつ、誘電率の高い第2の絶縁膜により、ゲート絶縁膜の実効的な厚さを厚くすることができ、絶縁耐圧の向上や漏れ電流の低減を実現できる。

【0020】

また、上述の半導体素子の構造において、酸化物半導体膜を挟んでゲート電極と対向する位置に、バックゲート電極として機能する導電膜を有する構造とすることにより、半導体素子をノーマリーオフ型の半導体素子とすることができるため好ましい。

10

20

30

40

50

【0021】

なお、上述の「ノーマリーオフ型」とは、トランジスタのゲート電極に電圧を印加しない時にはドレイン電流が流れない、またはドレイン電流が限りなく零に近いという特性を示すものである。

【0022】

また、各種半導体装置の備える半導体素子の構造を、上述構造とすることにより、半導体装置を高性能で信頼性の高いものとすることができる。

【0023】

また、本発明の他の一態様は、絶縁表面上に酸化物半導体膜を形成する工程と、酸化物半導体膜上に酸化物半導体膜と電気的に接続された一対の導電膜を形成する工程と、酸化物半導体膜上に絶縁膜を形成する工程と、絶縁膜上に導電膜を形成する工程と、導電膜を加工することで、酸化物半導体膜と重なるゲート電極を形成する工程と、ゲート電極をマスクとして絶縁膜を加工することで、酸化物半導体膜およびゲート電極に挟まれたゲート絶縁膜を形成する工程と、ゲート絶縁膜の露出面に対して窒化処理を行い、少なくともゲート電極と重ならない領域の窒素含有量を増加させる工程を有することを特徴とする半導体素子の作製方法である。

10

【0024】

上述の方法を用いることにより、ゲート絶縁膜中に窒素含有量が多い領域（つまり、不純物拡散防止性の優れた領域）を形成できるため、酸化物半導体膜からの酸素の脱離を抑制された半導体素子を作製できる。

20

【0025】

なお、上述の作製方法において、ゲート絶縁膜の露出面に加え酸化物半導体膜の露出面に対しても窒化処理を行うことで、酸化物半導体膜の膜上面部分においても酸素の脱離を抑制でき、更に、酸化物半導体膜中への外部からの不純物拡散を抑制された半導体素子を作製できる。

【0026】

また、本発明の他の一態様は、絶縁表面上に酸化物半導体膜を形成する工程と、酸化物半導体膜上に前記酸化物半導体膜と電気的に接続された一対の導電膜を形成する工程と、酸化物半導体膜上に絶縁膜を形成する工程と、絶縁膜上に導電膜を形成する工程と、導電膜を加工することで、酸化物半導体膜と重なるゲート電極を形成する工程と、絶縁膜を加工することで、絶縁膜を、ゲート電極と重なる領域が凸状となる絶縁膜とする工程と、絶縁膜の露出面に対して窒化処理を行う工程と、絶縁膜の前記凸状部分以外の領域を除去することで、酸化物半導体膜およびゲート電極と重なり、かつ側面が窒化されたゲート絶縁膜を形成する工程を有することを特徴とする半導体素子の作製方法である。

30

【0027】

上述の作製方法を用いることにより、酸化物半導体膜に対して窒化処理が行われることがなく、半導体素子のチャネル形成領域の一部分が窒化される、ということが無いため、特に半導体素子のチャネル長を短くして半導体素子を微細化する際に好ましい方法である。

【0028】

なお、上述の作製方法における窒化処理としては、窒素を含む雰囲気においてプラズマ処理を行うことが好ましい。

40

【0029】

また、上述の作製方法において、ゲート絶縁膜として、酸化シリコンまたは酸化アルミニウムを主成分として含み、前記酸化物半導体膜と接する第1の絶縁膜と、第1の絶縁膜よりも誘電率が高くゲート電極と接する第2の絶縁膜を少なくとも備える積層膜を形成することにより、不純物の高い拡散防止性、高い絶縁耐圧および漏れ電流の低いゲート絶縁膜を備える半導体素子とできる。

【0030】

また、上述の作製方法において、ゲート電極をマスクとして、酸化物半導体膜の抵抗を低減できる元素を酸化物半導体膜に添加することで、ゲート電極と重なる酸化物半導体膜中

50

のチャネル形成領域の形成と、チャネル形成領域を挟む一对の低抵抗領域の形成を同時に
行う処理を行ってもよい。

【発明の効果】

【0031】

トップゲート構造の半導体素子において、少なくともゲート絶縁膜の側面を窒化した構造
とすることにより、酸化物半導体薄膜の酸素欠損の発生を抑制できる。

【図面の簡単な説明】

【0032】

【図1】半導体素子の一態様を示す平面図及び断面図。

【図2】半導体素子の作製工程の一例を示す断面図。

10

【図3】半導体素子の作製工程の一例を示す断面図。

【図4】半導体素子の作製工程の一例を示す断面図。

【図5】半導体素子の一態様を示す平面図及び断面図。

【図6】半導体素子の作製工程の一例を示す断面図。

【図7】半導体素子の作製工程の一例を示す断面図。

【図8】半導体素子の一態様を示す平面図及び断面図。

【図9】半導体素子の作製工程の一例を示す断面図。

【図10】半導体素子の一態様を示す平面図及び断面図。

【図11】半導体素子の作製工程の一例を示す断面図。

【図12】半導体装置の構成の一例を示す図。

20

【図13】半導体装置の構成の一例を示す図。

【図14】半導体装置の構成の一例を示す図。

【図15】電子機器を示す図。

【発明を実施するための形態】

【0033】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。
但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱すること
なくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従
って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0034】

30

なお、以下に説明する実施の形態において、同一部分または同様な機能を有する部分には
同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。

【0035】

また、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実
際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必
ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0036】

また、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同
を避けるために付すものであり、数的に限定するものではないことを付記する。

【0037】

40

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」また
は「直下」であることを限定するものではない。例えば、「A上のB」の表現であれば、
AとBとの間に他の構成要素を含むものを除外しない。

【0038】

(実施の形態1)

本実施の形態では、酸化物半導体薄膜の酸素欠損の発生を抑制できるトップゲート構造の
半導体素子の構造を、図1を用いて説明すると共に、当該半導体素子の作製方法を図2お
よび図3を用いて説明する。

【0039】

<半導体素子の構造例>

50

本実施の形態に記載の半導体素子の構造を、図1を用いて説明する。なお、図1(A)は半導体素子50の上面図、図1(B)は図1(A)の一点鎖線X1-X2の断面図である。

【0040】

半導体素子50は、図1(B)に示すように、基板100上の下地膜102と、下地膜102上の、低抵抗領域104aおよびチャネル形成領域104bを含む酸化物半導体膜104と、酸化物半導体膜104上の、一部に窒化領域114を含むゲート絶縁膜110と、ゲート絶縁膜110を挟んで酸化物半導体膜104と重なるゲート電極112と、窒化領域114およびゲート電極112上の、絶縁膜116aおよび絶縁膜116bを含む絶縁膜116と、絶縁膜116の開口部を介して酸化物半導体膜104と電氣的に接続され、半導体素子50のソース電極あるいはドレイン電極として機能する導電膜106aおよび導電膜106bを有している。そして、ゲート絶縁膜は、ゲート電極と重ならない領域に窒化領域114を有しており、当該領域の窒素含有量は、ゲート電極と重なる領域よりも窒素含有量が多い。

10

【0041】

なお、図1(B)を含めて本明細書の図面では、窒素含有量の多い領域を視覚的に理解し易くするため、窒化領域114（あるいは実施の形態2以降にて説明する窒化領域111）として、他の構成要素（酸化物半導体膜104やゲート絶縁膜110）と明確に区別しているが、これは、「断面観察により膜状態に明確な違いが観察される。」あるいは「ある位置を境として窒素含有量（窒素濃度とも表現できる。）に明確な違いが観察される。」というように、酸化物半導体膜104と窒化領域111間や、ゲート絶縁膜110と窒化領域114間に明確な境界位置が観察されるというものではないことを、予め断っておく。

20

【0042】

半導体膜にシリコン材料を用いた半導体素子では、半導体膜やゲート電極との界面特性の向上（例えば、界面準位密度の低減など。）、高誘電率化の観点などから、絶縁膜は、膜厚方向において膜の組成を意図的に変化させる（例えば、積層構造とする。）ことはあるが、同一膜内の面方向において膜の組成を意図的に変化させることは一般的ではない。

【0043】

これに対し、本実施の形態に記載の半導体素子50は、図1Bに示すようにゲート絶縁膜110の面方向において、膜の組成を意図的に変化させた領域（窒化領域114）を備えた構造であることが特徴の一つである。

30

【0044】

ゲート絶縁膜110としては、例えば酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜、酸化窒化ハフニウム膜、酸化ハフニウムシリケート膜、酸化窒化ハフニウムシリケート膜などの酸化膜や酸化窒化膜を用いることができるが、これらの酸化膜や酸化窒化膜は通常、より窒化膜に近い組成となる程、膜中での不純物の拡散係数を小さくすることができる。

【0045】

このため、ゲート絶縁膜110を介しての酸化物半導体膜からの酸素の脱離を抑制するという観点のみから考えると、ゲート絶縁膜110として用いる膜は、窒化膜あるいは窒化膜に近い組成とすればよいが、反面、窒化膜に近い組成となるほど、ゲート絶縁膜110およびゲート絶縁膜110と接する膜の界面における界面準位密度が高くなり、半導体素子の電気特性に悪影響を及ぼす可能性がある。

40

【0046】

特に、OSトランジスタの場合、活性層として酸化物半導体膜を用いるため、上述の傾向が現れやすいと言える。

【0047】

そこで、ゲート絶縁膜は、ゲート電極と重ならない領域における窒素含有量が、ゲート電極と重なる領域における窒素含有量よりも多い構造とする。つまり、ゲート電極と重なら

50

ない領域を窒化領域 114 とする。これにより、酸化物半導体膜 104 から脱離する酸素を、ゲート絶縁膜 110 中の窒化領域 114 で抑制することができる。

【0048】

加えて、窒化領域 114 の形成は、酸化物半導体膜 104 上にゲート電極 112 を形成した後に行うため、ゲート電極 112 の下部、つまりチャネル形成領域 104b に窒化領域が形成されにくいいため、ゲート絶縁膜 110 に窒化膜を用いる場合と比較して、酸化物半導体膜 104 とゲート絶縁膜 110 界面での界面準位密度を低減できる。

【0049】

したがって、半導体素子 50 を、チャネル形成領域に酸素欠損の少ないトランジスタとすることができ、酸化物半導体膜 104 とゲート絶縁膜 110 の界面準位密度の増加を抑制できるため、トランジスタの電気特性を良好なものとするすることができる。

10

【0050】

ここで、酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0051】

酸化物半導体膜は、例えば、非単結晶を有してもよい。非単結晶は、例えば、CAAC（C Axis Aligned Crystal）、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAAC よりも欠陥準位密度が高い。また、微結晶は、CAAC よりも欠陥準位密度が高い。なお、CAAC を有する酸化物半導体を、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）と呼ぶ。

20

【0052】

酸化物半導体膜は、例えば CAAC-OS を有してもよい。CAAC-OS は、例えば、c 軸配向し、a 軸または／および b 軸はマクロに揃っていない。

【0053】

酸化物半導体膜は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満のサイズの微結晶（ナノ結晶ともいう。）を膜中に含む。

【0054】

酸化物半導体膜は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

30

【0055】

なお、酸化物半導体膜が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OS の領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OS の領域と、の積層構造を有してもよい。

【0056】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

40

【0057】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部の c 軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS 膜がある。

【0058】

なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS 膜に含まれる結晶部と結晶部と

50

の境界は明確ではない。また、TEMによってCAAC-OSS膜には明確な粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OSS膜は、粒界に起因する電子移動度の低下が抑制される。

【0059】

CAAC-OSS膜に含まれる結晶部は、例えば、c軸がCAAC-OSS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 80° 以上 100° 以下、好ましくは 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -10° 以上 10° 以下、好ましくは -5° 以上 5° 以下の範囲も含まれることとする。

10

【0060】

なお、CAAC-OSS膜において、結晶部の分布が様でなくてもよい。例えば、CAAC-OSS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OSS膜へ不純物を添加することにより、当該不純物添加領域において結晶性が低下することもある。

【0061】

CAAC-OSS膜に含まれる結晶部のc軸は、CAAC-OSS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAAC-OSS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、CAAC-OSS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

20

【0062】

CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0063】

なお、酸化物半導体膜104としてCAAC-OSS膜を用いるのは、あくまでも好ましい一例であり、必ずしも用いる必要はない。酸化物半導体膜104をどのような膜質にするかについては、半導体素子50に必要な電気的特性や信頼性を鑑み、実施者が適宜選択すればよい。

30

【0064】

<半導体素子の作製方法>

次に、図2および図3を用いて、図1に示す半導体素子50の作製方法の一例について説明する。

【0065】

まず、絶縁表面を有する基板100を準備し、基板100上に下地膜102を形成する（図2（A）参照。）。

40

【0066】

絶縁表面を有する基板100に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどの無アルカリガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能である。

【0067】

また、基板100として、可撓性基板を用いてもよい。可撓性基板を用いる場合、可撓性

50

基板上に酸化物半導体膜104を含む半導体素子50を直接作製してもよいし、他の作製基板に酸化物半導体膜104を含む半導体素子50を作製した後に、他の作成基板から半導体素子50を剥離し、可撓性基板に転載してもよい。なお、作製基板から可撓性基板に剥離、転載するために、作製基板と酸化物半導体膜104を含む半導体素子との間に剥離層を設けるとよい。

【0068】

なお、基板100は、予め基板100の歪み点より低い温度で加熱処理を行い、基板100をシュリンク（熱収縮とも言われる。）させておくことが好ましい。これにより、半導体素子50作製工程での基板加熱により生じるシュリンクの量を抑えることができるため、例えば、露光工程などでのマスクずれを抑制することができる。また、当該加熱処理により、基板100表面に付着した水分や有機物などを取り除くことができる。

10

【0069】

本実施の形態では、基板100として厚さ0.7mmの無アルカリガラスを使用した。

【0070】

下地膜102は、基板100から酸化物半導体膜104への不純物（例えば、アルミニウム、マグネシウム、ストロンチウムおよびボロンなどの金属元素や、水素、水など。）の拡散を抑制し、半導体素子50への電気特性の悪影響（例えば、トランジスタのノーマリーオン化（しきい値の負へのシフト）、しきい値バラツキの発生、電界効果移動度の低下など。）を抑制する役割を担う。

【0071】

20

下地膜102としては、例えば、真空蒸着法やスパッタリング法などの物理気相成長法（PVD: Physical Vapor Deposition）やプラズマCVD法などの化学気相成長法（CVD: Chemical Vapor Deposition）を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜などを、単層でまたは積層して形成することができる。なお、本明細書中において、酸化窒化膜とは、その組成として、窒素よりも酸素の含有量が多いものを指し、窒化酸化膜とは、その組成として、酸素よりも窒素の含有量が多いものを指す。

【0072】

下地膜102は、生産性および上述の不純物拡散防止の観点を鑑みると、50nm以上500nm以下の膜厚とすることが好ましいが、必ずしも当該範囲内である必要はない。

30

【0073】

半導体素子50において、チャネル形成領域104bに酸素欠損が存在すると、上述のように酸素欠損に起因して電荷が生じる場合があるため、下地膜102は、酸化物半導体膜104に酸素を十分に供給できるだけの酸素を含有することが好ましい。なお、ここでの「酸化物半導体膜104に酸素を供給」とは、島状に形成された酸化物半導体膜104に直接酸素を供給することに限らず、島状に形成する前の酸化物半導体膜（パターン形成されていない酸化物半導体膜。）に対して酸素を供給することも含まれている。以下の説明においても、「酸化物半導体膜104に酸素を供給」という旨の記載がある場合、同様の意味と理解してよい。

40

【0074】

下地膜102中に酸素が含まれている場合、後述する酸化物半導体膜104を成膜後の熱処理によって下地膜102中の酸素の一部を脱離させることができるので、酸化物半導体膜104に酸素を供給し、酸化物半導体膜104中の酸素欠損を補填することができる。

【0075】

特に、下地膜102中（バルク中）に少なくとも化学量論的組成を超える量の酸素が存在することが好ましい。例えば、下地膜102として酸化シリコンを用いる場合、 $\text{SiO}_2 + \alpha$ （ただし、 $\alpha > 0$ ）で表される酸化シリコン膜を用いることが好ましい。なお、このような化学量論的組成よりも酸素を過剰に含む領域（以下、酸素過剰領域とも記載する。）は、下地膜102の少なくとも一部に存在していればよい。

50

【0076】

熱処理により酸化物半導体膜104に酸素を供給する機能を下地膜102に持たせる場合、下地膜102から脱離する酸素が酸化物半導体膜104に効率的に供給されるように、下地膜102を、酸素透過性の低い膜と酸素供給性の高い膜の積層構造とすることが好ましい。例えば、下地膜102を、酸素透過性の低い酸化アルミニウム膜（基板100に接する側に成膜。）と上述の化学量論的組成を超える量の酸素を含む酸化シリコン膜（酸化物半導体膜104に接する側に成膜。）を積層した膜としてもよい。

【0077】

なお、下地膜102は、膜中に極力水素原子を含まないことが望ましい。これは、後の工程にて成膜する酸化物半導体膜104中に水素原子が含まれると、水素原子が酸化物半導体と結合することによって水素の一部がドナーとなり、キャリアである電子を生じ、トランジスタのしきい値電圧がマイナス方向にシフトしてしまうからである。このため、膜中の水素原子を低減するという観点から考えると、下地膜102の成膜にはスパッタリング法などの物理気相成長法を用いることが好ましいが、面内バラツキ、パーティクル混入および成膜タクトを低減する観点からは、CVD法を用いて下地膜102を成膜することが効果的であるといえる。また、CVD法は、上述の効果により大面積基板に対する成膜についても効果的であるといえる。

【0078】

下地膜102をCVD法（例えば、プラズマCVD法など。）で成膜した場合、成膜ガス種としてシランガス（ SiH_4 ）などのように水素を含むガスを用いるため、下地膜102中には多量の水素が含まれてしまう。

【0079】

そのため、CVD法により下地膜102を成膜した場合は、成膜後の下地膜102に対して、膜中の水素原子除去を目的とした熱処理（以下、本明細書において、膜中から水素原子を除去することを目的とした加熱を、「脱水化処理」または「脱水素化処理」と記載する。）を行う必要がある。当該熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、または基板の歪み点未満とする。例えば、熱処理装置の一つである電気炉に基板を導入し、下地膜102に対して真空（減圧）雰囲気下において650℃で1時間の加熱処理を行えばよい。

【0080】

上述の熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Annealing）装置、LRTA（Lamp Rapid Thermal Annealing）装置等のRTA（Rapid Thermal Annealing）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。なお、熱処理装置としてGRTA装置を用いる場合には、その処理時間が短いため、650℃～700℃の高温に加熱した不活性ガス中で基板を加熱してもよい。

【0081】

熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下で行えばよく、上記窒素、酸素、超乾燥空気、または希ガス等の雰囲気中に水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

10

20

30

40

50

【0082】

下地膜102に対して上述の熱処理を行った場合、水素と共に酸素の一部も下地膜102中から除去されてしまう可能性がある。そこで、上述の熱処理を行った後に、下地膜102に対して酸素を添加する処理（以下、本明細書において、膜中に酸素を添加することを目的とした処理を、「加酸素化処理」と記載する。または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くすることを目的とした処理を、「過酸素化処理」と記載する。）を行うことが好ましい。

【0083】

なお、加酸素化処理により下地膜102に添加される酸素は、少なくとも酸素ラジカル、オゾン、酸素原子、酸素イオン（分子イオン、クラスタイオンを含む）のいずれか一つ以上が含まれている。脱水化処理又は脱水素化処理を行った下地膜102に加酸素化処理を行うことにより、下地膜102中に酸素を含有させることができる。そのため、脱水化処理または脱水素化処理によって下地膜102から酸素が脱離した場合であっても、加酸素化処理を行うことで下地膜102に酸素を補填することができる。

10

【0084】

下地膜102への加酸素化処理は、例えば、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理等を用いることができる。なお、イオン注入法として、ガスクラスタイオンビームを用いてもよい。

【0085】

なお、加酸素化処理は、基板100の全面を一度に処理してもよいし、例えば、線状のイオンビームを用いてもよい。線状のイオンビームを用いる場合には、基板又はイオンビームを相対的に移動（スキャン）させることで、下地膜102全面に酸素を導入することができる。

20

【0086】

加酸素化処理で使用される供給ガスとしては、Oを含有するガスを用いればよく、例えば、O₂ガス、N₂Oガス、CO₂ガス、COガス、NO₂ガス等を用いることができる。なお、酸素の供給ガスに希ガス（例えばAr）を含有させてもよい。

【0087】

イオン注入法で加酸素化処理を行う場合、酸素のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とするのが好ましい。なお、酸素の注入深さは、注入条件により適宜制御すればよい。

30

【0088】

下地膜102として酸化物絶縁膜を用いる場合、当該酸化物絶縁膜において、酸素は主たる成分材料の一つであるため、酸化物絶縁膜中の酸素濃度を、SIMS（Secondary Ion Mass Spectrometry）などの方法を用いて、正確に見積もることは難しい。つまり、酸化物絶縁膜に酸素が意図的に添加されたか否かを判別することは困難であるといえる。また、下地膜102に含まれる過剰な酸素が後の工程で酸化物半導体膜へと供給される場合においても同様のことがいえる。

【0089】

ところで、酸素には¹⁷Oや¹⁸Oといった同位体が存在し、自然界におけるこれらの存在比率はそれぞれ酸素原子全体の0.038%、0.2%程度であることが知られている。これら同位体の濃度はSIMSなどの方法によって見積もることができるため、下地膜102中の同位体の濃度を測定することで、下地膜102に意図的に酸素が添加されたか否かを判別しても良い。なお、当該方法は、後の工程にて形成される酸化物半導体膜104やゲート絶縁膜110にも用いることができる。

40

【0090】

酸化物半導体膜104成膜後の加熱処理により下地膜102から脱離する酸素は、酸化物半導体膜104中の酸素欠損を補うだけでなく、下地膜102と酸化物半導体膜104との界面準位密度を低減する効果もある。このため、酸化物半導体膜と下地絶縁膜との界面にキャリアが捕獲されることを抑制することができ、信頼性の高いトランジスタを得るこ

50

とができる。

【0091】

上述の加酸素化処理および脱水化処理の一方または両方は、複数回行ってもよい。例えば、第1の酸素導入処理、脱水化処理（または脱水素化処理）、第2の酸素導入処理というように酸素導入処理を2回行うことにより、第1の酸素導入処理により結晶構造に歪み形成されているため、第2の酸素導入処理において、結晶構造内に酸素をより多く導入することができるため、下地膜102に対して加熱処理を行った際の酸素放出量をより多くすることができる。

【0092】

なお、後の工程にて下地膜102上に酸化物半導体膜104を形成するが、下地膜102の平坦性が低いと酸化物半導体膜104の平坦性も低くなり、半導体素子50の電気特性が悪化する（例えば、チャンネル部に凹凸が存在することによる移動度の低下など。）ため、下地膜102の表面平坦性を高めることが好ましい。

【0093】

下地膜102表面平坦性を高めるための処理（以下、膜の表面平坦性を高める処理のことを、平坦化処理と記載する。）としては、例えば、化学機械研磨（CMP：Chemical Mechanical Polishing）処理やドライエッチング法などを用いればよい。なお、CMP処理を行う場合は、1回のみ行ってもよいし、複数回行ってもよい。

【0094】

下地膜102の表面平坦性としては、具体的には、平均面粗さ（Ra）が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下とするとよい。そのため、酸化物半導体を形成する面に対して平坦化処理を行うことが好ましい。平坦化処理としては、化学機械研磨処理、またはドライエッチング法などを用いればよい。なお、CMP処理を行う場合は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、酸化物半導体を形成する面の平坦性をより向上させることができる。

【0095】

なお、Raは、JIS B0601で定義されている算術平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0096】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0097】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（x1, y1, f（x1, y1））、（x1, y2, f（x1, y2））、（x2, y1, f（x2, y1））、（x2, y2, f（x2, y2））の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積をS0、基準面の高さ（指定面の平均の高さ）をZ0とする。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて測定可能である。

【0098】

本実施の形態では、下地膜102として、CVD装置を用いて酸化シリコン膜を300nm成膜し、当該膜の表面をCMP処理により平坦化した後に、脱水素化処理として真空中で1時間の加熱処理を行い、加酸素化処理としてイオンインプランテーション装置（加速電圧：60kV、ドーズ量：2.0×10¹⁶cm⁻²）を用いて下地膜102中に酸素を添加した。

【0099】

次に、下地膜102上に、真空蒸着法やスパッタリング法などの物理気相成長法やプラズマCVD法などの化学気相成長法を用いて酸化物半導体膜を成膜し、フォトリソグラフィ法、印刷法、インクジェット法などを用いて酸化物半導体膜上にマスクを形成し、当該マスクを用いて酸化物半導体膜の一部を選択的に除去することで、酸化物半導体膜104を形成する(図2(B)参照。)

【0100】

酸化物半導体膜104の形成に用いる酸化物半導体としては、少なくともインジウム(In)を含む。特にInと亜鉛(Zn)を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

10

【0101】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

20

【0102】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

【0103】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0104】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

40

【0105】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$)、あるいは $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ ($=1/2:1/6:1/3$)の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$)あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$)の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0106】

50

しかし、インジウムを含む酸化物半導体は、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものをを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0107】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0108】

なお、例えば、In、Ga、Znの原子数比が $\text{In}:\text{Ga}:\text{Zn}=\text{a}:\text{b}:\text{c}$ ($\text{a}+\text{b}+\text{c}=1$)である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn}=\text{A}:\text{B}:\text{C}$ ($\text{A}+\text{B}+\text{C}=1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(\text{a}-\text{A})^2+(\text{b}-\text{B})^2+(\text{c}-\text{C})^2\leq r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0109】

酸化物半導体膜中の酸素欠損をできるだけ少なくするためには、成膜雰囲気中のガス種に占める酸素ガスの割合が高い状態で酸化物半導体膜を成膜することが好ましい。このため、装置内に酸素を導入することが可能で、かつ、ガス流量の調整ができるスパッタリング装置を用いることが好ましいといえる。そして、スパッタリング装置の成膜チャンバー内への導入ガスは、全体の90%以上を酸素ガス、他のガスを希ガスとすることが望ましい。また、より好ましくは成膜チャンバー内への導入ガスを酸素ガスのみとし、成膜雰囲気中のガス種に占める酸素ガスの割合を極力100%に近づけることが望ましい。

【0110】

スパッタリング装置を用いて酸化物半導体膜を形成するにあたり、用いるターゲットとしては、上述に記載された組成の各種ターゲットを用いればよい。例えば、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の酸化物ターゲットや、原子数比が $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ の酸化物ターゲットや、原子数比が $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ の酸化物ターゲットを用いることができる。なお、ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0111】

酸化物半導体膜を成膜する際に用いるガスとしては、水、水素、水酸基又は水素化物などの不純物が含まれないことが好ましい。または、純度が6N以上好ましくは7N以上（即ち、ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）のガスを用いることが好ましい。

【0112】

成膜した酸化物半導体膜中に水素が多量に含まれると、当該水素が酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、成膜する酸化物半導体膜は、水素濃度は、 $5\times 10^{18}\text{ atoms/cm}^3$ 未満、好ましくは $1\times 10^{18}\text{ atoms/cm}^3$ 以下、より好ましくは $5\times 10^{17}\text{ atoms/cm}^3$ 以下、更に好ましくは $1\times 10^{16}\text{ atoms/cm}^3$ 以下とすることが望ましい。なお、上述の酸化物半導体膜中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定されるものである。

【0113】

酸化物半導体膜を成膜するにあたり、成膜室内の水分（水、水蒸気、水素、水酸基または水酸化物を含む）を除去するために、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段は、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（

より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜104に含まれる水素、水分などの不純物の濃度を低減できる。

【0114】

また、酸化物半導体膜中にアルカリ金属またはアルカリ土類金属が含まれると、酸化物半導体と結合することによって、キャリアが生成されることがあり、トランジスタのオフ電流が上昇する原因となる。そのため、酸化物半導体膜104において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが望ましい。

【0115】

なお、酸化物半導体膜としてCAAC-O-S膜を成膜する場合、以下の3つの方法で成膜すればよい。第1の方法は、200℃以上450℃以下の成膜温度で酸化物半導体膜を成膜し、酸化物半導体膜104をCAAC-O-S膜とする方法である。第2の方法は、酸化物半導体膜104を成膜した後、当該膜に対して200℃以上700℃以下の熱処理を行い、酸化物半導体膜104をCAAC-O-S膜とする方法である。第3の方法は、一層目の酸化物半導体膜を薄く成膜した後、200℃以上700℃以下の熱処理を行い一層目の膜をCAAC-O-S膜とし、当該膜上に二層目の成膜を行うことで、一層目の結晶を種結晶として二層目の酸化物半導体膜をCAAC-O-S膜とする方法である。

10

【0116】

なお、酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させ、下地膜102の表面に付着している粉状物質(パーティクル、ごみともいう)や有機物を除去する処理(逆スパッタ処理とも言われる。)を行うことが好ましい。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

20

【0117】

本実施の形態では、スパッタリング装置(アルゴン流量/酸素流量:30sccm/15sccm、チャンバー内圧力:0.4Pa、印加電力:0.5kW(DC)、ターゲット-基板間距離:60mm、基板温度:200℃)を用いて、CAAC-O-S膜であるIGZO膜を20nm成膜した。

【0118】

次に、下地膜102および酸化物半導体膜104上に、ゲート絶縁膜110を形成する(図2(C)参照。)

30

【0119】

ゲート絶縁膜110の形成に用いる絶縁膜としては、下地膜102にて記載した説明と同様の方法および材料を用いて単層または積層構造の膜を形成して用いることができる。また、酸化ハフニウム膜、ハフニウムシリケート膜(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート膜(HfSiO_xN_y ($x > 0$, $y > 0$))、ハフニウムアルミネート膜(HfAl_xO_y ($x > 0$, $y > 0$))などのhigh-k材料をゲート絶縁膜110の少なくとも一部として用いてもよい。これによりゲートリーク電流を低減することができる。

【0120】

なお、ゲート絶縁膜110として用いる絶縁膜として、3~5kWのマイクロ波電力を用いて形成した絶縁膜を用いることが好ましい。例えば、亜酸化窒素(N_2O)とシラン(SiH_4)を導入し、10~30Paの圧力にて3~5kWのマイクロ波(2.45GHz)電力を電極に印加して気相成長法により1nm~30nm(好ましくは2nm~20nm)の酸化窒化シリコン膜を形成してゲート絶縁膜を形成してもよい。このように、固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れた絶縁膜を形成することができるため、ゲート絶縁膜110として好ましい膜であると言える。

40

【0121】

本実施の形態では、上述の2.45GHzのマイクロ波電力を用いて、10nmの酸化窒化シリコン膜を成膜した。

50

【0122】

次に、ゲート絶縁膜110上に導電膜を形成し、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜上にマスクを形成し、当該マスクを用いて導電膜の一部を選択的に除去することで、ゲート電極112を形成する（図2（D）参照。）。

【0123】

ゲート電極112の形成に用いる導電膜としては、導電膜106a（および導電膜106b）にて記載した説明と同様の方法および材料を用いることができる。

【0124】

また、ゲート電極112は、少なくともゲート絶縁膜110と接する面を、酸化物半導体膜104の仕事関数よりも大きな仕事関数を有する材料、より好ましくは1電子ボルト以上大きな仕事関数を有する材料を用いることが望ましい。当該材料としては、例えば、窒素を含むIn-Ga-Zn-O膜（IGZO膜）、窒素を含むIn-Sn-O膜、窒素を含むIn-Ga-O膜、窒素を含むIn-Zn-O膜、窒素を含むSn-O膜や、窒素を含むIn-O膜、金属窒化膜（窒化インジウム膜、窒化亜鉛膜、窒化タンタル膜、窒化タングステン膜など）を用いることができる。これらの膜は5 eV以上の仕事関数を有し、トランジスタのしきい値電圧をプラスにすることができ、トランジスタを所謂ノーマリーオフ型のトランジスタとすることができる。例えば、窒素を含むIGZO膜を用いる場合、少なくとも酸化物半導体膜104より高い窒素濃度、具体的には、窒素原子を7原子%以上含むIGZO膜を用いればよい。

【0125】

本実施の形態では、スパッタリング装置を用いて30 nmの窒化タンタル膜および135 nmのタングステン膜の導電膜をこの順に成膜した。

【0126】

次に、酸化物半導体膜104の導電率を変化させる不純物イオン113を、酸化物半導体膜104に導入する。この際、ゲート電極112がマスクとして機能するため、酸化物半導体膜104中には、不純物イオン113が添加された、ソース領域およびドレイン領域として機能する低抵抗領域104aおよび一対の低抵抗領域104aに挟まれたチャンネル形成領域104bが自己整合的に形成される（図3（A）参照。）。

【0127】

上述の不純物イオン113としては、15族元素（代表的には窒素（N）、リン（P）、砒素（As）、アンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。イオン注入法は、必要なイオンのみを取り出す質量分離器を用いているため、対象物に対して不純物イオン113のみを選択的に添加できる。このため、イオンドーピング法を用いて添加した場合と比べて酸化物半導体膜104中への不純物（例えば水素など）の混入が少なくなるため好ましい。ただし、イオンドーピング法を除外するものではない。

【0128】

本実施の形態では、イオンインプランテーション装置（加速電圧：30 kV、ドーズ量： $3.0 \times 10^{15} \text{ cm}^{-2}$ ）を用いて、酸化物半導体膜104中にリンを添加した。

【0129】

なお、図3（A）に示すように、酸化物半導体膜104上に何らかの膜（本実施の形態では、ゲート絶縁膜110）を形成した状態で、当該膜を通して酸化物半導体膜104に不純物イオン113を添加することにより、酸化物半導体膜104にイオン添加時のダメージが直接加わらないため、酸化物半導体膜104の結晶性が乱れにくいといったメリットがある。

【0130】

上述のようにゲート電極112を用いて低抵抗領域104aおよびチャンネル形成領域104bを形成する場合、ゲート電極112と重なる部分の酸化物半導体膜104の一部（具

10

20

30

40

50

体的には、ゲート電極 1 1 2 の膜厚が薄くなっている、ゲート電極 1 1 2 の側面付近。) にも不純物イオン 1 1 3 が導入され、ゲート電極 1 1 2 と重なる部分の一部に抵抗が低減した領域が形成されることがある。この場合、当該領域は低抵抗領域 1 0 4 a と比較して不純物イオン 1 1 3 の導入量が少なくなり、低抵抗領域 1 0 4 a より抵抗が大きく、かつチャンネル形成領域 1 0 4 b より抵抗が小さくなる。このため、当該領域はチャンネル形成領域に加わる電界を緩和する電界緩和領域として機能する。

【0 1 3 1】

なお、上述のように酸化物半導体膜 1 0 4 に対しての不純物イオン 1 1 3 の添加は、半導体素子 5 0 の抵抗 (導電膜 1 0 6 a と導電膜 1 0 6 b 間の抵抗とも言える。) を下げようえでは好ましい処理であるが、当該処理は必ずしも必要なものではない。例えば、半導体素子 5 0 の抵抗がそれほど重要でない場合や、酸化物半導体膜 1 0 4 の膜面全体において高い結晶性を必要とする場合などでは、不純物イオン 1 1 3 の添加を行わないという選択もできる。このことは、他の実施の形態においても言える。

10

【0 1 3 2】

次に、ゲート絶縁膜 1 1 0 の露出部分に対して窒化処理を行い、少なくともゲート電極 1 1 2 と重ならない領域に窒化領域 1 1 4 を形成する (図 3 (B) 参照。)

【0 1 3 3】

窒化領域 1 1 4 は、ゲート絶縁膜 1 1 0 よりも窒化膜に近い状態であり、ゲート絶縁膜 1 1 0 と比較して不純物の拡散防止性に優れているため、酸化物半導体膜 1 0 4 からの酸素の脱離を効果的に抑制できる。

20

【0 1 3 4】

なお、本実施の形態では、窒化領域 1 1 4 はゲート絶縁膜 1 1 0 の膜厚方向の一部に存在する構造としているが、図 4 (A) のように、ゲート絶縁膜 1 1 0 の膜厚方向全体に窒化領域 1 1 4 が存在する構造とすることが好ましい。当該構造とすることで、チャンネル形成領域 1 0 4 b 中の酸素が上方 (つまり、ゲート絶縁膜 1 1 0 方向) に脱離した場合、ゲート絶縁膜 1 1 0 に接して窒化領域 1 1 4 が存在するため、脱離酸素が面方向に拡散しにくい。

【0 1 3 5】

窒化領域 1 1 4 を形成する方法 (窒化処理) としては、窒素ガスまたはアンモニアガスを高周波プラズマにより励起して、活性な窒素ラジカル (N ラジカル) または窒化水素ラジカル (NH ラジカル) を生成し、これらのラジカルを利用して、ゲート絶縁膜 1 1 0 の露出部分を窒化すればよい。また、当該窒化処理中に基板に対して熱処理を加えてもよい。

30

【0 1 3 6】

上述のプラズマを用いた窒化処理は、CVD 装置、特に、高密度プラズマ (High Density Plasma) CVD 装置、エッチング装置などのプラズマ発生機構を有する装置を用いて行うことができる。

【0 1 3 7】

次に、ゲート絶縁膜 1 1 0 およびゲート電極 1 1 2 上に、第 1 の絶縁膜 1 1 6 a および第 2 の絶縁膜 1 1 6 b を備える絶縁膜 1 1 6 を形成し、絶縁膜 1 1 6 の一部に導電膜 1 0 6 a および導電膜 1 0 6 b が露出する開口部を形成し、当該開口部を介して酸化物半導体膜 1 0 4 と電気的に接続された導電膜 1 0 6 a および導電膜 1 0 6 b を形成する (図 3 (C))。導電膜 1 0 6 a および導電膜 1 0 6 b は、半導体素子 5 0 のソース電極 (ソース配線とも言える。) およびドレイン電極 (ドレイン配線とも言える。) として機能する。

40

【0 1 3 8】

第 1 の絶縁膜 1 1 6 a および第 2 の絶縁膜 1 1 6 b としては、下地膜 1 0 2 にて記載した説明と同様の方法および材料を用いることができる。なお、より好ましくは、酸化物半導体膜 1 0 4 に近い側の絶縁膜 (本実施の形態では、第 1 の絶縁膜 1 1 6 a) を酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜などの酸素に対するバリア性が高い膜を単層または積層構造で形成することが好ましい。

50

【0139】

第1の絶縁膜116aに上述のような酸素に対するバリア性が高い膜を用いた場合、仮に、酸化半導体膜104から脱離した酸素が、窒化領域114を通過してきたとしても、第1の絶縁膜116aにより、脱離酸素の外部放出（外部拡散とも言える。）をより効果的に低減できる。

【0140】

なお、第1の絶縁膜116aとして酸化アルミニウム膜を用いる場合、膜を高密度（膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上）とすることが好ましい。

【0141】

また、酸化半導体膜104と直接接しない第2の絶縁膜116bについては、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂、エポキシ樹脂等の有機樹脂を、スピコート法、印刷法、ディスペンス法またはインクジェット法などを用いて塗布し、塗布した材料に応じた硬化処理（例えば、加熱処理や光照射処理など。）を行い形成してもよい。また、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることもできる。

10

【0142】

本実施の形態では、第1の絶縁膜116aとして、スパッタリング装置（アルゴン流量／酸素流量： $25\text{ sccm}/25\text{ sccm}$ 、チャンバー内圧力： 0.4 Pa 、印加電力： 0.25 kW (RF) ）、ターゲット基板間距離： 60 mm 、基板温度： 250°C ）を用いて、 70 nm の酸化アルミニウム膜を形成し、第2の絶縁膜116bとして、CVD装置を用いて 300 nm の酸化窒化シリコン膜を形成して用いた。

20

【0143】

絶縁膜116の一部に導電膜106aおよび導電膜106bが露出する開口部を形成する方法については特段の限定はなく、公知の方法を用いればよい（例えば、フォトリソグラフィ法を用いて絶縁膜116上にマスクを形成し、当該マスクを用いて、ドライエッチング法やウェットエッチング法などにより絶縁膜116の一部を選択的に除去すればよい）。

【0144】

導電膜106aおよび導電膜106bとしては、真空蒸着法やスパッタリング法などの物理気相成長法やプラズマCVD法などの化学気相成長法を用いて導電膜を成膜し、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜上にマスクを形成し、当該マスクを用いて導電膜の一部を選択的に除去することで形成できる。

30

【0145】

導電膜の材料としては、半導体素子50の作製工程にて行われる加熱処理に耐えられる材料を用いる。例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、アルミニウム、銅などの金属膜の下側又は上側の一方又は双方にチタン、モリブデン、タングステンなどの高融点金属膜又はそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。又は、導電性の金属酸化物を用いて導電膜を成膜してもよい。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）、酸化インジウム酸化亜鉛（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）又はこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

40

【0146】

本実施の形態では、スパッタリング法を用いて形成した 50 nm のチタン膜、 200 nm のアルミニウム膜、 50 nm のチタン膜をこの順に積層させた導電膜を形成した後、フォトリソグラフィ法を用いて導電膜上にマスクを形成し、当該マスクを用いて導電膜の一部をドライエッチング法やウェットエッチング法などにより選択的に除去することで、導電膜106aおよび導電膜106bを形成した。

50

【0147】

以上の工程を経ることにより、図1にて記載した、酸化物半導体薄膜の酸素欠損の発生を抑制できる、特にチャネル形成領域の酸素欠損の発生を抑制できる構造を備えるトップゲート構造の半導体素子50を作製することができる。

【0148】

なお、半導体素子50は、図4(B)に示すように、チャネル形成領域104bの下に、下地膜102を挟んで半導体素子50のバックゲートとして機能する導電膜115を備えた構造としてもよい。

【0149】

導電膜115は半導体素子50のゲート電極112と同様に機能させることができるため、導電膜115に印加する電圧を変化させることにより、半導体素子50のしきい値電圧を制御することができる。このため、半導体素子50をノーマリーオフ型とすることができるため好ましい。

10

【0150】

導電膜115としては、ゲート電極112にて記載した説明と同様の方法および材料を用いて形成すればよい。また、導電膜115としては、少なくともゲート絶縁膜側の面を、酸化物半導体膜104の仕事関数よりも大きな仕事関数を有する材料、より好ましくは1電子ボルト以上大きな仕事関数を有する材料を用いることが望ましい。当該材料については、ゲート絶縁膜110にて記載した説明と同様の材料を用いることができる。例えば、窒素を含むIn-Ga-Zn-O膜を用いる場合、少なくとも酸化物半導体膜104より高い窒素濃度、具体的には、窒素原子を7原子%以上含むIn-Ga-Zn-O膜を用い

20

【0151】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0152】

(実施の形態2)

本実施の形態では、酸化物半導体薄膜の酸素欠損の発生を抑制できるトップゲート構造の半導体素子の構造を、図5を用いて説明すると共に、当該半導体素子の作製方法を図6および図7を用いて説明する。

30

【0153】

<半導体素子の構造例>

本実施の形態に記載の半導体素子の構造を、図5を用いて説明する。なお、図5(A)は半導体素子150の上面図、図5(B)は図5(A)の一点鎖線A1-A2の断面図である。

【0154】

本実施の形態に記載の半導体素子150は、構成要素については実施の形態1に記載の半導体素子50に含まれているものであるが、窒化領域114が、ゲート絶縁膜110の側面に形成されている点、酸化物半導体膜104の上面の一部にも窒化領域(以下、酸化物半導体膜104中の窒化領域を、窒化領域111と記載する。)が形成されている点が、実施の形態1に記載の半導体素子50の構造と異なっている。

40

【0155】

実施の形態1に記載の半導体素子50の構造では、図1(B)に示すように、窒化領域114となっていないゲート絶縁膜110が、酸化物半導体膜104に接して酸化物半導体膜104の面方向に沿って延在している場合、チャネル形成領域104bから脱離した酸素は、ゲート絶縁膜110部分を通して半導体素子50の外側に拡散しやすい傾向があるため、酸化物半導体膜104の酸素欠損が増加し、半導体素子50に悪影響が生じる場合がある。

【0156】

しかしながら、本実施の形態に記載の半導体素子150の構造では、窒化領域114がゲ

50

ート絶縁膜110の側面に形成されているため、チャネル形成領域104bから脱離した酸素が半導体素子150の外部に拡散することを抑制できる。したがって、酸化物半導体膜104の酸素欠損の増加を抑制し、半導体素子150の電気特性を良好な状態に保つことができる。

【0157】

また、酸化物半導体膜104は導電膜106a、導電膜106bに覆われており、加えて導電膜106a、導電膜106bおよびゲート絶縁膜110に覆われていない酸化物半導体膜104の表面には窒化領域111が形成されているため、チャネル形成領域から酸化物半導体膜中を通して脱離する酸素を抑制する、外部からの水や水素などの不純物がチャネル形成領域に拡散することを抑制するといった効果も併せ持つため、半導体素子150の信頼性向上に繋がる。

10

【0158】

<半導体素子の作製方法>

次に、図6を用いて、図5に示す半導体素子150の作製方法の一例について説明する。

【0159】

まず、絶縁表面を有する基板100に下地膜102、酸化物半導体膜104を形成する（図6（A）参照。）。基板100、下地膜102、酸化物半導体膜104は、実施の形態1にて記載した各々の説明と同様の材料および方法を用いて形成すればよい。

【0160】

次に、下地膜102および酸化物半導体膜104上に導電膜を成膜し、フォトリソグラフィ法、印刷法、インクジェット法などを用い導電膜上にマスクを形成し、当該マスクを用いて導電膜の一部を選択的に除去することで、導電膜106aおよび導電膜106bを形成する（図6（B）参照。）。なお、導電膜106aおよび導電膜106bは酸化物半導体膜104と電氣的に接続されており、半導体素子150のソース電極（ソース配線とも言える。）およびドレイン電極（ドレイン配線とも言える。）として機能する。

20

【0161】

次に、酸化物半導体膜104、導電膜106aおよび導電膜106b上に絶縁膜および導電膜を成膜し、フォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜上にマスクを形成し、当該マスクを用いて導電膜および絶縁膜の一部を選択的に除去することで、ゲート絶縁膜110およびゲート電極112を形成する（図6（C）参照。）。ゲート絶縁膜110およびゲート電極112は、実施の形態1にて記載した各々の説明と同様の材料および方法を用いて形成すればよい。

30

【0162】

次に、酸化物半導体膜104の導電率を変化させる不純物イオン113を、酸化物半導体膜104に導入する。この際、ゲート電極112がマスクとして機能するため、酸化物半導体膜104中には、不純物イオン113が添加された、ソース領域およびドレイン領域として機能する低抵抗領域104aおよび一対の低抵抗領域104aに挟まれたチャネル形成領域104bが自己整合的に形成される（図6（D）参照。）。なお、導電膜106aおよび導電膜106bと重なる酸化物半導体膜104についても不純物イオン113が添加されない。チャネル形成領域104bと区別するため、当該領域をオフセット領域104cと記載する。不純物イオン113は、実施の形態1に記載した説明と同様の材料および方法を用いればよい。

40

【0163】

次に、ゲート絶縁膜110および酸化物半導体膜104の露出部分に対して窒化処理を行い、ゲート絶縁膜110の側面に窒化領域114を形成すると共に、上部にゲート絶縁膜110の形成されていない領域近傍の酸化物半導体膜104の上面に窒化領域111を形成する（図7（A）参照。）。窒化領域111および窒化領域114の形成方法は、実施の形態1の窒化領域114の形成方法に記載した説明と同様の方法を用いて形成すればよい。

【0164】

50

窒化領域 114 は、ゲート絶縁膜 110 の側面に形成されているため、チャネル形成領域 104b から脱離した酸素が、ゲート絶縁膜 110 内を面方向に拡散しながら外部に放出されることを抑制できる。

【0165】

以上の工程を経ることにより、図 5 にて記載した、トップゲート構造の半導体素子 150 を作製することができる。

【0166】

なお、半導体素子 150 は、実施の形態 2 にて説明したように、チャネル形成領域 104b の下に、下地膜 102 を挟んで半導体素子 150 のバックゲートとして機能する導電膜を備えた構造としてもよい（図示しない。）。当該導電膜の形成に使用する材料や方法は、実施の形態 1 の導電膜 115 にて記載した説明と同様の材料および方法を用いればよい。

【0167】

半導体素子 150 は、酸化物半導体薄膜の酸素欠損、特にチャネル形成領域の酸素欠損の発生を抑制できるといった特徴を有しているため、半導体素子 150 の電気特性を良好なものとすることができる。

【0168】

その後、実施の形態 1 の図 3 (C) の説明にて記載したように、半導体素子 150 上に絶縁膜 116 および配線 118 を形成してもよい。

【0169】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0170】

（実施の形態 3）

本実施の形態では、実施の形態 2 とは異なるトップゲート構造の半導体素子の構造を、図 8 を用いて説明すると共に、当該半導体素子の作製方法を、図 9 を用いて説明する。

【0171】

<半導体素子の構造例>

本実施の形態に記載の半導体素子の構造を、図 8 を用いて説明する。なお、図 8 (A) は半導体素子 450 の上面図、図 8 (B) は図 8 (A) の一点鎖線 B1-B2 の断面図である。

【0172】

本実施の形態に記載の半導体素子 450 は、構成要素については実施の形態 2 に記載の半導体素子 150 と同じであるが、酸化物半導体膜 104 中にオフセット領域 104c が存在しない点、導電膜 106a と重なる領域および導電膜 106b と重なる領域の酸化物半導体膜 104 の上面において窒化領域 111 が形成されている点が、実施の形態 2 に記載の半導体素子 150 の構造と異なっている。

【0173】

実施の形態 2 に記載の半導体素子 150 の構造では、導電膜 106a および導電膜 106b が酸化物半導体膜 104 と直接接している。金属膜と酸化物半導体膜が接していると、熱処理などによって酸化物半導体膜と接している金属膜の表面に金属酸化膜が形成され、接触抵抗が高くなる恐れがある。また、それに伴い、例えば半導体素子のオン電流（半導体素子がオン状態の時に、ソースドレイン間に流れる電流。）が低下する、しきい値電圧にバラツキが生じるなどといった、電気特性の変化が生じる恐れがある。

【0174】

しかしながら、本実施の形態に記載の半導体素子 450 の構造では、導電膜 106a に接する酸化物半導体膜 104 の表面、および導電膜 106b に接する酸化物半導体膜 104 の表面に窒化領域 111 が存在するため、導電膜 106a と酸化物半導体膜 104 の接触抵抗および、導電膜 106b と酸化物半導体膜 104 の接触抵抗を低減でき、半導体素子 450 の電気特性を良好な状態に保つことができる。

【0175】

また、窒化領域111は、酸化物半導体膜104から脱離した酸素が外部に放出されることを抑制する、外部からの水や水素などの不純物がチャネル形成領域に拡散することを抑制するといった効果も併せ持つため、半導体素子450の信頼性向上に繋がる。

【0176】

＜半導体素子の作製方法＞

次に、図9を用いて、図8に示す半導体素子450の作製方法の一例について説明する。

【0177】

まず、絶縁表面を有する基板100に下地膜102、酸化物半導体膜104、ゲート絶縁膜110およびゲート電極112を形成する（図9（A）参照。）。基板100、下地膜102、酸化物半導体膜104、ゲート絶縁膜110およびゲート電極112は、実施の形態2にて記載した各々の説明と同様の材料および方法を用いて形成すればよい。なお、ゲート絶縁膜110は、実施の形態2にて記載したように、酸化シリコンまたは酸化アルミニウムを主成分として含む第1の絶縁膜と、第1の絶縁膜上に位置し、第1の絶縁膜より誘電率の高い第2の絶縁膜を少なくとも備える積層構造としてもよい。

10

【0178】

次に、酸化物半導体膜104の導電率を変化させる不純物イオン113を、酸化物半導体膜104に導入する。この際、ゲート電極112がマスクとして機能するため、酸化物半導体膜104中には、不純物イオン113が添加された低抵抗領域104aおよび一対の低抵抗領域104aに挟まれたチャネル形成領域104bが自己整合的に形成される（図9（B）参照。）。不純物イオン113は、実施の形態2に記載した説明と同様の材料および方法を用いればよい。

20

【0179】

次に、ゲート絶縁膜110および酸化物半導体膜104の露出部分に対して窒化処理を行い、ゲート絶縁膜110の少なくとも側面に窒化領域114を形成すると共に、上部にゲート絶縁膜110の形成されていない領域の酸化物半導体膜104表面に窒化領域111を形成する（図9（C）参照。）。窒化領域111および窒化領域114は、実施の形態2に記載した説明と同様の方法を用いて形成すればよい。

【0180】

次に、酸化物半導体膜104の低抵抗領域104aに接する導電膜106aおよび導電膜106bを形成する（図9（D）参照。）。導電膜106aおよび導電膜106bは、実施の形態2に記載した説明と同様の材料および方法を用いればよい。

30

【0181】

以上の工程を経ることにより、図8にて記載した、トップゲート構造の半導体素子450を作製することができる。

【0182】

なお、半導体素子450は、実施の形態2にて説明したように、チャネル形成領域104bの下に、下地膜102を挟んで半導体素子450のバックゲートとして機能する導電膜を備えた構造としてもよい（図示しない。）。当該導電膜の形成に使用する材料や方法は、実施の形態2の導電膜115にて記載した説明と同様の材料および方法を用いればよい。

40

【0183】

半導体素子450は、酸化物半導体薄膜の酸素欠損の発生を抑制できる、特にチャネル形成領域の酸素欠損の発生を抑制できるという特徴に加え、導電膜106aと酸化物半導体膜104の接触抵抗および、導電膜106bと酸化物半導体膜104の接触抵抗を低減できる、チャネル形成領域から酸化物半導体膜中を通して脱離する酸素を抑制する、外部からの水や水素などの不純物がチャネル形成領域に拡散することを抑制する、導電膜106aと導電膜106b間の抵抗をより低減できるといった特徴を有しているため、半導体素子450の電気特性を良好なものとすることができる。

【0184】

50

その後、実施の形態 2 の図 7 (B) の説明にて記載したように、半導体素子 450 上に絶縁膜 116 および配線 118 を形成してもよい。

【0185】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0186】

(実施の形態 4)

本実施の形態では、上述実施の形態とは異なるトップゲート構造の半導体素子の構造を、図 10 を用いて説明すると共に、当該半導体素子の作製方法を、図 11 を用いて説明する。

10

【0187】

<半導体素子の構造例>

本実施の形態に記載の半導体素子の構造を、図 10 を用いて説明する。なお、図 10 (A) は半導体素子 650 の上面図、図 10 (B) は図 10 (A) の一点鎖線 C1-C2 の断面図である。

【0188】

本実施の形態に記載の半導体素子 650 は、酸化物半導体膜 104 に対して窒化処理を行うことにより形成される窒化領域 111 が存在しないことが、実施の形態 2 に記載の半導体素子の構造と異なっている。

【0189】

20

上述実施の形態に記載した半導体素子のように、酸化物半導体膜 104 の上面に窒化領域 111 を形成した場合、酸化物半導体膜 104 からの酸素脱離の抑制、酸化物半導体膜 104 への不純物拡散の抑制、導電膜 106a (および導電膜 106b) との接触抵抗の低減など様々な効果があるが、窒化領域 111 は、図 1 (B) や図 8 (B) に示すように、酸化物半導体膜 104 の露出している領域の表面近傍だけでなく、ゲート絶縁膜 110 と重なる領域の表面近傍、つまり、チャネル形成領域 104b にも形成される場合がある。

【0190】

上述のように、チャネル形成領域 104b に窒化領域 111 が形成された場合、チャネル形成領域 104b (特に、チャネル形成領域 104b の上面近傍。) が低抵抗化してしまうため、半導体素子における実際のチャネル長と設計値のチャネル長が異なってしまう、実施者が想定した電気特性を得られない、といった問題が生じる恐れがある。

30

【0191】

特に、半導体素子のチャネル長が非常に短い (例えば、30nm 以下。) 場合では、チャネル形成領域 104b が、チャネル長方向全体に渡って窒化領域 111 となり、半導体素子の電気特性が得られない (例えば、リーク電流が多いため半導体素子として機能するだけのオンオフ比が取れないなど。) という恐れがある。

【0192】

しかしながら、本実施の形態に記載の半導体素子 650 の構造では、酸化物半導体膜 104 の上面に窒化領域が存在しないため、上述の問題を防止できる。

【0193】

40

<半導体素子の作製方法>

次に、図 11 を用いて、図 10 に示す半導体素子 650 の作製方法の一例について説明する。

【0194】

まず、絶縁表面を有する基板 100 に下地膜 102、酸化物半導体膜 104、導電膜 106a、導電膜 106b、絶縁膜 107 およびゲート電極 112 を形成する (図 11 (A) 参照。)。基板 100、下地膜 102、酸化物半導体膜 104、導電膜 106a、導電膜 106b、絶縁膜 107 およびゲート電極 112 は、実施の形態 2 にて記載した各々の説明と同様の材料および方法を用いて形成すればよい。

【0195】

50

また、絶縁膜 107 については、実施の形態 2 に記載したゲート絶縁膜 110 の説明と同様の材料および方法を用い、ゲート電極 112 と重ならない領域が完全に除去される前に除去処理を停止することにより得られる。なお、この際、ゲート電極 112 と重ならない領域における絶縁膜 107 の厚さは、後の工程にて行う窒化処理により膜厚方向全体において窒化される膜厚以上であることが望ましい。当該膜厚については、絶縁膜 107 の膜質や窒化処理の方法など鑑みて、実施者が適宜決定すればよい。

【0196】

次に、酸化物半導体膜 104 の導電率を変化させる不純物イオン 113 を、酸化物半導体膜 104 に導入する。この際、導電膜 106a、導電膜 106b およびゲート電極 112 がマスクとして機能するため、酸化物半導体膜 104 中には、不純物イオン 113 が添加された、ソース領域およびドレイン領域として機能する低抵抗領域 104a、一对の低抵抗領域 104a に挟まれたチャネル形成領域 104b ならびにオフセット領域 104c が自己整合的に形成される（図 11（B）参照。）。不純物イオン 113 は、上述実施の形態に記載した説明と同様の材料および方法を用いればよい。

10

【0197】

なお、不純物イオン 113 は絶縁膜 107 を通して酸化物半導体膜 104 に添加されるため、酸化物半導体膜 104 にイオン添加時のダメージが直接加わらないため、酸化物半導体膜 104 の結晶性が乱れにくいといったメリットがある。

【0198】

次に、絶縁膜 107 の露出部分に対して窒化処理を行い、絶縁膜 107 の一部に窒化領域 114 を形成する（図 11（C）参照。）。窒化領域 114 は、実施の形態 2 に記載した説明と同様の方法を用いて形成すればよい。

20

【0199】

次に、ゲート電極 112 と重ならない領域における絶縁膜 107 を除去し、ゲート絶縁膜 110 を形成する（図 11（D）参照。）。絶縁膜 107 の除去は、上述実施の形態にて記載したゲート絶縁膜 110 の形成方法を用いればよい。なお、ゲート絶縁膜 110 は、実施の形態 1 にて記載したように、酸化シリコンまたは酸化アルミニウムを主成分として含む第 1 の絶縁膜と、第 1 の絶縁膜上に位置し、第 1 の絶縁膜より誘電率の高い第 2 の絶縁膜を少なくとも備える積層構造としてもよい。

【0200】

本実施の形態では、ゲート電極 112 と重ならない領域における絶縁膜 107 は全て除去しているが、必ずしも全て除去する必要はなく、酸化物半導体膜 104 上や導電膜 106a（および導電膜 106b）上に薄く残っていても良い。

30

【0201】

以上の工程を経ることにより、図 10 にて記載した、トップゲート構造の半導体素子 650 を作製することができる。

【0202】

なお、半導体素子 650 は、実施の形態 2 にて説明したように、チャネル形成領域 104b の下に、下地膜 102 を挟んで半導体素子 650 のバックゲートとして機能する導電膜を備えた構造としてもよい（図示しない。）。当該導電膜の形成に使用する材料や方法は、実施の形態 2 の導電膜 115 にて記載した説明と同様の材料および方法を用いればよい。

40

【0203】

その後、実施の形態 2 の図 7（B）の説明にて記載したように、半導体素子 650 上に絶縁膜 116 および配線 118 を形成してもよい。

【0204】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0205】

（実施の形態 5）

50

本実施の形態では、実施の形態 2 乃至実施の形態 4 に示す半導体素子を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

【0206】

図 12 は、半導体装置の構成の一例である。図 12 (A) に、半導体装置の断面図を、図 12 (B) に半導体装置の平面図を、図 12 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 12 (A) は、図 12 (B) の D1-D2 における断面に相当する。

【0207】

図 12 (A) 及び図 12 (B) に示す半導体装置は、下層に第 1 の半導体材料を含んで構成されるトランジスタ 1461 を有し、上層に第 2 の半導体材料を含んで構成されるトランジスタ 1462 および容量素子 1464 を有するものである。本実施の形態では、トランジスタ 1462 として、上述の実施の形態で示すトランジスタの構造を適用することができる。ここでは、実施の形態 2 の半導体素子 150 を用いた場合の例を記載する。

【0208】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 2 の半導体材料を酸化物半導体以外の半導体材料（例えば、シリコン系半導体材料または化合物系半導体材料）とし、第 1 の半導体材料を酸化物半導体とすればよい。より好ましくは、第 2 の半導体材料としては、単結晶の半導体材料を用いることが好ましい。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0209】

なお、上記トランジスタは、いずれも n チャンネル型トランジスタであるものとして説明するが、p チャンネル型トランジスタを用いることができるのは言うまでもない。また、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0210】

図 12 (A) におけるトランジスタ 1461 は、酸化物半導体以外の半導体材料（例えば、シリコン、ゲルマニウム、または化合物半導体材料など。化合物半導体材料としては、例えば、GaAs、InP、SiC、ZnSe、GaN、SiGe などを用いることができる。）を含む基板 1400 に設けられたチャネル形成領域 1416 と、チャネル形成領域 1416 を挟むように設けられた不純物領域 1420 と、不純物領域 1420 に接する金属間化合物領域 1424 と、チャネル形成領域 1416 上に設けられたゲート絶縁膜 1408 と、ゲート絶縁膜 1408 上に設けられたゲート電極 1410 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれる。

【0211】

基板 1400 上のトランジスタ 1461 を覆うように絶縁膜 1428、及び絶縁膜 1430 が設けられている。なお、トランジスタ 1461 において、ゲート電極 1410 の側面に側壁絶縁膜（サイドウォール絶縁膜）を設け、不純物濃度が異なる領域を含む不純物領域 1420 としてもよい。

【0212】

上述のように、単結晶の半導体材料（例えば、単結晶シリコン基板など。）を用いたトランジスタ 1461 は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ 1461 を覆うように絶縁膜 1428、絶縁膜 1430 を形成する。そして、トランジスタ 1461 を上層のトランジスタ 1462 と電氣的に接続するため、ゲート電極 1

410の上面を露出する処理を行う。当該処理としては、上述実施の形態に記載した除去処理と同様の方法を用いればよい。

【0213】

絶縁膜1428、絶縁膜1430は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁膜1428、絶縁膜1430は、プラズマCVD法又はスパッタリング法等を用いて形成することができる。

【0214】

また、絶縁膜1428、絶縁膜1430として、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂、エポキシ樹脂等の有機樹脂を、スピコート法、印刷法、ディスペンス法またはインクジェット法などを用いて塗布し、塗布した材料に応じた硬化処理（例えば、加熱処理や光照射処理など。）を行い形成してもよい。また、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることもできる。

【0215】

なお、本実施の形態において、絶縁膜1428として窒化シリコン膜、絶縁膜1430として酸化シリコン膜を用いる。

【0216】

そして、平坦化処理（例えばCMP処理など。）により十分に平坦化した絶縁膜1428、絶縁膜1430（好ましくは絶縁膜1428および絶縁膜1430表面の平均面粗さは0.15nm以下）の上に、絶縁膜1442および絶縁膜1444が設けられている。絶縁膜1442および絶縁膜1444は、上述の絶縁膜1428にて記載した説明と同様の方法および材料を用いて形成すればよい。

【0217】

また、絶縁膜1442および絶縁膜1444に形成した開口部を介してゲート電極1410と電氣的に接続された配線1446が絶縁膜1444上に設けられている。配線1446は、上述実施の形態に記載した導電膜106aや導電膜106bと同様の方法および材料を用いて形成すればよい。

【0218】

なお、上層のトランジスタ1462のバックゲートとして機能する導電膜1447を、配線1446の形成と同じ工程で形成してもよい。導電膜1447はトランジスタ1462のゲート電極と同様に機能させることができるため、導電膜1447に印加する電圧を変化させることにより、トランジスタ1462のしきい値電圧を制御することができる。このため、トランジスタ1462をノーマリーオフ型とすることができる。

【0219】

トランジスタ1462の下に導電膜1447を設けることにより、第1のトランジスタ1461が設けられた下層から、第2のトランジスタ1462が設けられた上層に、トランジスタの特性に影響を及ぼし得る不純物の移動を抑制する。当該不純物としては、例えば水素（水、水素イオン又は水酸化イオンなどを含む。）などがある。

【0220】

なお、トランジスタ1462をノーマリーオフ型とするためには、導電膜1447の少なくとも表面（トランジスタ1462側の面）を、酸化物半導体膜104の仕事関数よりも大きな仕事関数を有する材料、より好ましくは1電子ボルト以上大きな仕事関数を有する材料を用いることが望ましい。例えば、上述実施の形態に記載したように、酸化物半導体膜104としてIGZO膜を用いた場合は、IGZO膜よりも仕事関数の大きな膜である、インジウム、ガリウム、及び亜鉛を含む酸窒化物膜（以下、IGZON膜と記載する場合もある。）を用いることができる。

【0221】

また、配線1446および導電膜1447上には、第1のトランジスタ1461が設けら

10

20

30

40

50

れた下層から、第2のトランジスタ1462が設けられた上層に、トランジスタの特性に影響を及ぼし得る不純物の移動を抑制するための絶縁膜1451が設けられている。

【0222】

絶縁膜1451としては、例えば、真空蒸着法やスパッタリング法などの物理気相成長法やプラズマCVD法などの化学気相成長法を用いて、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜などを形成すればよい。

【0223】

また、配線1446や導電膜1447の形成により生じた段差を平坦化し、トランジスタ1462および容量素子1464を形成しやすくし、トランジスタ1462の備える酸化物半導体膜104に酸素を供給するための下地膜1452を、絶縁膜1451上に形成する。下地膜1452としては、下地膜102にて記載した説明と同様の材料を用い、CMP装置を用いて平坦化処理を行えばよい。

【0224】

そして、下地膜1452上には、トランジスタ1462および容量素子1464が形成されている。容量素子1464の一对の電極のうち、一方の電極はトランジスタ1462の導電膜106aおよび導電膜106bと同じ材料を用い、同じ工程にて形成される。また、一对の電極のうち、他方の電極1466はトランジスタ1462のゲート電極112と同じ材料を用い、同じ工程にて形成される。また、誘電膜1467は、トランジスタ1462のゲート絶縁膜110と同じ材料を用い、同じ工程にて形成される。なお、トランジスタ1462は上述実施の形態で記載した半導体素子150と同様であるため、トランジスタ1462の各構成要素についての詳細な説明は省略する。

【0225】

図12(A)に示すトランジスタ1462は、チャンネル形成領域に酸化物半導体材料を用いたトランジスタである。ここで、トランジスタ1462に含まれる酸化物半導体膜104は、上述の実施の形態にて記載したように、水分や水素などの不純物が極力除去されて高純度化されたものであることが望ましい。また、酸素欠損が十分に補填されたものであることが好ましい。このような酸化物半導体膜を用いることで、オフ電流を極めて小さくすることができる。

【0226】

トランジスタ1462は、オフ電流が極めて小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0227】

また、トランジスタ1462および容量素子1464上には、絶縁膜116aおよび絶縁膜116bに設けられた開口部を介して導電膜106bに電氣的に接続された配線118が形成されている。

【0228】

そして、絶縁膜116および配線118上には、平坦化を目的として絶縁膜1468が設けられている。絶縁膜1468としては、絶縁膜1428および絶縁膜1430のような有機樹脂を用いることができる。

【0229】

図12(A)及び図12(B)において、トランジスタ1461と、トランジスタ1462とは、少なくとも一部が重畳するように設けられており、トランジスタ1461のソース領域またはドレイン領域と酸化物半導体膜104の一部が重畳するように設けられていることが好ましい。また、トランジスタ1462または容量素子1464のいずれか或いは両方が、トランジスタ1461と重畳するように設けられていることが好ましい。例えば、容量素子1464の一方の電極および他方の電極1466は、トランジスタ1461と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることがで

10

20

30

40

50

きる。

【0230】

次に、図12（A）及び図12（B）に対応する回路構成の一例を図12（C）に示す。

【0231】

図12（C）において、第1の配線（1st Line）とトランジスタ1461のソース電極が電氣的に接続され、第2の配線（2nd Line）とトランジスタ1461のドレイン電極が電氣的に接続されている。また、第3の配線（3rd Line）とトランジスタ1462のソース電極（またはドレイン電極）が電氣的に接続され、第4の配線（4th Line）と、トランジスタ1462のゲート電極が電氣的に接続されている。そして、トランジスタ1461のゲート電極と、トランジスタ1462のドレイン電極（またはソース電極）は、容量素子1464の電極の他方と電氣的に接続され、第5の配線（5th Line）と、容量素子1464の電極の一方が電氣的に接続されている。

10

【0232】

図12（C）に示す半導体装置では、トランジスタ1461のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。なお、トランジスタ1461の酸化物半導体は活性層（チャネル形成領域とも言える。）に酸化物半導体（Oxide Semiconductor（OS））を用いているため、トランジスタの回路記号の横にOSという符号を付している。本明細書の他の図面についてもOSという符号を付しているトランジスタは上述と同様の意味を持つ。

20

【0233】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ1462がオン状態となる電位にして、トランジスタ1462をオン状態とする。これにより、第3の配線の電位が、トランジスタ1461のゲート電極、および容量素子1464に与えられる。すなわち、トランジスタ1461のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ1462がオフ状態となる電位にして、トランジスタ1462をオフ状態とすることにより、トランジスタ1461のゲート電極に与えられた電荷が保持される（保持）。

30

【0234】

トランジスタ1462のオフ電流は極めて小さいため、トランジスタ1461のゲート電極の電荷は長時間にわたって保持される。

【0235】

次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ1461のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ1461をnチャネル型とすると、トランジスタ1461のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th_H} は、トランジスタ1461のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ1461を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ1461のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $>V_{th_H}$ ）となれば、トランジスタ1461は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $<V_{th_L}$ ）となっても、トランジスタ1461は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

40

【0236】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み

50

出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ1461が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ1461が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0237】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【0238】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【0239】

以上のように、微細化及び高集積化を実現し、かつ高い電気特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0240】

なお、本実施の形態のトランジスタ1461は、半導体材料を含む基板（例えばシリコン基板、ゲルマニウム基板や、化合物半導体材料を含む基板など）を用いて形成されているが、単結晶半導体基板や化合物半導体基板の一部を分離することにより得られた薄膜を用いてトランジスタ1461を形成してもよい。単結晶半導体基板や化合物半導体基板の一部を分離して単結晶半導体薄膜や化合物半導体薄膜を形成する方法については、公知のSOI基板の作製方法を参照することができる（例えば、特開2010-109345など）。

30

【0241】

単結晶半導体基板の一部を分離することにより得られた薄膜の膜厚は、好ましくは100nm以下、より好ましくは50nm以下であることが望ましい。当該薄膜を活性層として用いてトランジスタ1461を形成することにより、トランジスタ1461を完全空乏型のトランジスタとすることができ、トランジスタ1461の高速動作、低消費電力化が可能となる。

【0242】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

40

【0243】

（実施の形態6）

本実施の形態においては、実施の形態2乃至実施の形態4に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態6に示した構成と異なる構成を図13及び図14を用いて説明を行う。

【0244】

図13（A）は、半導体装置の回路構成の一例を示し、図13（B）は半導体装置の一例を示す概念図である。まず、図13（A）に示す半導体装置について説明を行い、続けて図13（B）に示す半導体装置について、以下説明を行う。

50

【0245】

図13(A)に示す半導体装置において、ビット線BLとトランジスタ1762のソース電極又はドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ1762のゲート電極とは電氣的に接続され、トランジスタ1762のソース電極又はドレイン電極と容量素子1764の第1の端子とは電氣的に接続されている。

【0246】

次に、図13(A)に示す半導体装置(メモリセル1850)に、情報の書き込みおよび保持を行う場合について説明する。

【0247】

まず、ワード線WLの電位を、トランジスタ1762がオン状態となる電位として、トランジスタ1762をオン状態とする。これにより、ビット線BLの電位が、容量素子1764の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ1762がオフ状態となる電位として、トランジスタ1762をオフ状態とすることにより、容量素子1764の第1の端子の電位が保持される(保持)。

10

【0248】

酸化物半導体を用いたトランジスタ1762は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ1762をオフ状態とすることで、容量素子1764の第1の端子の電位(あるいは、容量素子1764に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0249】

20

次に、情報の読み出しについて説明する。トランジスタ1762がオン状態となると、浮遊状態であるビット線BLと容量素子1764とが導通し、ビット線BLと容量素子1764の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子1764の第1の端子の電位(あるいは容量素子1764に蓄積された電荷)によって、異なる値をとる。

【0250】

例えば、容量素子1764の第1の端子の電位をV、容量素子1764の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル1850の状態として、容量素子1764の第1の端子の電位がV1とV0($V1 > V0$)の2つの状態をとるとすると、電位V1を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V1) / (CB + C)$)は、電位V0を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V0) / (CB + C)$)よりも高くなることがわかる。

30

【0251】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0252】

このように、図13(A)に示す半導体装置は、トランジスタ1762のオフ電流が極めて小さいという特徴から、容量素子1764に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

40

【0253】

次に、図13(B)に示す半導体装置について、説明を行う。

【0254】

図13(B)に示す半導体装置は、上部に記憶回路として図13(A)に示したメモリセル1850を複数有するメモリセルアレイ1851a及び1851bを有し、下部に、メモリセルアレイ1851(メモリセルアレイ1851a及び1851b)を動作させるた

50

めに必要な周辺回路1853を有する。なお、周辺回路1853は、メモリセルアレイ1851と電氣的に接続されている。

【0255】

図13(B)に示した構成とすることにより、周辺回路1853をメモリセルアレイ1851(メモリセルアレイ1851a及び1851b)の直下に設けることができるため半導体装置の小型化を図ることができる。

【0256】

周辺回路1853に設けられるトランジスタは、実施の形態6のトランジスタ1762とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することが可能である。

【0257】

なお、図13(B)に示した半導体装置では、2つのメモリセルアレイ1851(メモリセルアレイ1851aと、メモリセルアレイ1851b)が積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構成としても良い。

【0258】

次に、図13(A)に示したメモリセル1850の具体的な構成について図14を用いて説明を行う。

【0259】

図14は、メモリセル1850の構成の一例である。図14(A)に、メモリセル1850の断面図を、図14(B)にメモリセル1850の平面図をそれぞれ示す。ここで、図14(A)は、図14(B)のE1-E2における断面に相当する。

【0260】

図14(A)に示すトランジスタ1762は、実施の形態2にて記載した半導体素子150と同一の構成とすることができ、トランジスタ1762は基板1800上に下地膜1452を介して設けられており、基板1800と下地膜1452の間には、上述実施の形態5と同様に、トランジスタ1762のバックゲートとして機能する導電膜1447および、トランジスタ1762の特性に影響を及ぼし得る不純物の移動を抑制するための絶縁膜1451が設けられている。

【0261】

図14(A)及び図14(B)に示すトランジスタ1762は、実施の形態2乃至実施の形態4で示した構成と同一の構成とすることができ、なお、本実施の形態では、トランジスタ1762として、実施の形態2にて記載した構造の半導体素子150と同様であるため、トランジスタ1762の各構成要素についての詳細な説明は省略する。また、容量素子1764についても実施の形態5に記載の容量素子1464と同じ材料および同じ構成であるため、詳細な説明は省略する。

【0262】

図14(A)に示すトランジスタ1762は、チャネル形成領域に酸化物半導体材料を用いたトランジスタである。ここで、トランジスタ1762に含まれる酸化物半導体膜104は、上述の実施の形態にて記載したように、水分や水素などの不純物が極力除去されて高純度化されたものであることが望ましい。また、酸素欠損が十分に補填されたものであることが好ましい。このような酸化物半導体膜を用いることで、オフ電流を極めて小さくすることができる。

【0263】

トランジスタ1762は、オフ電流が極めて小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない

10

20

30

40

50

、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0264】

また、トランジスタ1762および容量素子1764上には、絶縁膜116aおよび絶縁膜116bに設けられた開口部を介して導電膜106bに電氣的に接続された配線118が形成されている。なお、配線118は、図13(A)の回路図におけるビット線BLに相当する。

【0265】

そして、絶縁膜116および配線118上には、平坦化を目的として絶縁膜1468が設けられている。

10

【0266】

以上のように、メモリセル1850は、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0267】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

20

【0268】

以上のように、微細化及び高集積化を実現し、かつ高い電氣的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0269】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0270】

（実施の形態7）

30

本明細書等に開示する半導体素子は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した半導体装置を具備する電子機器の例について説明する。

【0271】

図15(A)は、携帯型のパーソナルコンピュータであり、筐体2501、筐体2502、第1の表示部2503a、第2の表示部2503bなどによって構成されている。筐体2501と筐体2502の内部には、様々な電子部品（例えば、CPU、MPU、記憶素子など。）が組み込まれている。また、第1の表示部2503aと第2の表示部2503bには、画像を表示するために必要な電子回路（例えば、駆動回路や選択回路など。）が搭載されている。これら電子部品や電子回路の中に、上述の実施の形態で示した半導体素子を適用することにより、高性能で信頼性の高い携帯型の情報端末とすることができる。なお、先の実施の形態に示す半導体装置は、筐体2501、筐体2502の少なくとも一に設けられていればよい。

40

【0272】

なお、第1の表示部2503aおよび第2の表示部2503bの少なくとも一方は、タッチ入力機能を有するパネルとなっており、例えば図15(A)の左図のように、第1の表

50

示部 2503a に表示される選択ボタン 2504 により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「タッチ入力」を選択した場合、図 15 (A) の右図のように第 1 の表示部 2503a にはキーボード 2505 が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

【0273】

また、図 15 (A) に示す携帯型の情報端末は、図 15 (A) の右図のように、筐体 2501 と筐体 2502 を分離することができる。これにより、筐体 2501 を壁に掛けて大人数で画面情報を共有しながら、筐体 2502 で画面情報をコントロールするといった操作が可能となり、非常に便利である。なお、当該装置を使用しない場合は、第 1 の表示部 2503a 及び第 2 の表示部 2503b が向かい合うように、筐体 2501 および筐体 2502 を重ねた状態とすることが好ましい。これにより、外部より加わる衝撃などから第 1 の表示部 2503a 及び第 2 の表示部 2503b を保護することができる。第 1 の表示部 2503a もタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体 2502 を持ち、他方の手で操作することができるため非常に便利である。

【0274】

図 15 (A) に示す携帯型の情報端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子など）、記録媒体挿入部などを備える構成としてもよい。

【0275】

また、図 15 (A) に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0276】

さらに、図 15 (A) に示す筐体 2501 や筐体 2502 にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【0277】

図 15 (B) は、電子書籍の一例を示している。例えば、電子書籍 2520 は、筐体 2521 および筐体 2523 の 2 つの筐体で構成されている。筐体 2521 および筐体 2523 は、軸部 2522 により一体とされており、該軸部 2522 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0278】

筐体 2521 には表示部 2525 が組み込まれ、筐体 2523 には表示部 2527 が組み込まれている。表示部 2525 および表示部 2527 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば、右側の表示部（図 15 (B) では表示部 2525）に文章を表示し、左側の表示部（図 15 (B) では表示部 2527）に画像を表示することができる。上述の実施の形態で示した半導体素子を適用することにより、高性能で信頼性の高い電子書籍 2520 とすることができる。

【0279】

また、図 15 (B) では、筐体 2521 に操作部などを備えた例を示している。例えば、筐体 2521 において、電源 2526、操作キー 2528、スピーカー 2529などを備えている。操作キー 2528 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2520 は、電子辞書としての機能を持た

10

20

30

40

50

せた構成としてもよい。

【0280】

また、電子書籍2520は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0281】

図15(C)は、スマートフォンであり、筐体2530と、ボタン2531と、マイクロフォン2532と、タッチパネルを備えた表示部2533と、スピーカー2534と、カメラ2535と、を具備し、携帯型電話機としての機能を有する。上述実施の形態で示した半導体素子を適用することにより、高性能で信頼性の高いスマートフォンとすることができる。

10

【0282】

表示部2533は、使用形態に応じて表示の方向が適宜変化する。また、表示部2533と同一面上にカメラ2535を備えているため、テレビ電話が可能である。スピーカー2534及びマイクロフォン2532は音声通話に限らず、テレビ電話、録音、再生などが可能である。

【0283】

また、外部接続端子2536はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット(図示せず)に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

20

【0284】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0285】

図15(D)は、デジタルビデオカメラであり、本体2541、表示部2542、操作スイッチ2543、バッテリー2544などによって構成されている。上述の実施の形態で示した半導体素子を適用することにより、高性能で信頼性の高いデジタルビデオカメラとすることができる。

【0286】

30

図15(E)は、テレビジョン装置の一例を示している。テレビジョン装置2550は、筐体2551に表示部2553が組み込まれている。表示部2553により、映像を表示することが可能である。また、ここでは、スタンド2555により筐体2551を支持した構成を示している。上述の実施の形態で示した半導体素子を適用することにより、高性能で信頼性の高いテレビジョン装置2550とすることができる。

【0287】

テレビジョン装置2550の操作は、筐体2551が備える操作スイッチや、別体のリモートコントローラにより行うことができる。また、リモートコントローラに、当該リモートコントローラから出力する情報を表示する表示部を設ける構成としてもよい。

【0288】

40

なお、テレビジョン装置2550は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0289】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

【0290】

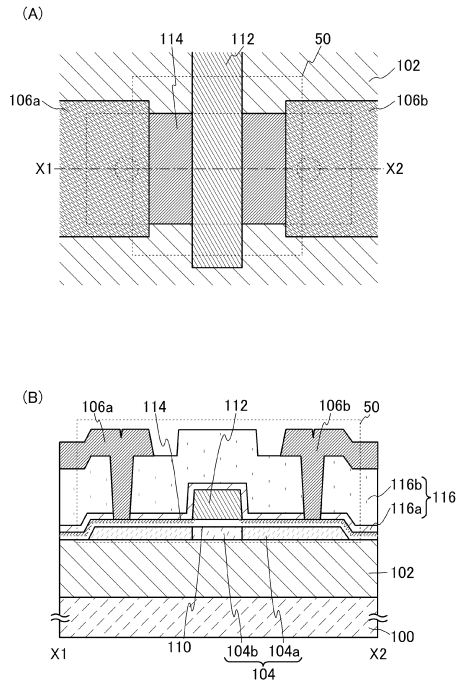
50 半導体素子

50

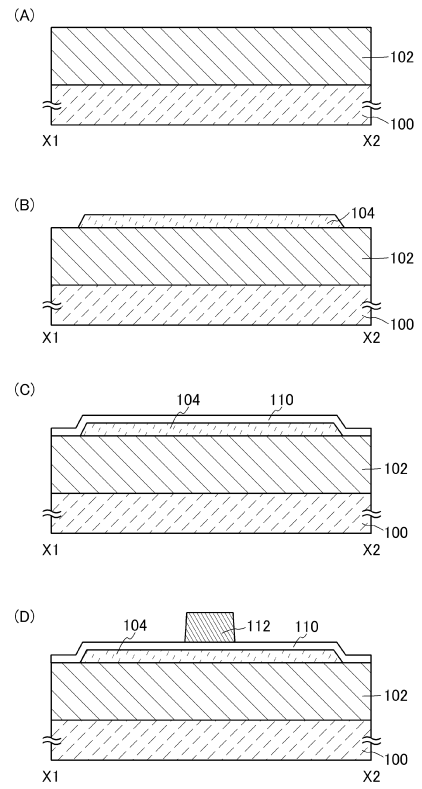
1 0 0	基板	
1 0 2	下地膜	
1 0 4	酸化物半導体膜	
1 0 4 a	低抵抗領域	
1 0 4 b	チャネル形成領域	
1 0 4 c	オフセット領域	
1 0 6 a	導電膜	
1 0 6 b	導電膜	
1 0 7	絶縁膜	
1 1 0	ゲート絶縁膜	10
1 1 1	窒化領域	
1 1 2	ゲート電極	
1 1 3	不純物イオン	
1 1 4	窒化領域	
1 1 5	導電膜	
1 1 6	絶縁膜	
1 1 6 a	絶縁膜	
1 1 6 b	絶縁膜	
1 1 8	配線	
1 5 0	半導体素子	20
4 5 0	半導体素子	
6 5 0	半導体素子	
1 4 0 0	基板	
1 4 0 8	ゲート絶縁膜	
1 4 1 0	ゲート電極	
1 4 1 6	チャネル形成領域	
1 4 2 0	不純物領域	
1 4 2 4	金属間化合物領域	
1 4 2 8	絶縁膜	
1 4 3 0	絶縁膜	30
1 4 4 2	絶縁膜	
1 4 4 4	絶縁膜	
1 4 4 6	配線	
1 4 4 7	導電膜	
1 4 5 1	絶縁膜	
1 4 5 2	下地膜	
1 4 6 1	トランジスタ	
1 4 6 2	トランジスタ	
1 4 6 4	容量素子	
1 4 6 6	電極	40
1 4 6 7	誘電膜	
1 4 6 8	絶縁膜	
1 7 6 2	トランジスタ	
1 7 6 4	容量素子	
1 8 0 0	基板	
1 8 5 0	メモリセル	
1 8 5 1	メモリセルアレイ	
1 8 5 1 a	メモリセルアレイ	
1 8 5 1 b	メモリセルアレイ	
1 8 5 3	周辺回路	50

2 5 0 1	筐体	
2 5 0 2	筐体	
2 5 0 3 a	第 1 の表示部	
2 5 0 3 b	第 2 の表示部	
2 5 0 4	選択ボタン	
2 5 0 5	キーボード	
2 5 2 0	電子書籍	
2 5 2 1	筐体	
2 5 2 2	軸部	
2 5 2 3	筐体	10
2 5 2 5	表示部	
2 5 2 6	電源	
2 5 2 7	表示部	
2 5 2 8	操作キー	
2 5 2 9	スピーカー	
2 5 3 0	筐体	
2 5 3 1	ボタン	
2 5 3 2	マイクロフォン	
2 5 3 3	表示部	
2 5 3 4	スピーカー	20
2 5 3 5	カメラ	
2 5 3 6	外部接続端子	
2 5 4 1	本体	
2 5 4 2	表示部	
2 5 4 3	操作スイッチ	
2 5 4 4	バッテリー	
2 5 5 0	テレビジョン装置	
2 5 5 1	筐体	
2 5 5 3	表示部	
2 5 5 5	スタンド	30

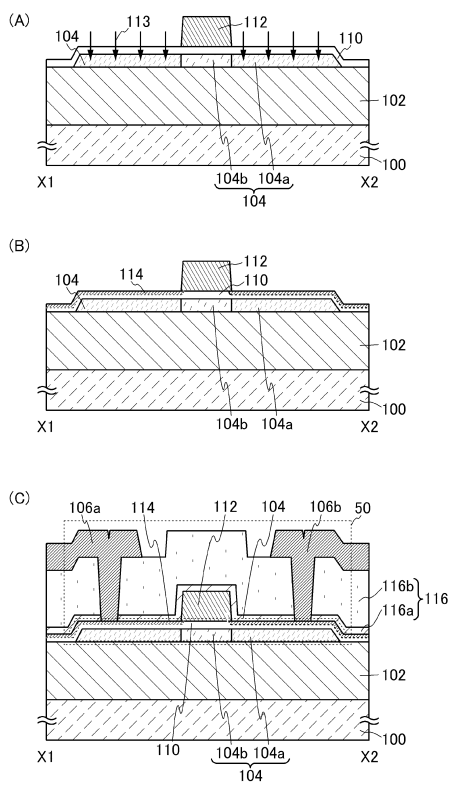
【図 1】



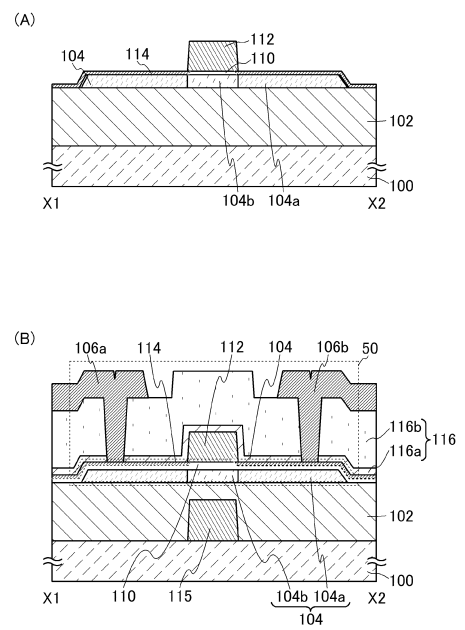
【図 2】



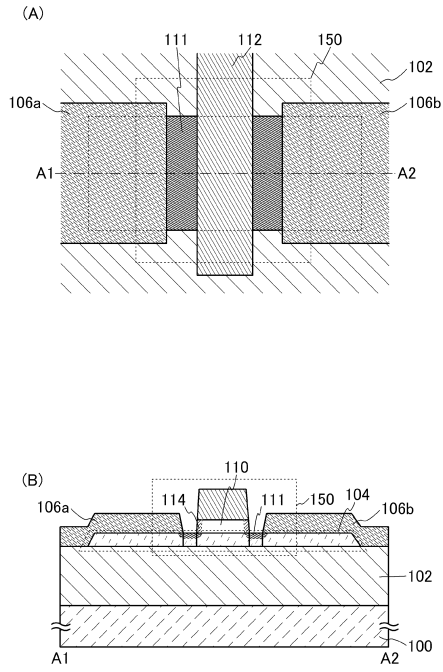
【図 3】



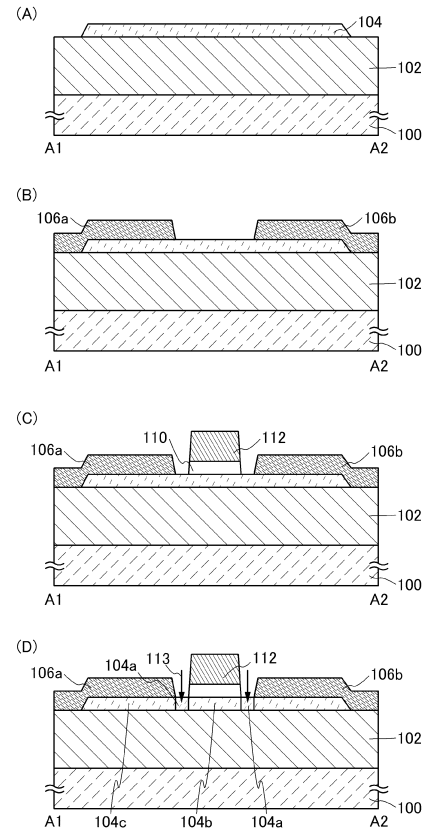
【図 4】



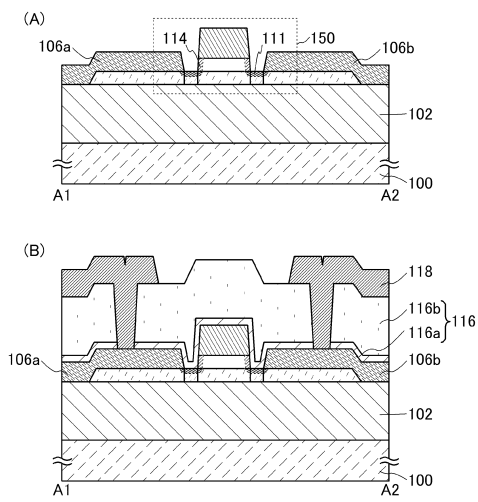
【図 5】



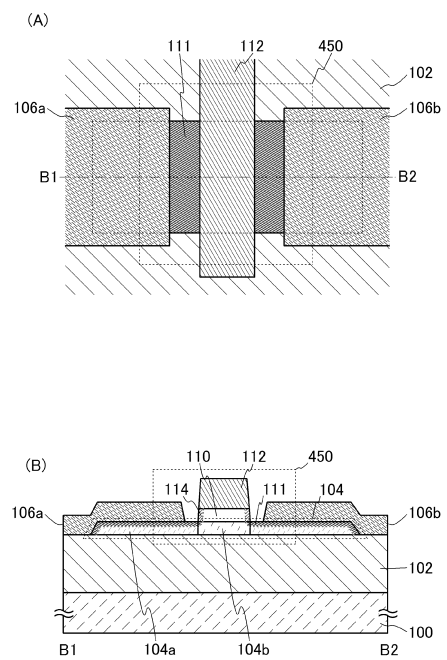
【図 6】



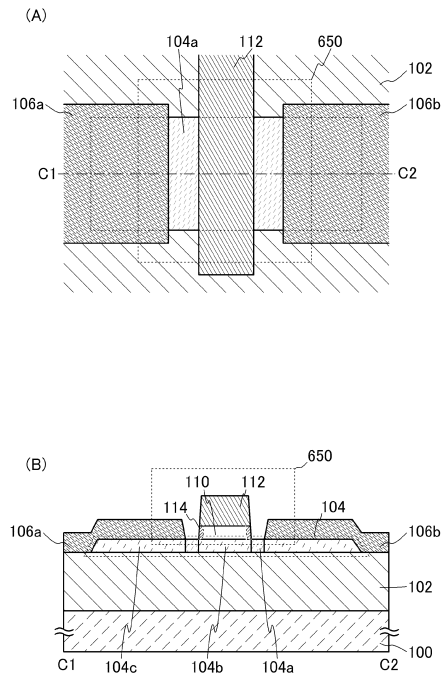
【図 7】



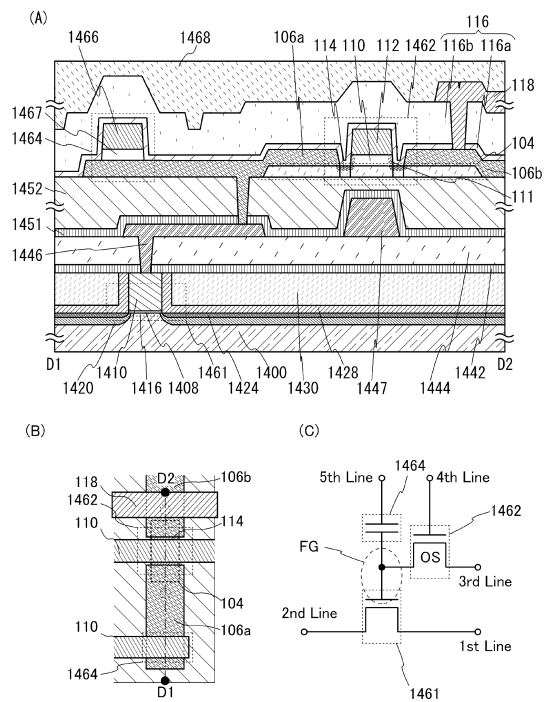
【図 8】



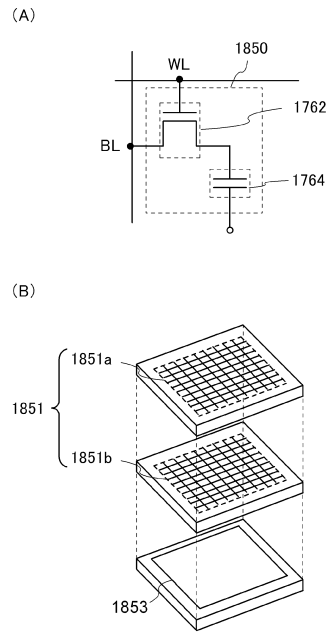
【図 10】



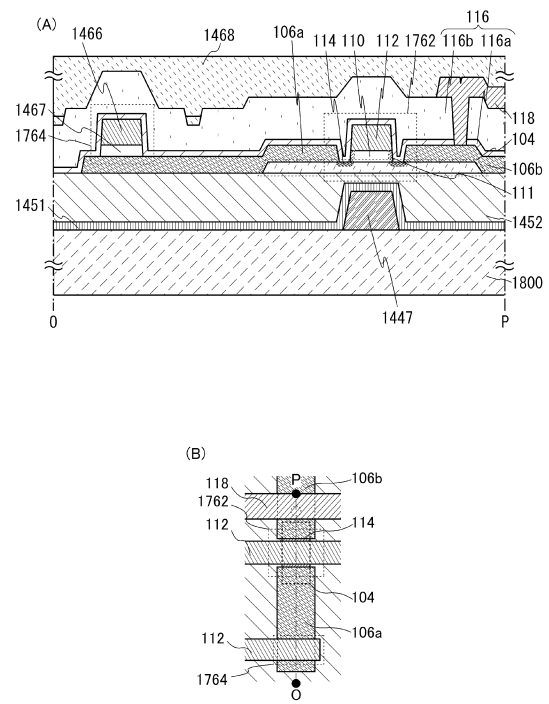
【图 12】



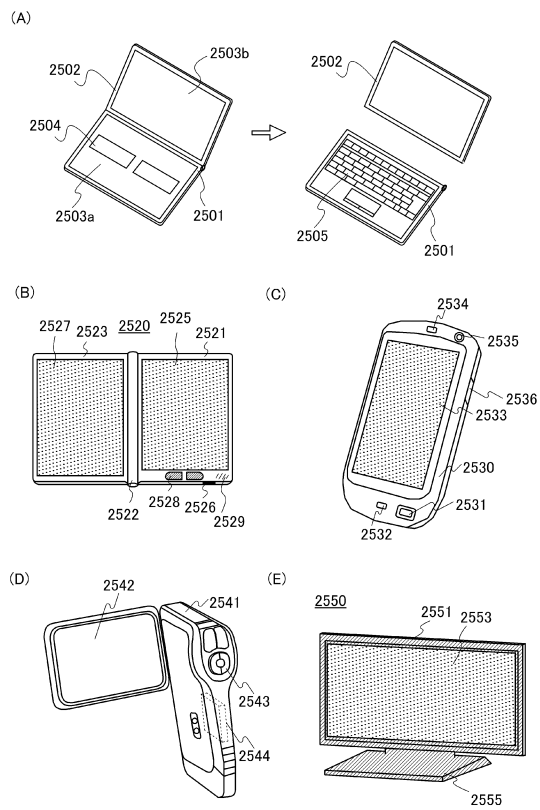
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/788</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>3 7 1</i>
<i>H 0 1 L</i>	<i>29/792</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i> <i>6 2 1 Z</i>
<i>H 0 1 L</i>	<i>27/10</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i> <i>6 8 1 A</i>
<i>C 2 3 C</i>	<i>16/42</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i> <i>6 8 1 B</i>
<i>H 0 1 L</i>	<i>21/316</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i> <i>6 8 1 E</i>
			<i>H 0 1 L</i>	<i>27/10</i> <i>4 8 1</i>
			<i>H 0 1 L</i>	<i>27/10</i> <i>6 8 1 F</i>
			<i>C 2 3 C</i>	<i>16/42</i>
			<i>H 0 1 L</i>	<i>21/316</i> <i>X</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 8 G</i>

- (56)参考文献 特開2012-009835 (JP, A)
 特開2007-208160 (JP, A)
 特開2009-278115 (JP, A)
 特開2008-270774 (JP, A)
 特開2008-042088 (JP, A)
 特開2011-165884 (JP, A)
 特開2008-227320 (JP, A)
 特開2009-275236 (JP, A)
 特開2007-165861 (JP, A)
 特開2004-111880 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|----------------|----------------------|
| <i>H 0 1 L</i> | <i>2 9 / 7 8 6</i> |
| <i>C 2 3 C</i> | <i>1 6 / 4 2</i> |
| <i>H 0 1 L</i> | <i>2 1 / 3 1 6</i> |
| <i>H 0 1 L</i> | <i>2 1 / 3 3 6</i> |
| <i>H 0 1 L</i> | <i>2 1 / 8 2 4 2</i> |
| <i>H 0 1 L</i> | <i>2 7 / 1 0</i> |
| <i>H 0 1 L</i> | <i>2 7 / 1 0 5</i> |
| <i>H 0 1 L</i> | <i>2 7 / 1 0 8</i> |
| <i>H 0 1 L</i> | <i>2 9 / 7 8 8</i> |
| <i>H 0 1 L</i> | <i>2 9 / 7 9 2</i> |