



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0145682  
(43) 공개일자 2023년10월18일

(51) 국제특허분류(Int. Cl.)  
H04L 25/49 (2006.01) H04L 25/02 (2006.01)  
H04L 25/08 (2006.01)  
(52) CPC특허분류  
H04L 25/4917 (2013.01)  
H04L 25/0276 (2013.01)  
(21) 출원번호 10-2022-0044336  
(22) 출원일자 2022년04월11일  
심사청구일자 2022년04월11일

(71) 출원인  
고려대학교 산학협력단  
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)  
(72) 발명자  
김철우  
서울특별시 강남구 선릉로 221  
심진철  
서울특별시 성북구 삼선교로8길 16(삼선동1가)  
(뒷면에 계속)  
(74) 대리인  
특허법인주연케이알피

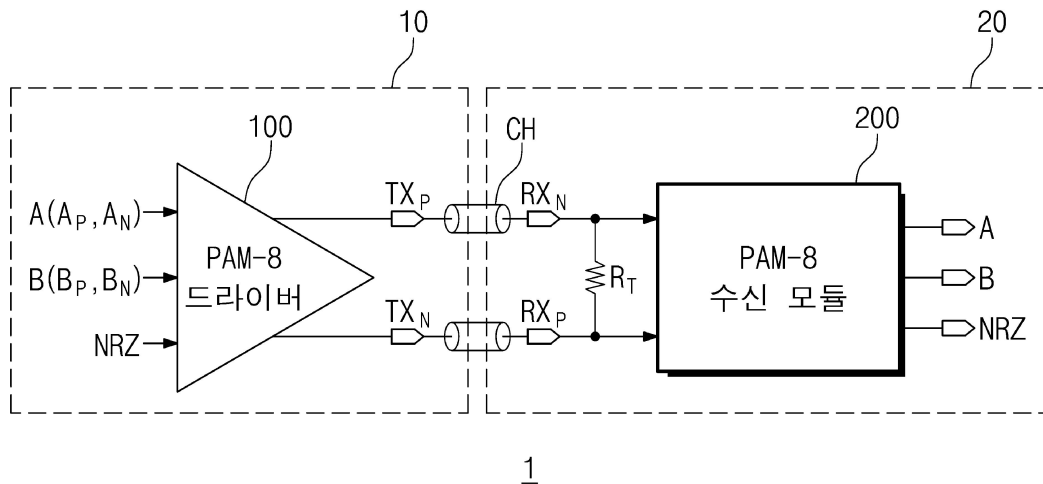
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 차동 모드 PAM-4와 공통 모드 NRZ를 이용한 PAM-8 송수신기 및 송수신 방법

(57) 요약

본 발명에 따르면, PAM(Pulse Amplitude Modulation)-8 송수신기에 있어서, 입력 신호로부터 차동 모드에서 PAM-4 신호이고, 공통 모드에서 NRZ(Non-Return to Zero) 신호인 PAM-8 신호를 생성하고, 상기 PAM-8 신호를 송신하는 송신기; 및 상기 PAM-8 신호를 수신하고, 상기 PAM-8 신호를 디코딩하여 상기 PAM-4 신호 및 상기 NRZ 신호를 각각 획득하는 수신기를 포함하는, PAM-8 송수신기이다.

대표도 - 도3



(52) CPC특허분류

**H04L 25/085** (2013.01)

(72) 발명자

**박현수**

서울특별시 동대문구 고산자로 521(제기동, 에코시티)

**권영욱**

서울특별시 강남구 개포로20길 49(개포동, 파크타운)

---

**김성철**

서울특별시 성북구 안암로9나길 14(안암동3가, 대광아파트)

## 명세서

### 청구범위

#### 청구항 1

PAM(Pulse Amplitude Modulation)-8 송수신기에 있어서,

입력 신호로부터 차동 모드에서 PAM-4 신호이고, 공통 모드에서 NRZ(Non-Return to Zero) 신호인 PAM-8 신호를 생성하고, 상기 PAM-8 신호를 송신하는 송신기; 및

상기 PAM-8 신호를 수신하고, 상기 PAM-8 신호를 디코딩하여 상기 PAM-4 신호 및 상기 NRZ 신호를 각각 획득하는 수신기를 포함하는,

PAM-8 송수신기.

#### 청구항 2

제1항에 있어서,

상기 송신기는:

상기 입력 신호 중 상기 NRZ 신호에 대응되는 1-비트 신호에 따라 어느 하나가 온되는 제1 드라이버 및 제2 드라이버를 포함하는,

PAM-8 송수신기.

#### 청구항 3

제2항에 있어서,

상기 수신기는:

상기 PAM-8 신호의 송신 과정에서 발생한 ISI(Inter-Symbol Interference)를 보상하고, 상기 PAM-8 신호의 전압 영역을 상승시키거나 또는 하강시켜 제1 변환 PAM-8 신호를 생성하는 수동 CTLE;

상기 제1 변환 PAM-8 신호로부터 상기 PAM-4 신호 및 상기 NRZ 신호를 각각 분리하는 능동 CTLE;

상기 PAM-4 신호 및 상기 NRZ 신호를 증폭시키는 버퍼;

상기 PAM-4 신호로부터 2-비트 신호를 디코딩하는 PAM-4 디코더; 및

상기 NRZ 신호로부터 1-비트 신호를 디코딩하는 NRZ 디코더를 포함하는,

PAM-8 송수신기.

#### 청구항 4

제3항에 있어서,

상기 NRZ 디코더는 상기 NRZ 신호를 비교하여 비교 결과를 생성하고, 상기 비교 결과에 따라 상기 1-비트 신호를 디코딩하는,

PAM-8 송수신기.

#### 청구항 5

제3항에 있어서,

상기 PAM-4 디코더는:

상기 PAM-4 신호를 비교하는 제1 비교기;

상기 PAM-4 신호에 기 설정된 오프셋 값이 더해진 신호를 비교하는 제2 비교기;

상기 PAM-4 신호에 상기 기 설정된 오프셋 값이 감해진 신호를 비교하는 제3 비교기; 및

상기 제1 비교기 내지 상기 제3 비교기 각각의 비교 결과로 정의되는 3-비트의 서모미터(thermometer) 코드를 상기 2-비트 신호로 변환하는 이진 디코더를 포함하는,

PAM-8 송수신기.

## 청구항 6

제5항에 있어서,

상기 기 설정된 오프셋 값은 상기 제1 드라이버 및 상기 제2 드라이버 중 어느 하나가 온됨에 따라 공통 모드 전압이 변경되더라도 기 설정된 범위 내에서 유지되는,

PAM-8 송수신기.

## 청구항 7

제2항에 있어서,

상기 제1 드라이버는:

상기 입력 신호 중 상기 PAM-4 신호에 대응되는 2-비트 신호가 게이트에 인가되는 한 쌍의 제1-1 트랜지스터 및 한 쌍의 제1-2 트랜지스터;

상기 한 쌍의 제1-1 트랜지스터 및 상기 한 쌍의 제1-2 트랜지스터의 일 단에 연결되어 전류를 공급하는 전류공급단;

상기 한 쌍의 제1-1 트랜지스터 및 상기 한 쌍의 제1-2 트랜지스터의 타 단에 연결되는 종단저항; 및

상기 한 쌍의 제1-1 트랜지스터 및 상기 한 쌍의 제1-2 트랜지스터의 타 단과 상기 종단저항 사이에 연결되어 상기 NRZ 신호에 따라 온오프되는 스위치를 포함하는,

PAM-8 송수신기.

## 청구항 8

제7항에 있어서,

상기 제2 드라이버는 상기 한 쌍의 제1-2 트랜지스터의 타 단을 기준으로 상기 제1 드라이버와 대칭적 구조를 가지는,

PAM-8 송수신기.

## 청구항 9

제5항에 있어서,

상기 제1 비교기 내지 상기 제3 비교기 각각은:

공통 노드에 연결되고, 클락(clock) 신호에 따라 동작하는 제2-1 트랜지스터;

상기 공통 노드 및 한 쌍의 프리차지 노드 사이에 연결되고, 게이트에 상기 PAM-4 신호가 인가되는 한 쌍의 제 2-2 트랜지스터;

상기 한 쌍의 프리차지 노드 및 한 쌍의 출력 노드에 연결되고, 상기 클락 신호에 따라 프리차지 동작 및 증폭 동작을 수행하는 한 쌍의 브랜치 회로; 및

상기 한 쌍의 브랜치 회로에 연결되고, 클락 신호에 따라 가변 전류를 공급하는 전류 공급부를 포함하는, PAM-8 송수신기.

## 청구항 10

PAM(Pulse Amplitude Modulation)-8 송수신기에 의해 수행되는 PAM-8 신호 송수신 방법으로서,

입력 신호로부터 차동 모드에서 PAM-4 신호이고, 공통 모드에서 NRZ(Non-Return to Zero) 신호인 PAM-8 신호를 생성하고, 상기 PAM-8 신호를 송신하는 단계; 및

상기 PAM-8 신호를 수신하고, 상기 PAM-8 신호를 디코딩하여 상기 PAM-4 신호 및 상기 NRZ 신호를 각각 획득하는 단계를 포함하는,

PAM-8 송수신 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 차동 모드 PAM-4와 공통 모드 NRZ를 이용한 PAM-8 송수신기 및 송수신 방법에 관한 것이다.

### 배경 기술

[0002] PAM(Pulse Amplitude Modulation) 신호법과 NRZ(Non-Return to Zero) 신호법은 1 UI(unit interval) 동안 일정 크기의 비트를 전송하는 신호법이다. 예를 들어, PAM-8은 3-비트, PAM-4는 2-비트, NRZ는 1-비트를 1 UI 동안 전송할 수 있다.

[0003] PAM-4 신호법을 예로 들면, PAM-4 신호는 총 4개의 전압 레벨을 갖는다. 도 1a 및 도 1b는 각각 NMOS와 PMOS 타입의 PAM-4 CML(current mode logic)을 나타낸다. 도 1a 도 1b와 같이, PAM-4는 입력 신호를 11, 10, 01, 00의 디지털 값으로 매칭한다.

[0004] NMOS 타입의 PAM-4 CML의 경우, 입력( $A_p$ ,  $B_p$ )에 따라 드라이버의 출력( $TX_p$ ,  $TX_n$ )은 공통 모드 전압( $V_{CMN}$ )을 기준으로 각각 다른 전압 레벨을 가진다. 예를 들어, 입력이 각각 1과 0일 경우 출력은 각각 10과 01의 전압을 가질 수 있다. 예를 들어, 입력이 각각 0과 0일 경우 출력은 각각 00과 11의 전압을 가질 수 있다. 도 1a의 11부터 00까지의 전압 차이는 전류원에 의해 결정되며, 2개의 전류원의 합은 같다. 차동 모드( $TX_p$ ,  $-TX_n$ )에서는 단일 신호( $TX_p$ ,  $TX_n$ )에 비해 2배 큰 전압 차이를 가진다. 공통 모드( $(TX_p+TX_n)/2$ )에서는 항상 공통 모드 전압( $V_{CMN}$ )의 전압을 가진다.

[0005] PMOS 타입의 PAM-4 CML 드라이버는 공통 전압( $V_{CMP}$ )이 도 1a의 공통 전압( $V_{CMN}$ )과 다르지만, 이외의 특성은 도 1b와 동일하다.

[0006] 도 2는 PAM-4 신호를 2-비트로 분해하는 방법을 나타낸 것이다. 도 2를 참조하면, 가장 높은 전압 레벨부터 가장 낮은 전압 레벨까지 11부터 00으로 매칭했을 때, 가장 높은 전압 레벨이 수신기에 전달되면 수신기는 한 번의 샘플링을 통해 11의 디지털 값을 생성해야 한다. PAM-4 신호를 받은 수신기는 한 번의 샘플링을 통해 2-비트를 복원하기 위해 기존에는 2개의 문턱 전압을 활용하여 데이터를 복원한다. 이때, 두 개의 문턱 전압은 반드시 PAM-4 신호에서 가장 높은 전압과 그 다음 높은 전압 사이( $V_{th,H}$ )와 가장 낮은 전압과 그 다음 낮은 전압 사이( $V_L$ )에 위치시켜야 한다. 이러한 문턱 전압 생성은 PAM-4의 아이 다이어그램에서 상단 아이(eye)와 하단 아이의 중앙에 위치시켜야 하므로 높은 정확도를 요구한다.

- [0007] 또한, 한 번의 샘플링으로 2-비트를 복원하려면 PAM-4 수신기는 2개의 문턱 전압 이외에도 3개의 비교기를 사용한다. 3개의 비교기는 차동 PAM-4 신호끼리 비교하는 비교기 1개, PAM-4 신호와 문턱 전압을 비교하는 비교기 2개로 구성된다. 3개의 비교기에서는 4개의 전압 레벨에 따라 각기 다른 3-비트 출력값을 생성한다. 3개의 비교기에서 출력된 코드는 서모미터(thermometer) 타입의 코드이므로 3-비트의 서모미터 코드를 2-비트의 이진(binary) 코드로 바꿔주는 추가적인 디코더를 통해 최종 2-비트를 생성할 수 있다.
- [0008] PAM-4 신호로부터 2-비트를 생성할 때, 그 중 1-비트(Most Significant Bit, MSB)는 차동 PAM-4 신호끼리 비교하는 비교기 출력으로 생성 가능하다. PAM-4 신호로부터 2-비트를 생성할 때, 나머지 1-비트(Least Significant Bit, LSB)는 3개의 비교기 출력을 모두 사용해야만 올바른 데이터를 복원할 수 있다.
- [0009] 차동 PAM-4 신호만을 비교하는 비교기의 최악의 경우(worst case) 전압 마진은 전체 신호 크기의 1/3을 가진다. 반대로 PAM-4 신호와 문턱 전압을 비교하는 비교기는 차동 PAM-4 신호만을 비교하는 비교기에 비해 최악의 경우 전압 마진이 반으로 감소한다.
- [0010] LSB를 복원하기 위해 PAM-4 신호의 최악의 경우의 전압 마진은 전체 신호의 1/6을 가진다. 문턱 전압이 PAM-4 신호의 상단 아이와 하단 아이의 중앙에 위치하지 않으면 비교기의 최악의 경우의 전압 마진은 더 낮아진다는 문제가 있다.

## 선행기술문헌

### 특허문헌

- [0011] (특허문헌 0001) 대한민국 등록특허 제10-1872310호  
(특허문헌 0002) 대한민국 등록특허 제10-0313677호

## 발명의 내용

### 해결하려는 과제

- [0012] 본 발명의 다양한 실시예들은 차동 모드일 때는 2-비트의 PAM-4 신호를 송수신하고 공통 모드일 때는 1-비트의 NRZ 신호를 동시에 송수신 가능한 차동 모드 PAM-4와 공통 모드 NRZ를 이용한 PAM-8 송수신기 및 송수신 방법을 제공하는데 목적이 있다.
- [0013] 본 발명의 다양한 실시예들에서 이루고자 하는 기술적 과제들은 이상에서 언급한 사항들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 이하 설명할 본 발명의 다양한 실시예들로부터 당해 기술분야에서 통상의 지식을 가진 자에 의해 고려될 수 있다.

### 과제의 해결 수단

- [0014] 본 발명의 일 실시예로, PAM(Pulse Amplitude Modulation)-8 송수신기에 있어서, 입력 신호로부터 차동 모드에서 PAM-4 신호이고, 공통 모드에서 NRZ(Non-Return to Zero) 신호인 PAM-8 신호를 생성하고, 상기 PAM-8 신호를 송신하는 송신기; 및 상기 PAM-8 신호를 수신하고, 상기 PAM-8 신호를 디코딩하여 상기 PAM-4 신호 및 상기 NRZ 신호를 각각 획득하는 수신기를 포함하는, PAM-8 송수신기이다.
- [0015] 예를 들어, 상기 송신기는: 상기 입력 신호 중 상기 NRZ 신호에 대응되는 1-비트 신호에 따라 어느 하나가 온되는 제1 드라이버 및 제2 드라이버를 포함할 수 있다.
- [0016] 예를 들어, 상기 수신기는: 상기 PAM-8 신호의 송신 과정에서 발생한 ISI(Inter-Symbol Interference)를 보상하고, 상기 PAM-8 신호의 전압 영역을 상승시키거나 또는 하강시켜 제1 변환 PAM-8 신호를 생성하는 수동 CTLE; 상기 제1 변환 PAM-8 신호로부터 상기 PAM-4 신호 및 상기 NRZ 신호를 각각 분리하는 능동 CTLE; 상기 PAM-4 신호 및 상기 NRZ 신호를 증폭시키는 버퍼; 상기 PAM-4 신호로부터 2-비트 신호를 디코딩하는 PAM-4 디코더; 및 상기 NRZ 신호로부터 1-비트 신호를 디코딩하는 NRZ 디코더를 포함할 수 있다.
- [0017] 예를 들어, 상기 NRZ 디코더는 상기 NRZ 신호를 비교하여 비교 결과를 생성하고, 상기 비교 결과에 따라 상기 1-비트 신호를 디코딩할 수 있다.

- [0018] 예를 들어, 상기 PAM-4 디코더는: 상기 PAM-4 신호를 비교하는 제1 비교기; 상기 PAM-4 신호에 기 설정된 오프셋 값이 더해진 신호를 비교하는 제2 비교기; 상기 PAM-4 신호에 상기 기 설정된 오프셋 값이 감해진 신호를 비교하는 제3 비교기; 및 상기 제1 비교기 내지 상기 제3 비교기 각각의 비교 결과로 정의되는 3-비트의 서모미터(thermometer) 코드를 상기 2-비트 신호로 변환하는 이진 디코더를 포함할 수 있다.
- [0019] 예를 들어, 상기 기 설정된 오프셋 값은 상기 제1 드라이버 및 상기 제2 드라이버 중 어느 하나가 온됨에 따라 공통 모드 전압이 변경되더라도 기 설정된 범위 내에서 유지될 수 있다.
- [0020] 예를 들어, 상기 제1 드라이버는: 상기 입력 신호 중 상기 PAM-4 신호에 대응되는 2-비트 신호가 게이트에 인가되는 한 쌍의 제1-1 트랜지스터 및 한 쌍의 제1-2 트랜지스터; 상기 한 쌍의 제1-1 트랜지스터 및 상기 한 쌍의 제1-2 트랜지스터의 일 단에 연결되어 전류를 공급하는 전류공급단; 상기 한 쌍의 제1-1 트랜지스터 및 상기 한 쌍의 제1-2 트랜지스터의 타 단에 연결되는 종단저항; 및 상기 한 쌍의 제1-1 트랜지스터 및 상기 한 쌍의 제1-2 트랜지스터의 타 단과 상기 종단저항 사이에 연결되어 상기 NRZ 신호에 따라 온오프되는 스위치를 포함할 수 있다.
- [0021] 예를 들어, 상기 제2 드라이버는 상기 한 쌍의 제1-2 트랜지스터의 타 단을 기준으로 상기 제1 드라이버와 대칭적 구조를 가질 수 있다.
- [0022] 예를 들어, 상기 제1 비교기 내지 상기 제3 비교기 각각은: 공통 노드에 연결되고, 클락(clock) 신호에 따라 동작하는 제2-1 트랜지스터; 상기 공통 노드 및 한 쌍의 프리차지 노드 사이에 연결되고, 게이트에 상기 PAM-4 신호가 인가되는 한 쌍의 제2-2 트랜지스터; 상기 한 쌍의 프리차지 노드 및 한 쌍의 출력 노드에 연결되고, 상기 클락 신호에 따라 프리차지 동작 및 증폭 동작을 수행하는 한 쌍의 브랜치 회로; 및 상기 한 쌍의 브랜치 회로에 연결되고, 클락 신호에 따라 가변 전류를 공급하는 전류 공급부를 포함할 수 있다.
- [0023] 본 발명의 다른 일 실시예로, PAM(Pulse Amplitude Modulation)-8 송수신기에 의해 수행되는 PAM-8 신호 송수신 방법으로서, 입력 신호로부터 차동 모드에서 PAM-4 신호이고, 공통 모드에서 NRZ(Non-Return to Zero) 신호인 PAM-8 신호를 생성하고, 상기 PAM-8 신호를 송신하는 단계; 및 상기 PAM-8 신호를 수신하고, 상기 PAM-8 신호를 디코딩하여 상기 PAM-4 신호 및 상기 NRZ 신호를 각각 획득하는 단계를 포함하는, PAM-8 송수신 방법이다.
- [0024] 상술한 본 발명의 다양한 실시예들은 본 발명의 바람직한 예들 중 일부에 불과하며, 본 발명의 다양한 실시예들의 기술적 특징들이 반영된 여러 가지 예들이 당해 기술분야의 통상적인 지식을 가진 자에 의해 이하 상술할 상세한 설명을 기반으로 도출되고 이해될 수 있다.

### 발명의 효과

- [0025] 본 발명의 다양한 실시예들에 따르면 다음과 같은 효과가 있다.
- [0026] 본 발명의 다양한 실시예들에 따르면, 차동 모드일 때는 2-비트의 PAM-4 신호를 송수신하고 공통 모드일 때는 1-비트의 NRZ 신호를 동시에 송수신 가능하여 기존의 PAM-4 송수신기 대비 50[%]의 비트 전송 효율성을 높일 수 있다. 또한, 기존의 PAM-8 송수신기와 달리 차동 모드와 공통 모드 각각에서 PAM-4 신호와 NRZ 신호를 발생시키므로 최악의 경우에서 보다 높은 전압 마진을 가질 수 있다.
- [0027] 또한, 3-비트의 PAM-8 신호를 디코딩할 때 비교기의 개수와 필요한 문턱 전압을 축소시킬 수 있다.
- [0028] 또한, 비교기 입력의 공통 모드 전압이 바뀌더라도 비교기 입력에 적용되는 오프셋 값이 일정하게 유지될 수 있으므로 최악의 경우에서 전압 마진이 증가될 수 있다.

### 도면의 간단한 설명

- [0029] 이하에 첨부되는 도면들은 본 발명의 다양한 실시예들에 관한 이해를 돕기 위한 것으로, 상세한 설명과 함께 본 발명의 다양한 실시예들을 제공한다. 다만, 본 발명의 다양한 실시예들의 기술적 특징이 특정 도면에 한정되는 것은 아니며, 각 도면에서 발명하는 특징들은 서로 조합되어 새로운 실시예로 구성될 수 있다. 각 도면에서의 참조 번호(reference numerals)들은 구조적 구성요소(structural elements)를 의미한다.

도 1a 및 도 1b는 각각 NMOS와 PMOS 타입의 PAM-4 CML(current mode logic)을 나타낸 도면이다.

도 2는 PAM-4 신호를 2-비트로 분해하는 방법을 나타낸 도면이다.

도 3은 본 발명의 일 실시예에 따른 PAM-8 송수신기의 블록 다이어그램이다.

도 4는 본 발명의 일 실시예에 따른 PAM-8 드라이버의 회로도이다.

도 5는 도 4의 PAM-8 드라이버의 출력을 설명하기 위한 것이다.

도 6은 도 4의 PAM-8 드라이버의 시뮬레이션 결과를 도시한 것이다.

도 7은 본 발명의 일 실시예에 따른 수신기의 블록 다이어그램이다.

도 8은 수동 CTLE의 전압 영역 변화 동작을 설명하기 위한 것이다.

도 9a 및 도 9b는 본 발명의 일 실시예에 따른 디코더의 회로도이다.

도 10은 본 발명의 일 실시예에 따른 비교기의 회로도이다.

도 11은 공통 모드 전압에 따른 오프셋 값의 시뮬레이션 그래프를 도시한 것이다.

도 12는 본 발명의 일 실시예에 따른 PAM-8 신호 송수신 방법의 흐름도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 본 발명에 따른 구현들을 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면과 함께 이하에 발명될 상세한 설명은 본 발명의 예시적인 구현을 설명하고자 하는 것이며, 본 발명이 실시될 수 있는 유일한 구현 형태를 나타내고자 하는 것이 아니다. 이하의 상세한 설명은 본 발명의 완전한 이해를 제공하기 위해서 구체적 세부사항을 포함한다. 그러나 당업자는 본 발명이 이러한 구체적 세부사항 없이도 실시될 수 있음을 안다.
- [0031] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0032] 본 발명의 다양한 실시예에서, “/” 및 “,” 는 “및/또는”을 나타내는 것으로 해석되어야 한다. 예를 들어, “A/B”는 “A 및/또는 B”를 의미할 수 있다. 나아가, “A, B”는 “A 및/또는 B”를 의미할 수 있다. 나아가, “A/B/C”는 “A, B 및/또는 C 중 적어도 어느 하나”를 의미할 수 있다. 나아가, “A, B, C”는 “A, B 및/또는 C 중 적어도 어느 하나”를 의미할 수 있다.
- [0033] 도 3은 본 발명의 일 실시예에 따른 PAM-8 송수신기의 블록 다이어그램이다.
- [0034] 도 3을 참조하면, PAM(Pulse Amplitude Modulation)-8 송수신기(10)는 송신기(10) 및 수신기(20)를 포함한다.
- [0035] 송신기(10)는 입력 신호(A, B, NRZ)로부터 차동 모드에서 PAM-4 신호이고, 공통 모드에서 NRZ(Non-Return to Zero) 신호인 PAM-8 신호를 생성하고, 생성한 PAM-8 신호를 수신기(20)에 송신한다. 입력 신호는 PAM-4 신호에 대응되는 2-비트 신호(A, B)와 NRZ 신호에 대응되는 1-비트 신호(NRZ)를 포함하며, 입력 신호에 기초하여 생성된 PAM-8 신호는 8 레벨을 갖는 신호이다.
- [0036] 송신기(10)는 입력 신호로부터 PAM-8 신호를 생성 및 송신하기 위한 PAM-8 드라이버(100)를 포함한다. 송신기(10)는 PAM-8 드라이버(100)를 통해 생성한 PAM-8 신호를 수신기(20)와 연결된 채널(CH)을 통해 수신기(20)에 송신한다. PAM-8의 구체적인 회로도 및 동작에 대한 상세한 설명은 후술한다.
- [0037] 수신기(20)는 송신기(10)로부터 채널(CH)을 통해 전송된 PAM-8 신호를 수신하고, PAM-8 수신 모듈(200)을 통해 PAM-8 신호를 디코딩하여 PAM-4 신호 및 NRZ 신호를 각각 획득한다. 수신기(20) 및 PAM-8 수신 모듈(200)의 구체적인 회로도 및 동작에 대한 상세한 설명은 후술한다.
- [0038] 도 4는 본 발명의 일 실시예에 따른 PAM-8 드라이버의 회로도이다.
- [0039] 도 4를 참조하면, PAM-8 드라이버(100)는 입력 신호 중 NRZ 신호에 대응되는 1-비트 신호에 따라 하나가 온되는 제1 드라이버(110) 및 제2 드라이버(120)를 포함한다. 제1 드라이버(110) 및 제2 드라이버(120) 각각은 PAM-4 신호를 생성하므로, PAM-4 드라이버로도 칭해질 수 있다. 제1 드라이버(110) 및 제2 드라이버(120)는 특정 기준점을 기준으로 서로 대칭적 구조를 가질 수 있다. 여기서, 대칭적 구조라 함은 제1 드라이버(110) 및 제2 드라이버(120)가 공통적으로 갖는 특정 기준점을 기준으로 각 드라이버에 포함된 회로 소자들이 대칭적으로 위치됨을 의미한다. 대칭적 구조를 가짐에 따라, 어느 하나의 드라이버에 포함된 트랜지스터가 PMOS인 경우 나머지 하

나의 드라이버에 포함된 트랜지스터는 NMOS일 수 있다.

- [0040] 제1 드라이버(110) 및 제2 드라이버(120)가 서로 대칭적 구조를 가지므로, 이하에서는 제1 드라이버(110)를 기준으로 구체적인 회로 및 동작에 대하여 설명한다.
- [0041] 제1 드라이버(110)는 입력 신호 중 PAM-4 신호에 대응되는 2-비트 신호가 게이트에 인가되는 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>) 및 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)를 포함한다. 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>) 및 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)는 PMOS 또는 NMOS일 수 있으나, 편의상 도 4에서는 PMOS인 것으로 도시되었다.
- [0042] 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>) 및 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)의 일 단에는 전류공급단(111)이 연결된다. 예를 들어, 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>) 및 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)가 도시된 바와 같이 PMOS인 경우, 전류공급단(111)은 PMOS의 소스에 연결될 수 있다.
- [0043] 전류공급단(111)은 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>) 및 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)에 전류를 공급한다. 전류공급단(111)은 두 개의 전류원을 포함할 수 있고, 이 중 하나의 전류원은 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>)에 전류를 공급하고, 나머지 하나는 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)에 전류를 공급할 수 있다. 하나의 전류원의 전류 크기는  $2I_{BP}$ 이고, 나머지 하나의 전류원의 전류 크기는  $I_{BP}$ 일 수 있다. 이에 따라, 하나의 드라이버의 출력 신호가 나타내는 출력 범위의 크기는  $3I_{BP}$ 에 후술할 종단저항 값( $R_T$ )을 곱한 값일 수 있다.
- [0044] 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>) 및 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)의 타 단에는 종단저항(112)이 연결될 수 있다. 예를 들어, PMOS의 경우 종단저항(112)은 드레인에 연결될 수 있다. 종단저항(112)은 후술할 스위치(113)와 함께 두 개의 드라이버의 온오프를 제어하는데 관여할 수 있다.
- [0045] 한 쌍의 제1-1 트랜지스터(TR<sub>1-1</sub>) 및 한 쌍의 제1-2 트랜지스터(TR<sub>1-2</sub>)의 타 단과 종단저항(112) 사이에는 NRZ 신호에 따라 온오프되는 스위치(113)가 포함된다. 스위치(113)는 입력 신호 중 NRZ 신호에 대응되는 1-비트의 신호에 따라 온오프되는데, 제1 드라이버(110) 및 제2 드라이버(120) 중 어느 하나만 온되고 나머지 하나는 오프되도록 동작할 수 있다. 다시 말해서, 1-비트의 신호에 따라 사용되는 PAM-4 드라이버가 결정되는 것이다. 예를 들어, 1-비트의 신호가 1의 값을 가질 때는 NMOS 타입의 드라이버만 사용되고, 0의 값을 가질 때는 PMOS 타입의 드라이버만 사용될 수 있다.
- [0046] 또는, 본 발명의 일 실시예에 따르면 스위치(113)는 도시된 위치에 구비되는 것뿐만 아니라, NRZ 신호에 따라 두 개의 드라이버 중 어느 하나를 선택하도록 동작할 수 있는 다양한 위치에 구비될 수 있으므로 도시된 바에 제한되는 것은 아니다.
- [0047] 도 5는 도 4의 PAM-8 드라이버의 출력을 설명하기 위한 것이고, 도 6은 도 4의 PAM-8 드라이버의 시뮬레이션 결과를 도시한 것이다.
- [0048] 도 5를 참조하면, 도 4의 PAM-8 드라이버(100)의 출력( $TX_P$ ,  $TX_N$ )은 제1 드라이버(110) 및 제2 드라이버(120) 중 어느 하나가 선택되는지에 따라 서로 다른 출력 범위를 가질 수 있으며, 이에 따라 각 출력 범위에 따른 공통 모드 전압 또한  $VCM_N$  또는  $VCM_P$ 로 변할 수 있다. 예를 들어, 도시된 바와 같이 NRZ 신호에 대응되는 1-비트의 신호가 1일 경우 공통 모드 전압은  $VCM_N$ 이고, 0일 경우 공통 모드 전압은  $VCM_P$ 이다.
- [0049] 다만, 도 6과 같이 차동 모드( $TX_P - TX_N$ )의 관점에서는 1-비트의 NRZ 신호는 아무런 영향을 주지 않으므로 PAM-8 드라이버(100)의 제1 드라이버(110) 및 제2 드라이버(120)는 NRZ와 관계없는 신호를 생성할 수 있다. 따라서, 본 발명의 PAM-8 드라이버(100) 각각의 출력은 8개의 전압 레벨(PAM-8)을 가지나, 차동 모드에서는 4개의 전압 레벨(PAM-4)을 가지고, 공통 모드에서는 2개의 전압 레벨(NRZ)을 가지는 신호로 보일 수 있다.
- [0050] 도 7은 본 발명의 일 실시예에 따른 수신기의 블록 다이어그램이다.
- [0051] 도 7을 참조하면, 수신기(20)는 수동 CTLE(210), 능동 CTLE(220), 버퍼(230) 및 디코더(240)를 포함한다.
- [0052] 수동 CTLE(210), 능동 CTLE(220), 버퍼(230) 및 디코더(240)는 각각의 입력단과 출력단이 순차적으로 연결된다.
- [0053] 수동 CTLE(210)는 송신기(10)로부터 채널(CH)을 통해 전송된 PAM-8 신호인 수신 신호( $RX_P$ ,  $RX_N$ )를 수신하고, 간섭 보상 및 전압 영역 변화 동작을 수행한다. 구체적으로, 수동 CTLE(210)는 PAM-8 신호의 송신 과정에서 발생한 ISI(Inter-Symbol Interference)를 이퀄라이제이션(equalization)을 통해 보상할 수 있다.
- [0054] 또한, 수동 CTLE(210)는 PAM-8 신호의 전압 영역을 VDD 쪽으로 상승시키거나 또는 VSS 쪽으로 하강시켜 전압 영

역을 변화시킬 수 있다.

- [0055] 도 8은 수동 CTLE의 전압 영역 변화 동작을 설명하기 위한 것이다.
- [0056] 도 8과 같이, 수동 CTLE(210)는 수신 신호(RX input)의 전압 영역을 선형적으로 상승시킬 수 있으며, 또는 도시된 바와 달리 수신 신호의 전압 영역을 하강시킬 수도 있다. 이때, 변화된 전압 영역을 갖는 제1 변환 PAM-8 신호의 출력 범위의 크기( $1.5I_{\text{BI}} \cdot R$  또는  $1.5I_{\text{BP}} \cdot R$ )는 그대로 유지될 수 있다.
- [0057] 상술한 바와 같이 본 발명은 수동 CTLE(210)에 기초하여 수신 신호의 전압 영역을 변화시킴으로써 수동 CTLE(210)와 연결된 능동 CTLE(220)의 입력 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)을 NMOS만으로 구성시킬 수 있다. 만약, 전압 영역의 변화 없이 수동 CTLE(210)를 생략하고 능동 CTLE(220)를 사용할 경우 PMOS와 NMOS를 동시에 입력으로 사용하는 보상적(complementary) 타입의 회로가 구현되어야 한다. 그러나, 1-비트의 NRZ 신호에 따라 켜지는 CTLE의 입력(PMOS 또는 NMOS)이 달라지게 되는데, 어떤 타입의 MOSFET이 켜지더라도 CTLE의 선형성을 유지하면서도 출력과 같은 이득을 갖게 하는 것은 구현 상 어려움이 많다. 이에 따라, 본 발명은 수동 CTLE(210)를 통해 수신 신호의 전압 영역을 변화시켜 보상적 타입의 회로의 구현 없이도 동작할 수 있다는 이점이 있다.
- [0058] 다시 도 7로 돌아와서, 능동 CTLE(220)는 제1 변환 PAM-8 신호로부터 PAM-4 신호 및 NRZ 신호를 각각 분리한다. 또한, 능동 CTLE(220)는 수동 CTLE(210)에서 보상되지 못한 ISI를 보상할 수도 있다.
- [0059] 버퍼(230)는 PAM-4 신호 및 NRZ 신호를 증폭시킨다. 버퍼(230)는 각각의 신호를 증폭시키기 위하여 PAM-4 버퍼(232) 및 NRZ 버퍼(231)를 포함할 수 있다.
- [0060] 디코더(240)는 버퍼(230)로부터 증폭된 각각의 신호를 디코딩하여 3-비트의 디지털 신호를 복원한다. 구체적으로, 디코더(240)는 PAM-4 신호로부터 2-비트 신호를 디코딩하고, NRZ 신호로부터 1-비트 신호를 디코딩한다.
- [0061] 도 9a 및 도 9b는 본 발명의 일 실시예에 따른 디코더의 회로도이다.
- [0062] 도 9a 및 도 9b를 참조하면, 디코더(240)는 NRZ 신호로부터 1-비트 신호를 디코딩하는 NRZ 디코더(250) 및 PAM-4 신호로부터 2-비트 신호를 디코딩하는 PAM-4 디코더(260)를 포함한다.
- [0063] NRZ 디코더(250)는 NRZ 버퍼(231)로부터 증폭된 NRZ 신호를 수신하고, 비교기(251)를 통해 입력된 NRZ 신호를 서로 비교하여 비교 결과를 생성하고, 비교 결과를 SR 래치(252)를 통해 1-비트의 디지털 신호로 디코딩한다.
- [0064] PAM-4 디코더(260)는 NRZ 디코더(250)와 달리 2-비트의 PAM-4 신호를 디코딩하여야 하므로, 3개의 비교기를 포함한다. 구체적으로, PAM-4 디코더(260)는 제1 비교기 내지 제3 비교기(270a, 270b, 270c) 및 이진 디코더(290)를 포함한다.
- [0065] 제1 비교기(270a)는 PAM-4 신호를 비교하여 비교 결과를 생성하고, 비교 결과는 SR 래치(280a)를 통해 디지털 값으로 디코딩되어 이진 디코더(290)에 전달된다.
- [0066] 제2 비교기(270b)는 PAM-4 신호에 기 설정된 오프셋 값이 더해진 신호를 비교하여 비교 결과를 생성하고, 비교 결과는 SR 래치(280b)를 통해 디지털 값으로 디코딩되어 이진 디코더(290)에 전달된다. 구체적으로, 제2 비교기(270b)의 입력은 차동 PAM-4 신호이며, 제2 비교기(270b)는 차동 PAM-4 신호 중 하나를 기 설정된 오프셋 값이 더해진 신호로 인식하여 나머지 하나와 비교하게 된다.
- [0067] 제3 비교기(270c)는 PAM-4 신호에 기 설정된 오프셋 값이 감해진 신호를 비교하여 비교 결과를 생성하고, 비교 결과는 SR 래치(280c)를 통해 디지털 값으로 디코딩되어 이진 디코더(290)에 전달된다. 구체적으로, 제3 비교기(270c)의 입력도 마찬가지로 차동 PAM-4 신호이며, 제3 비교기(270c)는 차동 PAM-4 신호 중 하나를 기 설정된 오프셋 값이 감해진 신호로 인식하여 나머지 하나와 비교하게 된다.
- [0068] 상술한 제1 비교기 내지 제3 비교기(270a, 270b, 270c)에 따르면, PAM-4 신호로부터 2-비트의 신호 중 특히 LSB(Least Significant Bit)를 디코딩할 때 문턱 전압을 이용하지 않고 차동 신호에 오프셋 값이 적용된 신호를 비교함으로써 전압 마진을 감소시키지 않을 수 있다는 이점이 있다. 다만, 차동 신호에 오프셋 값을 적용하여 비교하는 디코딩 방식의 경우 오프셋 값이 유지될 필요성이 있으나 입력 신호의 공통 모드 전압이 변경되는 상황일 경우 설정한 오프셋 값이 변동되는 문제가 발생할 수 있다.
- [0069] 본 발명의 경우, 상술한 바와 같이 제1 드라이버(110) 및 제2 드라이버(120) 중 어떠한 드라이버가 선택되는지 여부에 따라 공통 모드 전압이 변경되는데, 이 경우 PAM-4 신호는 공통 모드 전압인 NRZ에 의해 지속적으로 변

동되므로 그에 따라 오프셋이 변경될 수 있다. 따라서, 본 발명의 일 실시예에 따르면 상술한 제1 비교기 내지 제3 비교기(270a, 270b, 270c)는 입력 신호에 적용되는 기 설정된 오프셋 값이 제1 드라이버(110) 및 제2 드라이버(120) 중 어느 하나가 온됨에 따라 공통 모드 전압이 변경되더라도 기 설정된 범위 내에서 유지되도록 설계될 수 있다.

[0070] 도 10은 본 발명의 일 실시예에 따른 비교기의 회로도이다.

[0071] 제1 비교기 내지 제3 비교기(270a, 270b, 270c) 각각은 도 10과 같이 동일한 구조를 가질 수 있다.

[0072] 각 비교기는 공통 노드에 연결되고, 클락(clock) 신호에 따라 동작하는 제2-1 트랜지스터(TR<sub>2-1</sub>)를 포함한다.

[0073] 공통 노드(COMMON)에는 한 쌍의 제2-2 트랜지스터(TR<sub>2-2</sub>)가 연결된다. 구체적으로, 한 쌍의 제2-2 트랜지스터(TR<sub>2-2</sub>)는 공통 노드(COMMON) 및 한 쌍의 프리차지 노드(PRE<sub>p</sub>, PRE<sub>n</sub>) 사이에 연결되고, 게이트에 PAM-4 신호가 인가되어 PAM-4 신호에 따라 온오프된다.

[0074] 한 쌍의 프리차지 노드(PRE<sub>p</sub>, PRE<sub>n</sub>)에는 한 쌍의 브랜치 회로(271)가 연결된다. 구체적으로, 한 쌍의 브랜치 회로(271)는 한 쌍의 프리차지 노드(PRE<sub>p</sub>, PRE<sub>n</sub>) 및 한 쌍의 출력 노드(OUT<sub>n</sub>, OUT<sub>p</sub>)에 연결되고, 클락 신호에 따라 프리차지 동작 및 증폭 동작을 수행한다.

[0075] 한 쌍의 브랜치 회로(271)는 동작 전압단 및 클락 신호에 연결되는 복수의 트랜지스터들을 포함하고, 복수의 트랜지스터들은 클락 신호에 따라 프리차지 노드(PRE<sub>p</sub>, PRE<sub>n</sub>)에 전압을 충전한다. 예를 들어, 프리차지 노드(PRE<sub>p</sub>, PRE<sub>n</sub>)는 클락 신호가 0일 때 특정 충전 전압으로 프리차지될 수 있다.

[0076] 한 쌍의 브랜치 회로(271)는 클락 신호가 0에서 1로 전환되면, 한 쌍의 출력 노드(OUT<sub>n</sub>, OUT<sub>p</sub>)에 출력되는 출력 신호를 증폭하는 증폭 동작을 수행한다. 증폭 단계, 즉 클락 신호가 1로 유지될 동안 프리차지 노드(PRE<sub>p</sub>, PRE<sub>n</sub>)로부터 제2 트랜지스터를 흐르는 전류가 증폭된다.

[0077] 한 쌍의 브랜치 회로(271)에는 전류 공급부(272a, 272b)가 연결된다. 전류 공급부(272a, 272b)는 클락 신호에 따라 가변 전류를 공급한다. 특히, 전류 공급부(272a, 272b)는 하나의 전류 공급부(272a, 272b)에 포함된 전류원의 전류 크기를 증가시키는 것에 기초하여 기 설정된 오프셋 값이 공통 모드 전압에 둔감해질 수 있다.

[0078] 도 11은 공통 모드 전압에 따른 오프셋 값의 시뮬레이션 그래프를 도시한 것이다.

[0079] 도 11을 참조하면, 공통 모드 전압(VCM)의 값이 변하더라도 전류 공급부(272a, 272b)에 포함된 전류원의 전류 크기(I<sub>BIAS</sub>)를 점차 증가시킴으로써 오프셋 값이 기 설정된 범위 내에서 유지되도록 설계될 수 있으며, 전류 크기가 점차 커져 감에 따라 거의 차이가 없는 것을 확인할 수 있다. 이에 따라, 드라이버의 선택에 따라 공통 모드 전압이 바뀌더라도 오프셋 값이 일정해질 수 있으며 PAM-4 신호로부터 LSB를 복원 시 최악의 경우의 전압 마진을 증가시킬 수 있다.

[0080] 각 비교기는 최종적으로 출력 노드를 통해 비교 결과를 이진 디코더(290)에 전달한다.

[0081] 다시 도 9로 돌아와서, 이진 디코더(290)는 제1 비교기 내지 제3 비교기(270a, 270b, 270c) 각각의 비교 결과로 정의되는 3-비트의 서모미터(thermometer) 코드를 2-비트 신호로 변환한다. 따라서, 이진 디코더(290)는 최종적으로 PAM-4 신호의 2-비트의 디지털 신호를 복원할 수 있다.

[0082] 상술한 본 발명의 다양한 실시예들에 따르면, 차동 모드일 때는 2-비트의 PAM-4 신호를 송수신하고 공통 모드일 때는 1-비트의 NRZ 신호를 동시에 송수신 가능하여 기존의 PAM-4 송수신기(20) 대비 50[%]의 비트 전송 효율성을 높일 수 있다. 또한, 기존의 PAM-8 송수신기(1)와 달리 차동 모드와 공통 모드 각각에서 PAM-4 신호와 NRZ 신호를 발생시키므로 최악의 경우에서 보다 높은 전압 마진을 가질 수 있다. 또한, 3-비트의 PAM-8 신호를 디코딩할 때 비교기의 개수와 필요한 문턱 전압을 축소시킬 수 있다. 또한, 비교기 입력의 공통 모드 전압이 바뀌더라도 비교기 입력에 적용되는 오프셋 값이 일정하게 유지될 수 있으므로 최악의 경우에서 전압 마진이 증가될 수 있다.

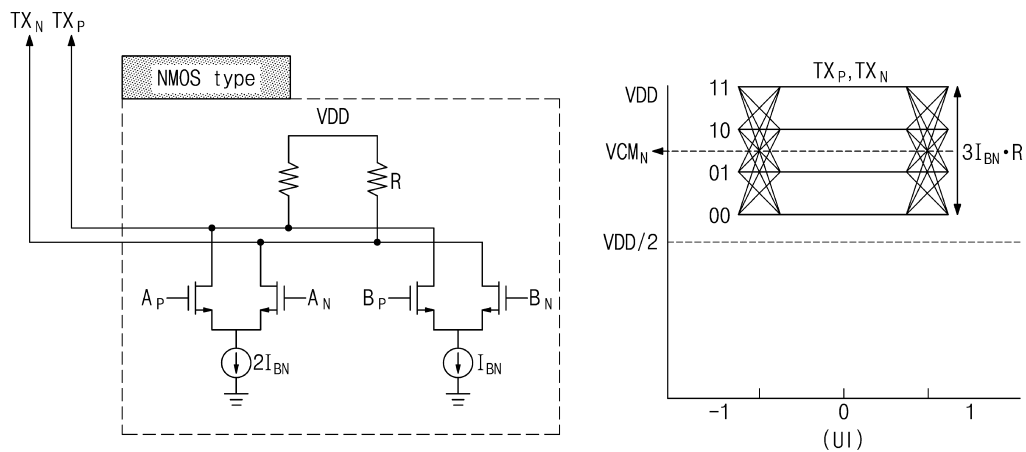
[0083] 이하에서는, 상술한 본 발명의 다양한 실시예들에 따른 PAM-8 송수신기(1)의 동작 방법에 대하여 설명한다. 앞서 설명한 부분과 중복되는 부분에 대한 상세한 설명은 생략한다.

[0084] 도 12는 본 발명의 일 실시예에 따른 PAM-8 신호 송수신 방법의 흐름도이다.

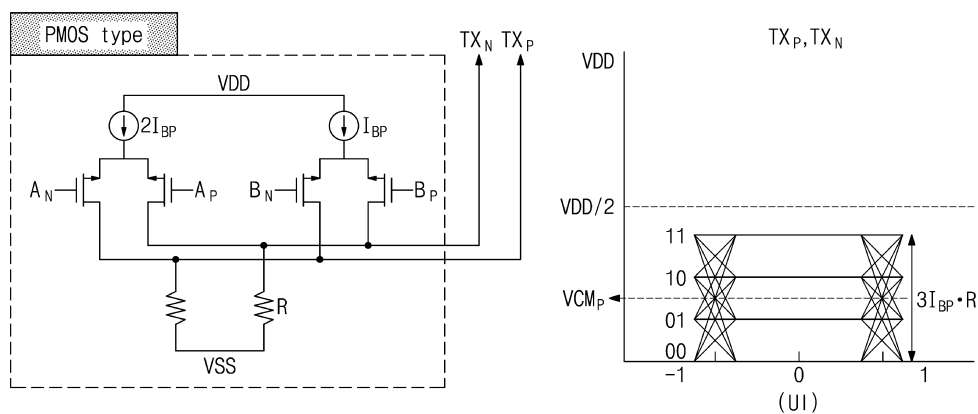
- [0085] 도 12를 참조하면, S110에서, PAM-8 송수신기(1)는 입력 신호로부터 차동 모드에서 PAM-4 신호이고, 공통 모드에서 NRZ 신호인 PAM-8 신호를 생성하고, PAM-8 신호를 송신한다.
- [0086] 예를 들어, S110에서, 송신기(20)는 입력 신호 중 NRZ 신호에 대응되는 1-비트 신호에 따라 제1 드라이버(110) 및 제2 드라이버(120) 중 하나를 온시키고, 온 상태의 드라이버는 PAM-4 신호를 생성한다.
- [0087] S120에서, PAM-8 송수신기(1)는 PAM-8 신호를 수신하고, PAM-8 신호를 디코딩하여 PAM-4 신호 및 NRZ 신호를 각각 획득한다.
- [0088] 예를 들어, S120에서, 수신기(20)는 PAM-8 신호의 송신 과정에서 발생한 ISI를 보상하고, PAM-8 신호의 전압 영역을 상승시키거나 또는 하강시켜 제1 변환 PAM-8 신호를 생성하고, 제1 변환 PAM-8 신호로부터 PAM-4 신호 및 NRZ 신호를 각각 분리하고, PAM-4 신호 및 NRZ 신호를 증폭시키고, PAM-4 신호로부터 2-비트 신호를 디코딩하고, NRZ 신호로부터 1-비트 신호를 디코딩함으로써 PAM-8 신호를 디코딩할 수 있다.
- [0089] 상술한 설명에서 제안 방식에 대한 일례를 또한 본 발명의 구현 방법들 중 하나로 포함될 수 있으므로, 일종의 제안 방식들로 간주될 수 있음은 명백한 사실이다. 또한, 상기 설명한 제안 방식들은 독립적으로 구현될 수도 있지만, 일부 제안 방식들의 조합 (혹은 병합) 형태로 구현될 수도 있다.

## 도면

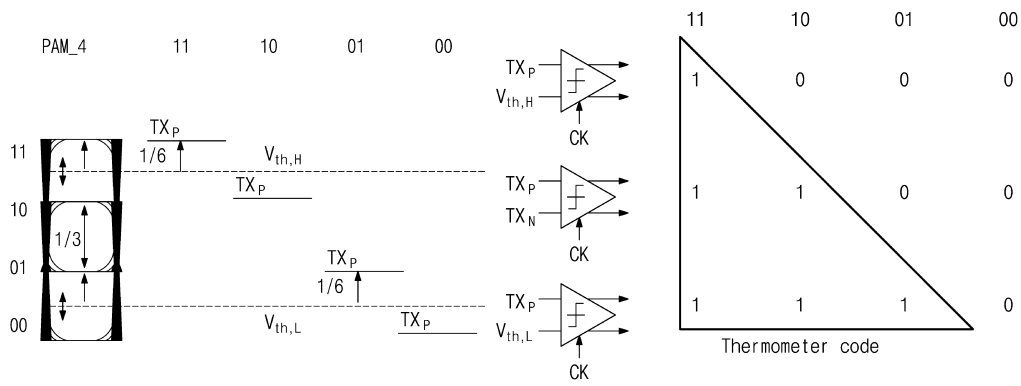
### 도면1a



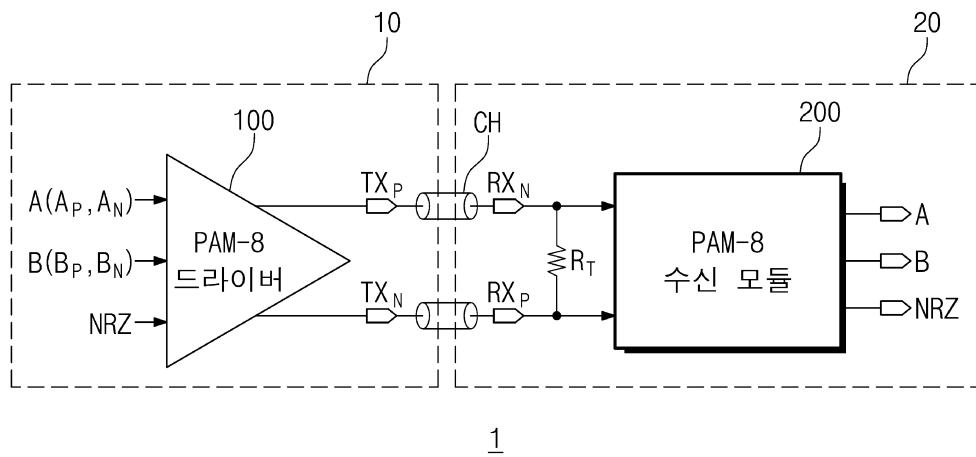
### 도면1b



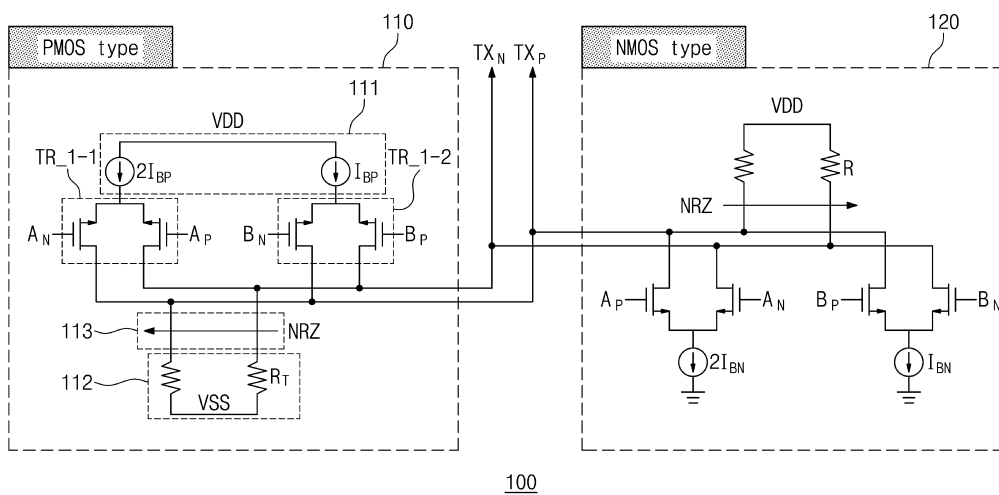
도면2



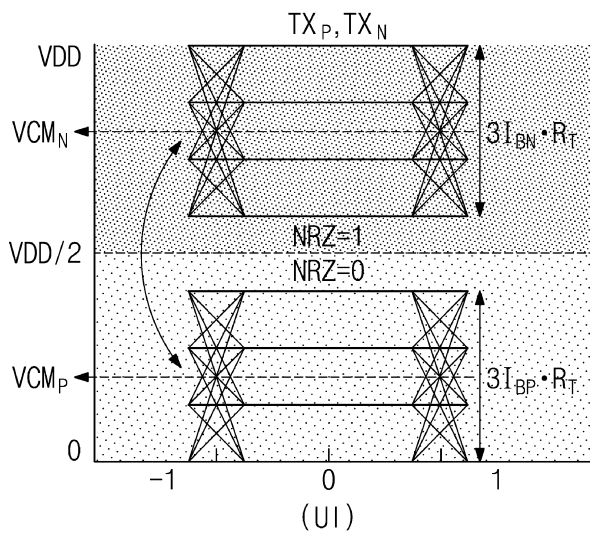
도면3



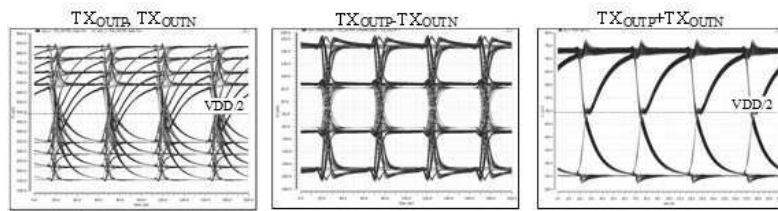
도면4



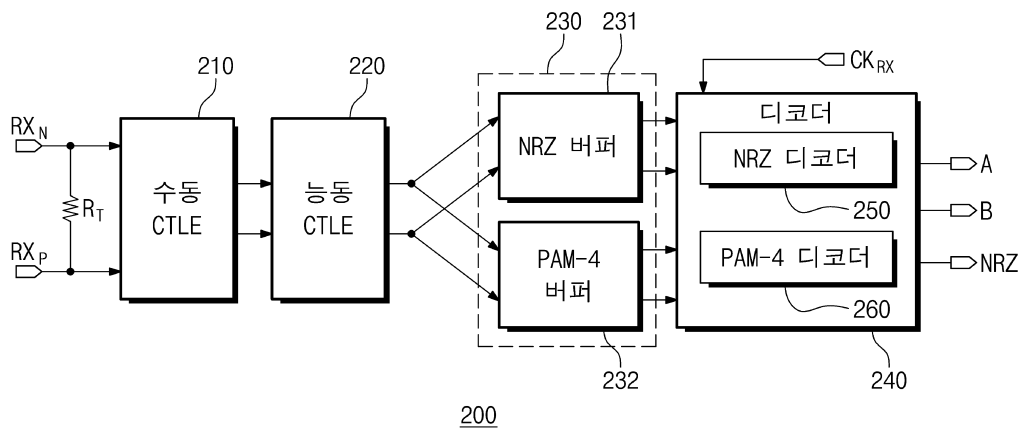
도면5



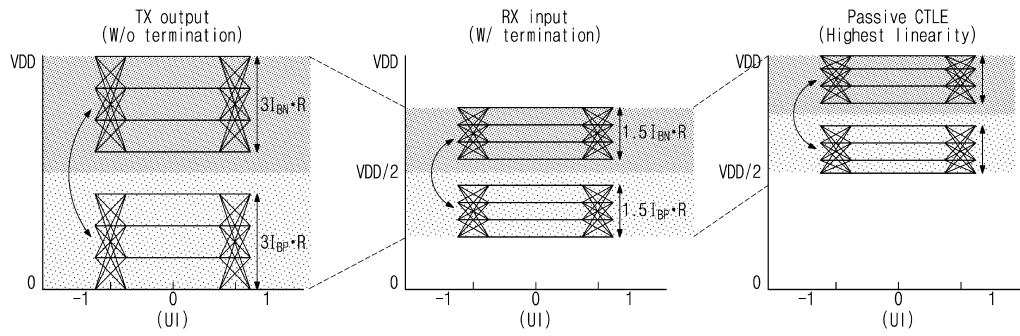
도면6



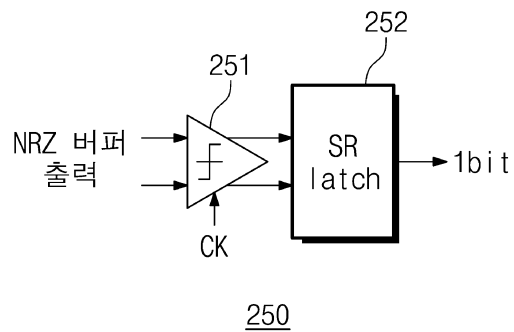
도면7



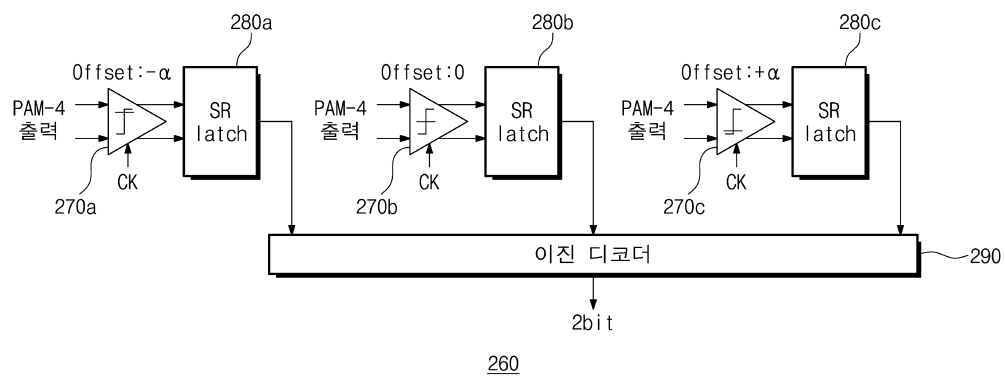
도면8



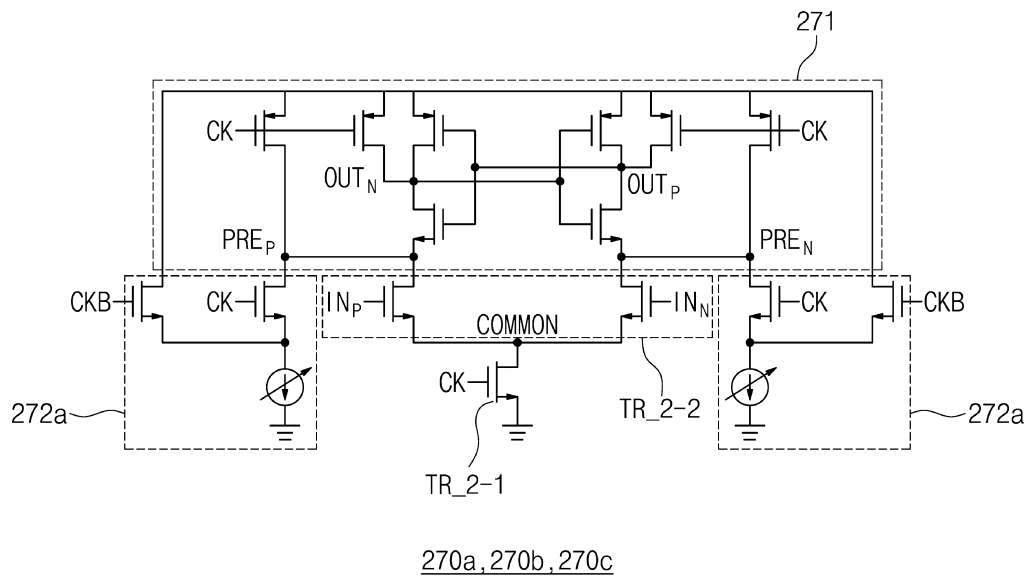
도면9a



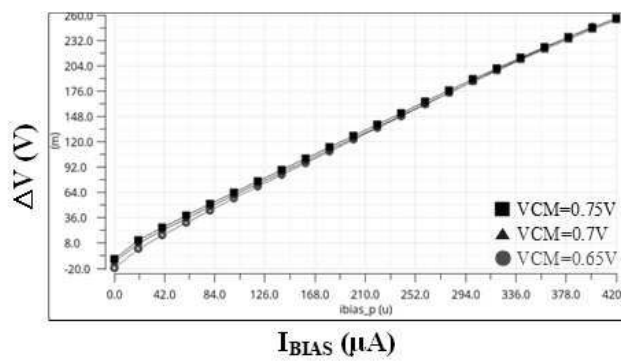
도면9b



도면10



도면11



도면12

