(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6305589号
(P6305589)

(45)発行日　平成30年4月4日(2018.4.4)　(24)登録日　平成30年3月16日(2018.3.16)

(51)Int.Cl.			F I	
H04N	***5/369***	***(2011.01)***	H04N	5/369
H04N	***5/374***	***(2011.01)***	H04N	5/374
H04N	***5/378***	***(2011.01)***	H04N	5/378
H04N	***5/357***	***(2011.01)***	H04N	5/357

請求項の数 16　(全 20 頁)

(21)出願番号　特願2017-39654(P2017-39654)
(22)出願日　平成29年3月2日(2017.3.2)
(62)分割の表示　特願2013-91427(P2013-91427)の分割
原出願日　平成25年4月24日(2013.4.24)
(65)公開番号　特開2017-108456(P2017-108456A)
(43)公開日　平成29年6月15日(2017.6.15)
審査請求日　平成29年3月28日(2017.3.28)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100126240
弁理士　阿部　琢磨
(74)代理人　100124442
弁理士　黒岩　創吾
(72)発明者　小林　大祐
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内
(72)発明者　大西　智也
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

最終頁に続く

(54)【発明の名称】撮像装置、撮像システム、撮像装置の駆動方法

(57)【特許請求の範囲】
【請求項１】
各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のＡ／Ｄ変換部と、を有する画素アレイを有し、
さらに、前記電気信号出力部と前記Ａ／Ｄ変換部との少なくとも一方に駆動バイアスを供給する、第１の方向に延在する第１の信号線と、
前記Ａ／Ｄ変換部が出力する前記デジタル信号を伝送する、前記第１の方向に延在する第２の信号線と、
前記電気信号出力部は、前記第１の方向に対して交差する第２の方向で隣り合う、第１の電気信号出力部と第２の電気信号出力部とを有し、
第１の電気信号出力部と前記第２の電気信号出力部は、前記第１の電気信号出力部に対応する前記第２の信号線と、前記第２の電気信号出力部に対応する前記第２の信号線との間に設けられ、
前記第１の電気信号出力部に対応する前記第１の信号線と、前記第２の電気信号出力部に対応する前記第１の信号線は、前記第１の電気信号出力部と前記第２の電気信号出力部との間に設けられ、
前記第１の電気信号出力部に対応する前記第２の信号線と、前記第２の電気信号出力部に対応する前記第２の信号線は、前記第１の電気信号出力部と前記第２の電気信号出力部

との間に設けられていないことを特徴とする撮像装置。
【請求項２】
各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のＡ／Ｄ変換部と、を有する画素アレイを有し、
さらに、前記電気信号出力部と前記Ａ／Ｄ変換部との少なくとも一方に駆動バイアスを供給するとともに、第１の方向に延在する第１の信号線と、
前記Ａ／Ｄ変換部が出力する前記デジタル信号を伝送する、前記第１の方向に延在する第２の信号線と、
前記電気信号出力部は、前記第１の方向に対して交差する第２の方向で隣り合う、第１の電気信号出力部と第２の電気信号出力部とを有し、
前記第１の画素の画素に対応する前記第１の信号線と、前記第２の画素に対応する前記第１の信号線の間の距離は、前記第１の画素に対応する前記第２の信号線と、前記第２の画素に対応する前記第２の信号線の間の距離よりも短いことを特徴とする撮像装置。
【請求項３】
前記撮像装置は、
各々が前記電気信号出力部の各列に対応して設けられた、前記デジタル信号を保持する複数の記憶部と、選択回路をさらに有し、
前記記憶部は、第１の記憶部と、第２の記憶部と、を有し、
前記複数のＡ／Ｄ変換部の各々が、互いに異なる列の前記電気信号出力部に対応して設けられ、
前記選択回路が、一の前記第２の信号線が伝送する、前記複数のＡ／Ｄ変換部の一方の前記デジタル信号を前記第１の記憶部に出力し、
前記選択回路が、前記一の第２の信号線が伝送する、前記複数のＡ／Ｄ変換部の他方の前記デジタル信号を前記第２の記憶部に出力することを特徴とする請求項１または２に記載の撮像装置。
【請求項４】
前記電気信号出力部は、前記電磁波を光電変換する光電変換部を備え、
前記第１の信号線が前記電気信号出力部に供給する前記駆動バイアスが、前記光電変換部に供給されることを特徴とする請求項１～３のいずれか１項に記載の撮像装置。
【請求項５】
前記画素アレイが、各々が前記電気信号出力部と前記Ａ／Ｄ変換部とを有する行列状に設けられた複数の画素を有し、
前記画素が、前記電気信号を増幅した信号を前記Ａ／Ｄ変換部に出力する増幅器をさらに有することを特徴とする請求項１～４のいずれか１項に記載の撮像装置。
【請求項６】
前記撮像装置が、前記増幅器に駆動バイアスを供給する第３の信号線をさらに有し、
前記第１の信号線と前記第３の信号線とを含む信号線群と、前記第２の信号線との間に前記電気信号出力部が設けられていることを特徴とする請求項５に記載の撮像装置。
【請求項７】
１つの前記Ａ／Ｄ変換部が、複数行の前記電気信号出力部に対応して設けられていることを特徴とする請求項１～４のいずれか１項に記載の撮像装置。
【請求項８】
前記画素アレイは、各々が前記電気信号を増幅した信号を前記Ａ／Ｄ変換部に出力する複数の増幅器をさらに有し、
１つの前記増幅器あるいは複数の前記増幅器が、前記複数行の前記電気信号出力部に対応して設けられた前記１つのＡ／Ｄ変換部に対応して設けられていることを特徴とする請求項７に記載の撮像装置。
【請求項９】

前記撮像装置が、前記増幅器に駆動バイアスを供給する第３の信号線をさらに有し、
前記第１の信号線と前記第３の信号線とを含む信号線群と、前記第２の信号線との間に前記電気信号出力部が設けられていることを特徴とする請求項８に記載の撮像装置。
【請求項１０】
１つの前記Ａ／Ｄ変換部が、複数行の前記電気信号出力部および、複数列の前記電気信号出力部と、に対応して設けられていることを特徴とする請求項１～４のいずれか１項に記載の撮像装置。
【請求項１１】
前記撮像装置は、各々が前記電気信号を増幅した信号を前記Ａ／Ｄ変換部に出力する複数の増幅器をさらに有し、
前記増幅器が、前記１つのＡ／Ｄ変換部に対応して設けられ、
前記第１の信号線と前記第２の信号線との間に、前記増幅器が設けられていることを特徴とする請求項１０に記載の撮像装置。
【請求項１２】
前記撮像装置が、前記増幅器に駆動バイアスを供給する第３の信号線をさらに有し、
前記第１の信号線と前記第３の信号線とを含む信号線群と、前記第２の信号線との間に前記電気信号出力部が設けられていることを特徴とする請求項１１に記載の撮像装置。
【請求項１３】
１つの前記Ａ／Ｄ変換部が、複数行の前記電気信号出力部および、複数列の前記電気信号出力部に対応して設けられ、
前記撮像装置はさらに、前記Ａ／Ｄ変換部にランプ信号を供給する第４の信号線を有し、
前記第１の信号線と前記第４の信号線との間に前記１つのＡ／Ｄ変換部が設けられていることを特徴とする請求項１２に記載の撮像装置。
【請求項１４】
前記Ａ／Ｄ変換部が、ランプ信号と前記電気信号に基づく信号とを比較した結果を示す比較結果信号を生成する比較器を有し、
前記撮像装置が、
クロック信号を計数したカウンタ信号を生成するカウンタと、
前記比較器から前記比較結果信号が入力されるメモリと、
前記カウンタから前記メモリに前記カウンタ信号を供給するカウンタ信号線と、をさらに有し、
前記第２の信号線および前記カウンタ信号線を含む信号線群と、前記第１の信号線との間に、前記電気信号出力部が設けられていることを特徴とする請求項１３に記載の撮像装置。
【請求項１５】
前記撮像装置が、前記メモリに駆動バイアスを供給する信号線をさらに有し、
前記第２の信号線および前記カウンタ信号線を含む信号線群と、前記メモリに駆動バイアスを供給する前記信号線との間に、前記電気信号出力部が設けられていることを特徴とする請求項１４に記載の撮像装置。
【請求項１６】
請求項１～１５のいずれか１項に記載の撮像装置と、
前記撮像装置が出力する信号を処理する信号処理部とを有することを特徴とする撮像システム。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、入射する電磁波を電荷に変換する撮像装置、撮像システム、撮像装置の駆動方法に関する。
【背景技術】

【０００２】
入射する電磁波を電荷に変換する撮像装置が知られている。このような撮像装置の一例として、非特許文献１には、入射光を光電変換する光電変換部と、光電変換部の出力する信号をデジタル信号に変換するＡ／Ｄ変換部と、を有する画素を有する撮像装置がある。
【先行技術文献】
【非特許文献】
【０００３】
【非特許文献１】Ｓｔｕａｒｔ Ｋｌｅｉｎｆｅｌｄｅｒ, ＳｕｋＨｗａｎ Ｌｉｍ, Ｘｉｎｑｉａｏ Ｌｉｕ, ａｎｄ Ａｂｂａｓ Ｅｌ Ｇａｍａｌ,“Ａ １０００ ０ Ｆｒａｍｅｓ／ｓ ＣＭＯＳ Ｄｉｇｉｔａｌ Ｐｉｘｅｌ Ｓｅｎｓｏｒ”、ＩＥＥＥ ＪＯＵＲＮＬ ＯＦ ＳＯＬＩＤ－ＳＴＡＴＥ ＣＩＲＣＵＩＴＳ, ＤＥＣＥＭＢＥＲ １５０１、ＶＯＬ. ３６, ＮＯ. １２, ｐ. ２０４９－２０５９
【発明の概要】
【発明が解決しようとする課題】
【０００４】
非特許文献１の撮像装置で、各画素に入力する、あるいは各画素から出力されるデジタル信号を伝送するデジタル信号線を、光電変換部、Ａ／Ｄ変換部に電位を供給するアナログ信号線に近接して配置したとする。この場合、デジタル信号線が伝送するデジタル信号の電位の変動によって、アナログ信号線の電位が変動することがある。このアナログ信号線の電位の変動が、Ａ／Ｄ変換の精度の低下を生じさせることがあった。
【課題を解決するための手段】
【０００５】
本発明は上記の課題を解決するために為されたものであり、一の態様は、各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のＡ／Ｄ変換部と、を有する画素アレイを有し、さらに、前記電気信号出力部と前記Ａ／Ｄ変換部との少なくとも一方に駆動バイアスを供給する、第１の方向に延在する第１の信号線と、前記Ａ／Ｄ変換部が出力する前記デジタル信号を伝送する、前記第１の方向に延在する第２の信号線と、前記電気信号出力部は、前記第１の方向に対して交差する第２の方向で隣り合う、第１の電気信号出力部と第２の電気信号出力部とを有し、第１の電気信号出力部と前記第２の電気信号出力部は、前記第１の電気信号出力部に対応する前記第２の信号線と、前記第２の電気信号出力部に対応する前記第２の信号線との間に設けられ、前記第１の電気信号出力部に対応する前記第１の信号線と、前記第２の電気信号出力部に対応する前記第１の信号線は、前記第１の電気信号出力部と前記第２の電気信号出力部との間に設けられ、前記第１の電気信号出力部に対応する前記第２の信号線と、前記第２の電気信号出力部に対応する前記第２の信号線は、前記第１の電気信号出力部と前記第２の電気信号出力部との間に設けられていないことを特徴とする撮像装置である。
【０００６】
また、別の態様は、各々が入射する電磁波に基づく電気信号を出力する、行列状に設けられた複数の電気信号出力部と、各々が前記電気信号出力部に対応して設けられ、各々が前記電気信号出力部から入力される前記電気信号をデジタル信号に変換する複数のＡ／Ｄ変換部と、を有する画素アレイを有し、さらに、前記電気信号出力部と前記Ａ／Ｄ変換部との少なくとも一方に駆動バイアスを供給するとともに、第１の方向に延在する第１の信号線と、前記Ａ／Ｄ変換部が出力する前記デジタル信号を伝送する、前記第１の方向に延在する第２の信号線と、前記電気信号出力部は、前記第１の方向に対して交差する第２の方向で隣り合う、第１の電気信号出力部と第２の電気信号出力部とを有し、前記第１の画素の画素に対応する前記第１の信号線と、前記第２の画素に対応する前記第１の信号線の間の距離は、前記第１の画素に対応する前記第２の信号線と、前記第２の画素に対応する前記第２の信号線の間の距離よりも短いことを特徴とする撮像装置である。

【発明の効果】
【０００９】
本発明により、Ａ／Ｄ変換の精度の低下が生じにくい撮像装置を提供することができる。
【図面の簡単な説明】
【００１０】
【図１】撮像装置の一例と、画素出力回路の一例を示した模式図
【図２】画素出力回路の一例の模式図と、画素出力回路の動作の一例のタイミング図
【図３】撮像装置の他の一例と、画素出力回路の他の一例を示した模式図
【図４】撮像装置の他の一例と、画素出力回路の他の一例の模式図
【図５】撮像装置の動作の他の一例を示したタイミング図
【図６】画素出力回路の他の一例と、撮像装置の他の一例の模式図
【図７】Ａ／Ｄ変換部の一例の模式図と、撮像装置の動作の他の一例のタイミング図
【図８】撮像装置の他の一例と、Ａ／Ｄ変換部の他の一例の模式図
【図９】撮像装置の他の一例の動作のタイミング図と、撮像装置の他の一例の模式図
【図１０】撮像システムの一例の模式図
【発明を実施するための形態】
【００１１】
（実施例１）
図１（ａ）は、本実施例の撮像装置の構成例を示す図である。
【００１２】
図１（ａ）の画素アレイ１００は、行列状に設けられた画素出力回路１０１を有している。駆動バイアス群１５０は、各画素出力回路１０１を駆動する駆動バイアス回路２００、ランプ信号供給回路２０１を含む。本実施例では、列ごとに駆動バイアス回路２００、ランプ信号供給回路２０１を備える構成である。各列に設けられた駆動バイアス線２０２は、対応する駆動バイアス回路２００のそれぞれから、対応する列に設けられた画素出力回路１０１に駆動バイアスを供給する。駆動バイアスは、画素出力回路１０１を構成する回路によって複数のバイアスとなることもあり、電圧、あるいは電流のいずれかで供給される。また、各列に設けられたランプ信号線２０３は、ランプ信号供給回路２０１のそれぞれから、各列の画素出力回路１０１にランプ信号を供給する。カウンタ群３００は、カウンタ回路３０１を含む。カウンタ回路３０１は、不図示のクロック信号生成部から供給されるクロック信号を計数することでカウンタ信号を生成する。さらにカウンタ回路３０１は生成したカウンタ信号を、画素出力回路１０１に供給する。本実施例では、列ごとにカウンタ回路３０１を備える構成であり、各列共通のカウンタ信号線３０２によって、各列の画素出力回路１０１にＮ－ビットのカウンタ信号を供給する。尚、カウンタ信号線３０２は、Ｎ－ビットに応じてＮ本配置される。垂直制御回路４００は画素出力回路１０１の動作を行単位で制御する。制御信号を供給する制御信号線４０１は、簡単のため１本で図示しているが、駆動する回路の制御方法、あるいは画素出力回路１０１の選択動作に基づいて、複数本の制御信号線としてもよい。画素出力回路１０１から、共通出力線５００を介してデジタルメモリ６００にデジタル信号が出力される。共通出力線５００は、Ｎ－ビットのデジタル信号を伝送するため、１列の画素出力回路１０１に対しＮ本設けられている。デジタルメモリ６００に保持されたデジタルデータは、出力部７００に転送される。出力部７００は、パラレル／シリアル変換機能（以下、Ｐ／Ｓ変換機能とする）を有する。出力部７００は、デジタルメモリ６００から転送されるＮ－ビットのパラレル形式のデジタル信号を、シリアル形式のデジタル信号に変換する。そして、出力部７００は、変換したシリアル形式のＮ－ビットのデジタル信号を出力端子８００に出力する。出力端子８００は、出力部７００から出力される、シリアル形式のＮ－ビットのデジタル信号を出力する。デジタルメモリ６００は、共通出力線５００が伝送するデジタル信号を保持する記憶部である。図１（ａ）では、電気信号出力部１０、Ａ／Ｄ変換部１０７に駆動バイアスを供給する駆動バイアス線１０２が不図示であるが、アナログ信号線群２１０が設けら

れた領域内に、駆動バイアス線２０２と並行して設けられている。

【００１３】

図１（ｂ）は、画素出力回路１０１に含まれる回路ブロックの配置例である。画素出力回路１０１は、電気信号出力部１０、Ａ／Ｄ変換部１０７、画素内メモリ１０８を有する。駆動バイアス線１０２は、電気信号出力部１０、Ａ／Ｄ変換部１０７に駆動バイアスを供給する。駆動バイアス線２０２は、Ａ／Ｄ変換部１０７に駆動バイアスを供給する。ランプ信号線２０３は、Ａ／Ｄ変換部１０７にランプ信号を供給する。カウンタ信号線３０２のカウンタ信号が、画素内メモリ１０８に出力される。画素内メモリ１０８は、Ａ／Ｄ変換部１０７が出力するラッチ信号の信号値が変化した時のカウント値のカウンタ信号を保持する。この保持したカウンタ信号が、画素出力回路１０１が出力するデジタル信号である。画素内メモリ１０８は、保持したデジタル信号を、制御信号線４０１から出力される制御信号に基づいて、共通出力線５００に出力する。本実施例のデジタル信号線群３１０はカウンタ信号線３０２、共通出力線５００を含む。本実施例のアナログ信号線群２１０は、駆動バイアス線１０２、２０２、ランプ信号線２０３を含む。画素内メモリ１０８は、例えばＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）の構成であっても良い。

【００１４】

図２（ａ）を参照しながら、電気信号出力部１０とＡ／Ｄ変換部１０７について説明する。図２（ａ）は画素出力回路１０１の構成の一例である。

【００１５】

電気信号出力部１０は、光電変換部１０４、スイッチ１０５、スイッチ１０６を有する。スイッチ１０５は、垂直制御回路４００から出力される信号ＰＲＥＳの信号値に基づいて、駆動バイアス線１０２と光電変換部１０４の導通、非導通を切り替える。スイッチ１０６は、垂直制御回路４００から出力される信号ＰＴＸの信号値に基づいて、光電変換部１０４とＡ／Ｄ変換部１０７の導通、非導通を切り替える。スイッチ１０６が導通すると、光電変換部１０４からＡ／Ｄ変換部１０７に、入射光を光電変換して生成した信号が出力される。以下、光電変換部１０４が入射光を光電変換して生成した信号を、光電変換信号と表記する。光電変換部１０４は本実施例の入射する電磁波に基づく電荷を生成する変換部である。

【００１６】

Ａ／Ｄ変換部１０７は、容量素子Ｃ０、Ｃ１、Ｃ２、比較器１３０、ラッチ部１０９を有する。光電変換部１０４が出力した光電変換信号は、容量素子Ｃ０、Ｃ１に与えられる。容量素子Ｃ０は、一方のノードには光電変換信号が与えられ、他方のノードには、電源線１０３から接地電位が与えられる。比較器１３０は、トランジスタＭ１、Ｍ２、Ｍ３、Ｍ４、Ｍ５を有する。トランジスタＭ２の入力ノードには、光電変換信号が容量素子Ｃ１を介して与えられる。一方、トランジスタＭ３の入力ノードには、ランプ信号線２０３から容量素子Ｃ２を介してランプ信号が与えられる。ランプ信号は、時間に依存して電位が変化する信号である。比較器１３０は、光電変換信号とランプ信号とを比較した結果を示す比較結果信号をラッチ部１０９に出力する。駆動バイアス線２０２は、トランジスタＭ１の入力ノードに駆動バイアスを供給する。また、駆動バイアス線１０２は、トランジスタＭ４、Ｍ５のそれぞれの一方のノードに電位を供給する。

【００１７】

図２（ｂ）は、図２（ａ）で示した画素出力回路１０１の動作の一例を示したタイミング図である。リセット期間に、垂直制御回路４００は信号ＰＲＥＳ、ＰＴＸをＨｉｇｈレベル（以下、Ｈレベルと表記する）とする。これにより、スイッチ１０５、１０６が導通するため、光電変換部１０４の電位がリセットされる。また、スイッチ１０５、１０６が導通することによって、容量素子Ｃ０、Ｃ１のそれぞれの一方のノードの電位がリセットされる。トランジスタＭ２、Ｍ３の入力ノードの電位についても、不図示のリセット回路により、リセットされる。トランジスタＭ２の入力ノードのリセットは、例えば、トランジスタＭ２の入力ノードと、トランジスタＭ２のドレインとなるノードとを短絡させれば

よい。同様に、トランジスタＭ３の入力ノードのリセットについても、トランジスタＭ３の入力ノードと、トランジスタＭ３のドレインとなるノードとを短絡させればよい。

【００１８】

垂直制御回路４００が信号ＰＲＥＳ，ＰＴＸをそれぞれＬｏｗレベル（以下、Ｌレベルと表記する）と、光電変換部１０４では入射光に基づく電荷の蓄積が行われる。光電変換部１０４が電荷を蓄積する蓄積期間が終了すると、垂直制御回路４００は信号ＰＴＸをＨレベルとする。これにより、光電変換信号が容量素子Ｃ０、Ｃ１に出力される。また、光電変換信号が容量素子Ｃ１を介してトランジスタＭ２の入力ノードに出力される。その後、垂直制御回路４００は、信号ＰＴＸをＬレベルとする。この信号ＰＴＸがＨレベルとなってからＬレベルとなるまでの期間が、サンプルホールド期間（図２（ｂ）ではＳ／Ｈと表記している）である。

【００１９】

サンプルホールド期間の後、ランプ信号供給回路２０１は、ランプ信号の、時間に依存した電位の変化を開始する。比較器１３０がラッチ部１０９に出力する比較結果信号の信号値が変化すると、ラッチ部１０９が画素内メモリ１０８に出力するラッチ信号の信号値がＬレベルからＨレベルに変化する。画素内メモリ１０８は、ラッチ信号の信号値がＬレベルからＨレベルに変化した時のカウンタ信号（図２（ｂ）ではａとして示している）を保持する。その後、ランプ信号供給回路２０１は、ランプ信号の、時間に依存した電位の変化を終了する。このランプ信号供給回路２０１が、ランプ信号の、時間に依存した電位の変化を行わせている期間がＡ／Ｄ変換期間である。Ａ／Ｄ変換期間が終了した後、垂直制御回路４００は、制御信号線４０１の信号値を変化させて、画素内メモリ１０８から、保持したデジタル信号を共通出力線５００に出力させる。この垂直制御回路４００が、各画素出力回路１０１からデジタル信号を順次、共通出力線５００に出力させている期間が、読出し期間である。

【００２０】

図２（ｃ）は、画素出力回路１０１において、異なるフレームの光電変換信号を並列で処理する場合の駆動タイミングである。図２（ｃ）に示した、リセット、蓄積、Ｓ／Ｈ、Ａ／Ｄ変換、読出しの各期間は、図２（ｂ）に示した各期間と対応している。図２（ｃ）に示した動作は、Ｎフレーム目の読出し期間と、（Ｎ＋１）フレーム目のＡ／Ｄ変換期間と、を重ねた動作である。また、図２（ｃ）に示した動作は、（Ｎ＋１）フレーム目のＡ／Ｄ変換期間と、（Ｎ＋２）フレーム目のリセット期間、蓄積期間と、を重ねた動作である。図２（ｃ）に示した動作では、Ａ／Ｄ変換部１０７と電気信号出力部１０が並行して動作する。Ａ／Ｄ変換部１０７が動作しているため、デジタル信号線群３１０であるカウンタ信号線３０２、共通出力線５００の電位が変化する。

【００２１】

デジタル信号線群３１０とアナログ信号線群２１０とが近接して設けられている場合、デジタル信号線群３１０とアナログ信号線群２１０との間の寄生容量を介して、一方の電位の変動が、他方の電位に変動を生じさせる。特に、デジタル信号線群３１０は、アナログ信号線群２１０に比べて高い周波数で電位が変化するため、デジタル信号線群３１０の電位の変動が、アナログ信号線群２１０の電位の変動を生じさせやすい。

【００２２】

本実施例の形態では、デジタル信号の伝送によって、駆動バイアス線１０２、２０２、ランプ信号線２０３の電位に変動が生じる。駆動バイアス線１０２、２０２の電位に変動が生じた場合には、比較器１３０のトランジスタＭ１に流れる電流量が変動することによって、比較器１３０の比較動作の精度の低下が生じる。また、ランプ信号線２０３の電位に変動が生じた場合には、ランプ信号の線形性が低下することによって、比較器１３０の比較動作の精度の低下が生じる。比較器１３０の比較動作の精度の低下は、Ａ／Ｄ変換部１０７のＡ／Ｄ変換精度の低下に繋がる。従って、駆動バイアス線１０２、２０２、ランプ信号線２０３に電位の変動が生じると、Ａ／Ｄ変換部１０７のＡ／Ｄ変換精度が低下する。

【００２３】
本実施例では、駆動バイアス線１０２、２０２とランプ信号線２０３とのアナログ信号線群２１０と、カウンタ信号線３０２と共通出力線５００とのデジタル信号線群３１０とが、電気信号出力部１０を挟むように設けられている。これにより、本実施例の撮像装置は、デジタル信号線群３１０の電位の変動によるアナログ信号線群２１０の電位の変動が生じにくい。よって、デジタル信号線群３１０の電位の変動によるＡ／Ｄ変換精度の低下を低減することができる。また、駆動バイアス線１０２は、光電変換部１０４、容量素子Ｃ０、Ｃ１のリセット電位を与える。本実施例の撮像装置は、デジタル信号線群３１０の電位の変動による駆動バイアス線１０２の電位の変動が生じにくいため、光電変換部１０４のリセット電位の変動を低減することができる。
【００２４】
本実施例では、駆動バイアス線１０２、２０２、ランプ信号線２０３を含むアナログ信号線群２１０と、カウンタ信号線３０２、共通出力線５００を含むデジタル信号線群３１０が電気信号出力部１０を挟むように設けている形態を説明した。本実施例は、この形態に限定されるものではなく、第１の信号線である駆動バイアス線１０２あるいは駆動バイアス線２０２と、第２の信号線である共通出力線５００と、が電気信号出力部１０を挟むように設けている形態であれば良い。本実施例は、アナログ信号線群２１０が駆動バイアス線１０２、２０２、ランプ信号線２０３を含む例を説明した。アナログ信号線群２１０は、他の信号線を含んでいても良く、例えば、電源線１０３をさらに含んでいても良い。電源線１０３は、光電変換部１０４、容量素子Ｃ０に電源を供給している。従って、デジタル信号線群３１０の電位の変動による電源線１０３の電位の変動を生じにくくすることで、光電変換信号の変動を低減することができる。また、アナログ信号線群２１０は、画素内メモリ１０８に電位を供給するバイアス線を含んでいても良い。つまり、アナログ信号線群２１０が、電気信号出力部１０、Ａ／Ｄ変換部１０７、画素内メモリ１０８の各々に電位を供給する信号線を含む形態であっても良い。
【００２５】
本実施例では、図１（ａ）のように、複数のアナログ信号線群２１０の間に複数の電気信号出力部１０が挟まれて設けられている。また、複数のアナログ信号線群２１０に挟まれた複数の電気信号出力部１０の間に、デジタル信号線群３１０が設けられている。他の見方をすれば、複数のデジタル信号線群３１０の間に複数の電気信号出力部１０が挟まれて設けられている。また、複数のデジタル信号線群３１０に挟まれた複数の電気信号出力部１０の間に、アナログ信号線群２１０が設けられている。
【００２６】
尚、本実施例では、図２（ｃ）のように、Ａ／Ｄ変換部１０７と電気信号出力部１０が並行して動作する例を説明した。本実施例はこの形態には限定されない。
【００２７】
尚、本実施例では、列ごとにデジタルメモリ６００を設ける構成を示したが、行ごとにデジタルメモリ６００を設ける構成としても良い。
【００２８】
また、本実施例では、駆動バイアス線１０２、２０２とランプ信号線２０３のそれぞれが、同じ列の画素出力回路１０１に共通して電気的に接続される構成を示した。他の形態として、駆動バイアス線１０２、２０２とランプ信号線２０３のそれぞれが、同じ行の画素出力回路１０１に共通して電気的に接続されるようにしても良い。
【００２９】
また、本実施例では、カウンタ回路３０１が各列に設けられている構成を示したが、全ての画素出力回路１０１に共通のカウンタ信号を出力するカウンタ回路３０１を１つ設ける構成としても良い。この形態の場合は、画素内メモリ１０８が、Ａ／Ｄ変換期間の開始時のカウンタ信号の信号値と、ラッチ信号の信号値が変化した時のカウンタ信号の信号値と、を保持するようにすればよい。そして、画素内メモリ１０８、デジタルメモリ６００、出力部７００のいずれかで、Ａ／Ｄ変換期間の開始時のカウンタ信号の信号値と、ラッ

チ信号の信号値が変化した時のカウンタ信号の信号値との差の信号を得るようにすればよい。

【００３０】

また、本実施例では、ランプ信号の電位の変化が直線的な形態を説明した。他の形態として、ランプ信号の電位が階段状に変化する形態であっても良い。このランプ信号の電位が階段状に変化する形態も、時間に依存して電位が変化する形態に含まれる。

【００３１】

また、本実施例では、Ａ／Ｄ変換部１０７が、ランプ信号を用いたＡ／Ｄ変換を行う形態を基に説明した。本実施例は他に、逐次比較型、パイプライン型など、他のＡ／Ｄ変換形式であっても適用できる。例えば、逐次比較型のＡ／Ｄ変換であれば、ランプ信号線２０３の代わりに、光電変換信号と逐次比較する電位を生成するための基準電位を供給する信号線を設ければよい。つまり、デジタル信号を伝送するデジタル信号線群３１０と、電気信号出力部１０、Ａ／Ｄ変換部１０７を駆動する電位を供給するアナログ信号線群２１０と、を有する形態であれば、本実施例を適用することができる。

【００３２】

光電変換部１０４は入射する電磁波に基づく電荷を生成する変換部の一例である。入射する電磁波に基づく電荷を生成する変換部は他に、例えば、Ｘ線、赤外線といった入射する電磁波に基づく電荷を生成する形態であってもよい。

【００３３】

（実施例２）

本実施例の撮像装置について、実施例１と異なる点を中心に説明する。

【００３４】

図３（ａ）は、本実施例の撮像装置の構成例を示す図である。図１（ａ）に示した構成との違いは、１つの共通出力線５００を、互いに隣接する２列の画素出力回路１０１と共有している点である。

【００３５】

それぞれの共通出力線５００には、不図示の制御部によって導通、非導通が制御されるスイッチ５０１－１、５０１－２を介して、各列の画素出力回路１０１が出力するデジタル信号を保持するデジタルメモリ６００－１、６００－２が電気的に接続されている。デジタルメモリ６００－１、６００－２は画素出力回路１０１の列に対応して設けられている。スイッチ５０１－１、５０１－２は、共通出力線５００に出力されるデジタル信号の出力先を、デジタルメモリ６００－１、６００－２のいずれかから選択する選択回路である。デジタルメモリ６００－１は、一方の列の画素出力回路１０１の画素信号に基づくデジタル信号を保持する第１の記憶部である。また、デジタルメモリ６００－２は、他方の列の画素出力回路１０１の画素信号に基づくデジタル信号を保持する第２の記憶部である。

【００３６】

図３（ｂ）は、本実施例の画素出力回路１０１の一例を示した図である。図１（ｂ）に示した画素出力回路１０１と異なるのは、図３（ｂ）の画素出力回路１０１が、画素内メモリ１０８と共通出力線５００との導通、非導通を切り替えるスイッチ５０２を有する点である。スイッチ５０２は、垂直制御回路４００から出力される指示信号に基づいて、導通、非導通を切り替える。垂直制御回路４００は、共通出力線５００を共有する画素出力回路１０１の間でスイッチ５０２を導通させる期間を排他的に異ならせる。これにより、共通出力線５００には、２列の画素出力回路１０１から順次、デジタル信号が出力される。

【００３７】

共通出力線５００を共有する一方の画素出力回路１０１のスイッチ５０２が導通すると、不図示の制御部がスイッチ５０１－１を導通させる。これにより、デジタルメモリ６００－１が、共通出力線５００を共有する一方の画素出力回路１０１のデジタル信号を保持する。また、共通出力線５００を共有する他方の画素出力回路１０１のスイッチ５０２が

導通すると、不図示の制御部がスイッチ５０１－２を導通させる。これにより、デジタルメモリ６００－２が、共通出力線５００を共有する他方の画素出力回路１０１のデジタル信号を保持する。

【００３８】

本実施例では、互いに隣接する２列の画素出力回路１０１で共通出力線５００を共有する。これにより、図１（ａ）に示した構成と比較して共通出力線５００の配線数を１／２に減らすことができる。これによって、例えば、共通出力線５００の配線数を減らした分、光電変換部１０４の開口率を高くしたり、画素アレイ１００の面積を縮小したりすることができる。特に、Ｎ－ビットのデジタル信号を画素出力回路１０１からデジタルメモリ６００にパラレルに伝送する場合には、共通出力線５００はＮ本の配線となる。よって、本実施例のように２列の画素出力回路１０１で共通出力線５００を共有すると、Ｎ本の配線を減らすことができる。　本実施例では、２列の画素出力回路１０１が１つの共通出力線５００を共有する形態を説明したが、この形態に限定されるものではなく、複数列の画素出力回路１０１が１つの共通出力線５００を共有する形態であれば良い。

【００３９】

尚、駆動バイアス線２０２、ランプ信号線２０３、カウンタ信号線３０２についても、隣接する列で共有する構成によって同様の効果が得られる。一方、画素アレイ１００の外に配置しているデジタルメモリ６００についても、隣接する列で共有する構成でもよい。デジタルメモリ６００の領域の面積を低減できる。

【００４０】

（実施例３）

本実施例の撮像装置について、実施例１と異なる点を中心に説明する。

【００４１】

図４（ａ）は、本実施例の撮像装置の構成例を示す図である。図１（ａ）に示した撮像装置との違いは、図４（ａ）に示した撮像装置では、１つのＡ／Ｄ変換部１０７を４行の画素出力回路１２０で共有している点である。図４（ａ）で示した各ブロックａ～ｄはそれぞれ、４つの画素出力回路１２０と１つのＡ／Ｄ変換部１０７を有している。図４（ａ）の撮像装置は、Ａ／Ｄ変換部１０７と画素出力回路１２０とを電気的に接続する、光電変換信号出力線１２１とラッチ信号線１２２とを有する。

【００４２】

図４（ｂ）は、本実施例の画素出力回路１２０の構成例を示す図である。Ａ／Ｄ変換部１０７は実施例１と同様の構成とし、ラッチ部１０９から出力されるラッチ信号は、ラッチ信号線１２２を介して画素出力回路１２０に入力される。光電変換信号は、スイッチ１０６が導通すると、光電変換信号出力線１２１を介してＡ／Ｄ変換部１０７へ入力される。

【００４３】

次に、図５（ａ）、図５（ｂ）を用いて、本実施例の動作を説明する。

【００４４】

図５（ａ）は図４（ａ）に示した撮像装置の動作の一例である。図５（ａ）に示したリセット、蓄積、Ｓ／Ｈ、Ａ／Ｄ変換、読出しの各期間は、図２（ｂ）に示した各動作に対応している。

【００４５】

図５（ｂ）は、静止画と動画のそれぞれの動作タイミングについて、１つのＡ／Ｄ変換部１０７を共有する、ブロックａの画素出力回路１２０－１～１２０－４の動作と、Ａ／Ｄ変換部１０７の動作と、を表した図である。図５（ｂ）では、リセット、蓄積、Ｓ／Ｈの期間をＰｉｘとして表している。同様に図５（ｂ）では、Ａ／Ｄ変換の期間をＡ／Ｄ、読出しの期間をＲｅａｄとして表している。

【００４６】

静止画動作タイミングでは、本実施例の撮像装置は、すべての画素出力回路１２０の蓄積期間を同時とするグローバルシャッタ動作を行っている。図５（ｂ）に示した動作では

、蓄積期間を含むＰｉｘ期間の開始と終了とのそれぞれを、画素出力回路１２０－１～１２０－４で同時としている。

【００４７】

Ｐｉｘ期間の後、Ａ／Ｄ変換部１０７は、画素出力回路１２０－１の光電変換信号のＡ／Ｄ変換を行う。Ａ／Ｄ変換後の読出し期間に、Ａ／Ｄ変換部１０７が生成した、画素出力回路１２０－１の光電変換信号に基づくデジタル信号が共通出力線５００に出力される。また、画素出力回路１２０－１の光電変換信号に基づくデジタル信号の読出し期間に、Ａ／Ｄ変換部１０７が画素出力回路１２０－２の光電変換信号のＡ／Ｄ変換を行う。以降、同様に、Ｋ行目の画素出力回路１２０の光電変換信号に基づくデジタル信号の読出し期間に、Ａ／Ｄ変換部１０７が（Ｋ＋１）行目の画素出力回路１２０の光電変換信号のＡ／Ｄ変換を行う。

【００４８】

静止画動作タイミングでは、撮像装置はグローバルシャッタ動作を行っていたが、動画動作タイミングではローリングシャッタ動作としている。つまり、画素出力回路１２０－１のＰｉｘ期間が終了後に、画素出力回路１２０－２のＰｉｘ期間が開始される。また、動画動作タイミングでは、画素出力回路１２０のそれぞれに、読出し期間後に、電気信号出力部１０と画素内メモリ１０８が動作しない期間であるｂｌａｎｋ期間を設けている。そして、動画動作タイミングでは、ｂｌａｎｋ期間の後に、次のフレームのＰｉｘ期間を設けている。

【００４９】

本実施例では、１つのＡ／Ｄ変換部１０７を４つの画素出力回路１２０で共有する。これにより、Ａ／Ｄ変換部１０７の面積を低減することができる。

【００５０】

本実施例においても、実施例１と同様に、デジタル信号線群３１０とアナログ信号線群２１０とが電気信号出力部１０を挟むように設けられている。これにより、実施例１と同様の効果を得ることができる。

【００５１】

尚、本実施例では、１つのＡ／Ｄ変換部１０７を４つの画素出力回路１２０を共有していた。本実施例はこの形態に限定されるものではなく、１つのＡ／Ｄ変換部１０７を複数の画素出力回路１２０で共有する構成であれば適用できる。

【００５２】

また、本実施例では、図５（ｃ）に示した動画動作タイミングで、Ｐｉｘ期間が、Ａ／Ｄ変換期間、Ｒｅａｄ期間と同じ長さであるとして説明した。本実施例はこの形態に限定されるものではなく、Ｂｌａｎｋ期間を短縮して、その分、Ｐｉｘ期間を長くするようにしても良い。

【００５３】

（実施例４）

本実施例の撮像装置について、実施例１と異なる点を中心に説明する。

【００５４】

図６（ａ）は、本実施例の画素出力回路１０１の構成例を示す図である。図１（ａ）に示した構成との違いは、図６（ａ）に示した画素出力回路１０１が増幅器１１０を有している点である。

【００５５】

本実施例では、容量素子１１１が光電変換信号を保持する。そして、容量素子１１１の保持した光電変換信号が増幅器１１０に入力される。増幅器１１０は光電変換信号を増幅して生成した信号を、スイッチ１１２を介してＡ／Ｄ変換部１０７に出力する。

【００５６】

光電変換信号の信号値が、好適にＡ／Ｄ変換を行える信号範囲より小さい場合であることがある。本実施例の撮像装置では、このような場合であっても、増幅器１１０で光電変換信号を増幅することによって、Ａ／Ｄ変換部１０７に出力される信号を、好適にＡ／Ｄ

変換を行える信号範囲内とすることができる。

【００５７】

本実施例においても、デジタル信号線群３１０とアナログ信号線群２１０の配置は実施例１と同様とすることができる。よって、実施例１と同様の効果を得ることができる。

【００５８】

（実施例５）

本実施例の撮像装置について、実施例３と異なる点を中心に説明する。

【００５９】

図６（ｂ）は、本実施例の撮像装置の構成例を示す図である。図６（ｂ）に示した撮像装置では、増幅器１１０を、４つの画素出力回路１２０で共有している。増幅器１１０には、駆動バイアス線２０４から、増幅器１１０を駆動する駆動バイアスが供給される。本実施例の撮像装置では、駆動バイアス線２０４と、デジタル信号線群３１０とが、電気信号出力部１０を挟むように設けられている。画素出力回路１２０の構成は、図４（ｂ）に示したものと同様とすることができる。

【００６０】

図７（ａ）は、本実施例におけるＡ／Ｄ変換部１０７の構成例である。図２（ａ）との違いは、図７（ａ）のＡ／Ｄ変換部１０７が、スイッチ群１１３と容量素子Ｃ０１、Ｃ０２を有している点である。スイッチ群１１３は、スイッチＳＷ１～４を有する。増幅器１１０が出力する信号はスイッチＳＷ１、ＳＷ２に与えられる。スイッチＳＷ１が導通すると、容量素子Ｃ０１が増幅器１１０の出力する信号を保持する。また、スイッチＳＷ２が導通すると、容量素子Ｃ０２が増幅器１１０の出力する信号を保持する。スイッチＳＷ３が導通すると、容量素子Ｃ０１が保持した信号が、容量素子Ｃ１を介してトランジスタＭ２の入力ノードに入力される。また、スイッチＳＷ４が導通すると、容量素子Ｃ０２が保持した信号が、容量素子Ｃ１を介してトランジスタＭ２の入力ノードに入力される。

【００６１】

図７（ｂ）は、図６（ｂ）に示した撮像装置の、１つの画素出力回路１２０の動作を表した図である。図７（ｂ）に示した、Ｐｉｘ、Ａ／Ｄ、Ｒｅａｄの各期間は、図５（ａ）で述べた各期間と同様である。Ｇａｉｎ期間は、増幅器１１０が、光電変換信号を増幅するとともに、スイッチ群１１３に信号を出力している期間である。

【００６２】

図７（ｃ）は、図６（ｂ）に示した撮像装置における静止画動作のタイミング図である。本実施例では、増幅器１１０が光電変換信号を増幅する期間（以下、Ｇａｉｎ期間）が、Ａ／Ｄ変換期間とＲｅａｄ期間の期間を合わせた期間と同じとしている。

【００６３】

本実施例の撮像装置は実施例３と同様、グローバルシャッタ動作を行っている。画素出力回路１２０－１～１２０－４のＰｉｘ期間の後、増幅器１１０が画素出力回路１２０－１の光電変換信号を増幅するＧａｉｎ期間が開始される。Ｇａｉｎ期間では、スイッチ群１１３のうち、スイッチＳＷ１が導通して、容量素子Ｃ０１が増幅器１１０の出力する信号を保持する。画素出力回路１２０－１の光電変換信号を増幅した信号のＡ／Ｄ変換期間では、スイッチＳＷ１が非導通となり、スイッチＳＷ３が導通する。図７（ｃ）のタイミング図では、撮像装置は、画素出力回路１２０－１の光電変換信号に基づく信号のＡ／Ｄ変換期間と、画素出力回路１２０－２の光電変換信号のＧａｉｎ期間とを重ねて動作する。画素出力回路１２０－２の光電変換信号を増幅するＧａｉｎ期間では、スイッチ群１１３のうちスイッチＳＷ２が導通して、容量素子Ｃ０２が増幅器１１０の出力する信号を保持する。画素出力回路１２０－２の光電変換信号を増幅した信号のＡ／Ｄ変換期間では、スイッチＳＷ２が非導通となり、スイッチＳＷ４が導通する。

【００６４】

以降同様に、画素出力回路１２０－３、１２０－４の各々の光電変換信号についても、Ｇａｉｎ期間とＡ／Ｄ変換期間とが重なるように動作する。これにより、複数の画素出力回路１２０の各々の光電変換信号に基づくデジタル信号を、増幅器１１０とＡ／Ｄ変換部

１０７の動作期間を全く重ねない場合に比して短い期間で生成することができる。
【００６５】
本実施例の撮像装置においても、図４（ａ）のように、電気信号出力部１０を挟んで、デジタル信号線群３１０とアナログ信号線群２１０とが設けられている。これにより、実施例１と同様の効果を得ることができる。さらに、増幅器１１０を駆動する、第３の信号線である駆動バイアス線２０４を含むアナログ信号線群２１０と、デジタル信号線群３１０とが、電気信号出力部１０を挟むように設けられている。これは、駆動バイアス線２０４をデジタル信号線群３１０に近接して配すると、デジタル信号線群３１０の電位の変動によって、駆動バイアス線２０４の電位も変動するためである。駆動バイアス線２０４の電位の変動は、増幅器１１０の増幅率の変動を生じさせる。増幅器１１０の増幅率が変動することによって、同じ信号値の光電変換信号を増幅したとしても、増幅器１１０の出力する信号の信号値が異なってしまう。よって、増幅器１１０の増幅率の変動を低減するため、増幅器１１０を駆動する駆動バイアス線２０４と、デジタル信号線群３１０とが、電気信号出力部１０を挟むように設けられていることが好ましい。
【００６６】
本実施例では、Ａ／Ｄ変換部１０７がスイッチ群１１３と容量素子Ｃ０１、Ｃ０２を有している。これにより、画素出力回路１２０－１の光電変換信号を増幅した信号のＡ／Ｄ変換期間と、画素出力回路１２０－２の光電変換信号のＧａｉｎ期間とを重ねることができる。よって、複数の画素出力回路１２０の各々の光電変換信号を増幅した信号に基づくデジタル信号を生成する期間を、Ａ／Ｄ変換部１０７がスイッチ群１１３を有さない形態に比して短縮することができる。
【００６７】
本実施例では、１つの増幅器１１０を複数の画素出力回路１２０で共有する形態を説明した。これにより、各画素出力回路１２０が増幅器１１０を有する形態に比して、画素出力回路１２０と増幅器１１０を合わせた回路面積を減らすことができる。一方で、Ａ／Ｄ変換部１０７では、図４（ａ）に示した形態に比して、スイッチ群１１３、容量素子Ｃ０１、Ｃ０２を設けている分、回路面積が増大している。従って、１つの増幅器１１０の回路面積が、スイッチ群１１３、容量素子Ｃ０１，Ｃ０２の回路面積よりも大きい場合には、複数の画素出力回路１２０で１つの増幅器１１０を共有することで、画素アレイの回路面積を減らすことができる。
【００６８】
尚、本実施例では、増幅器１１０が、画素出力回路１２０のそれぞれの信号を増幅して、Ａ／Ｄ変換部１０７に出力する動作を説明した。他の形態として、増幅器１１０の、光電変換信号が入力される入力部に加算機能を備え、複数の画素出力回路１２０の光電変換信号を加算した光電変換信号を増幅してＡ／Ｄ変換部１０７に出力する形態であっても良い。
【００６９】
本実施例では、Ａ／Ｄ変換期間とＲｅａｄ期間の合計期間が、Ｇａｉｎ期間と同じである形態を説明したが、本実施例はこの形態に限定されない。例えば、Ａ／Ｄ変換期間を短縮する場合には、デジタル信号のビット数を減らせば良い。また、画素出力回路からシリーズ形式でデジタル信号が出力される場合には、デジタル信号のビット数を減らすことによって、Ｒｅａｄ期間を短縮することができる。
【００７０】
本実施例ではこれまで、４つの画素出力回路１２０で１つの増幅器１１０を共有する形態を説明した。他の形態として、２つの画素出力回路１２０で１つの増幅器１１０を共有する形態について説明する。
【００７１】
図８（ａ）は、２つの画素出力回路１２０が増幅器１１０を共有する形態である。画素出力回路１２０－１、１２０－２は、増幅器１１０－１を共有している。画素出力回路１２０－３、１２０－４は、増幅器１１０－２を共有している。増幅器１１０－１、１１０

－２はそれぞれ、画素出力回路１２０から出力される光電変換信号を増幅した信号を、Ａ／Ｄ変換部１０７に出力する。増幅器１１０－１、１１０－２は共通の駆動バイアス線２０４から駆動バイアスが供給される。

【００７２】

図８（ｂ）は、図８（ａ）に示した撮像装置のＡ／Ｄ変換部１０７の構成例である。スイッチ群１１３は、スイッチＳＷ１～ＳＷ８を有する。また、Ａ／Ｄ変換部１０７は、容量素子Ｃ０１～Ｃ０４を有している。増幅器１１０－１が出力する信号は、スイッチＳＷ１、ＳＷ２に入力される。不図示の制御部がスイッチＳＷ１を導通させている場合には、容量素子Ｃ０１が増幅器１１０－１の出力する信号を保持する。一方、不図示の制御部がスイッチＳＷ２を導通させている場合には、容量素子Ｃ０２が増幅器１１０－１の出力する信号を保持する。同様に、不図示の制御部がスイッチＳＷ３、ＳＷ４をそれぞれ導通させると、容量素子Ｃ０３、Ｃ０４のそれぞれが増幅器１１０－２の出力する信号を保持する。

【００７３】

不図示の制御部がスイッチＳＷ１を非導通とし、スイッチＳＷ５を導通させると、容量素子Ｃ０１が保持した信号がスイッチＳＷ５と容量素子Ｃ１を介して、トランジスタＭ２の入力ノードに出力される。他の容量素子Ｃ０２～Ｃ０４についても同様に、それぞれの容量素子Ｃ０２～Ｃ０４に対応するスイッチＳＷ２～ＳＷ４が非導通となり、それぞれの容量素子Ｃ０２～Ｃ０４に対応するスイッチＳＷ６～ＳＷ８を導通させる。これにより、それぞれの容量素子Ｃ０２～Ｃ０４が保持した信号が、それぞれの容量素子Ｃ０２～Ｃ０４から、容量素子Ｃ１を介してトランジスタＭ２に出力される。

【００７４】

図９（ａ）は、図８（ａ）に示した撮像装置の動作を表した図である。画素出力回路１２０－１～１２０－４のＰｉｘ期間は、画素出力回路１２０－１～１２０－４の間で開始と終了を同時としている。増幅器１１０－１は、画素出力回路１２０－１の光電変換信号を増幅した信号を、スイッチＳＷ１を介して容量素子Ｃ０１に出力する。増幅器１１０－２は、画素出力回路１２０－２の光電変換信号を増幅した信号を、スイッチＳＷ３を介して容量素子Ｃ０３に出力する。増幅器１１０－１のＧａｉｎ期間の開始と終了は、増幅器１１０－２のＧａｉｎ期間の開始と終了に対し、それぞれ同時としている。

【００７５】

不図示の制御部は、スイッチＳＷ１、ＳＷ３を非導通とし、スイッチＳＷ５を導通させる。これによりＡ／Ｄ変換部１０７は、画素出力回路１２０－１の光電変換信号を増幅した信号のＡ／Ｄ変換を開始する。一方、増幅器１１０－１は画素出力回路１２０－２の光電変換信号を増幅した信号を、スイッチＳＷ２を介して容量素子Ｃ０２に出力する。また、増幅器１１０－２は、画素出力回路１２０－４の光電変換信号を増幅した信号を、スイッチＳＷ４を介して容量素子Ｃ０４に出力する。

【００７６】

不図示の制御部は、画素出力回路１２０－１の光電変換信号を増幅した信号のＡ／Ｄ変換期間が終了すると、スイッチＳＷ５を非導通とし、スイッチＳＷ７を導通させる。これにより、Ａ／Ｄ変換部１０７は、画素出力回路１２０－３の光電変換信号を増幅した信号のＡ／Ｄ変換を開始する。

【００７７】

図８（ａ）に示した撮像装置では、増幅器１１０－１、１１０－２のＧａｉｎ期間を重ねることができる。一方、図６（ｂ）に示した撮像装置では、画素出力回路１２０－１のＧａｉｎ期間が終了してから、画素出力回路１２０－２のＧａｉｎ期間を開始していた。よって、図８（ａ）に示した撮像装置では、複数の画素出力回路１２０の各々の光電変換信号を増幅するのに要する期間を、図６（ｂ）に示した撮像装置に比して短縮することができる。

【００７８】

また、図８（ａ）に示した撮像装置では、スイッチＳＷ１～ＳＷ８を有するスイッチ群

１１３と、容量素子Ｃ０１～Ｃ０４をＡ／Ｄ変換部１０７が有する。これにより、同一の増幅器１１０に光電変換信号を順次出力する複数の画素出力回路１２０において、一方の画素出力回路１２０の光電変換信号に基づく信号のＡ／Ｄ変換期間と、他方の画素出力回路１２０の光電変換信号のＧａｉｎ期間とを重ねることができる。これは、図６（ｂ）に示した撮像装置と同様である。

【００７９】

図８（ａ）に示した撮像装置においても、アナログ信号線群２１０と、デジタル信号線群３１０とが、電気信号出力部１０を挟んで設けられている。よって、実施例１と同様の効果を得ることができる。

【００８０】

（実施例６）

本実施例の撮像装置について、実施例５と異なる点を中心に説明する。

【００８１】

図９（ｂ）は、本実施例の撮像装置の構成例を示す図である。本実施例の撮像装置は、図８（ａ）に示した撮像装置と同様、２行２列の４つの画素出力回路１２０で２つの増幅器１１０と、１つのＡ／Ｄ変換部１０７を共有する。図８（ａ）に示した撮像装置との違いは、Ａ／Ｄ変換部１０７と増幅器１１０を２行２列の４つの画素出力回路１２０で共有している点である。

【００８２】

２行２列の４つの画素出力回路１２０で増幅器１１０、Ａ／Ｄ変換部１０７を共有した場合の利点を述べる。デジタル信号線群３１０では、Ｎ－ビットのデジタル信号をパラレル形式で伝送するためにはＮ本の信号線を用いる。一方で、アナログ信号線群２１０の駆動バイアス線は、供給する電位の値ごとに１本の配線とすることができる。従って、デジタル信号線群３１０は、アナログ信号線群２１０に対して配線数が多くなる傾向にある。従って、図４（ａ）の撮像装置の場合、２列の画素出力回路１２０に対応するデジタル信号線群３１０の幅が、２列の画素出力回路１２０に対応するアナログ信号線群２１０の幅に対し、長くなる傾向にある。一方で、光学特性の観点から、画素出力回路１２０の列間隔は一定であることが好ましい。よって、２列の画素出力回路１２０に対応するデジタル信号線群３１０の幅と、２列の画素出力回路１２０に対応するアナログ信号線群２１０の幅と、の長さの差は、撮像装置の設計上の制約となることがある。

【００８３】

図９（ｂ）の撮像装置では、駆動バイアス線２０２、２０４を含む信号線群と、ランプ信号線２０３との間に、増幅器１１０、Ａ／Ｄ変換部１０７が設けられている。デジタル信号線群３１０に比して幅の短いアナログ信号線群２１０の領域内に、増幅器１１０、Ａ／Ｄ変換部１０７が設けられている。これにより、デジタル信号線群３１０の幅と、増幅器１１０、Ａ／Ｄ変換部１０７を含んだアナログ信号線群２１０の幅と、の長さの差が小さくなる。これにより、画素出力回路１２０の列間隔を一定にしやすくすることができる。

【００８４】

また、図９（ｂ）の撮像装置では、隣り合う行の画素出力回路１２０同士で、画素内メモリ１０８が向き合うように配置されている。これにより、Ａ／Ｄ変換部１０７と、２行の画素出力回路１２０の各々の画素内メモリ１０８とを電気的に接続するラッチ信号線１２２との配線長を、画素出力回路１２０－３のレイアウトを画素出力回路１２０－１と同じとした場合に比して短くすることができる。また、カウンタ信号線３０２と２行の画素出力回路１２０の各々の画素内メモリ１０８との電気的経路についても、画素出力回路１２０－３のレイアウトを画素出力回路１２０－１と同じとした場合に比して短くすることができる。よって、図９（ｂ）の撮像装置は、画素出力回路１２０－３のレイアウトを画素出力回路１２０－１と同じとした場合に比して、２行２列の画素出力回路１２０の回路面積を縮小できる効果を有する。

【００８５】

また、図９（ｂ）の撮像装置では、駆動バイアス線２０２、２０４を含む信号線群と、第４の信号線であるランプ信号線２０３とが、増幅器１１０、Ａ／Ｄ変換部１０７を挟んで設けられている。これにより、図９（ｂ）の撮像装置は、ランプ信号線２０３の時間に依存して電位が変化しても、駆動バイアス線２０２の電位が変動しにくい効果を有する。

【００８６】

また、図９（ｂ）の撮像装置では、増幅器１１０の入力部に加算機能を持たせることにより、隣り合う２列の画素出力回路１２０の光電変換信号の加算を行うことができる。

【００８７】

（実施例７）

図１０は、実施例１～実施例６のいずれかの撮像装置を有する撮像システムである。

【００８８】

図１０において、撮像システムはレンズの保護のためのバリア１５１、被写体の光学像を撮像装置１５４に結像させるレンズ１５２、レンズ１５２を通った光量を可変にするための絞り１５３を有する。さらに撮像システムは、撮像装置１５４より出力される信号の処理を行う出力信号処理部１５５を有する。撮像装置１５４から出力される信号は、被写体を撮影した画像を生成するための撮像信号である。出力信号処理部１５５は撮像装置１５４から出力される撮像信号を必要に応じて各種の補正、圧縮を行って画像を生成する。レンズ１５２、絞り１５３は撮像装置１５４に光を集光する光学系である。

【００８９】

図１０に例示した撮像システムはさらに、画像データを一時的に記憶する為のバッファメモリ部１５６、外部コンピュータ等と通信する為の外部インターフェース部１５７を有する。さらに撮像システムは、撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体１５９、記録媒体１５９に記録または読み出しを行うための記録媒体制御インターフェース部１５８を有する。さらに撮像システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部１５１０を有する。

【００９０】

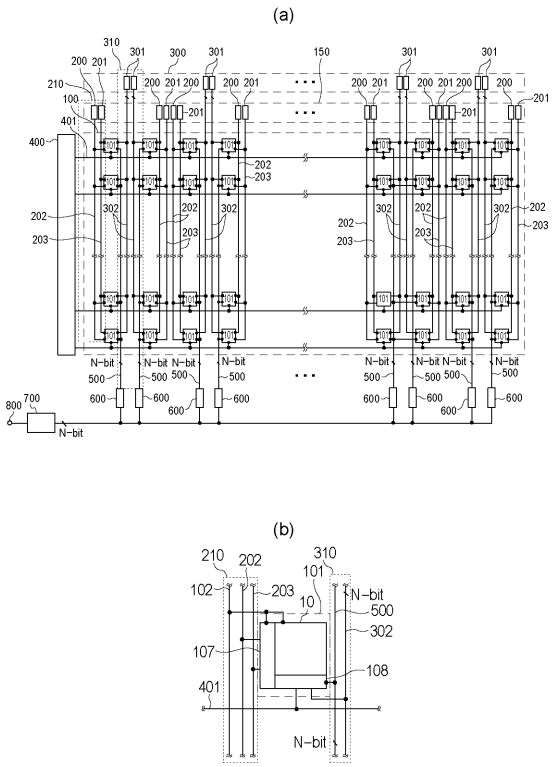
図１０に示した撮像システムが有する撮像装置１５４は、実施例１～実施例６で述べた形態とすることができる。これにより、図１０の撮像システムの撮像装置１５４においても、実施例１～実施例６で述べた効果を得ることができる。

【符号の説明】

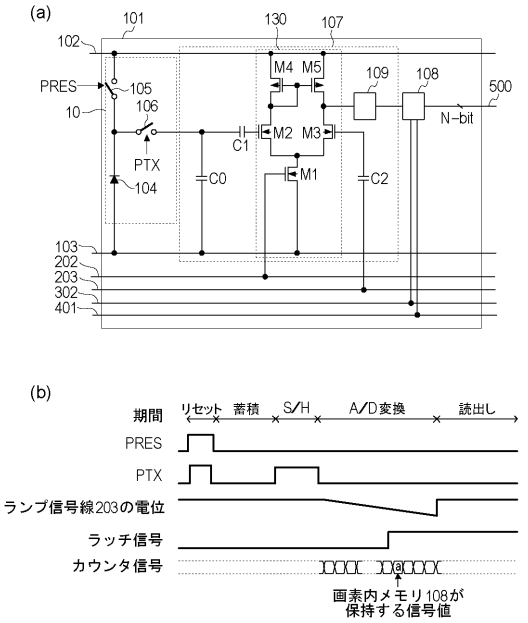
【００９１】

１０１　画素出力回路
１５０　駆動バイアス群
２００　駆動バイアス回路
２０１　ランプ信号供給回路
２１０　アナログ信号線群
３００　カウンタ群
３０１　カウンタ回路
３１０　デジタル信号線群

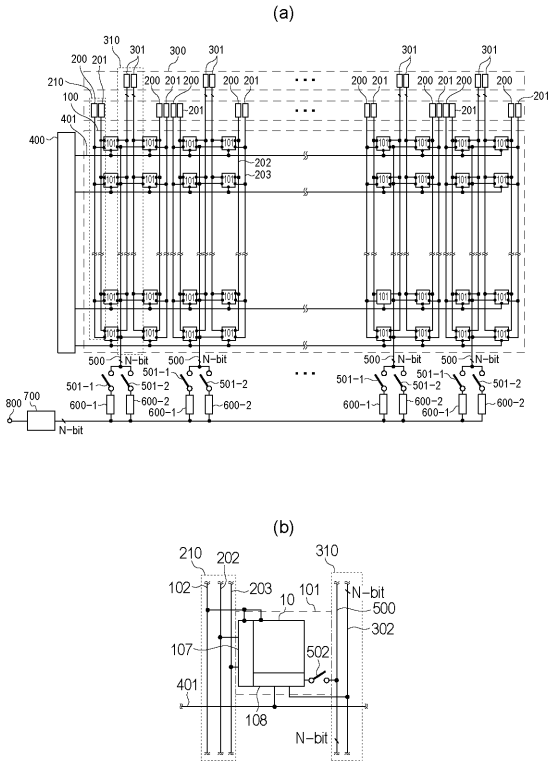
【図１】


(a)
(b)
N-bit

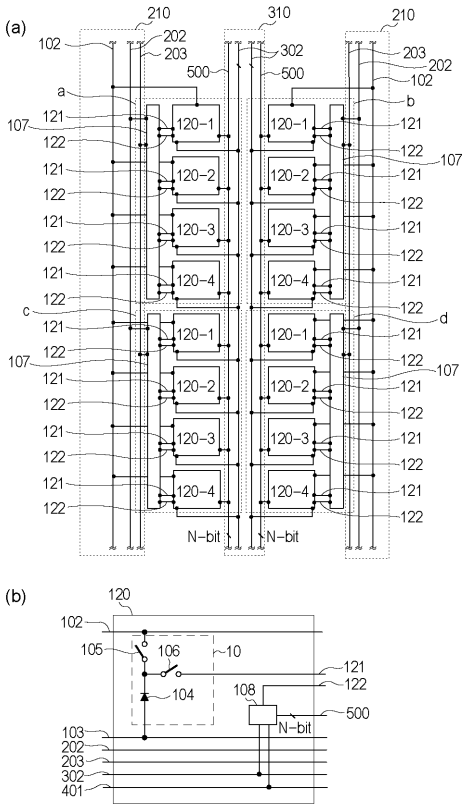
【図２】


(a)
(b)
(c)
期間
リセット
蓄積
S/H
A/D変換
読出し
PRES
PTX
ランプ信号線203の電位
ラッチ信号
カウンタ信号
画素内メモリ108が保持する信号値
(N+2)フレーム目
(N+1)フレーム目
Nフレーム目

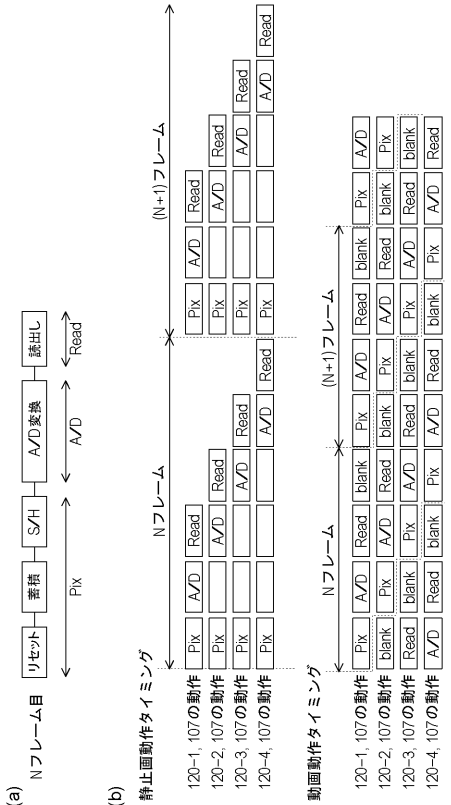
【図３】


(a)
(b)
N-bit

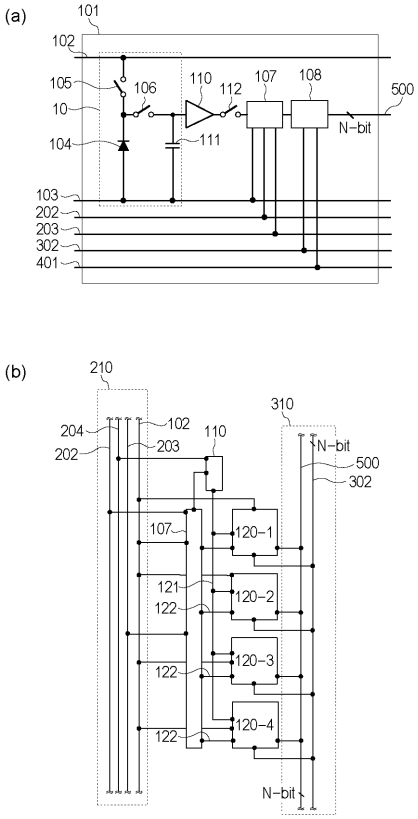
【図４】


(a)
(b)
N-bit

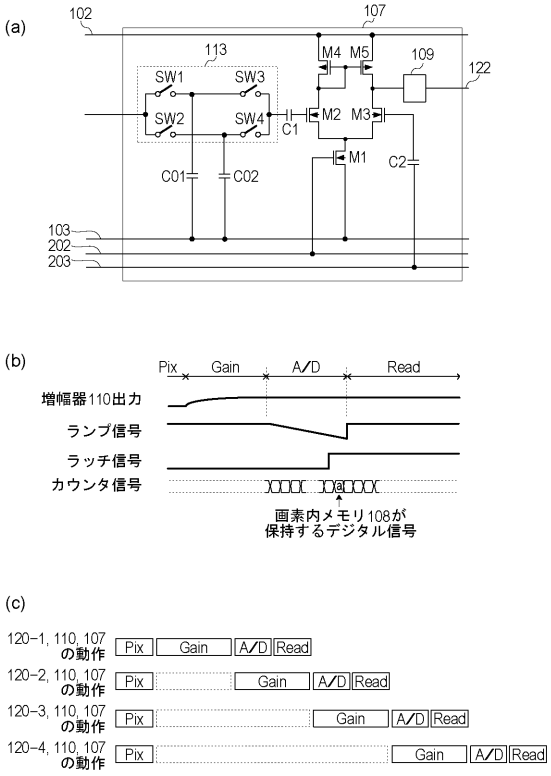
【図５】


(a)
Nフレーム目
リセット
蓄積
S/H
A/D変換
読出し
Pix
A/D
Read
(b)
静止画動作タイミング
Nフレーム
(N+1)フレーム
120−1, 107の動作
120−2, 107の動作
120−3, 107の動作
120−4, 107の動作
動画動作タイミング
Pix
A/D
Read
blank

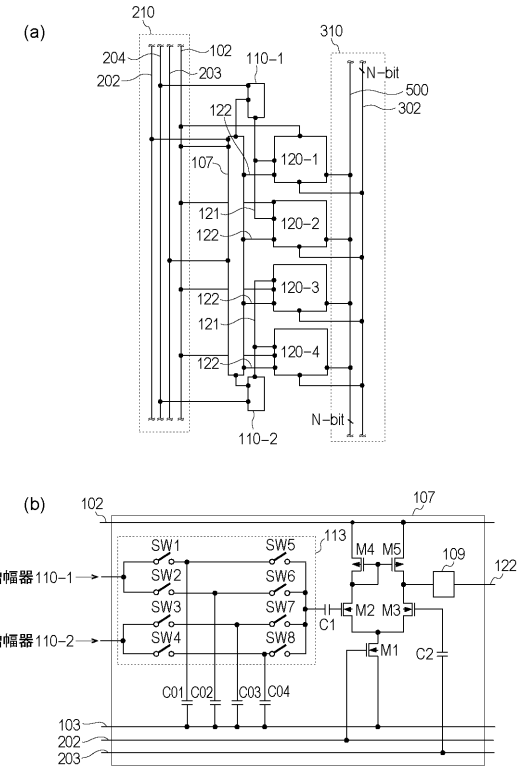
【図６】


(a)
101
102
105
106
110
112
107
108
500
10
104
111
N−bit
103
202
203
302
401
(b)
210
204
202
102
203
110
310
N−bit
500
302
107
120−1
121
122
120−2
120−3
120−4
N−bit

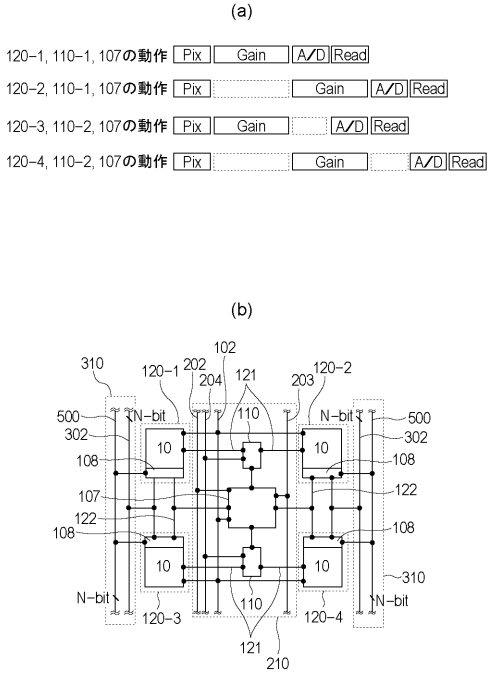
【図７】


(a)
102
107
113
SW1
SW3
SW2
SW4
M4
M5
109
122
C1
M2
M3
M1
C2
C01
C02
103
202
203
(b)
Pix
Gain
A/D
Read
増幅器110出力
ランプ信号
ラッチ信号
カウンタ信号
画素内メモリ108が
保持するデジタル信号
(c)
120−1, 110, 107
の動作
120−2, 110, 107
の動作
120−3, 110, 107
の動作
120−4, 110, 107
の動作

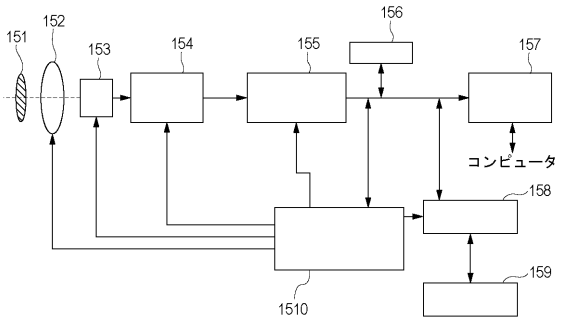
【図８】


(a)
210
204
202
102
203
110−1
310
N−bit
500
302
122
107
120−1
121
120−2
120−3
120−4
110−2
(b)
102
107
113
SW1
SW5
SW2
SW6
SW3
SW7
SW4
SW8
M4
M5
109
122
増幅器110−1
増幅器110−2
C1
M2
M3
M1
C2
C01
C02
C03
C04
103
202
203

【図９】


(a)
120−1, 110−1, 107の動作
Pix
Gain
A/D
Read
120−2, 110−1, 107の動作
120−3, 110−2, 107の動作
120−4, 110−2, 107の動作
(b)
310
120−1
202
204
102
121
203
120−2
500
N−bit
110
302
108
10
107
122
120−3
120−4
210

【図１０】


151
152
153
154
155
156
157
コンピュータ
158
159
1510

フロントページの続き

(72)発明者　大屋　武
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

審査官　松永　隆志

(56)参考文献　特開２００６－２０３７３６（ＪＰ，Ａ）
国際公開第２０１１／０３０３９１（WO，Ａ１）
国際公開第２００８／０３２４９６（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　５／２２５－５／３７８