

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4623764号
(P4623764)

(45) 発行日 平成23年2月2日 (2011.2.2)

(24) 登録日 平成22年11月12日 (2010.11.12)

(51) Int. Cl.

F I

A 6 1 M 39/00 (2006.01)

A 6 1 M 25/00 3 2 0 D

A 6 1 B 19/00 (2006.01)

A 6 1 B 19/00 5 0 1

請求項の数 1 (全 18 頁)

(21) 出願番号 特願平11-541281
 (86) (22) 出願日 平成10年2月10日 (1998.2.10)
 (65) 公表番号 特表2001-520565 (P2001-520565A)
 (43) 公表日 平成13年10月30日 (2001.10.30)
 (86) 国際出願番号 PCT/IL1998/000064
 (87) 国際公開番号 WO1999/040856
 (87) 国際公開日 平成11年8月19日 (1999.8.19)
 審査請求日 平成17年2月10日 (2005.2.10)
 審判番号 不服2009-25628 (P2009-25628/J1)
 審判請求日 平成21年12月25日 (2009.12.25)

(73) 特許権者 508080229
 バイオセンス・ウエブスター・インコーポ
 レーテッド
 アメリカ合衆国カリフォルニア州9176
 5ダイヤモンドバー・ダイヤモンドキャニ
 オンロード3333
 (74) 代理人 110000741
 特許業務法人小田島特許事務所
 (72) 発明者 オサドキ、ダニエル
 イスラエル国34367ハイファ・ハロフ
 エストリート48エイ
 (72) 発明者 マトコビチ、アブラハム
 イスラエル国36780ネシエル・ヤスミ
 ンストリート6/3

最終頁に続く

(54) 【発明の名称】 改良されたカテーテル校正

(57) 【特許請求の範囲】

【請求項 1】

対象者の身体に挿入するためのプローブであって、遠位端と近位端を有し、該プローブに関する情報を記憶するマイクロ回路及びアナログ信号を発生する機能部分を有するプローブと、及び

プローブをコンソールに接続するためのケーブルであって、プローブにおけるマイクロ回路にアクセスするためのアクセス回路を有するケーブルと、

を具備し、該プローブに関する情報は、プローブの使用に関する情報を有し、該使用に関する情報は、その使用者へのプローブの利用可能性を制御する使用コードを有し、

該アクセス回路は、前記機能部分から発生されたアナログ信号を増幅する1個以上の増幅器と、該アナログ信号をデジタル信号に変換するための1個以上のアナログデジタル変換器とを有していることを特徴とするプローブ組立体。

【発明の詳細な説明】

関連出願

この出願は P C T 特許出願 P C T / I L 9 7 / 0 0 0 6 0 に関するものであり、これは参照により本願に組み込まれる。

発明の分野

本発明は一般に医学診断及び処置のためのシステム、特にカテーテルの位置を検出できる医学カテーテルに関する。

発明の背景

米国特許第5042486号及びPCT特許公開WO94/04938における如く、電磁界を使用して身体の内側のプローブ又はカテーテルチップの位置を決定するための種々の方法及び装置が記載されている。これらの開示は参照により本願に組み込まれる。必ずしも医学用途ではないが、他の電磁トラッキングシステムが米国特許第3644825号、第3868565号、第4017858号、第4054881号及び第4849692号に記載されている。これらの開示は参照により本願に組み込まれる。

その開示が参照により本願に組み込まれる米国特許第5391199号は、カテーテルを含むシステムであって、三次元におけるカテーテルの位置を決定することができるが方位は決定できない位置測定装置を含むシステムを記載している。

本特許出願の譲受人に譲渡されておりそしてその開示が同様に参照により本願に組み込まれるPCT特許出願PCT/WO/096/05768は、カテーテルの遠位チップ(distal tip)の位置及び方位の6次元(six-dimensions)を決定するための手段を含むカテーテルシステムを記載している。このシステムは、カテーテルにおける突き止めることができる位置に隣接した、例えばカテーテルの遠位チップ付近の、複数の非同軸コイルから形成された位置センサを使用する。好ましくは3つの直交コイルが使用される。これらのコイルは、6つの位置及び方位座標の計算を可能とする外部から印加された磁界に応答して信号を発生し、その結果カテーテルの位置及び方位がカテーテルを画像化する必要なしに知られる。

米国特許第4580557号は、種々の末梢外科用装置に接続するための外科用レーザシステムを記載している。このシステムは、装置内に埋め込まれたシグナチュアレジスタ(signature registor)の特性に従って、どの装置にそれが接続されるかを同定する。レジスタはそれが埋め込まれている装置を独特に同定する。

米国特許第5383874号はカテーテル本体のハンドル内に担持された同定手段を含む、カテーテルを同定及び監視するためのシステムを記載している。この特許のカテーテルの1つの態様では、ハンドルは、カテーテルの同定コード及び他の動作及び機能特性を表すデジタル値によりプリプログラムされた固体マイクロチップ(solid-state microchip)を含む。ハンドルはマイクロチップからデータを受け取る制御コンソールにケーブルにより接続される。1つの開示された態様では、マイクロチップはカテーテルが使用された回数を記録することができる。

米国特許第5617857号は医学機器のロケーションを決定する画像化システムを記載している。読み出し専用記憶装置(read-only storage device)は機器の初期化情報特性を記憶するために医学機器上に又は医学機器において配置される。かくして、このシステムはそれに接続された機器のタイプを決定することができ、そして機器のタイプに関連した初期化情報を受け取ることができる。この特許は更に、初期化情報が記憶装置から画像化システムに伝送されないかぎり、機器の使用を阻止することを示唆する。初期化情報が正しいことについて証明される証明方法もまた記載されている。2つの方法が記憶装置のロケーションについて示唆される。1つの方法は直接機器中に装置を埋め込むことを示唆する。第2の方法は、或る種の機器を嵌め込むことができる付属品(attachment)、本質的に機器ハンドル内に記憶装置を埋め込むことを示唆している。

かくして、上記特許に記載の態様のいくつかにおいては、カテーテル(又は他の医学器具)に関する情報はカテーテルへの付属品において記憶され、カテーテルそれ自体には記憶されない。これらの態様は校正情報(calibration information)のようなアイテム特定の情報(item-specific information)を記憶するために適当ではない。

上記した特許の他の態様では、情報はカテーテルにおいて記憶される。しかしながら、これらの態様は、過度の複雑性に悩まされ、例えばカテーテルに沿って延びている多重デジタル信号ワイヤを必要とする。この複雑性は使い捨て可能なカテーテルにおける大量使用には実行できない。

発明の要約

10

20

30

40

50

本発明の或る観点の目的は、カテーテルに関する校正情報 (c a l i b r a t i o n i n f o r m a t i o n) の便利な電子工学的記憶 (s t o r a g e) 及び呼び出し (r e c a l l) のための手段を提供することである。

本発明の或る観点の他の目的は情報の呼び出し時間 (r e c a l l t i m e) が最小である、カテーテルに関する校正情報の便利な電子工学的記憶及び呼び出しのための手段を提供することである。

本発明の或る観点の他の目的は、カテーテルと制御コンソールと間の改良された通信を与えるための手段を提供することである。

本発明の或る観点の更なる目的は、校正情報を記憶及び呼び出しすることができる最小のコスト及び最小の複雑性のカテーテルを提供することである。

10

本発明の1つの観点では、制御コンソールに接続するためのカテーテル組立体は2つの部品 (p a r t s) 、即ち、患者の身体に挿入される最小の複雑性のカテーテル及びカテーテルの近位端 (p r o x i m a l e n d) とコンソールとの間の接続ケーブルを具備する。カテーテルは、同じモデルの他のカテーテルと共通ではない実質的にそのカテーテルに特定のな情報のみを有するマイクロ回路を含んでなる。このような情報は、例えば、カテーテルのアイテム特定の校正データ (i t e m - s p e c i f i c c a l i b r a t i o n d a t a) 及びカテーテルの最初の使用の日を包含する。ケーブルはカテーテルからの情報を受け取りそしてそれを適当な形態でコンソールに送るアクセス回路を含んでなる。

好ましくは、ケーブルは特定のモデル又はタイプのすべてのカテーテルに関して動作し (o p e r a t e s) 、従ってカテーテルが取り替えられるとき、ケーブルを取り替える必要はない。特に、1回使用するように計画されているカテーテルは、患者と直接接触しないケーブルの取り替えを必要としない。

20

本発明の好ましい態様では、アクセス回路は、カテーテルがケーブルと互換性 (c o m p a t i b l e) モデルであることを証明する。カテーテルとケーブルとの間の接続は各カテーテルモデルについて独特である (u n i q u e) ことが好ましい。替わるものとして又は追加的に (a l t e r n a t i v e l y o r a d d i t i o n a l l y) 、モデル同定 (m o d e l i d e n t i f i c a t i o n) はマイクロ回路に記憶されそしてアクセス回路はモデル同定がケーブル及びカテーテルにおいて同じであることを証明する。

30

本発明の或る好ましい態様では、各ケーブルは、少数のカテーテルモデルと関連しており、そしてマイクロ回路に記憶されたモデル同定は、どのカテーテルモデルが使用されているかを同定するためにアクセス回路により使用される。

本発明の或る好ましい態様では、カテーテルマイクロ回路はデジタル的に記憶されるデータを含む。好ましくは、マイクロ回路のリードはケーブルの遠位端のレセプタクルのソケットに直接カップリングされる。かくして、カテーテルはデジタル信号ワイヤを含まず、しかもマイクロ回路における情報への速いアクセスを許容する。そしてマイクロ回路からケーブルを介してコンソールに伝送された (t r a n s m i t t e d) デジタル電子工学的信号はカテーテルの遠位端からケーブルにワイヤにより伝えられた (c o n v e y e d) 低レベルアナログ信号を妨害しない。好ましくはアクセス回路はケーブルの遠位端のレセプタクル内に配置されそしてマイクロ回路のリードを受け取るソケットを含む。

40

本発明の好ましい態様では、マイクロ回路はカテーテルに関する最小の校正及び/又は初期化情報を記憶する。替わるものとして又は追加的に、マイクロ回路はカテーテルの最初の使用日のようなカテーテルに関する使用情報を記憶する。

本発明の好ましい態様では、カテーテルは、その近位端に、カテーテルを操作するのに使用される制御装置を含むハンドルを具備する。ハンドルがカテーテルの近位端にないカテーテルでは、ハンドルを越える長さはカテーテルの機能性を増加させないで、カテーテルのコスト及びその無菌化のコストを上昇させる。好ましくは、カテーテルマイクロ回路はハンドルに含まれる。替わるものとして、ハンドルはカテーテルから分離しており、そしてむしろケーブルの遠位端に固定され、マイクロ回路は、ハンドルに接続するカテーテル

50

の近位端のコネクタ内に含まれる。

本発明の或る好ましい態様では、カテーテルは例えば上記文献 P C T / W O 9 6 / 0 5 7 6 8 に記載のように、カテーテルの位置を示すアナログ信号を発生するコイルを含む。ケーブルは好ましくは、アナログ信号を増幅するのに使用される増幅器を含んでなる。替わるものとして又は追加的に、増幅器は生理学的測定値のような他の信号を増幅するのに使用することができる。増幅器はそれがコイル及び／又は他の信号源にできるだけ近くにあるようにレセプタクル内にあるのが好ましい。コンソール内に増幅器を配置することは、隣接ワイヤにノイズを発生するコンソールの回路からの妨害により及びカテーテルの遠位端とコンソールとの間の長い距離にわたるノイズピックアップにより望ましくないことに留意される。カテーテル内に発生した信号は相対的に弱くそして減衰及びノイズから保護されなければならない。カテーテル内に増幅器を配置することは複雑性とカテーテルのコストを増加させ、これも望ましくない。これらの好ましい態様のあるものでは、アクセス回路は 1 個以上のアナログ - デジタル (A / D) 変換器回路を含み、アナログ - デジタル変換器回路はカテーテルからのアナログ信号をデジタル形態に変換し、これはコンソールに伝えられる。かくして、上記した減衰及びノイズ問題は実質的になくなる。

本発明の他の好ましい態様では、カテーテルそれ自体が 1 個以上のアナログ - デジタル (A / D) 変換器回路を含む。これらの態様では、アクセス回路はカテーテルからのデジタル信号のみをコンソールにカップリングする。1 つのこのような好ましい態様では A / D 変換器はカテーテルの遠位チップ (d i s t a l t i p) に隣接している。

本発明の或る好ましい態様では、ケーブルは追加のマイクロ回路を含んで成り、該追加のマイクロ回路において、ケーブルに関連したカテーテルの 1 つ以上のモデルの情報特性が記憶される。このような情報は例えばカテーテルの構成 (c o n f i g u r a t i o n) 及び使用コード (u s a g e c o d e s) を含むことができる。好ましくは、追加のマイクロ回路はケーブル内のアクセス回路及び増幅器のための校正情報も含む。増幅器の校正情報は例えばそれらのゼロゲイン (z e r o - g a i n) 、 D C オフセット (D C o f f s e t) 及び線形性 (l i n e a r i t y) を含むことができる。かくして、カテーテルにある必要のない情報はケーブルにおいて記憶されそしてカテーテルはより複雑性が少なくそしてコストがより少ない。好ましくは、コンソールは、カテーテル及び好ましくはケーブルにおけるマイクロ回路により供給された情報以外の他のカテーテル特定的情報 (c a t h e t e r - s p e c i f i c i n f o r m a t i o n) を必要とせず、その結果カテーテルのより新しいモデルはコンソールのソフトウェア又はハードウェアを更新することなくコンソールと共に使用することができる。

好ましくは、マイクロ回路は E E P R O M 、 E P R O M 、 P R O M 、フラッシュ R O M 又は非揮発性 R A M のような読みだし / 書き込みメモリ部品 (r e a d / w r i t e m e m o r y c o m p o n e n t) を含んで成り、そして情報はデジタル形態で記憶される。替わるものとして又は追加的に、マイクロ回路のいずれかは製造の時点でプリプログラムされる (p r e - p r o g r a m m e d) 読みだし専用メモリを含んで成ることができる。

本発明の好ましい態様では、校正情報はコイルからのカテーテルの遠位チップの相対的変位に関するデータを含む。本発明の或る他の好ましい態様では、校正情報は直交性 (o r t h o g o n a l i t y) からのコイルの逸脱 (d e v i a t i o n) に関するデータ、又はコイルのそれぞれのゲインに関するデータ又はこれらのデータの組み合わせも含む。上記の校正情報は一般にカテーテルによって変わり、従ってカテーテル内のマイクロ回路に記憶されるのが好ましい。好ましくは、データは P C T / I L 9 7 / 0 0 0 6 0 に記載の如き校正方法において決定される。他の校正情報はカテーテルの一般的構成 (g e n e r a l c o n f i g u r a t i o n) 及びアクセス回路のゲイン及びオフセット (o f f s e t) を含むことができ、そして好ましくはケーブルのマイクロ回路に記憶される。本発明の或る好ましい態様では、カテーテルはコンソールにおける信号処理及び計算装置から電氣的に隔離され (i s o l a t e d) 、そして校正情報はカテーテルにおけるアイソレーション回路に関するデータを含む。好ましくは、カテーテルは、カテーテルの近位

10

20

30

40

50

端に隣接した又はカテーテルハンドルにおける絶縁変圧器 (i s o l a t i o n t r a n s f o r m e r) のような少なくとも1つの誘導要素 (i n d u c t i v e e l e m e n t) により隔離される。替わるものとして、カテーテルは、1個以上のオプタイソレータ (o p t o - i s o l a t o r s) 又は当業界で知られた他のタイプのアイソレーション回路により隔離されうる。このような誘導要素及び他のアイソレーション回路は典型的にはそれによって伝えられた信号に非線形性 (n o n - l i n e a r i t i e s) を導入する。このような非線形性は、特にカテーテルの遠位端から信号処理回路にワイヤにより伝えられたアナログ信号において有意な変形 (s i g n i f i c a n t d i s t o r t i o n s) を生じさせることがある。故に、校正情報は誘導要素及び/又は他のアイソレーション回路により導入された信号非線形性に関するデータを含むのが好ましい。

10

校正データは、ルックアップ表 (l o o k u p t a b l e s) 、多項係数 (p o l y n o m i n a l c o e f f i c i e n t s) の形態で又は当業界で知られた他の適当な形態においてカテーテルにおけるマイクロ回路に記録されうる。

本発明の好ましい態様では、校正データは製造時に又は製造時近くに生成されそして記録され、そしてマイクロ回路は使用者による校正データのその後の記録を阻止するように構成される。例えば、マイクロ回路がE P R O M 又はP R O M を含んで成る場合には、適当なプログラミングデバイスがカテーテルコネクタに接続し、そしてE P R O M 又はP R O M を、校正において使用されたコンピュータからコネクタを通じてデジタル信号をそれに入力することによりプログラムする。その後、E P R O M 又はP R O M は再プログラムされなくすることができる。

20

マイクロ回路がE E P R O M 又は非揮発性R A M デバイスを含んで成る他のこのような好ましい態様では、E E P R O M 又は非揮発性R A M デバイスは当業界で知られたタイプの書き込み許可入力コネクション (w r i t e e n a b l e i n p u t c o n n e c t i o n) を含み、これはカテーテルの近位端のコネクタにおける書き込み許可ピン (w r i t e - e n a b l e p i n) に接続される。校正時に、書き込み許可入力はイネーブルされ (e n a b l e d) そして校正データはマイクロ回路に記憶される。しかる後、書き込み許可入力は、例えば書き込み許可ピンを除去することにより又は書き込み許可ピンを電氣的グラウンド (e l e c t r i c a l g r o u n d) に接続することによりディスエーブルされ (d i s a b l e d) 、その結果更なる校正データはマイクロ回路において記録されなくすることができる。

30

替わるものとして、マイクロ回路がE E P R O M デバイスを含んで成る本発明の好ましい態様では、書き込み許可入力は書き込み保護指令 (w r i t e - p r o t e c t c o m m a n d) をデバイスに送ることによりディスエーブルされうる。この指令は可逆性又は不可逆性であることができる。

本発明の更に他の好ましい態様では、カテーテルにおけるマイクロ回路及び/又はケーブルにおけるマイクロ回路は、例えば、X i c o r , I n c により製造されたX 7 6 F 0 4 1 パスワード・アクセス・セキュリティ・スーパバイザ (P A S S TM) セキュアフラッシュROMデバイス (X 7 6 F 0 4 1 P a s s w o r d A c c e s s S e c u r i t y S u p e r v i s o r (P A S S TM) S e c u r e F l a s h R O M d e v i c e) のようなアクセス制御回路を含んで成る。マイクロ回路は好ましくは、パスワードを用いてプログラムされ、その結果校正データが製造の時点で生成されそして記録された後更なる校正データはマイクロ回路において記録されなくすることができ、但しパスワードを知っている工場の許可を得た人 (f a c t o r y - a u t h o r i z e d p e r s o n n e l) によるデータレコーディングは例外としてありうる。

40

本発明の或る好ましい態様では、マイクロ回路において記録されたデータは校正コードを含み、この校正コードは、校正データが変更又は改ざんされないことを確実にするように、当業界で知られた方法に従って暗号化される (e n c r y p t e d) 校正コード (c a l i b r a t i o n c o d e) を含む。使用者がコンピュータを含んで成る適当なコンソールにカテーテルを接続すると、コンピュータは校正コードを読みだしそしてこのコードをプリプログラムされた値と比較する。コードが所望のプリプログラムされた値に合致

50

しなければ、コンピュータは、カテテルが適切に校正されていないことがありうることを示すメッセージを表示させる。コンピュータは、所望のプリプログラムされた値に合致するコードを有するカテテルがそれに接続されるまで更なる動作を阻止することができる。

校正コードは、許可されていないパーティ (unauthorized parties) による暗号解読を阻止する方法、例えばパブリックキー及びプライベートキー又は当業界で知られた他の方法を使用して RSA 暗号化スキーム (RSA encryption scheme) を使用して暗号化されるのが好ましい。RSA 暗号化のような方法が使用される場合には、プライベートキーは、劣った品質の可能性のある許可されていない代替物の可能な使用を阻止するように、カテテルの許可された製造者にのみ知られている。

10

本発明の更なる好ましい態様では、マイクロ回路において記録されたデータは満了の日及び時間 (expiration date and time) を含み、この満了の日及び時間の後はカテテルは使用できなくすることができる。使用者がコンピュータを含んで成る適当なコンソールにカテテルを接続すると、コンピュータは満了の日及び時間を読み出し、そしてそれらを例えばリアルタイムクロックにより発生された実際の日及び時間と比較する。満了の日及び時間を過ぎているならば、コンピュータは、カテテルが更なる使用には不適当であることを示すメッセージを表示させる。コンピュータは、有効な満了の日及び時間を有するカテテルがそれに接続されるまで、更なる動作を阻止することができる。

20

好ましくは、満了の日及び時間は、カテテルが最初に使用されるときカテテルにおけるマイクロ回路をプログラムすることによりコンソールコンピュータにより記録される。かくして、カテテルが最初にコンソールに接続されるとき、コンピュータは、満了の日及び時間がマイクロ回路においてまだ記録されていないことを検出し、そして実際の日及び時間の後プリセットされたインターバルにおける適切な満了の日及び時間を使用してマイクロ回路をプログラムする。好ましくは、プリセットされたインターバルはケーブル内に記憶されそしてカテテルの予想される有効寿命に基づいて製造者により決定される。マイクロ回路がアクセス制御回路を含んで成る好ましい態様では、マイクロ回路は、それにおけるメモリロケーションが “リード・アクセス・アンド・プログラム・オンリー” モードで動作されうるようにプログラムされる。このモードは、一般にカテテルの使用者には入手可能ではない適当なパスワードのエントリーによってのみ変更されうる。 “リード・アクセス・アンド・プログラム・オンリー” モードにおいては、メモリロケーションに記憶された数は、ビットを “1” から “0” に変えることにより減少させることができるが、増加させることはできない。何故ならば、プログラムされたマイクロ回路は “0” が “1” に変更されることを許容しないからである。好ましくは、メモリロケーションは、最大値、即ちすべてのビットが “1” にセットされることを含むように、製造の時点でセットされる。次いで、上記したとおり、最初の使用時に、コンピュータは、メモリロケーションにおける 1 つ以上のビット (one or more bits) を “1” から “0” に変えることにより適切な満了の日及び時間でマイクロ回路をプログラムする。しかる後、満了日はその後のいかなる日にも変更されえない (正しいパスワードが最初にエンターされない限り)。

30

40

替わるものとして又は追加的に、上記したとおりのアクセス制御回路を含んで成るマイクロ回路は、カテテルの使用者による可能な改ざん又は誤りから保護される方式で、カテテルが使用された回数及び / 又は使用の期間をトラックする (track) のに使用することができる。好ましくは、カテテルを使用することができる回数及び / 又は時間の長さに対応するレコードは、製造の時点でカテテル内のデバイス又はマイクロ回路におけるメモリロケーションに記憶され、そしてマイクロ回路はこのメモリロケーションが上記したとおり “リード・アクセス・アンド・プログラム・オンリー” モードで動作できるようにプログラムされる。カテテルが使用される度毎に及び / 又は使用中規則的な時間インターバルで、コンピュータはメモリロケーションにおけるレコードを読み出し、そし

50

てそれを、それにおける１つ以上のビットを“１”から“０”に変えることによって減少させる。メモリロケーションに記憶されたレコードがゼロ又は或る他の所定の最小値に達すると、コンピュータは、カテーテルが更なる使用には不適當であることを示すメッセージを使用者に表示させ、そして好ましくは、適当なカテーテルがそれに接続されるまで更なる動作を阻止する。

それ故、本発明の好ましい態様に従えば、対象者の身体に挿入するためのプローブを含むコンソールを接続するためのプローブ組立体であって、該プローブが遠位端及び近位端を有しそしてプローブに関する情報を記憶するマイクロ回路及びコンソールにプローブを接続するためのケーブルを有し、該プローブがプローブにおけるマイクロ回路をアクセスするためのアクセス回路を含む、プローブ組立体が提供される。

10

好ましくは、ケーブルは共通のタイプの２個以上の異なるプローブに互換性で（interchangeably）接続可能であり、そしてマイクロ回路は、独特にそのプローブに関する情報であってそのタイプの他のプローブとは実質的に共通ではない情報を記憶する。

好ましくは、アクセス回路は共通のタイプの異なるプローブに共通に係する情報を記憶するケーブルマイクロ回路（cable-microcircuit）を含む。

更に好ましくは、ケーブルマイクロ回路はプローブのタイプを同定する情報を記憶する。

好ましくは、プローブに関する情報はプローブの使用に関する情報を含む。

好ましくは、使用に関する情報はその使用者へのプローブの入手可能性を制御する使用コードを含む。

20

好ましくは、アクセス回路はプローブの入手可能性を減少させるがその入手可能性を増加はさせないように使用コードを変えることを許容する。

好ましくは、マイクロ回路は、そのメモリロケーションに、リード・アクセス・アンド・プログラム・オンリーモードで動作するようにアクセス回路により制御されている使用コードを記憶する。

好ましくは、このモードはアクセス回路へのパスワードのエントリーにより変えることができる。

替わるものとして又は追加的に、使用コードは日情報を含む。

好ましくは、マイクロ回路はプローブの近位端に隣接している。

好ましくは、マイクロ回路はプローブの近位端から突き出すリードを含み、アクセス回路はマイクロ回路のリードを受け入れるソケットを含む。

30

好ましくは、プローブはアナログ信号を発生する機能部分を含み、アクセス回路はアナログ信号を増幅する１個以上の増幅器を含む。

好ましくは、アクセス回路は１個以上のアナログ・デジタル変換器を含む。

好ましくは、アクセス回路は１個以上の増幅器の校正に関する情報を記憶するケーブルマイクロ回路を含む。

替わるものとして又は追加的に、アクセス回路はプローブ組立体に関する情報を記憶するケーブルマイクロ回路を含む。

好ましくは、ケーブルマイクロ回路はプローブの構成（configuration）を記述する情報を記憶する。

40

好ましくは、ケーブルマイクロ回路はプローブの許容された使用期間を記憶する。

替わるものとして又は追加的に、ケーブルはカテーテルの最初の使用からの時間を測定するための内部クロックを含む。

好ましくは、マイクロ回路における情報の少なくとも一部が暗号化される。

好ましくは、プローブに関する情報はプローブの校正情報を含む。

好ましくは、プローブはプローブの位置又は方位に応答する信号を発生するデバイスを含み、そしてプローブの校正情報は信号発生装置の校正に関する情報を含む。

好ましくは、信号発生装置はプローブの遠位端に隣接している。

更に好ましくは、信号発生装置は１個以上のコイルを含む。

好ましくは、校正情報は１個以上のコイルの少なくとも１つのゲインに関する情報を含む

50

。

替わるものとして又は追加的に、校正情報は１個以上コイルの少なくとも１つの角度方位に関する情報を含む。

替わるものとして又は追加的に、校正情報はプローブの遠位端に対する信号発生装置の位置変位に関する情報を含む。

好ましくは、プローブはアイソレーション回路を含み、そしてプローブに関する情報はアイソレーション回路の非線形性に関する情報を含む。

好ましくは、マイクロ回路は、プログラマブルメモリデバイス、EEPROMデバイス、EPROM又はPROMデバイス、非揮発性RAMデバイス又はフラッシュROMデバイス(Flash ROM device)を含む。

10

好ましくは、ケーブルはプログラマブルメモリデバイスをプログラムするための接続の少なくとも１つをディスエーブルするための手段を含む。

対象者の身体に挿入するためのプローブであって該プローブの校正情報を記憶するマイクロ回路を含むプローブと、該プローブをコンソールに接続するためのケーブルであって該プローブのマイクロ回路にアクセスするためのアクセス回路を含むケーブルと、該位置又は方位応答信号(position-or-orientation-responsive signals)及び校正に関する該情報を受け取りそしてそれからプローブの位置を決定するコンピュータを含むコンソールとを含む、対象者の身体におけるプローブの位置を決定するための装置が本発明の好ましい態様に従って更に提供される。

好ましくは、プローブは、プローブの位置及び方位に応答する信号を発生する装置を含み、そしてプローブの校正情報は信号発生装置の校正に関する情報を含む。

20

好ましくは、マイクロ回路はプログラマブルメモリデバイスを含む。

好ましくは、コンピュータはプログラマブルメモリデバイスをプログラムするようになっている。

プローブと接続ケーブルを含むプローブ組立体と共に使用するためのコンソールを初期化する方法であって、該ケーブルを使用してプローブをコンソールに接続し、コンソールにケーブル内のマイクロ回路からの一般的モデル情報をロードし(load)、そしてコンソールにカテーテル内のマイクロ回路からの特定のカテーテル情報をロードすることを含む方法が本発明の好ましい態様に従って更に提供される。

好ましくは、特定のカテーテル情報は校正情報、使用コード及び/又は最初の使用日を含む。

30

好ましくは、一般モデル情報は許容された使用期間を含む。

好ましくは、この方法は、最初の使用日からの使用期間が満了したならば、警告メッセージを表示することを含む。

好ましくは、プローブをコンソールに接続することは、ケーブルにおけるアクセス回路を介してプローブを接続することを含む。

好ましくは、この方法はアクセス回路に関する校正情報をコンソールにロードすることを含む。

本発明は、図面と共にその好ましい態様の下記の詳細な説明からより完全に理解されるであろう。

40

【図面の簡単な説明】

図１は本発明の好ましい態様に従うカテーテル及び接続ケーブルを含むシステムの斜視図である。

図２は図１のカテーテルの遠位端の詳細断面図である

図３は本発明の好ましい態様に従うカテーテルとケーブルとの間の接続部位の詳細略図である。

好ましい態様の詳細な説明

図１は本発明の好ましい態様に従うプローブシステム１８を示す。システム１８は、ヒトの身体に挿入するための細長いプローブ、好ましくはカテーテル２０を具備する。下記の好ましい態様がカテーテルに関して説明されているが、本発明は他のタイプのプローブに

50

同等に適用可能であることが理解されるであろう。

カテーテル 20 の遠位端 22 は、遠位チップ 26 に隣接した、診断的及び / 又は治療的機能を遂行するための機能部分 24 を含む。機能部分 24 は、例えば、心臓の病気の区域の電気生理学的測定又は電気外科的切除のための電極（図には示されていない）を含んで成ることができる。替わるものとして又は追加的に、機能部分は他のタイプのセンサ又は光学的画像形成装置又は超音波画像形成装置を含んで成ることができる。

カテーテル 20 の遠位端 22 は、身体内のカテーテルの位置及び方位を決定するのに使用される信号を発生する装置 28 を更に含む。装置 28 は機能部分 24 に隣接しているのが好ましい。装置 28、チップ 26 及び部分 24 の間に一定の位置的及び方位的關係があるのが好ましい。

10

カテーテル 20 は好ましくはハンドル 30 を含み、ハンドル 30 は、カテーテルの遠位端を所望の方向に導き又はそれを所望のとおり位置付け及び / 又は方向づけるために外科医により使用される制御装置 32 を含む。

図 1 に示されたシステムは、更に、コンソール 34 を具備し、コンソール 34 は使用者がカテーテル 20 の機能を観察及び調節することを可能とする。コンソール 34 は好ましくは、コンピュータ 36、キーボード 38、典型的にはコンピュータの内側にある信号処理回路 40 及びディスプレイ 42 を含む。信号処理回路 40 は、典型的には、位置信号発生装置 28 により発生された信号を含むカテーテル 20 からの信号を受信し、増幅し、ろ波し (filter) そしデジタル化し、しかる後、これらのデジタル化された信号はコンピュータ 36 により受信されそして、カテーテルの位置及び方位を計算するのに使用される。あるいは、下記するとおり、適当な回路をカテーテルそれ自体と関連させ、それにより回路 40 は既に増幅され、ろ波され及び / 又はデジタル化された信号を受け取るようにすることができる。

20

カテーテル 20 は延長ケーブル 21 を介してコンピュータ 36 にカップリングされ、延長ケーブル 21 はその近位端にコネクタ 44 を具備し、コネクタ 44 はコンソール 34 の合わせ (mating) レセプタクル 46 に嵌合するようになっている。ケーブル 21 の遠位端はハンドル 30 に接続するレセプタクル 33 を具備する。レセプタクル 33 は好ましくは特定のモデルのカテーテルを受け入れるように構成され、そして好ましくは特定のモデルの使用者が触知できる (user-tangible) 同定 (identification) を含む。ケーブル 21 を使用することの利点の 1 つは、場合により異なるハンドル構成を有する異なるモデル及びタイプのカテーテルを同じコンソール 34 に接続できることである。多様なカテーテルをコンソール 34 に接続するのに異なるケーブル 21 を使用することができる。別々のケーブル 21 を有することの他の利点は、ケーブルが患者と接触せず、それ故滅菌なしでケーブルを再使用することが可能であるということにある。

30

好ましくは、ケーブル 21 は更に 1 個以上の絶縁変圧器（図には示されていない）を含み、絶縁変圧器はカテーテル 20 をコンソール 34 から電氣的に隔離する。絶縁変圧器は好ましくはレセプタクル 33 内に含まれる。

本発明の好ましい態様に従うカテーテル 20 の遠位端 22 の詳細図を示す図 2 をここで参照する。装置 28 は PCT 特許公開番号 WO 96 / 05768 に記載のような 3 つの非同軸コイル 60、62 及び 64 を含んで成る。PCT 特許公開番号 WO 96 / 05768 の開示は参照により本明細書に組み込まれる。この装置は外部から印加された磁界に関する 6 次元 (six-dimensions) の位置及び方位情報の連続的な発生をイネーブルする。コイル 60、62 及び 64 はそれぞれの軸線 66、68 及び 70 を有し、これらは好ましくはそれぞれ図 2 に示されたように直行カーテシアン軸 (orthogonal Cartesian axes) Z、X 及び Y を規定する。図 2 において Z 軸はカテーテルの長さの軸に平行であり、X 軸及び Y 軸はそれに垂直な面を規定する。コイルは各々お互いに関して一定の位置及び方位を有する。

40

本発明の好ましい態様が図 2 に示されそして上記した位置信号発生装置 28 に関して本明細書で説明されているけれども、本発明の発明的概念は他の位置感知装置を含むプローブ

50

に同様に適用可能であることは理解されるであろう。例えば、本発明の他の好ましい態様では、プローブは位置信号を発生するための単一コイル、又は同軸又は非同軸であることができる2つ以上のこのようなコイル具備することができる。本発明の他の好ましい態様は、ホール効果装置 (Hall effect devices) 又は超音波もしくは光学的センサのような当業界で知られた他のタイプの位置感知装置を具備することができる。

図2に示されたように、装置28は遠位チップ26から距離Lのところにかテーテル20内に配置され、ここにLはここではコイル62の中心軸68からチップ26までのZ軸に沿った距離として便宜上定義される。コイル60及び64のそれぞれの軸線66及び70はそれぞれの距離 d_y 及び d_z だけ軸線68から変位している。

時変外部磁界 (time-varying external magnetic field) がカテーテル20の遠位端22に印加されると、コイル60、62及び64はアナログ信号を発生し、このアナログ信号は好ましくはコイルワイヤ72によりカテーテルを通して伝えられる。これらのアナログ信号の振幅は典型的にはカテーテル20における及びカテーテル20のまわりの他の電気的信号、例えば機能部分24により測定されそして機能ワイヤ76によりカテーテルを通して伝えられる電気生理学的信号に比べて小さい。更に、外部磁界はコイル60、62及び64により発生されたものではない望まない電流をコイルワイヤ72に流れさせることもある。これらの他の電気信号及び望まれない電流は、ノイズ又は妨害信号を、コイルにより発生した信号と一緒に現れさせることがある。それ故、本発明の好ましい態様では、ワイヤ72は、加燃された対として構成され、そしてコイルから受け取った位置及び方位信号における高い信号対ノイズ比 (signal-to-noise ratio) を維持するようにシールド74により電磁妨害から遮蔽されることもできる。

上記の05768 PCT特許公開に記載のとおり、コンソール34の信号処理回路40はコイルワイヤ72により運ばれた信号を受け取り、そしてそれらをコンピュータ36に送り、該コンピュータは、固定された外部座標フレーム (fixed external coordinate frame) に対して、装置28の三次元並進位置 (three-dimensional translational position) 及び軸線66、68及び70の回転方位 (rotational orientation) を計算する。次いで遠位チップ26の実際の位置及び方位が、軸線68により規定された装置28の中心からのチップ26の距離L及び軸線66、68及び70の方位を考慮することにより計算される。

カテーテル20を製造する方法におけるばらつき (deviations) により、距離Lは典型的にはカテーテルによって変わり、チップ26の位置を計算する際の誤差をもたらすことが経験的に見いだされた。更に、コイル60の軸線66は、典型的には、チップ26を通るカテーテル20の長さの軸との絶対的整合 (absolute alignment) から逸脱し、そしてコイル62及び64の軸線68及び70はそれぞれ典型的には軸線66に対して又はお互いに対して厳密に直交ではなく、それによりカテーテルの位置及び方位の決定において追加の誤差を誘発する。最後に、コイル60、62及び64のそれぞれのゲインの変動及び距離 d_y 及び d_z の変動はカテーテルの位置及び方位の決定における追加の誤差を生じさせることがある。

それ故、本発明の好ましい態様では、カテーテル20の位置及び方位を決定するのに使用される装置28は、カテーテルが患者の身体に挿入される前に校正される (calibrated)。この校正はPCT/IL97/00060に記載の方法を含む適当な方法を使用して行うことができる。決定された校正補正関数 (calibration correction function) はその後メモリデバイスに電子工学的に記憶され、このメモリデバイスは好ましくはカテーテル20内にある。カテーテルがコンソール34にカップリングされると、このメモリデバイスはコンソールのコンピュータ36にアクセス可能である。

図3は本発明の好ましい態様に従うレセプタクル33及びハンドル30の詳細を示す。ハ

10

20

30

40

50

ンドル 30 はカテーテル 20 のための校正データが電子工学的に記憶されるデジタルマイクロ回路 90 を含む。マイクロ回路 90 は好ましくは E E P R O M 又は F l a s h R O M を包含するが、替わるものとして E P R O M、P R O M、非揮発性 R A M 又は当業界で知られた他のタイプのプログラマブルメモリデバイスを包含することができる。カテーテル 20 が校正されると、その特定の校正データはマイクロ回路 90 に記憶され、かくしてデータは下記するようにコンピュータ 36 に便利にアクセス可能である。

好ましくは他のマイクロ回路 88 がケーブル 21 のレセプタクル 33 内に含まれる。マイクロ回路 88 は好ましくはマイクロ回路 90 のメモリと同様なプログラマブルメモリを含む。或るモデルのすべてのカテーテルに共通のカテーテル 20 の初期化に関する情報は、カテーテルそれ自体の中に埋め込まれているマイクロ回路 90 に記憶されるよりはむしろマイクロ回路 88 に記憶されるのが好ましい。大抵のカテーテルは、洗浄、無菌化及び摩耗の問題のため、使用できる回数が制限される。普通はカテーテルは 1 回だけ使用することができる。故に、最小寸法のマイクロ回路 90 を含む必要な最小回路のみをカテーテル 20 に組み込むことによりカテーテル自体のコストを最小にすることが望ましい。所定のモデルのすべてのカテーテルについて共通に特徴的なすべての他の情報はレセプタクル 33 内に記憶されており、レセプタクル 33 は患者の身体には挿入されない。替わるものとして又は追加的に、1 群のカテーテルの情報特性はコンソール 36 内に記憶され、一方ケーブル 21 はどのカテーテルモデルが使用されているを同定する最小の情報のみ保持する。

コンソール 36 よりもむしろレセプタクル 33 にモデル情報を有することの利点は、コンソールに大きなデータベースをロードすることなくコンソール 36 と共に多様なカテーテルの使用を可能とすることにある。更に、マイクロ回路 88 は好ましくは下記するようにレセプタクルにおける回路に関する校正情報を記憶する。これらの特徴は、各タイプのカテーテルに関連した単一のコンソール 36 を有するよりはむしろ、種々のカテーテルタイプと共に標準コンソールを使用することを可能とする。更に、より新しいモデルのカテーテルを単にそれらの互換性ケーブル (c o m p a t i b l e c a b l e) 21 を介してコンソールに接続することにより該新しモデルのカテーテルをコンソール 36 と共に使用することができ、かくしてコンソールのソフトウェアを更新する必要又は新しいコンソールを得る必要を減少させる。

図 3 に示された好ましい態様では、ハンドル 30 は、レセプタクル 33 の対応するソケット 93 に合うピン 92、94、96 及び 98 を更に含む。機能ピン 94 は機能ワイヤ 76 を通じて伝えられたアナログ電気生理学的信号を信号処理回路 40 にカップリングさせる。コイルピン 92 は、コイル 60、62 及び 64 からコイルワイヤ 72 によって伝えられたアナログ位置及び方位信号を信号処理回路 40 及びコンピュータ 36 にカップリングし、これはカテーテル 20 の位置及び方位を計算する。コンピュータは、更にメモリピン 96 を介してマイクロ回路 90 に記憶されたデジタル校正補正データを読みだし、これらのデータを正確なカテーテル位置及び方位を計算するのに使用する。

レセプタクル 33 は好ましくはコイルワイヤ 72 により運ばれた位置及び方位信号を増幅する 1 個以上の増幅器 80 を含んで成る。これらの信号は一般に非常に弱く、それ故信号を生成するコイル 60、62 及び 64 にできるかぎり近くに増幅器 80 を配置することが重要である。しかしながら、増幅器 80 をカテーテル 20 内に配置しないことが有利である。何故ならば増幅器 80 はカテーテルのコスト及び複雑性をはなはだしく増加させるからである。好ましくは、レセプタクル 33 は更に、増幅器 80 からのアナログ信号をデジタル形態に変換する 1 個以上のアナログ - デジタル (A / D) 変換器 82 を含んで成る。

好ましくは、機能ワイヤ 76 を通じて伝えられる生理学的信号も増幅器 84 により増幅され、次いで A / D 変換器 86 を介してデジタル形態に変換される。好ましくは、ゲイン及びオフセットのような増幅器 80 及び 84 のための校正情報はマイクロ回路 88 に記憶される。

1 個以上の書き込み許可ピン 104 が好ましくはマイクロ回路 90 にカップリングされる

。これらのピンは所望の校正データによるマイクロ回路のプログラミングを可能とするのに使用される。校正の時点で、書き込み許可入力がいネーブルされ、校正データはマイクロ回路に記憶される。しかる後、例えば書き込み許可ピンを除去すること又は図3に示されたようにそれを電氣的グラウンド106に接続することによって書き込み許可入力はディスエーブルされ、その結果、更なる校正データはマイクロ回路に記録されえず、マイクロ回路は読みだし専用モードで機能する。マイクロ回路88は同様な方式でプログラムされうる。

替わるものとして、マイクロ回路90がEEPROMデバイスを含んで成る本発明の好ましい態様では、書き込み許可入力はこのデバイスに書き込み保護指令(w r i t e - p r o t e c t c o m m a n d)を送ることによりディスエーブルされうる。この指令は可逆性又は非可逆性であることができる。

10

本発明の他の好ましい態様では、マイクロ回路90は、パスワード保証アクセス制御装置(p a s s w o r d - s e c u r e d a c c e s s c o n t r o l)を組み込むデバイスを含んで成り、マイクロ回路への書き込みアクセスは適当なパスワードが最初にエンターされることを必要とする。例えば、1つのこのような好ましい態様では、マイクロ回路90は、X i c o r , I n c により製造されたパスワード・アクセス・セキュリティ・スーパーバイザ(P A S S TM) X 7 6 F 0 4 1 セキュアフラッシュROMデバイス(P a s s w o r d A c c e s s S e c u r i t y S u p e r v i s o r (P A S S TM) X 7 6 F 0 4 1 S e c u r e F l a s h R O M d e v i c e)を含んで成る。マイクロ回路は、製造時の校正データでプログラムされ、しかる後すべての書き込み動作がロックアウトされた状態で“リード・アクセス・オンリー”モードで動作するか、又は下記するとおり或る種のデータはデバイスに書き込むことができるが校正データを書き込むことはできない“リード・アクセス・アンド・プログラム・オンリー”モードで動作する。マイクロ回路の動作モードを変えることは適当なパスワードがエンターされることを必要とし、該パスワードはシステムの使用者には一般に入手できないものである。

20

本発明の他の好ましい態様では、マイクロ回路90はEPROM又はPROMを含んで成る。校正に使用されるコンピュータからデータを受け取る、図には示されていない適当なプログラミング装置を使用して製造の時点で校正データはEPROM又はPROMに記録される。プログラミング装置は、図には示されていない校正ソケット(c a l i b r a t i o n s o c k e t)を介してハンドル30に接続されており、校正ソケットはレセプタクル33と同様にハンドル30を受け入れるようになっている。プログラミング装置はコネクタを通してEPROM又はPROMにデジタル信号を入力することによりEPROM又はPROMをプログラムする。しかる後、EPROM又はPROMは再プログラムできなくすることができる。

30

本発明の或る好ましい態様では、マイクロ回路90及び/又はマイクロ回路88に記録されたデータは、校正データが変更又は改ざんされないことを確実にするように、当業界で知られている方法に従って暗号化されている校正コードを含む。好ましくは、校正コードは検査合計(c h e c k s u m)を含む。使用者がカテテル20をコンソール34に接続すると、コンピュータ36は校正コードを読みだしそしてそのコードをプリプログラムされた値と比較する。コードが所望のプリプログラムされた値に合致しないならば、コンピュータは、カテテルが適切に校正されていないことがありうることを示すメッセージをディスプレイ42により表示させる。コンピュータは更に所望のプリプログラムされた値に合致するコードを有するカテテルがそれに接続されるまで、システムの動作を休止させることができる。

40

好ましくは、校正コードは、許可されていないパーティによる暗号解読を防止する方法を使用して、例えば、パブリックキー又はプライベートキー又は当業界で知られた他の方法を使用して、RSA暗号化スキームを使用して暗号化される。RSA暗号化のような方法が使用される場合には、プライベートキーは、場合により劣った品質の許可をされていない代替物の可能な使用を防止するように、カテテルの許可された製造者にのみ知られている。

50

本発明の更なる好ましい態様では、マイクロ回路 90 に記録されたデータは満了の日及び時間を含み、その後はカテテルは使用できない。マイクロ回路 88 は同様にその期間にわたってカテテルを使用できる最大期間に関するデータを含む。使用者がカテテル 20 をコンソール 34 に接続すると、コンピュータ 36 は満了の日及び時間を読みだし、それらを例えばリアルタイムクロック回路により発生させられた実際の日及び時間と比較する。満了の日及び時間が過ぎていたら、コンピュータはカテテルが更なる使用には不適當であることを示すメッセージをディスプレイ 42 により表示させる。替わるものとして又は追加的に、コンピュータは満了日の後カテテル 20 の使用を阻止することができる。

本発明の好ましい態様では、ケーブル 21 は時間及び日のトラックを保つ (keep track) 内部クロックを含む。替わるものとして又は追加的に、ケーブル 21 の内部クロックはカテテル 20 の最初の使用からの相対的時間のトラックを保持する。かくして、コンソールにおける日を変えることにより使用阻止を回避することは可能ではない。

好ましくは、満了の日及び時間は、カテテル 20 が最初に使用されるときマイクロ回路 90 をプログラムすることによりコンピュータ 36 により記録される。カテテル 20 が最初にコンソール 34 に接続されると、コンピュータ 36 は、満了の日及び時間がマイクロ回路 90 にまだ記録されていないことを検出し、そして目下の日及び時間 (current date and time) の後のプリセットインターバル (pre-set interval) における適当な満了の日及び時間によりマイクロ回路をプログラムする。プリセットインターバルはカテテルの予想される有効寿命に基づいて製造者により決定されるのが好ましい。

マイクロ回路 90 が前記した X76F041 デバイスのようなアクセス制御回路を含むデバイスを含んで成る本発明の好ましい態様では、マイクロ回路はそれにおけるメモリロケーションが “リード・アクセス・アンド・プログラム・オンリー” モードで動作可能であるようにプログラムされる。このモードは一般にシステムの利用者には入手できない適当なパスワードのエントリーによってのみ変えることができる。 “リード・アクセス・アンド・プログラム・オンリー” モードでは、メモリロケーションに記憶された数は、ビットを “1” から “0” に変えることにより減少させることができるが、増加させることはできない。何故ならば、プログラムされたマイクロ回路 “0” が “1” に変えられることを許容しないからである。好ましくは、メモリロケーションは、最大値、即ち、すべてのビットが “1” にセットされること、を含むように製造の時点でセットされる。次いで、上記したように、カテテル 20 が最初に使用される時、コンピュータ 36 は、メモリロケーションにおける 1 つ以上のビットを “1” から “0” に変えることにより適当な満了の時間及び日でマイクロ回路をプログラムする。しかる後、満了日はその後のいかなる日にも変えることはできない (正しいパスワードが最初にエンターされない限り)。

替わるものとして又は追加的に、上記したとおりアクセス制御回路を含んで成るマイクロ回路 90 は、その使用者による可能な改ざん又は誤りから保護されるような方式で、カテテル 20 が使用された回数をトラック (track) するのに使用することができる。

好ましくは、カテテル 20 を使用できる回数に対応するレコードは製造の時点でデバイスのメモリロケーションに記憶され、そしてマイクロ回路は、このメモリロケーションが上記したとおり “リード・アクセス・アンド・プログラム・オンリー” モードで動作可能であるようにプログラムされる。カテテルが使用される度毎に、コンピュータ 36 はメモリロケーションのレコードを読みだし、そしてそれにおける 1 つ以上のビット (one or more bits) を “1” から “0” に変えることによりそれを減少させる。レコードのすべてのビットがゼロに等しくなるとき又はレコードが或る他の所定の最小値に達すると、コンピュータはカテテルが更なる使用には不適當であることを示すメッセージを利用者に表示させ、そして好ましくは適当なカテテルがそれに接続されるまで更なる動作を阻止する。

同様に、替わるものとして又は追加的に、マイクロ回路 90 はカテテル 20 の使用の期間をトラックするのに使用することができる。この場合に、カテテルの使用の期間に対

10

20

30

40

50

応するレコードはマイクロ回路の“リード・アクセス・アンド・プログラム・オンリー”メモリロケーションに記憶される。カテーテルが使用される間、規則的な所定のインターバルで、コンピュータ36はレコードを読みだし、そしてそれにおける1つ以上のビットを“1”から“0”に変えることによりそれを減少させる。全体のレコードがゼロに達するとか又は或る他の最小値に達すると、上記のとおり更なる動作は阻止される。前記したとおり、コイル60、62及び64からコイルワイヤ72を通じて伝えられた低レベルアナログ信号は、一般に機能ワイヤ76における他のアナログ信号及びマイクロ回路90から伝えられたデジタル信号による妨害から保護されなければならない。それ故、本発明の好ましい態様では、図3に示されたとおり、ハンドル30は電磁シールド74を含み、電磁シールド74はコネクタ上のピン98を介してグラウンドにカップリングされている。

10

本発明の他の好ましい態様では、シールド74は能動シールド(active shield)であり、これはノイズ打ち消し回路(示されていない)により駆動される。システム18の特徴及び能力、特にアクセス制御に関する特徴はカテーテルハンドル30のマイクロ回路90に関して上記に説明されたけれども、これらの特徴及び能力の多くがケーブル21におけるマイクロ回路88を使用しても実施できることは当業者には明らかであろう。

更に、上記の好ましい態様は位置及び方位感知装置の校正に関して説明されたけれども、本発明の他の好ましい態様では、カテーテル20、特にマイクロ回路88及び90に記憶された校正データはカテーテルの他の面に関係することがある。例えば、本発明の或る好ましい態様では、生理学的センサ、作動器又は治療器具に関する校正データはカテーテルにおいて記憶される。本発明の他の好ましい態様では、校正データはカテーテルの遠位端を導くのに使用される圧電運動制御デバイス(piezoelectric motion control device)のゲインに関してカテーテルに記憶させることができる。

20

上記した本発明の好ましい態様は例として挙げられたものであり、そして本発明の全範囲は下記する請求の範囲によってのみ限定されることは認識されるであろう。

本発明の好ましい態様を整理して記載すれば、下記のとおりである。

1. 対象者の身体に挿入するためのプローブであって、遠位端と近位端を有しそして該プローブに関する情報を記憶するマイクロ回路を含んで成るプローブと、プローブをコンソールに接続するためのケーブルであってプローブにおけるマイクロ回路にアクセスするためのアクセス回路を含んで成るケーブル、を具備することを特徴とするコンソールに接続するためのプローブ組立体。

30

2. ケーブルが共通のタイプの2個以上の異なるプローブに互換性で接続可能であり、マイクロ回路はそのプローブに独特に係る情報であってそのタイプの他のプローブとは実質的に共通ではない情報を記憶する、上記1に記載の組立体。

3. アクセス回路が共通のタイプの異なるプローブに共通に係る情報を記憶するケーブルマイクロ回路を含んで成る上記2に記載の組立体。

4. ケーブルマイクロ回路がプローブのタイプを同定する情報を記憶する上記3に記載の組立体。

40

5. プローブに関する情報がプローブの使用に関する情報を含んで成る上記1に記載の組立体。

6. 使用に関する情報がその使用者へのプローブの入手可能性を制御する使用コードを含んで成る上記5に記載の組立体。

7. アクセス回路がプローブの入手可能性を減少させるがその入手可能性を増加はさせないように使用コードを変えさせる上記6に記載の組立体。

8. マイクロ回路が、そのメモリロケーションに、リード・アクセス・アンド・プログラム・オンリーモードで動作するようにアクセス回路により制御される使用コードを記憶する上記6に記載の組立体。

9. 該モードがアクセス回路へのパスワードのエントリーにより変えられることができる

50

上記 8 に記載の組立体。

- 10 . 使用コードが日情報を含む上記 9 に記載の組立体。
- 11 . マイクロ回路がプローブの近位端に隣接している上記 1 に記載の組立体。
- 12 . マイクロ回路がプローブの近位端から突き出しているリードを含んで成り、アクセス回路がマイクロ回路のリードを受け入れるソケットを含んで成る上記 11 に記載の組立体。
- 13 . プローブがアナログ信号を発生する機能部分を含んで成り、アクセス回路がアナログ信号を増幅する 1 個以上の増幅器を含んで成る上記 1 に記載の組立体。
- 14 . アクセス回路が 1 個以上のアナログディジタル変換器を含んで成る上記 13 に記載の組立体。
- 15 . アクセス回路が、1 個以上の増幅器の校正に関する情報を記憶するケーブルマイクロ回路を含んで成る上記 13 に記載の組立体。
- 16 . アクセス回路がプローブ組立体に関する情報を記憶するケーブルマイクロ回路を含んで成る上記 1 に記載の組立体。
- 17 . ケーブルマイクロ回路がプローブの構成を記述する情報を記憶する上記 16 に記載の組立体。
- 18 . ケーブルマイクロ回路がプローブの許容された使用期間を記憶する上記 16 に記載の組立体。
- 19 . ケーブルがカテテルの最初の使用からの時間を測定するための内部クロックを含んで成る上記 1 に記載の組立体。
- 20 . マイクロ回路における情報の少なくとも一部が暗号化される上記 1 に記載の組立体。
- 21 . プローブに関する情報がプローブの校正情報を含んで成る上記 1 に記載の組立体。
- 22 . プローブがプローブの位置又は方位に応答した信号を発生する装置を含んで成り、プローブの校正情報が信号発生装置の校正に関する情報を含んで成る上記 21 に記載の組立体。
- 23 . 信号発生装置がプローブの遠位端に隣接している上記 22 に記載の組立体。
- 24 . 信号発生装置が 1 個以上のコイルを含んで成る上記 22 に記載の組立体。
- 25 . 校正情報が 1 個以上のコイルの少なくとも 1 つのゲインに関する情報を含んで成る上記 24 に記載の組立体。
- 26 . 校正情報が 1 個以上のコイルの少なくとも 1 つの角度方位に関する情報を含んで成る上記 24 に記載の組立体。
- 27 . 校正情報がプローブの遠位端に対する信号発生装置の位置変位に関する情報を含んで成る上記 22 に記載の組立体。
- 28 . プローブがアイソレーション回路を含んで成り、プローブに関する情報がアイソレーション回路の非線形性に関する情報を含んで成る上記 1 に記載の組立体。
- 29 . マイクロ回路がプログラマブルメモリデバイスを含んで成る上記 1 に記載の組立体。
- 30 . プログラマブルメモリデバイスが E E P R O M デバイスを含んで成る上記 29 に記載のプローブ。
- 31 . プログラマブルメモリデバイスが E P R O M 又は P R O M デバイスを含んで成る上記 29 に記載のプローブ。
- 32 . プログラマブルメモリデバイスがフラッシュ R O M デバイスを含んで成る上記 29 に記載のプローブ。
- 33 . ケーブルがプログラマブルメモリデバイスをプログラムするためのコネクションの少なくとも 1 つをディスエーブルするための手段を含む上記 29 に記載の装置。
- 34 . 対象者の身体におけるプローブの位置を決定するための装置であって、プローブの校正情報を記憶するマイクロ回路を含んで成る、対象者の身体に挿入するためのプローブと、プローブにおけるマイクロ回路をアクセスするためのアクセス回路を含んで成る、コンソールにプローブを接続するためのケーブルと、該位置又は方位応答信号及び校正に関

10

20

30

40

50

する該情報を受け取りそしてそれからプローブの位置を決定する、コンピュータを含んで成るコンソール、を具備する装置。

３５．プローブがプローブの位置及び方位に応答する信号を発生する装置を含んで成り、プローブの校正情報は信号発生装置の校正に関する情報を含んで成る上記３４に記載の組立体。

３６．マイクロ回路がプログラマブルメモリデバイスを含んで成る上記３５に記載の装置。

３７．コンピュータがプログラマブルメモリデバイスをプログラムするようになっている上記３６に記載の装置。

３８．プローブ及び接続ケーブルを含むプローブ組立体と共に使用するためのコンソールを初期化する方法であって、ケーブルを使用してプローブをコンソールに接続することと、ケーブル内のマイクロ回路からの一般的モデル情報をコンソールにロードすることと、カテーテル内のマイクロ回路からの特定的カテーテル情報をコンソールにロードすることと、を含んで成る方法。

３９．特定的カテーテル情報が校正情報を含んで成る上記３８に記載の方法。

４０．特定的カテーテル情報が使用コードを含んで成る上記３８に記載の方法。

４１．特定的カテーテル情報が最初の使用日を含んで成る上記３８に記載の方法。

４２．一般的モデル情報が許容された使用期間を含んで成る上記４１に記載の方法。

４３．最初の使用日からの使用期間が満了したならば警告メッセージを表示することを含んで成る上記４２に記載の方法。

４４．コンソールにプローブを接続することがケーブルにおけるアクセス回路を介してプローブを接続することを含んで成る上記３８～４３のいずれかに記載の方法。

４５．アクセス回路に関する校正情報をコンソールにロードすることを含んで成る上記４４に記載の方法。

【図１】

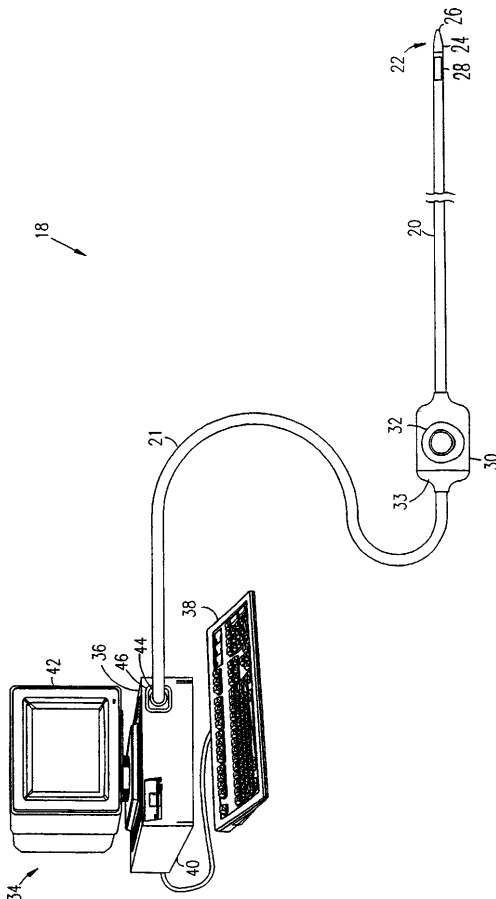


FIG. 1

【図２】

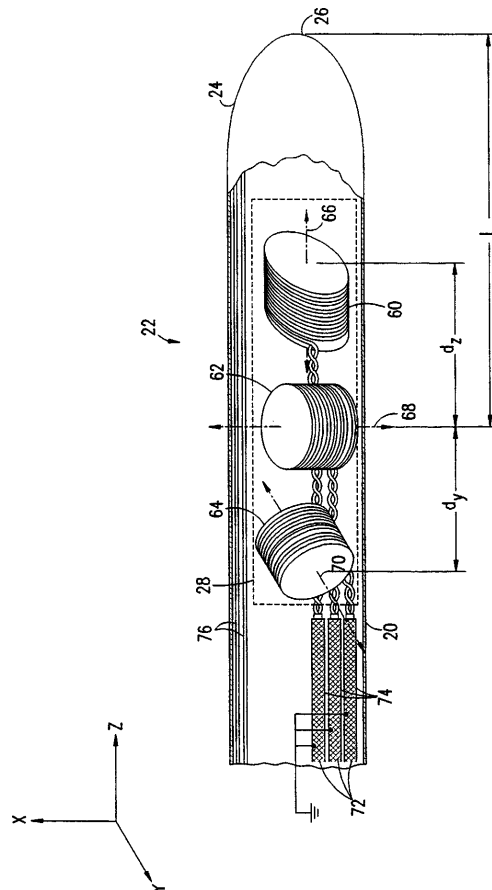
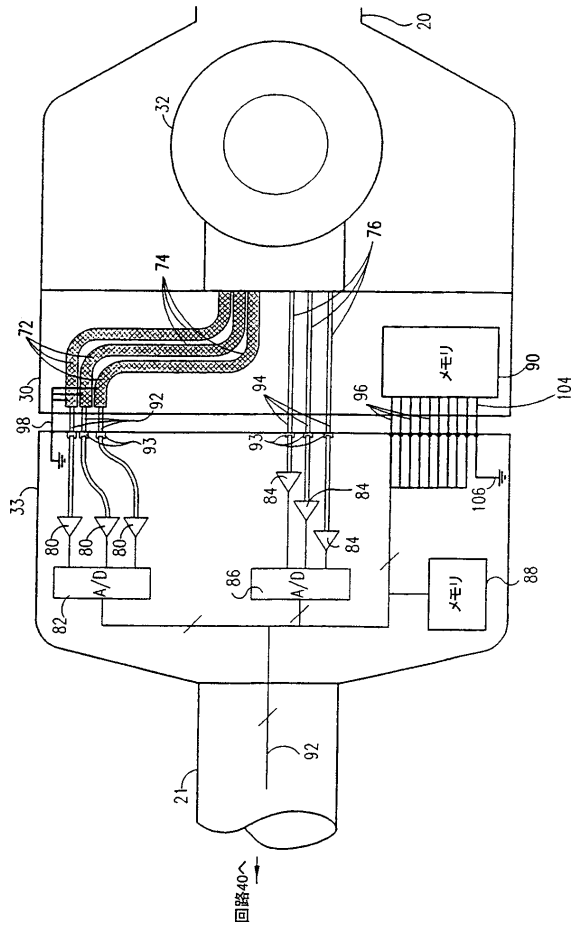


FIG. 2

【図3】

FIG. 3



フロントページの続き

合議体

審判長 岡田 孝博

審判官 居島 一仁

審判官 郡山 順

(56)参考文献 国際公開第 9 7 / 2 9 6 7 8 (W O , A 1)

米国特許第 5 4 0 0 2 6 7 (U S , A)

特開平 8 - 2 9 9 2 8 6 (J P , A)

特開平 5 - 1 6 1 6 0 1 (J P , A)

特開平 3 - 2 6 1 4 6 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

A61B1/00-1/32

A61B19/00

A61M25/00

A61B5/00

A61B8/00-8/14