

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/283

H01L 21/3205

H01L 21/336



[12] 发明专利说明书

[21] ZL 专利号 00120186.7

[45] 授权公告日 2005 年 4 月 13 日

[11] 授权公告号 CN 1197129C

[22] 申请日 2000.7.20 [21] 申请号 00120186.7

[30] 优先权

[32] 1999. 7. 21 [33] US [31] 09/358,213

[71] 专利权人 自由度半导体公司

地址 美国得克萨斯

[72] 发明人 克里斯托佛·C·霍布斯

比卡斯·麦提 吴 威

审查员 刘静_1

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

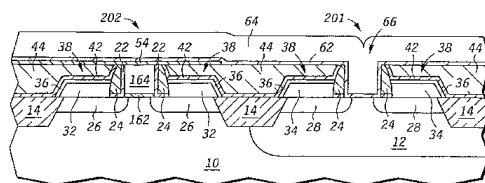
代理人 付建军

权利要求书 3 页 说明书 12 页 附图 4 页

[54] 发明名称 用于形成半导体器件栅极的方法

[57] 摘要

第一和第二虚拟结构(201 和 202)被形成在一个半导体器件的衬底(10)上。在一个实施方式中,第一虚拟结构(201)的部分被去除,并且被用一第一导电材料(64)来取代,以形成一第一栅极(71),并且第二虚拟结构(202)的部分被去除,并且被用一第二导电材料(84)来取代,以形成一第二栅极(91)。在一个替代的实施方式中,虚拟结构(201 和 202)被使用一用于形成第一栅极(71)的第一导电材料(164)形成。然后,通过从虚拟结构(202)中去除第一导电材料(164),并且用一第二导电材料(84)来取代它,以形成第二电极。根据本发明的实施方式,第一导电材料和第二导电材料是不同的导电材料。



ISSN 1008-4274

1. 一种用于形成半导体器件栅极的方法，其特征是：

在半导体器件的衬底（10）上于第一特征开口（66）内形成第一栅极（71），其中第一栅极（71）包括从铝、铜、钛、钽、钨、钼、铂、钯、钕、铈和钇组成的组中选择出的第一包括金属的导电材料（64）；和

在所述半导体器件的衬底（10）上于第二特征开口（86）内形成第二栅极（91），其中第二栅极（91）包括从铝、铜、钛、钽、钨、钼、铂、钯、钕、铈和钇组成的组中选择出的第二包括金属的导电材料（84），其中第二包括金属的导电材料（84）是与第一包括金属的导电材料（64）不同的包括金属的导电材料。

2. 一种用于形成半导体器件栅极的方法，其特征是：

在半导体器件的衬底（10）上形成第一虚拟栅极结构（201）和第二虚拟栅极结构（202），

形成源区和漏区（26）（28），其中使用第一和第二虚拟栅极结构（201）（202）来获得源区和漏区（26）（28）的对准；

去除第一虚拟栅极结构（201）的一部分来形成第一开口（66）；

用第一导电材料（64）来填充第一开口（66），其中第一导电材料（64）的一部分形成第一栅极（71）；

去除第二虚拟栅极结构（202）的一部分来形成第二开口（86）；

用第二导电材料（84）来填充第二开口（86），其中第二导电材料（84）的一部分形成第二栅极（91），并且其中包括第一栅极（71）的晶体管的阈值电压和包括第二栅极（91）的晶体管的阈值电压不同。

3. 如权利要求2的方法，进一步的特征是：

在第一栅极（71）和半导体器件衬底（10）之间形成第一栅极介质（62）；和

在第二栅极（91）和半导体器件衬底（10）之间形成第二栅极介质（82），其中第二栅极介质（82）的栅极介质材料和栅极介质厚度

中至少一个与第一栅极介质(62)的不同。

4. 如权利要求2的方法,其中第一导电材料(64)和第二导电材料(84)中至少一个包括从铝、铜、钛、钽、钨、钼、铂、钯、铱、铪和钇组成的组中选择出的材料。

5. 如权利要求2的方法,还包括:

形成覆盖第一和第二虚拟栅极结构(201)(202)的介质层(44);

抛光所述介质层(44),来暴露第一和第二虚拟栅极结构(201)(202)中至少一个的一部分;

在去除第一虚拟栅极结构(201)的一部分之前,在第二虚拟栅极结构(202)的上面形成第一覆盖层(54);和

在去除第二虚拟栅极结构(202)的一部分之前,在第一栅极(71)的上面形成第二覆盖层(74)。

6. 一种用于形成半导体器件栅极的方法,其特征是:

在半导体器件的衬底(10)上形成第一栅极结构(201)(202),其中,第一栅极结构(201)(202)包括第一栅极介质(162)和第一栅极材料(164);

在第一栅极结构(201)(202)上形成绝缘层(44);

去除覆盖第一虚拟栅极结构的绝缘层(44)部分,所述第一虚拟栅极结构包括所述第一栅极结构的第一个(201);

暴露覆盖所述第一虚拟栅极结构(201)的第一栅极材料(164)部分;

从所述第一虚拟栅极结构(201)去除第一栅极材料(164)部分,以形成一个开口(66);

用第二栅极材料(64)填充所述开口;和

对第二栅极材料(64)进行抛光,从而在半导体器件衬底(10)上形成第二栅极结构(71),其中包括第二栅极结构(71)的晶体管的阈值电压和包括第一栅极结构(201)(202)的晶体管的阈值电压不同。

7. 如权利要求6的方法,进一步特征是:

在从所述第一虚拟栅极结构(201)去除第一栅极材料(164)部分后,从所述开口(66)中去除第一栅极介质(162)部分;和
在淀积第二栅极材料(64)之前,在开口(66)内淀积第二栅极介质(62)。

用于形成半导体器件栅极的方法

本专利申请涉及美国专利申请序列号 08/907,990, 1997 年 8 月 11 日申请、名称为“形成带有在形成自调整源区和漏电极区后形成的金属栅电极的 MOS 晶体管的方法”；美国专利申请序列号 09/107,963, 1998 年 6 月 30 日申请、名称为“CMOS 半导体器件及其制造方法”，和代理人案卷号为 SC91178A, 在相同日期申请的、题为“半导体器件的形成方法”，所有这些的专利的受让人均是本发明的受让人并合并至此以作参考。

技术领域

本发明一般涉及半导体器件的形成方法，更特别地，涉及形成包括半导体器件栅极的方法。

背景技术

在半导体器件的制造过程中，多晶硅和二氧化硅通常被用于形成金属氧化物半导体（MOS）晶体管的栅极和栅介质。但是，将半导体器件的尺寸按比例缩小到 0.1 微米（微米）的规范将很可能产生问题，例如需要使用替代的材料来制造栅极和栅介质。

多晶硅需要添加杂质来影响其导电率。当晶体管的尺寸被缩小到更小的尺寸时，晶体管的电阻率上升，并且栅耗尽效果将成为一个影响因素。增加多晶硅中杂质的浓度来降低电阻和栅耗尽效果可以使用硼的渗透效果来实现，这反过来又影响晶体管的性能。另外，缩小尺寸也需要使用替代的介质材料，例如其介电常数比传统的二氧化硅的介电常数大的金属氧化物，以降低在栅极和和晶体管的沟道区域之间的隧道效应。当使用多晶硅和某种其它金属氧化物时，就产生了不兼容性的问题。多晶硅可以与金属氧化物进行反应，并且污染它，由此对其介电常数特性产生负面的影响。

目前正在研究将金属用作替代的材料，来取代多晶硅以用作栅电极。金属因为其低的片电阻，所以提供了比多晶硅好的潜在优势。但是，将金属栅极技术融合到互补的 MOS (CMOS) 设计引入了新的过程集成和制造问题。例如，当前的多晶硅栅极 CMOS 过程可以使用分别在 NMOS 和 PMOS 器件中缓和掺杂的 N+ 和 P+ 多晶硅来克服与调节沟道阈值电压 (VT) 相关的问题。但是，金属不容易被掺杂。所以，当用金属取代多晶硅时，必须努力来选择其工作能与硅的中间带隙接近的那些金属。这允许相应 n 沟道和 p 沟道器件的 VT 是对称的。不幸的是，这些中间带隙的金属材料产生的晶体管 VT 对低电压，低功耗，高性能的器件来说不是一个最佳值。

发明内容

根据本发明的一方面，提供一种用于形成半导体器件栅极的方法，其特征是：在半导体器件的衬底上于第一特征开口内形成第一栅极，其中第一栅极包括从铝、铜、钛、钽、钨、钼、铂、钯、钕、铱和钇组成的组中选择出的第一包括金属的导电材料；和在所述半导体器件的衬底上于第二特征开口内形成第二栅极，其中第二栅极包括从铝、铜、钛、钽、钨、钼、铂、钯、钕、铱和钇组成的组中选择出的第二包括金属的导电材料，其中第二包括金属的导电材料是与第一包括金属的导电材料不同的包括金属的导电材料。

根据本发明的另一方面，提供一种用于形成半导体器件栅极的方法，其特征是：在半导体器件的衬底上形成第一虚拟栅极结构和第二虚拟栅极结构，形成源区和漏区，其中使用第一和第二虚拟栅极结构来获得源区和漏区的对准；去除第一虚拟栅极结构的一部分来形成第一开口；用第一导电材料来填充第一开口，其中第一导电材料的一部分形成第一栅极；去除第二虚拟栅极结构的一部分来形成第二开口；用第二导电材料来填充第二开口，其中第二导电材料的一部分形成第二栅极，并且其中包括第一栅极的晶体管的阈值电压和包括第二栅极的晶体管的阈值电压不同。

根据本发明的另一方面，提供一种用于形成半导体器件栅极的方

法，其特征是：在半导体器件的衬底上形成第一栅极结构，其中，第一栅极结构包括第一栅极介质和第一栅极材料；在第一栅极结构上形成绝缘层；去除覆盖第一虚拟栅极结构的绝缘层部分，所述第一虚拟栅极结构包括所述第一栅极结构的第一个；暴露覆盖所述第一虚拟栅极结构的第一栅极材料部分；从所述第一虚拟栅极结构去除第一栅极材料部分，以形成一个开口；用第二栅极材料填充所述开口；和对第二栅极材料进行抛光，从而在半导体器件衬底上形成第二栅极结构，其中包括第二栅极结构的晶体管的阈值电压和包括第一栅极结构的晶体管的阈值电压不同。

附图说明

本发明参照附图以示例而不是限定的方式描述了本发明，附图中，类似的标号表示类似的部件，其中：

图 1 包括在形成一个虚拟堆后的一个半导体器件衬底的一部分的剖面视图；

图 2 包括在衬底中形成虚拟结构和扩散注入后，图 1 的衬底的剖面视图；

图 3 包括在形成升高的源区/漏电极区后，图 2 的衬底的剖面视图；

图 4 包括在衬底上形成一个绝缘层后，图 3 的衬底的剖面视图；

图 5 包括在将衬底抛光并且密封衬底的外表面后，图 4 的衬底的剖面视图；

图 6 包括去除虚拟结构中一个的部分后，图 5 的衬底的剖面视图；

图 7 包括淀积一第一栅极介质材料和第一栅极材料后，图 6 的衬底的剖面视图；

图 8 包括在对衬底抛光和在第一栅极上形成一覆盖层后，图 7 的衬底的剖面视图；

图 9 包括在淀积一第二栅极介质材料和第二栅极材料后，图 8 的衬底的剖面视图；

图 10 包括在形成 N 沟道和 P 沟道晶体管后，图 9 的衬底的剖面视图；

图 11 包括在形成导电插座后，图 10 的衬底的剖面视图；和

图 12 包括在形成一基本上完成的器件后，图 11 的衬底的剖面视图。

本领域的技术人员将理解，图中的部件是为了简单和清洁的方式被显示的，并且没有按比例来显示。例如，相对于其它部件来说，图中某些部件的尺寸可以被夸大，以助于改进对本发明实施方式的理解。

具体实施方式

根据本发明的一个实施方式，虚拟结构形成在一个半导体器件的衬底上。第一虚拟结构部分被去除并且被用来形成第一栅极的第一导电材料来替代，第二虚拟结构部分被去除并且被用来形成第二栅极的第二导电材料来替代。在一个替代的实施方式中，使用形成第一电极的第一导电材料来形成虚拟结构。然后，通过从虚拟结构中至少一个结构上去除第一导电材料，并且用第二导电材料来取代第一导电材料，来形成第二电极。根据本发明的实施方式，第一导电材料和第二导电材料至少包括一种不同的导电材料。

下面将参考附图来更详细地描述本发明的一个实施方式。图 1 所显示的是一个已经部分形成的半导体器件的剖面视图。这个半导体器件包括一个 p 型半导体器件衬底 10，一个 N 井区域 12，场隔离区域 14，和一个虚拟薄膜堆 16。在这个特定实施方式中，半导体器件衬底 10 是一个单晶半导体衬底。替代地，半导体器件衬底 10 是一个绝缘器上半导体的衬底或者任何其它用于形成半导体器件的衬底。场隔离区域 14 是使用传统的蚀刻技术和化学机械抛光（CMP）处理而形成的浅沟隔离区域。替代地，场隔离区域 14 可以使用硅的本地氧化（LOCOS）或者任何其它用于形成隔离区域的技术来形成。在形成隔离区域 14 后，在半导体器件衬底 10 中形成井区域 12。为了简单起见，在这个特定的实施方式中，仅一单个井区域 12 被显示了。

在形成井区域 12 后，在半导体器件衬底 10 上形成虚拟薄膜堆 16。在这个特定的实施方式中，虚拟薄膜堆 16 包括一个介质层 162，一个多晶硅层 164，和一个抗反射层 166。这个介质层 162 可以通过对衬底 10 部分进行热氧化来形成。替代地，这个介质层可以被形成为一层氮化硅，氮氧化硅，硅氧化物，或者类似的，形成方法可以使用淀积方

法，例如低压化学汽相淀积（LPCVD），等离子体增强化学汽相淀积（PECVD），或者类似的方法。介质层 162 的厚度典型的是大约 5 - 25 纳米（nm）。多晶硅层 164 典型地是使用传统的 LPCVD 方法来形成的。替代地，多晶硅层 164 典型地被形成为一层非晶硅，锗化硅，或者任何其它可以对材料进行选择性的蚀刻的材料，例如氮化硅和氧化物。多晶硅层 164 的典型厚度是大约 50 - 300nm 的范围。但是，在看了这里的实施方式后，该领域内的普通技术人员将很容易理解，多晶硅层 164 的厚度可以根据随后形成的栅极的所需厚度而变化。抗反射层 166 可以形成为一层富含硅的氮化硅，或者替代地，任何其它可以用作一个抗反射镀膜层（ARC）的材料。其形成方法和厚度是传统的。

然后，虚拟薄膜堆 16 可以使用传统的反应离子蚀刻（RIE）处理来形成图案和蚀刻，以形成包括介质层 162，多晶硅 164，和抗反射层 166 的剩余部分的虚拟结构 201 和 202。可以使用传统的技术来进一步处理虚拟结构 201 和 202，来包括一个衬底层 22，n 型扩散区域 26，p 型扩散区域 28，和侧壁隔层 24，如图 2 所显示的。

图 3 中，在扩散区域 26 和 28 上形成一个外延层 38。在一个特定实施方式中，使用选择性外延淀积方法来形成外延层 38。外延层 38 可以使用包括硅，锗，硅 - 锗，或者类似的材料来形成。然后，外延层 38 部分被掺杂，以分别为 N 沟道和 P 沟道晶体管形成升高的 N 型源区域和漏电极区域 32 和升高的 P 型源区域和漏电极区域 34。在形成升高的源区域和漏电极区域 32 和 34 后，一个金属层可以被淀积在衬底 10 的表面上。这个金属层可以被用于形成覆盖源区域和漏电极区域 32 和 34 的一个硅化层 36。在这个特定的实施方式中，这个硅化层是一个硅化钴层。替代地，硅化层 36 可以使用适合于形成硅化物的其它金属材料来形成，例如钛，钽，钨，铂，钯，和类似的金属。

图 4 显示了图 3 的半导体器件衬底，并且现在进一步包括一个覆盖层 42，和一个覆盖衬底 10 的绝缘层 44。在一个特定的实施方式中，覆盖层 42 是一层等离子体增强氮化物层（PEN）。在其它实施方式中，覆盖层 42 替代地，可以包括材料，例如氮氧化硅，氧化钛，和氧化钽。

绝缘层 44 形成在覆盖层 42 上, 并且可以被用作一 CVD 层或者被淀积在氧化硅上的炉, 这个炉可以使用四乙基原硅酸盐 (tetraethylorthosilicate) (TEOS) 作为一个反应气体。替代地, 绝缘层 44 可以使用其它材料来形成, 例如磷硅酸盐玻璃 (PSG), 硼磷硅酸盐玻璃 (BPSG), 氮氧化硅, 聚酰亚胺, 一个低 k 的介质, 或者其混合。为了该说明书描述的目的, 一个低 k 的介质材料是其介电常数小于大约 3.5 的一个材料。

在图 5 中, 一个化学机械抛光处理被用于去除绝缘层 44 部分和用于使衬底 10 的表面变平。在一个实施方式中, 多晶硅层 164 在抛光处理期间用作一个抛光阻隔层。这个抛光处理去除了绝缘层 44, 覆盖层 42, 和 ARC 层 166 部分, 并且暴露出多晶硅层 164 在虚拟结构 201 和 202 中的部分。在这个实施方式中, 最好能进行过度抛光 (over-polishing) 以确保多晶硅层 164 的上表面暴露出足够的部分。然后, 在如图 5 所显示的、被变平的表面上形成一个覆盖层 54。在这个特定的实施方式中, 覆盖层 54 是使用传统的 LPCVD 处理而形成的氮化硅层。替代地, 覆盖层 54 也可以是使用一 PECVD 处理而形成的一个氮化硅层。氮化物覆盖层 54 的厚度典型地是 5-200 纳米 (nm), 并且覆盖层的厚度经常是 5-50nm 范围内。

图 6 显示了覆盖层 54, 多晶硅层 164, 介质层 162, 和内衬底层 22 中与虚拟结构 201 相关的部分已经被去除。在这个处理期间, 覆盖层 54 的剩余部分保护下面与虚拟结构 202 相关的区域。使用传统的光刻显影技术和反应离子蚀刻 (RIE) 处理来实现虚拟结构 201 中部分的去除, 以第一去除覆盖层 54 中与虚拟结构 201 相关的部分, 由此暴露多晶硅层 164。然后, 多晶硅层 164 中被暴露的部分被使用传统的等离子体或者湿法蚀刻处理来去除, 以定义一特征开口 66, 如图 6 所显示的。如果这样作, 然后, 一个离子注入阈值 (VT) 调节被通过特征开口 66 来可选地执行, 并且使用传统的介质蚀刻处理来可选地去除介质层 162 和内衬底层 22 的部分。

根据一个实施方式, 介质层 162 和衬底层 22 部分被去除, 并且被

用一个栅极介质层 62 来替代, 如图 7 所显示的。在替代的实施方式中, 其中使用不相似的材料来形成介质层 162 和衬底层 22, 相对于衬底层 22 来说, 介质层 162 可以被选择性地去除, 并且可以被用一个栅极介质层 62 来取代。在这个特定的实施方式中, 栅极介质层 62 是一热淀积的二氧化硅层。栅极介质层 62 的厚度典型地是大约 5-20 纳米, 但是, 该领域内的普通技术人员将理解, 这个厚度可以根据这个半导体器件的工作需求而变化。替代地, 栅极介质层 62 可以使用其它材料来形成, 例如氮化硅 (Si_3N_4), 二氧化钛 (TiO_2), 五氧化钽 (Ta_2O_5), 锶钛酸盐 (STO), 钡锶钛酸盐 (BST), 铅锆钛酸盐 (PZT), 或者类似的。

然后, 在特征开口 66 的内部形成一个栅极材料。这个栅极材料典型地是使用传统的 CVD, PVD, 或者镀膜技术形成的。如图 7 所显示的, 栅极材料 64 的厚度应保证足以能够填满特征开口 66。栅极材料 64 优选是一个金属或者金属氮化物。更详细地, 栅极材料 64 可以使用一个材料, 例如铝 (Al), 钛 (Ti), 氮化钛 (TiN), 钽 (Ta), 氮化钽 (TaN), 钨 (W), 氮化钨 (WN), 钼 (Mo), 氮化钼 (MoN), 铜 (Cu), 和类似的来形成。其它可以用作栅极材料 64 的材料包括贵金属和可以形成导电的金属氧化物的金属。这些的示例包括铂 (Pt), 钯 (Pd), 铱 (Os), 钌 (Ru), 氧化铱 (IrO_2), 氧化钌 ($\text{ReO}_2, \text{ReO}_3$), 和类似的。另外, 前述材料的组合可以被用作栅极材料 64。

在图 8 中, 使用一个传统的抛光技术来去除栅极材料 64, 栅极介质层 62, 和氮化物覆盖层 54 部分, 来形成一个金属栅极 71。金属栅电极 74 的尺寸和位置基本上与多晶硅 164 在虚拟结构 201 中前述定义的相同。如图 8 所显示的, 表面 72 基本上是平的, 这是进行抛光处理来定义栅极 71 的结果。然后, 一个覆盖层 74 形成在表面 72 上。在这个特定的实施方式中, 覆盖层 74 被使用与前面关于形成覆盖层 54 的处理和材料类似的处理和材料来形成。替代的, 在考虑氧化作用的实施方式中, 可以使用快速热 CVD (RTCVD) 处理来形成覆盖层 74, 以使第一栅极材料 64 的被暴露部分的氧化降低到最小。氮化物覆盖层

74 的厚度典型的是大约 5-200 纳米 (nm) 的范围, 其氮化物覆盖层的厚度通常是 5-50nm。可以使用传统的淀积处理来形成氮化物覆盖层 74。

在图 9 中, 覆盖层 74, 多晶硅层 164, 介质层 162, 和衬底层 22 中与虚拟结构 202 相关的部分已经被去除, 并且被用一个栅极介质材料 82 和一个栅极材料 84 所取代。如果是希望的, 在这个处理序列期间, 可以执行一个离子注入阈值 (VT) 调节。覆盖层 74, 多晶硅层 164, 介质层 162, 和衬底层 22 的去除方式与前面在图 6 中所描述的、用于去除氮化物覆盖层 54, 多晶硅层 164, 介质层 162, 和衬底层 22 的方式类似。另外, 用于形成栅极介质层 82 和栅极材料 84 的淀积和材料与前面在图 6 中所描述的、用于形成栅极介质层 62, 和栅极材料 64 的淀积和材料类似。但是, 通常情况下, 用于从介质层 82 和栅极材料 84 形成栅极结构的材料的混合或者厚度的选择应当使 VT 或者某些其它电路参数与从栅极介质层 62 和栅极材料 64 所形成的栅极结构不同。

图 10 显示栅极材料 84, 栅极介质层 82, 和氮化物覆盖层 74 已经被使用传统的抛光处理去除了, 来在特征开口 86 内形成一个金属栅极 91。在完成了这个处理步骤后, N 沟道和 P 沟道晶体管 94 和 96 就基本上被形成了。

图 11 显示了图 10 的半导体器件的衬底, 并且进一步显示了形成在衬底 10 上的一个氮化物覆盖层 102, 一个中间电平介质层 (ILD) 104, 和导电插塞 106。氮化物覆盖层 102 和中间电平介质层 (ILD) 104 是使用传统的材料和处理来被形成的。在一个特定实施方式中, ILD 层 104 被抛光, 形成图案和蚀刻, 以形成暴露与源和漏电极区域 32 和 34 相关的自对准硅化物区域 36 的开口, 如图 11 所显示的。尽管没有显示出来, 但是这个开口替代地可以被形成来暴露源区域和漏电极区域的各种组合或者一个或者多个栅极 71 和 91。形成开口后, 然后, 在使用传统的淀积和抛光处理在开口内形成导电插塞 106。

继续进行处理, 来形成一个基本上完成了的半导体器件, 如图 12

所显示的。一个绝缘层 110 被形成和形成图案，以定义互连沟道。这个内嵌的互连 112, 114 和 116 然后被使用淀积和抛光处理的组合来被形成。在这个特定的实施方式中，互连 112 是一个反相器的输出，并且被连接到晶体管 94 和 96 的漏电极区域。互连 114 被连接到 VSS 电极（没有显示）和被连接到晶体管 94 的源极区域。互连 116 被连接到一个 VDD 电极（没有显示）和被连接到晶体管 96 的源极区域。到晶体管 94 和 96 的栅极的公共连接（没有显示）提供了这个反相器的输入。尽管图 12 中没有显示，但是其它的电子连接，绝缘层，和互连层可以被包括来形成附加的器件电路。

本发明包括许多其它的替代实施方式。在一个实施方式中，多晶硅薄膜 164 的被选择部分可以被注入来改变其分子成分。例如，P 沟道虚拟结构可以用锗进行注入，其掺杂水平为至少大约每平方厘米 $1E15$ 个离子，来形成一个掺锗的多晶硅薄膜。在多晶硅和掺锗的多晶硅薄膜中的成分差异现在使得可以互相选择性地对虚拟结构进行蚀刻，并且去除多晶硅或者是掺锗的多晶硅薄膜。所以，图 8 所显示的覆盖层 74 不是必需的。这个实施方式的好处包括需要较少的淀积和形成图案的步骤来形成虚拟结构和随后的栅极。

在一个替代的实施方式中，图 4 中的覆盖层 42 是抛光阻隔层，而不是多晶硅层。在这个实施方式中，使用包括氮化硅，氧化钛，氧化钽，氧化铝，氧化锌，氮化锗，氮化铝，或者类似的一个介质材料来形成这个覆盖/抛光阻隔层。典型地，这个覆盖/抛光阻隔层的厚度是大约 20-100nm。如果已经形成了硅化物区域，例如硅化物区域 36，可以在这个覆盖/抛光阻隔层和硅化物区域之间形成一个薄的氧化硅或者氮化硅层，以使这个两个材料之间的相互作用最小。在这个实施方式中，抛光处理首先暴露由通过保留绝缘层，例如绝缘层 44 的相邻部分而定义的这个覆盖/抛光阻隔层部分。然后，衬底被形成图案和被蚀刻，或者替代地，选择性地蚀刻绝缘层的剩余相邻部分，来去除这个覆盖/抛光阻隔层的部分，ARC 层 166 的支持部分，多晶硅层 164，介质层 162，和虚拟结构内的衬底层 22，由此形成一个类似于图 6 所显示的

开口 66 的一个开口。然后，在开口内，类似于图 7 所显示的和描述的栅极介质层 62 和栅极材料 64，形成一个栅极介质层和栅极材料。然后，对衬底进行抛光，来形成与在图 7 中所显示的和描述的栅极 71 类似的第一栅极。

在进行抛光以去除形成第一栅极的栅极材料和栅极介质层的期间，这个覆盖/抛光阻隔层可以再被用作形成附加栅极的一个抛光阻隔。例如，在进行抛光以至少部分地定义了第一电极和暴露这个覆盖/抛光阻隔层后，这个衬底可以被形成图案和蚀刻，或者被选择性地蚀刻，来去除这个覆盖/抛光阻隔层中被曝光的部分和下面的第二虚拟结构部分。然后，可以在开口内淀积栅极介质层和栅极材料，并且可以被抛光来形成第二栅极，这与图 10 所显示的和描述的栅极 91 类似。随后，可以重复这些处理步骤，来在形成多个晶体管的过程中包括不同材料的和厚度不同的栅极介质材料和栅极，由此形成具有不同物理，工作，和性能特性的很多晶体管。

在另一个实施方式中，不是形成第一虚拟结构并且然后用这个第一虚拟结构填满第一栅极材料，而是，使用用于形成虚拟堆的材料来形成第一栅极。例如，参考图 1，介质层 162 可以被第一栅极介质层所取代。第一栅极介质层可以包括高 k 栅极介质材料，例如氮化硅，二氧化钛，五氧化钽，或者任何其它介质材料或者其适合于用作一个栅极介质材料的组合。然后，可以淀积第一栅极材料来替代多晶硅层 164，这可以使用金属，金属氮化物，或者前面在图 6 中所描述的用作栅极材料 64 的材料的组合。

然后，可以在栅极材料上形成图 4 所显示的抗反射层 166。但是，如果一个金属氮化物被用作栅极材料，金属氮化物薄膜的抗反射本质可以使得不需要抗反射层，由此消除了这个处理步骤。继续进行衬底的处理，来形成与图 4 所显示的半导体器件衬底类似的一个半导体器件衬底。然后，这个衬底被抛光，并且从这个虚拟结构中去除被暴露的虚拟堆材料，和可选的，衬底层和下面的介质层，以形成特征开口。然后，在虚拟结构开口 66 中形成第二栅极介质层和栅极材料，如图 6

所显示的。根据本发明的一个实施方式，第二栅极介质和第二栅极材料的厚度和组合可以与第一栅极介质和第一栅极材料相同或者不同。

然后，这个衬底被抛光，来形成与图 8 所显示的一个结构类似的一个结构。但是，与图 8 不同，现在形成两个栅极，而不是仅形成一个栅极和一个虚拟结构。使用这个方式，如图 9 和 10 所显示的第二步骤序列可以被去除。这减少了周期时间，并且有可能因为处理操作变少了，而增加器件的成品率。

在另一个实施方式中，介质阻隔层可以在任何一个开口 86 或者 66 内，沿侧壁，在淀积电极薄膜 84 或者 64 以前，被形成。使用这个方式，栅极的尺寸可以被减少，并且超过用于定义相应开口的尺寸的形成图案和蚀刻处理所达到的能力。因为可以制造的晶体管的尺寸比开口的尺寸更小，所以这是有利的。

本发明的实施方式包括几个比现有技术更好的优点。在这些优点中，包括在形成晶体管的期间，以替代的处理步骤来执行阈值注入。例如，参考图 1，在形成介质层 162 后，可以开始执行 N 沟道和 P 沟道的阈值调节注入。替代地，在虚拟堆中形成各自的特征开口后，可以分别执行阈值调节注入。这提供了附加的灵活性，其中可以对 P 沟道晶体管进行注入来调节其阈值电压，而与 N 沟道晶体管无关。类似地，可以对 N 沟道晶体管进行注入来调节其阈值电压，而与 P 沟道晶体管无关。

另外，处理集成方案允许将 NMOS 和 PMOS 晶体管的不同金属和包括金属的栅极组合在一起。可以这样选择不同材料的工作功能，以使阈值电压具体匹配到 NMOS 和 PMOS 晶体管中的每一个。进一步，通过重复地使用传统的光刻显影技术和 RIE 处理来选择性地去除这个抛光阻隔/覆盖层，可以选择不同栅极介质材料和厚度以及不同栅极材料，来形成其阈值电压不同和工作特性不同的各种晶体管。

升高的源极区域和漏电极区域不是必须要使用的。但是，升高的源极和漏电极区域提供了一个优点，其中它们减少了过蚀刻的需求来形成暴露源极区域和漏电极区域的开口。另外，升高的源极区域和漏

电极区域也减少了蚀刻所引起的、对金属栅极所产生的损害，这是因为金属栅极的一个开口的深度现在更接近源极和漏电极区域的开口的深度。另外，与现有技术不同，本发明的实施方式提供了附加的处理余度，因为它们允许在形成栅极前或者后，对源极区域和漏电极区域进行硅化处理。

进一步，本发明的实施方式巧妙地克服了目前与金属栅极技术相关的很多问题。因为金属栅极是在可能引起损害的高温源极/漏电极退火以后形成的，所以减少了对金属栅极产生损害的危险。另外，现有金属栅极处理一般产生不自对准的源极和漏电极区域。但是，本发明的实施方式可以产生完全与它们随后形成的栅极对准的源极区域和漏电极区域。另外，将在金属栅极和栅极介质之间的界面暴露给高温也被减少到最小。所以，也减少了因为与金属的相互作用而产生的栅极氧化物的性能的降低。另一个优点包括这里所公开的实施方式可以不需要使用临界处理步骤或者不平常的或者外来特殊材料而执行。

在前述的说明中，已经参考特定的实施方式描述了本发明。但是，该领域内的一个普通技术人员将理解，可以进行各种改变和修改，而不会偏离在下面的权利要求书中所定义的、本发明的范围。所以，说明和图仅仅是一个示例性的，而不具有任何限制，并且所有这种修改均包括在本发明的范围内。已经参考特定的实施方式描述了好处，其它优点，和对问题的解决方法。但是，这些好处，优点和问题的解决方案，以及任何可以促使任何好处，优点，或者解决方法发生或者变得更明确的部件，不被认为是所有权利要求或者任何一个其权利要求的一个严格，必要的，或者基本特征或者因素。

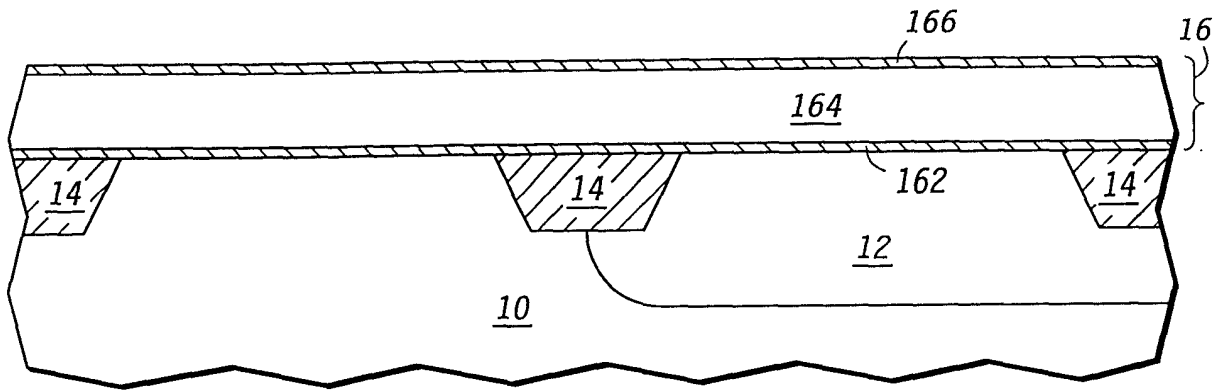


图 1

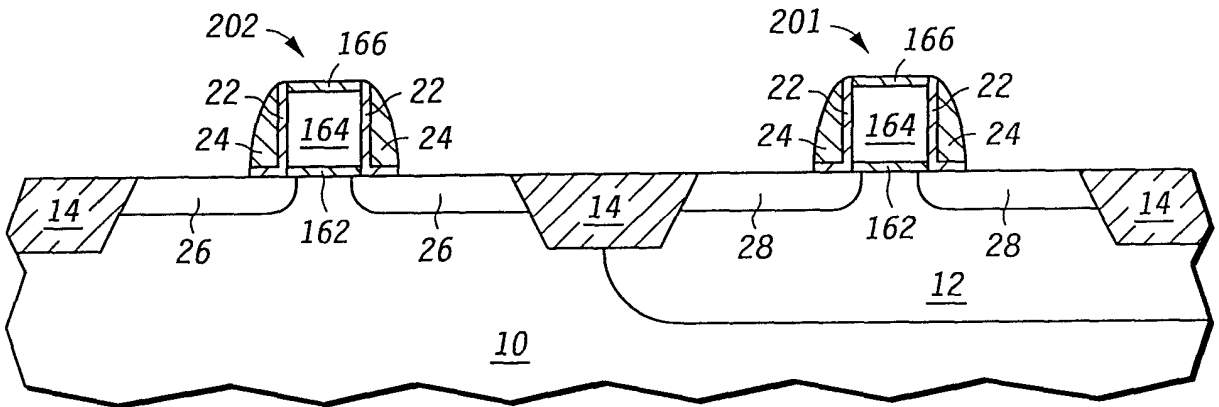


图 2

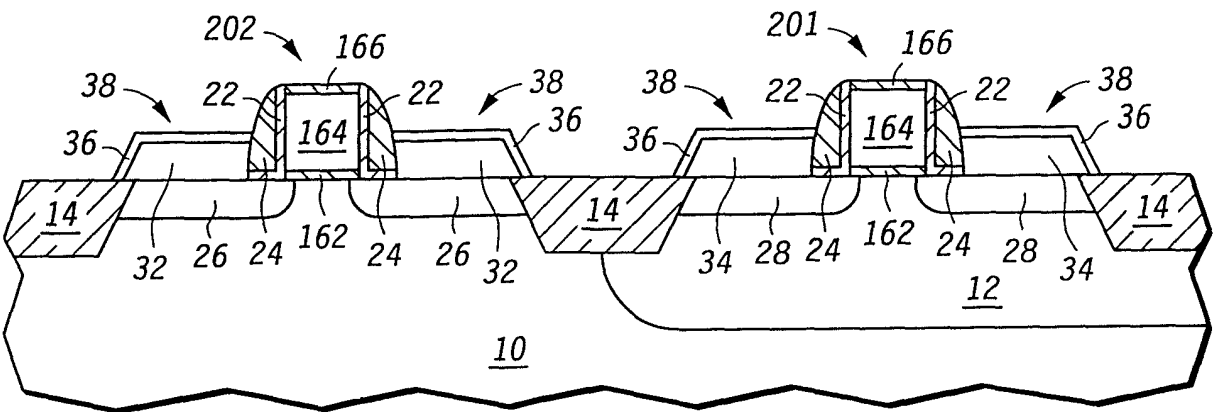


图 3

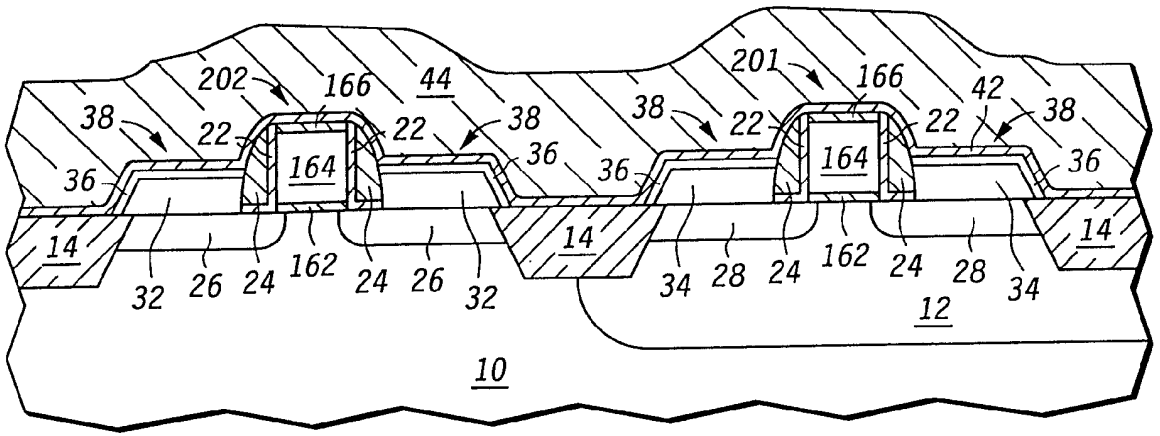


图 4

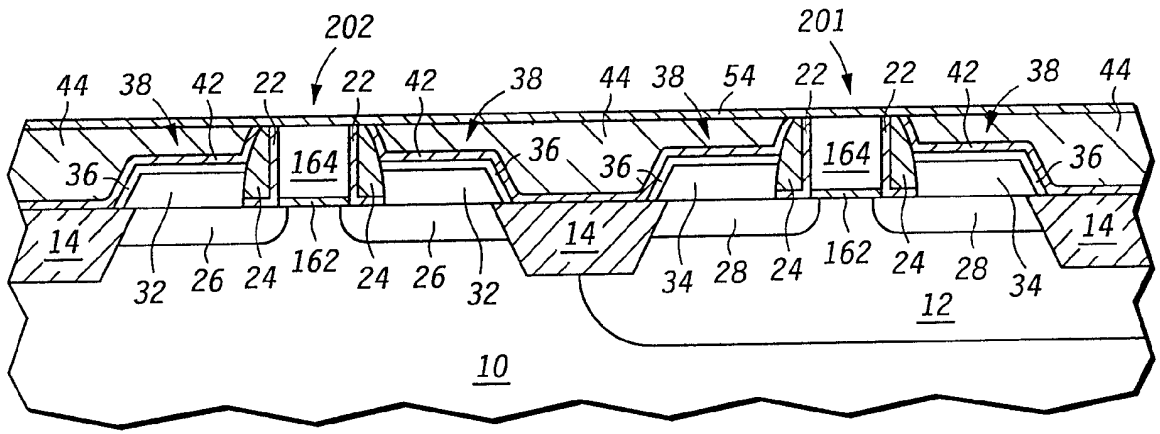


图 5

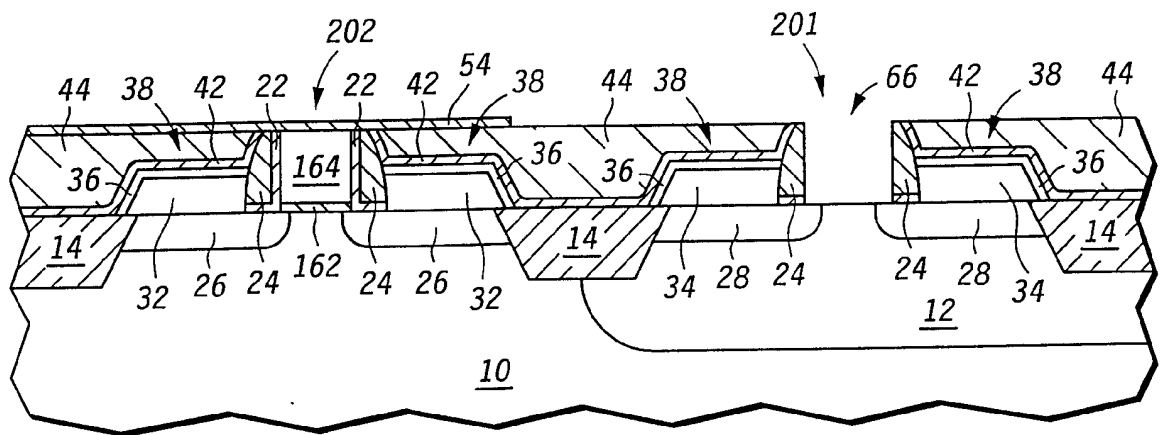


图 6

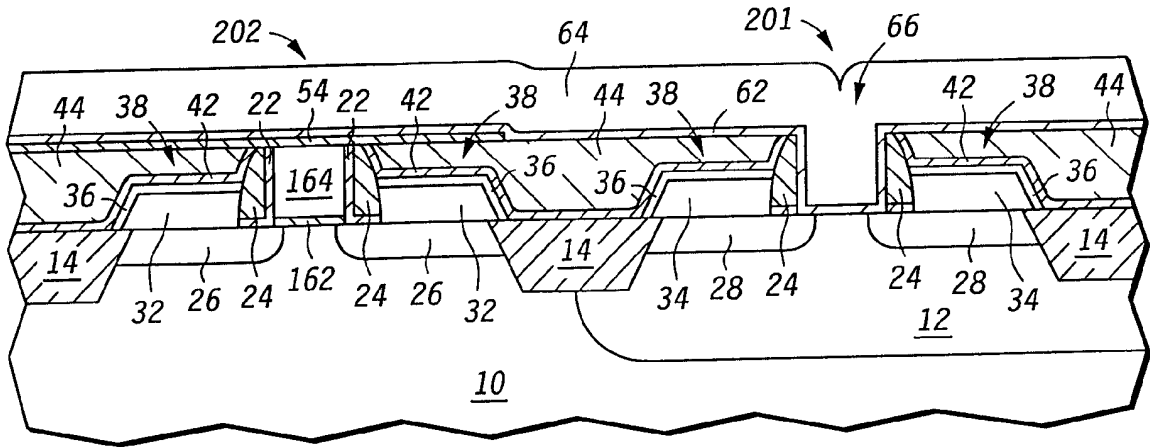


图 7

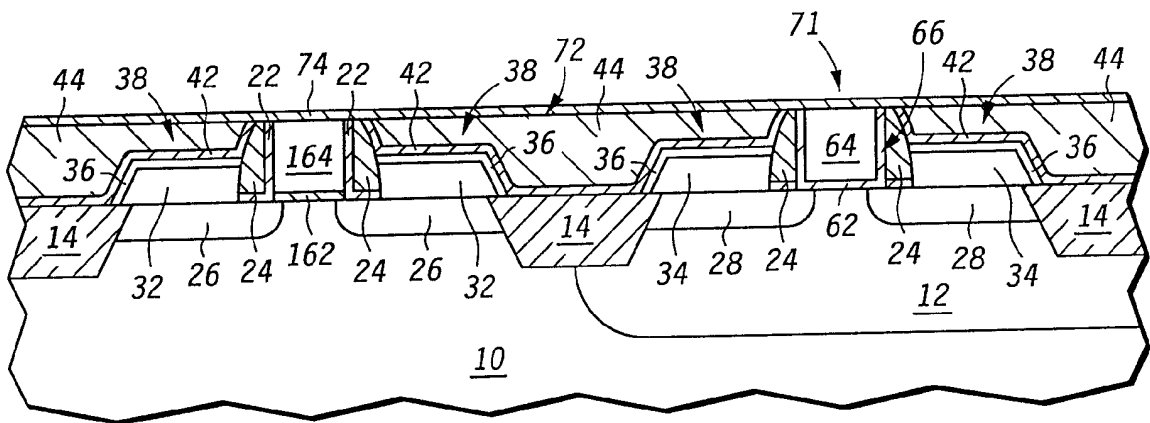


图 8

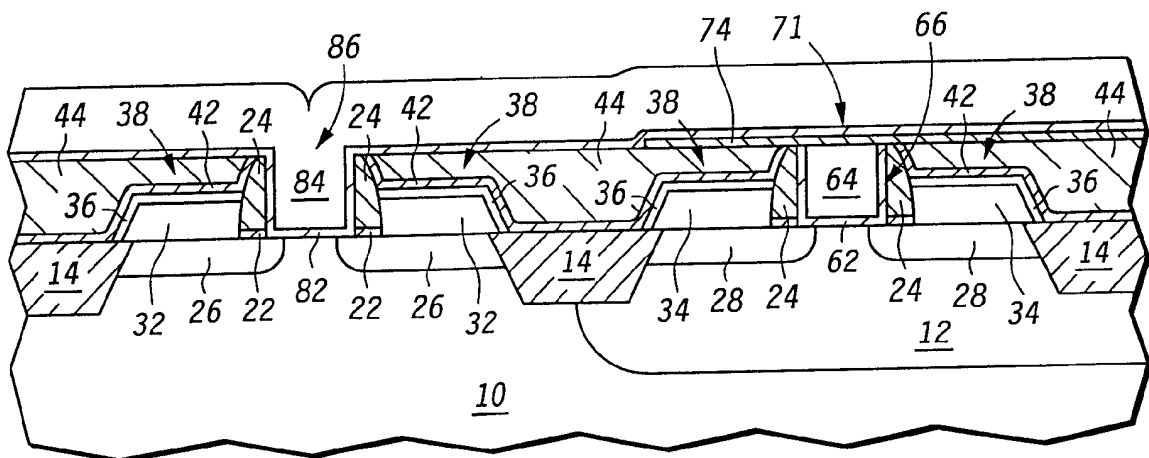


图 9

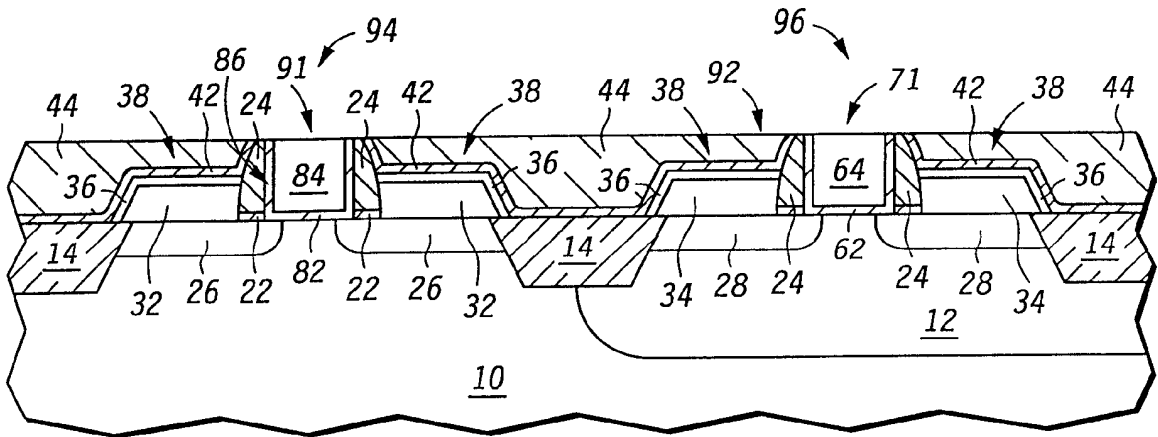


图 10

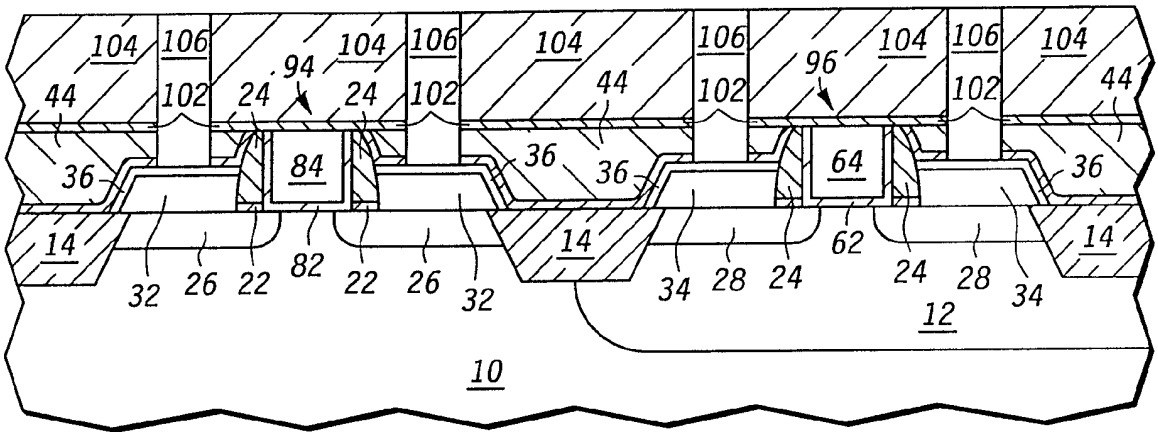


图 11

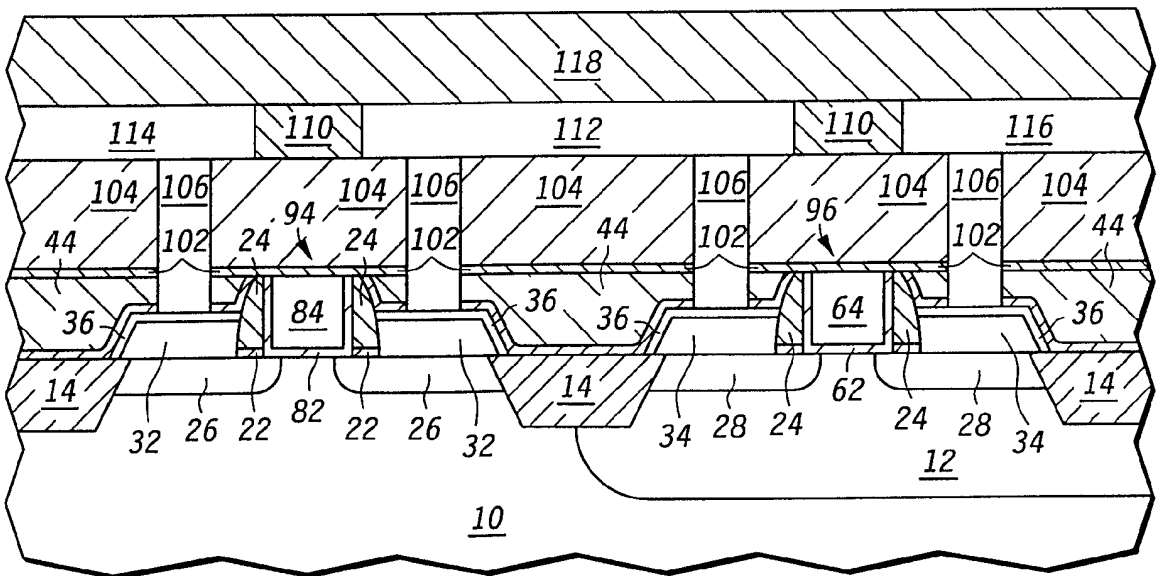


图 12