

公告本

年 月 日 修正

申請日期: 89. 5. 14

案號: 89102416

類別: H01L 29/10

90年5月17日 補充

(以上各欄由本局填註)

發明專利說明書

456030

一、發明名稱	中文	半導體積體電路裝置
	英文	半導體集積回路裝置
二、發明人	姓名 (中文)	1. 阪田 健 2. 永島 靖
	姓名 (英文)	1. 2.
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都千代田區丸之內1丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內 2. 日本國東京都千代田區丸之內1丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內
三、申請人	姓名 (名稱) (中文)	1. 日商日立製作所股份有限公司 2. 日商日立超愛爾·愛斯·愛系統股份有限公司
	姓名 (名稱) (英文)	1. HITACHI, LTD. 2. HITACHI ULSI SYSTEMS CO., LTD.
	國籍	1. 日本 2. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區神田駿河台四丁目6番地 2. 日本國東京都小平市上水本町5丁目22番1號
	代表人姓名 (中文)	1. 庄山 悅彦 2. 鈴木 仁一郎
	代表人姓名 (英文)	1. ETSUHIKO SHOYAMA 2. JINICHIRO SUZUKI



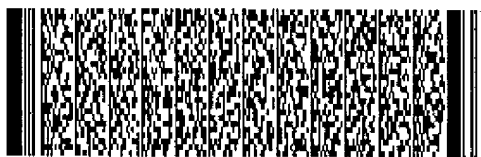
申請日期： 案號：89102416

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	3. 大井 雅史 4. 田中 均
	姓 名 (英文)	3. 4.
	國 籍	3. 日本 4. 日本
	住、居所	3. 日本國東京都千代田區丸之內1丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內 4. 日本國東京都小平市上水本町五丁目22番1號日立超愛爾・愛斯・愛系統股份有限公司內
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	



申請日期：	案號：89102416
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 森田 貞幸
	姓 名 (英文)	5.
	國 籍	5. 日本
	住、居所	5. 日本國東京都小平市上水本町五丁目22番1號日立超愛爾・愛斯・愛系統股份有限公司內
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/02/17	特願平11-039053	有
日本 JP	1999/07/26	特願平11-210270	有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明之領域]

本發明與一種半導體積體電路裝置有關，主要與有效利用於如動態型RAM(隨機存取記憶體)之通用半導體積體電路裝置之輸入電路之技術有關。

[先前之技藝]

依完成本發明後之調查，認為與後述本發明之輸入電路有關之日本電氣株式會社、1997年發行「NEC技報」第50卷No.3、第23頁~第27頁(64M位元DRAM第3世代版之開發)、特開平6-104726號公報、特開平7-143184號公報分別記載之本發明，已被本發明人等報告。上述文獻所記載之發明均斷定輸入電路使用差動放大器，惟如後述本發明之輸入電路工作方法有關之記載卻均未發現。

[發明欲解決之課題]

被輸入動態型RAM等半導體積體電路裝置之輸入訊號之電壓電平，依SSTL、LVTTTL、LVCMOS等界面訂定規格。例如LVTTTL或LVCMOS界面之訊號電平對應工作電壓之全振幅者，使用CMOS反相電路等而成之輸入緩衝器。針對此、如SSTL之以工作電壓之中心電壓為中心之低振幅者，則使用差動放大電路。

為了均能適用上述任一介面，形成2種輸入緩衝器，由金屬選擇開關(Metal Option)最後決定何種，即可統一大半之半導體製造過程提高量產性。但此時造成多餘不必要之電路致集成度降低，並在金屬選擇開關選擇任一介面後，需做為不同之製品管理。

本案發明人為了使簡化電路及製品管理容易，考慮以同



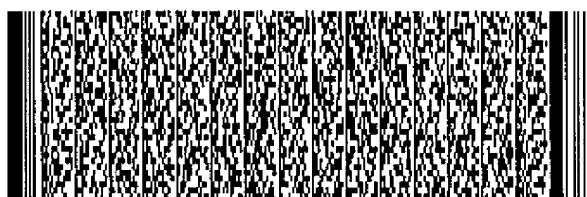
五、發明說明 (2)

一輸入電路接收如LVTTL或LVCMOS之較大訊號振幅至如上述SSTL之中點電壓附近變化之低振幅訊號。在開發此種輸入電路之際，除對應如上述不同輸入訊號穩定形成內部訊號外，以至加上與LVTTL或LVCMOS之介面同等，在半導體積體電路裝置無任何工作時，設法使工作電流不流入輸入電路。又考慮實現如上述LVTTL或LVCMOS之輸入電路，適合隨元件微細化所附帶低臨限值電壓化，低消耗電力化與安定之輸出入傳輸特性。

本發明之目的為提供實現簡化輸入電路與製品管理之處理簡便，同時實質上低消耗電力化之半導體積體電路裝置。本發明之其他目的為提供包括能實現適合元件微細化安定之輸出入傳輸特性之輸入電路之半導體積體電路裝置。本發明之前述及其他目的與新式之特徵，由本說明書之記述及附圖應可明瞭。

[解決課題之方法]

茲就本申請揭示之發明中具代表性之概要簡單說明如下。即藉第1第2開關MOSFET將第1與第2工作電壓供給接收從外部端予供給之輸入訊號之差動放大電路，形成：由偏壓產生電路使其在上述輸入訊號為上述第1與第2工作電壓之中心電壓附近時，使上述第1與第2開關MOSFET為接通狀態，又其輸入訊號繼續在一定期間為上述第1電壓或第2電壓時，為了形成其對應之輸出訊號使上述第1或第2開關MOSFET中任何一方為接通狀態另一方為斷開狀態之控制電壓，並構成可供給：第1振幅輸入訊號，對應上述第1工作電壓與第2工作電壓；及第2振幅輸入訊號，對應上述第1



五、發明說明 (3)

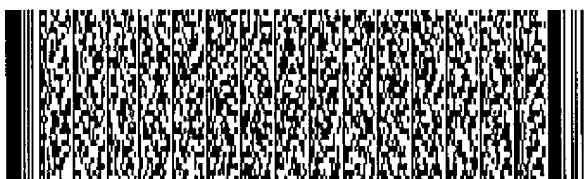
工作電壓與第2工作電壓間一定中間電壓；雙方之輸入電路。

又就本申請揭示之發明中具代表性之概要簡單說明如下。即接收由外部端子供給之輸入訊號之輸入電路，組合：第1差動放大電路，含第1導電型差動MOSFET；及第1導電型之第1MOSFET，被設於其共同源極形成工作電流；第2差動放大電路，含第2導電型差動MOSFET；及第2導電型之第2MOSFET，被設於其共同源極形成工作電流；及反相電路，形成輸出訊號；而從外部端子將輸入訊號供給上述第1與第2差動放大電路一方之輸入端子，並將上述輸入訊號之高電平與低電平之略中間電位之基準電壓供給上述第1與第2差動放大電路另一方之輸入端子，並複合上述第1與第2差動放大電路之互相同相之輸出訊號供給上述反相電路之輸入端子。

發明之實施形態：

第1圖係依照本發明有關半導體積體電路裝置所設輸入電路之一實施例構造圖。本實施例之輸入電路，由差動放大電路放大輸入訊號形成內部訊號。而為了減低其工作電流，設分別將第1工作電壓之電路之接地電位VSS與第2工作電壓之電源電壓VDDQ供給上述差動放大電路之N通道型MOSFETQ1與P通道型MOSFETQ2，由接收上述輸入訊號之偏壓產生電路形成供給連接上述MOSFETQ1與Q2之閘極之節點NIN與PIN之控制電壓。

傳給被連接於外部端子之焊接點之輸入訊號，經靜電保護電路ESD被傳至上述偏壓產生電路與差動放大電路之輸



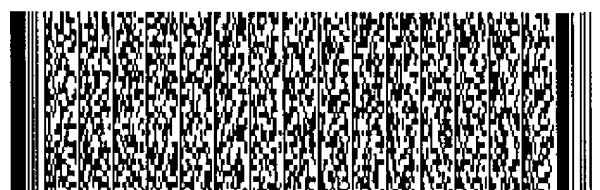
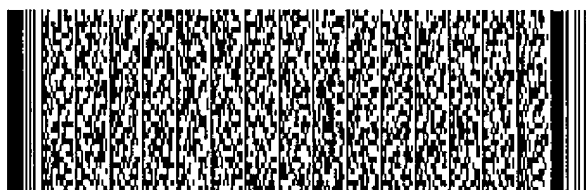
五、發明說明 (4)

入。上述偏壓產生電路，對應輸入訊號之電壓電平，當輸入訊號為上述電源電壓VDDQ或電路之接地電位VSS時，形成為了形成對應其之內部訊號使上述N通道型MOSFETQ1或Q2中之任何一方為接通狀態另一方為斷開狀態之控制電壓NIN與PIN，而在輸入訊號為上述電源電壓VDDQ一半之中心電壓附近變化之低振幅時，形成使上述N通道型MOSFETQ1或Q2均為接通狀態供給節點NIN與PIN之控制電壓。

本實施例之偏壓產生電路，檢測如上述之如LVTTTL或LVCMOS之如上述電源電壓VDDQ或電路之接地電位VSS之大振幅電平，或如SSTL於上述電源電壓VDDQ一半之中心電壓附近變化之低振幅中之任何一種，形成分別適用之供給節點NIN與PIN之控制電壓(偏壓)，即成為所謂輸入電壓跟蹤型偏壓產生電路。

按每介面區別輸入電路之理由如下。輸入緩衝器製作上之規則為輸入訊號為VHmin(將輸入訊號判定為高電平VH之最低電壓)以上時，必能判定為高電平，VLmax(將輸入訊號判定為低電平VL之最大電壓)以下時，必能判定為低電平這一點。該VHmin與VHmax之大小係按上述各介面規定，SSTL、LVTTTL、LVCMOS中SSTL之電位差為最小。

上述SSTL使用CMOS反相電路時，其邏輯臨限值必須為SSTL之VHmin與VHmax之間。但CMOS反相電路之邏輯臨限值易受因處理不均之變動，以現在之技術將其邏輯臨限值置於SSTL之VHmin與VHmax內困難。此技術問題隨處理微細化之進展益增困難。故由差動放大電路判定輸入訊號。一方面上述LVTTTL或LVCMOS使用差動放大電路時，經常流動之



五、發明說明 (5)

貫穿電路將成問題。即倘使用先前之CMOS反相電路時，在空閑備用時等、輸入電壓被固定於VDDQ或VSS時，即喪失工作電流可不流動之益處。

本實施例之全介面共用型輸入電路之特徵為新創作之輸入電壓跟蹤型偏壓產生電路，亦可控制上述差動放大電路之貫穿電流及自己本身之貫穿電流。工作原理之詳情容後申述，其概要如下。使用本發明有關輸入電壓跟蹤型偏壓產生電路時，對節點NIN與PIN可得如第3圖所示靜特性。

故小振幅訊號(最大值 V_{Hmin} 、最小值 V_{Lmax})進入時，節點PIN之電平成為低電平、節點NIN之電平成為高電平，使P通道型MOSFETQ2與N通道型MOSFETQ1均為接通狀態，執行輸入訊號之放大作用。

又輸入訊號被固定於VDDQ時，節點PIN、NIN雙方均被固定於VSS，由節點NIN之低電平使N通道型MOSFETQ1為斷開狀態，而差動放大電路之放大工作停止。輸入訊號被固定於VSS時，節點PIN、NIN均被固定於VDDQ，由節點PIN之高電平使P通道型MOSFETQ2為斷開狀態，而差動放大電路之放大工作停止。

本發明之輸入電壓跟蹤型偏壓產生電路，因如後述能與差動放大電路一同將本身電流斷開，故能將輸入緩衝器全部之消耗電流完全斷開。此種特性與對應使用前述先前之CMOS反相電路等之LVTTTL或LVCMOS之輸入電路特性相同。如以上、本發明之輸入緩衝器，使用差動放大電路型輸入電路同時具有如CMOS反相電路之輸入電路相同之特性，可共同使用於如SSTL至LVTTTL或LVCMOS之全部介面。

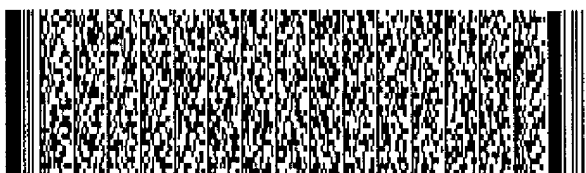


五、發明說明 (6)

第2圖係本發明有關之輸入電路一實施例電路圖。差動放大電路包括：在將輸入電壓VIN與基準電壓VREF分別供給閘極之N通道型MOSFETQ3與Q4之汲極側，連接成為電流鏡形態之P通道型負荷MOSFETQ5與Q6，並在被共同化之源極側，藉前述N通道型MOSFETQ1設N通道型MOSFETQ7。上述電流源MOSFETQ7之源極，被給予電路之接地電位VSS，並將定電壓VBL供給閘極。而在上述電流鏡形態之P通道型MOSFETQ5與Q6之被共同化之源極與電源電壓VDDQ間，設前述P通道型開關MOSFETQ2。

輸入電壓跟蹤型偏壓產生電路VTBG包括：N通道型MOSFETQ8與P通道型MOSFETQ9，上述輸入訊號VIN供給閘極並分別將電路接地電位VSS供給源極及電源電壓VDDQ；N通道型MOSFETQ10與P通道型MOSFETQ11，以並聯形態在上述MOSFETQ8與Q9汲極間做為高電阻元件作用。經常將電源電壓VDDQ供給上述N通道型MOSFETQ10之閘極，並經常將電路接地電位VSS供給P通道型MOSFETQ11之閘極，做為電阻元件工作。而從N通道型MOSFETQ8之汲極輸出被傳給前述P通道型MOSFETQ2閘極之節點PIN之偏壓，並從N通道型MOSFETQ9之汲極輸出被傳給前述N通道型MOSFETQ1閘極之節點NIN之偏壓。

上述輸入電壓跟蹤型偏壓產生電路VTBG，可視為驅動用N通道型MOSFETQ8與N通道型MOSFETQ9，接收輸入電壓VIN；與反相電路，被設於其汲極之由高電阻而成；之組合。故N通道型MOSFETQ8與由高電阻負荷電路而成之反相電路之輸出入傳輸特性係如第5圖所示，當輸入電壓VIN為



五、發明說明 (7)

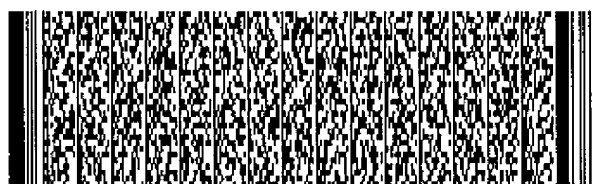
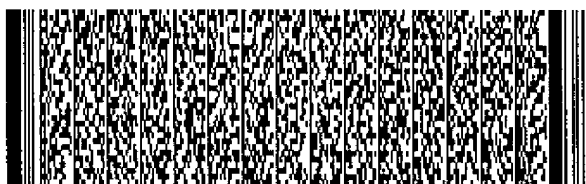
N 通道型 MOSFETQ8 之臨限值電壓以上時，MOSFETQ8 為接通狀態，而從 VDDQ 將從汲極傳給節點 PIN 之控制電壓急劇降至如電路接地電位 VSS 之低電平。

P 通道型 MOSFETQ9 與由高電阻負荷電路而成之反相電路之輸出入傳輸特性係如第 3 圖所示，因輸入電壓 VIN 與 VDDQ 之相差量被施加於 P 通道型 MOSFETQ9 之源極與閘極間，故當上述差電壓達 P 通道型 MOSFETQ9 之臨限值電壓以下時，MOSFETQ9 成斷開狀態，從 VDDQ 將汲極傳給節點 NIN 之控制電壓降至如電路接地電位 VSS 之低電平。由於如此將輸入電壓跟蹤型偏壓產生電路 VTBG 中之傳送閘極做為高電阻元件，可對節點 PIN 與 NIN 獲得如上述第 3 圖之靜特性。

故輸入如 SSTL 之小振幅訊號時，由於節點 PIN 之低電平與節點 NIN 之高電平使開關 MOSFETQ2 與 Q1 成接通狀態，而因差動放大電路經常有電流，故執行輸入輸入訊號 VIN 與 SSTL 之邏輯臨限值電壓所對應之基準電壓(參考電壓) VREF 之差電壓為輸入之放大作用。

又因輸入訊號 VIN 為全振幅(VDDQ-VSS)，例如被固定於 VDDQ 時，節點 PIN 與 NIN 均成 VSS，P 通道型 MOSFETQ2 被固定於接通狀態，N 通道型 MOSFETQ1 成斷開狀態，故差動放大電路停止工作。此時由於輸入訊號 VIN 之高電平，至上述 N 通道型 MOSFETQ1 成斷開狀態之過渡狀態下，因差動 MOSFETQ3 成接通狀態而使 MOSFETQ5 與 Q6 為接通狀態，故由於上述 P 通道型 MOSFETQ2 之接通狀態，使輸出 VOUT 可輸出如電源電壓 VDDQ 之高電平。

並聯連接 N 通道型 MOSFETQ10 與 P 通道型 MOSFETQ11 做為上



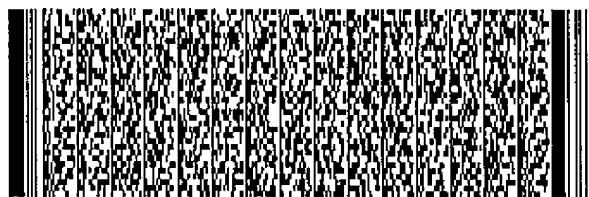
五、發明說明 (8)

述高電阻負荷元件時，無因MOSFET之臨限值電壓之電平損失，而可將節點PIN變至如電源電壓VDDQ之高電平，將節點NIN變至如電路接地電位VSS之低電平。因由此輸入訊號VIN為全振幅工作時被固定於VDDQ或VSS時能確實使開關MOSFETQ1或Q2為斷開狀態，故可減低差動放大電路之消耗電流。

由上述節點NIN之低電平使N通道型開關MOSFETQ1成斷開狀態時，雖差動放大電路停止放大工作，惟輸出訊號VOUT被維持於高電平。此時因輸入電壓跟蹤型偏壓產生電路VTBG之P通道型MOSFETQ9亦成斷開狀態，故可不將貫穿電流通於該處。故由差動放大電路及偏壓產生電路而成之輸入電路全部消耗電流理論上為零。

此乃指如動態型RAM之半導體積體電路裝置之空閑備用時可減低位址、指令、資料系輸入電路電流之意。又輸入訊號被固定於VDDQ之狀態降至VSS時，如第4圖之模擬結果形成之波形圖所示，僅原被降至VSS之節點NIN迅速被提昇至VDDQ，開關MOSFETQ1成接通狀態立即再開始差動放大電路之放大工作。

即輸入訊號VIN從被固定於VDDQ之狀態變化為如LVTTTL之對應輸入訊號之低電平時，在其電平達到中心電壓VREF前，節點NIN上昇至高電平使差動放大電路為工作狀態，故輸入訊號VIN比基準電壓VREF降低時，對應於其、輸出訊號VOUT從高電平變至低電平，而可形成與LVTTTL介面同等之輸出訊號OUT。輸入訊號從VSS上昇至VDDQ時，亦以同樣原理可將差動放大電路從非工作狀態轉換為如上述之放



五、發明說明 (9)

大工作。

本發明之電路除對如SSTL之小振幅輸入穩定工作外，並具有以全振幅輸入、輸入訊號被固定於VDDQ、VSS時使消耗電流為0之CMOS型輸入緩衝器之特性，可對全介面通用。

第2圖表示如差動MOSFETQ3、Q4使用受N通道型MOSFET之差動放大電路之例，惟使用受P通道型MOSFET之差動放大電路亦可。一般受NMOS之差動放大電路，輸出振幅之最大值、最小值均依電源電壓變大。此時因振幅之最小值移位至次段反相電路工作電壓之中間電位側，故次段反相電路之貫穿電流變大。針對此、因受P通道型MOSFET之差動放大電路最小值略為VSS一定，故可抑制次段反相電路之貫穿電流。

第5A圖及第5B圖係本發明有關之輸入電路工作一例之波形圖。第5A圖表示使輸入訊號VIN為如SSTL之小振幅訊號之情形，第5B圖表示使輸入訊號VIN為如電源電壓VDDQ與接地電位VSS之大振幅之LVTTTL(LVCMOS)之情形。

第5A圖中輸入訊號在VHmin與VLmax之範圍變化時，節點PIN被固定於低電平，節點NIN被固定於高電平而上述MOSFETQ2與Q1維持接通狀態。因此差動放大電路流動以定電流MOSFETQ7形成之工作電流，放大上述輸入訊號VIN而被放大為對應電源電壓VDDQ與電路接地電位VSS之大振幅之輸出訊號VOUT。嚴格而言、因上述差動放大電路之輸出訊號VOUT，在電源電壓VDDQ與電路接地電位VSS側分別產生差動放大電路工作所需剩餘電壓，故將其供給CMOS反相



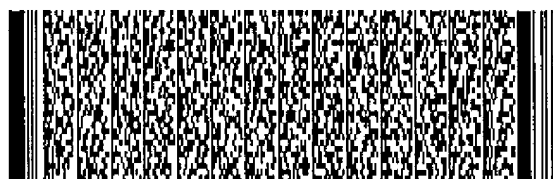
五、發明說明 (10)

電路放大變換為如同圖之CMOS電平。

第5A圖中輸入訊號VIN在VHmin與VLmax之範圍變化時，因由偏壓產生電路將節點PIN固定於低電平，節點NIN固定於高電平，故使差動放大電路之P通道型開關MOSFETQ2與N通道型開關MOSFETQ1均成接通狀態。故差動放大電路由電流源MOSFETQ7形成之定電流執行平時放大工作。因此輸入訊號VIN高於基準電壓VREF時使輸出訊號OUT為高電平，而輸入訊號VIN低於基準電壓VREF時使輸出訊號OUT為低電平。

第5B圖中輸入訊號VIN為如VDDQ與VSS之大振幅時，而例如輸入訊號VIN為如電路接地電位VSS之低電平時，使節點PIN為高電平而輸出訊號VOUT亦成低電平。上述輸入訊號VIN變化為高電平時，因由偏壓產生電路之N通道型開關MOSFETQ8之接通狀態，使節點PIN急劇變為低電平，使差動放大電路之P通道型MOSFETQ2為接通狀態開始放大工作，故該輸入訊號VIN之電平超過基準電壓VREF變高時，將輸出訊號VOUT從低電平變為高電平。

上述輸入訊號VIN穩定於高電平時，偏壓產生電路之P通道型開關MOSFETQ9成斷開狀態，將節點NIN經做為高電阻元件之MOSFETQ10與Q11拉至低電平側。由此使差動放大電路之N通道型MOSFETQ1為斷開狀態，輸入訊號VIN穩定於高電平一定時間以上時，切斷流至差動放大電路之工作電流，成為低消耗電力模式。此時在偏壓產生電路亦由上述P通道型開關MOSFETQ9之斷開狀態，切斷穩態之直流電流。

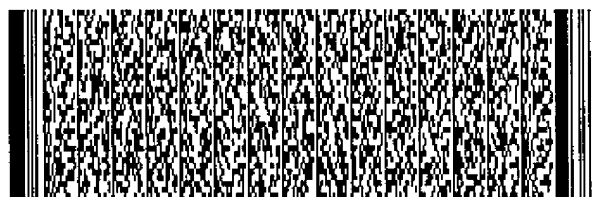


五、發明說明 (11)

上述輸入訊號VIN從電源電壓VDDQ變為如電路接地電位VSS之低電平時，因由P通道型開關MOSFETQ9之接通狀態使節點NIN為高電平，使差動放大電路之N通道型MOSFETQ1為接通狀態，故該輸入訊號VIN之電平超過基準電壓VREF降低時，將輸出訊號VOUT從高電平變為低電平。而與上述同樣輸入訊號VIN穩定於低電平一定時間以上時，切斷流至差動放大電路之工作電流，成為低消耗電力模式。此時在偏壓產生電路亦由上述N通道型開關MOSFETQ8之斷開狀態，切斷穩態之直流電流。

第6圖係輸入電壓跟蹤型偏壓產生電路之其他一實施例電路圖。本實施例電路，由於在節點PIN與NIN獨立設輸入電壓跟蹤型偏壓產生電路，使控制容易。即、使MOSFETQ8與Q9為驅動MOSFET，而使MOSFETQ11與Q10為高電阻負荷MOSFET。上述高電阻元件不用如第2圖並聯連接之通過閘而能以單體使用，故不必為了使其成為高電阻而加長通道長度，即能以短通道長度之MOS獲得同程度之電阻值。

第7圖表示輸入電壓跟蹤型偏壓產生電路之另一其他實施例電路圖。本實施例電路，將節點PIN與NIN為通用。為了輸入小振幅訊號時使差動放大電路接通，將N通道型MOSFETQ10與P通道型開關MOSFETQ11裝進由N通道型MOSFETQ8與P通道型開關MOSFETQ9而成之MOS反相電路中做為高電阻元件，形成如第9圖所示輸出入傳輸特性，將節點PIN與NIN保持於中間電位。因節點PIN與NIN如此成為中間電位，開關差動放大電路之MOSFETQ1與Q2不全成接通狀態而易在飽和區附近工作。故可期待CMRR會加大。



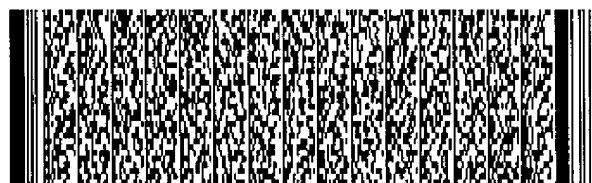
五、發明說明 (12)

第8圖係本發明有關輸入電路之其他一實施例電路圖。在本實施例附加用於低振幅輸入時輸入電路之電源關閉功能。動態型RAM，為實現與微處理機等外部裝置之介面，上述輸出入電路由其對應之外部電源電壓VDDQ加以工作。針對此，內部電路為了確保為高集成化而被微細化之元件之耐壓，以降低外部電源電壓VDDQ形成之內部電源電壓VDD加以工作。

如此以內部電路被降壓之工作電壓VDD工作時，使輸入電路一併具有將外部輸入訊號之電壓電平變換為上述內部訊號電平之功能。不過內部電路以MOS電路構成時，因其輸入阻抗高故輸入電路無需降低訊號電平傳給內部電路。但內部電路，照舊被供給對應上述外部電源電壓VDDQ之高電壓之輸入MOSFET，需使其具有適合其之耐壓。

由未圖示之內部電路形成電源關閉訊號PWD。故使電源關閉訊號PWD之訊號電平成為對應內部電壓VDD之如VDD-VSS之訊號電平。故上述電源關閉訊號PWD，由次一電平變換電路變換為對應VDDQ之訊號電平。上述電源關閉訊號PWD，供給：N通道型MOSFETQ12之源極，穩態將內部電源電壓VDD供給閘極；及N通道型MOSFETQ13之閘極，將電路之接地電位供給源極。在上述MOSFETQ12與Q13之汲極與電源電壓VDDQ間，設閘極與汲極被交叉連接之P通道型開關MOSFETQ14與Q15。

上述電平變換電路，形成對上述訊號PWD被反相且使高電平為VDDQ之電源關閉控制訊號/PWD，供給構成前述高電阻之N通道型MOSFETQ10之閘極。又經以上述外部電源電壓

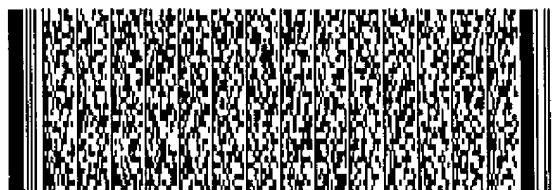
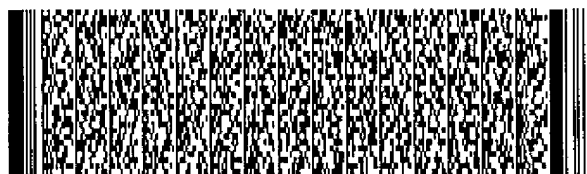


五、發明說明 (13)

VDDQ 工作之反相電路IV1反相，供給構成前述高電阻之P通道型MOSFETQ11之閘極。由此使內部電壓形成之電源關閉訊號PWD成高電平時，上述電平變換電路之輸出訊號/PWD即成低電平，使上述N通道型MOSFETQ10為斷開狀態。成為上述電平變換電路之輸出訊號/PWD對應低電平，反相電路IV1之輸出訊號對應外部電源電壓VDDQ之高電平，使上述P通道型MOSFETQ11為斷開狀態。

由此半導體積體電路裝置為電源關閉模式時，即使將如SSTL之小振幅輸入訊號供給輸入電路之狀態下，亦可使上述偏壓產生電路無直流電流流動。而因上述電源關閉控制訊號/PWD，使P通道型MOSFETQ19為接通狀態，將形成輸出訊號之反相電路IV3之輸入訊號固定於外部電源電壓VDDQ，故被傳給內部電路之輸入訊號與外部端子供給之輸入訊號VIN無關，傳輸低電平訊號。

除依經如上述電平變換電路形成之電源關閉控制訊號/PWD之偏壓產生電路與上述輸出電路之控制工作外，加上差動放大電路亦被停止工作電流。即經P通道型MOSFETQ18與N通道型MOSFETQ17而成之CMOS開關將定電壓VBL傳給電流源MOSFETQ7之閘極。由於將上述內部電路形成之電源關閉訊號PWD供給構成該CMOS開關之P通道型MOSFETQ18之閘極，並將形成其反相訊號之反相電路IV2之輸出供給N通道型MOSFETQ17之閘極，使其在電源關閉模式時成為斷開狀態。而因由上述電源關閉訊號PWD供給閘極之N通道型MOSFETQ16，將電路接地電位供給上述MOSFETQ7之閘極故使其成為斷開狀態。



五、發明說明 (14)

如上述之輸入電路，可適用於能對應工作模式執行工作控制之位址輸入電路或控制訊號之輸入電路及資料輸入電路。例如後述同步DRAM，除需監視平時輸入訊號狀態之時鐘致能訊號CKE外，可利用上述輸入電路。接收上述時鐘致能訊號CKE之輸入電路可用前述第2圖所示電路。

第10圖係本發明有關輸入電路之另一其他實施例電路圖。在本實施例適用於工作模式本身受限制之輸入電路。例如上述同步DRAM之資料輸入電路，在使其成為寫入模式時有效。故該輸入電路，省略前述偏壓產生電路與由其輸出被控制之開關MOSFETQ1與Q2。而由前述電平變換電路與控制電流源MOSFETQ7工作之電路，控制輸入電路之工作本身。此時電源關閉訊號PWD，因發生於前述寫入模式以外時控制上述工作電流，故省略如上述之偏壓產生電路或由其控制之開關MOSFET，實質上並不發生任何問題。

第11圖係說明第8圖之輸入電路工作一例之波形圖。同圖表示輸入電路以如SSTL之小振幅訊號工作之情形。由內部電路使電源關閉訊號PWD為低電平時，實施如前述對應輸入訊號形成輸出訊號VOUT之工作。

由內部電路使電源關閉訊號PWD變化為對應內部電壓VDD之高電平時，其變換電平之電源關閉控制訊號/PWD變化為低電平，如前述停止偏壓產生電路之工作與差動放大電路之工作，將輸出訊號VOUT與輸入訊號VIN之變化無關固定於如電源電壓VDDQ之高電平。

在同步DRAM使時鐘致能訊號CKE為低電平。以內部電路判定上述訊號CKE在預定一定時間以上為低電平時，使上



五、發明說明 (15)

述電源關閉訊號PWD為高電平。由此種外部控制訊號可減低消耗電流。又從自更新指令輸入保持CKE=低電平期間，繼續自更新工作，在其期間可使輸入電路非活化減低消耗電流加以利用。

第12圖係本發明有關輸入電路之另一實施例電路圖。在本實施例構成NMOS輸入之差動放大電路(以下稱差動放大器)放大器與PMOS輸入之差動放大器組合互補之構造，上述2個差動放大器均以正相輸出。

上述差動放大器NMOS-AMP包括：負荷電路，含差動形態之N通道型MOSFET及被設於其汲極之電流鏡形態之P通道型MOSFET；及MOSFET電路，被設於上述差動MOSFET之共同源極形成工作電流。本實施例在上述負荷電路與一方工作電壓之電源電壓VDD間，設P通道型虛設MOSFET，將電路接地電位穩定供給其閘極、在上述N通道型差動MOSFET之共同源極與另一方工作電壓之電路接地電位間，雖無特別限制惟設置形成SSTL用與LVTTL用工作電流之MOSFET電路。

上述SSTL用與LVTTL用MOSFET電路包括：一MOSFET，分別由鍵合選擇(Bonding Option)形成之選擇訊號BPSLDB與BPSLD開關控制；及另一MOSFET，分別以串聯形態與上述MOSFET連接將一定電壓施加於閘極形成工作電流。上述選擇訊號BPSLDB與BPSLD係對應SSTL輸入或LVTTL輸入由鍵合選擇形成之互補訊號，一方為高電平時使另一方為低電平。由此能選擇SSTL用或LVTTL用工作電流流動。

對應上述SSTL用之工作電流，與前述第2圖之實施例同樣，實施使用輸入電壓跟蹤型偏壓產生電路VTBG形成之控



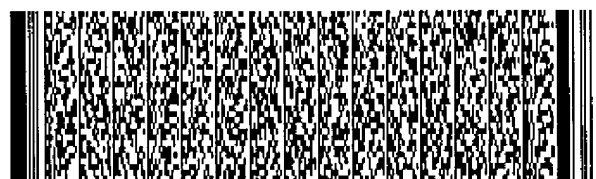
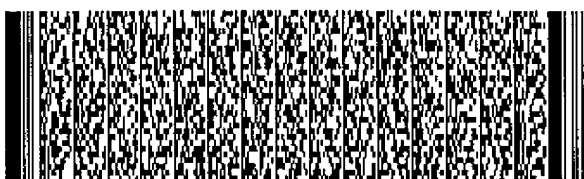
五、發明說明 (16)

制電壓VGN之前饋控制，對應LVTTTL之工作電壓被實施下述設在輸出側之反相電路INV之輸出訊號之反饋控制。上述輸入電壓跟蹤型偏壓產生電路VTBG因如前述說明實施差動放大器之電流遮斷工作，故又可稱全振幅時電流遮斷電路。以下為了容易瞭解其工作稱上述VTBG為全振幅時電流遮斷電路。

上述差動放大器PMOS-AMP包括：負荷電路，含差動形態之P通道型MOSFET及被設於其汲極之電流鏡形態之N通道型MOSFET；及MOSFET電路，被設於上述差動MOSFET之共同源極形成工作電流。本實施例在上述負荷電路與一方工作電壓之電路接地電位間，設N通道型電源開關MOSFET，將電源關閉訊號PWDDDB供給其閘極。上述差動放大器NMOS-AMP之虛設MOSFET對應上述電源關閉MOSFET，並平衡兩差動放大器之工作條件。

上述差動放大器PMOS-AMP所設SSTL用與LVTTTL用MOSFET電路亦與前述同樣包括；一MOSFET，分別由鍵合選擇形成之選擇訊號BPSLDB與BPSLD開關控制；及另一MOSFET，分別以串聯形態與上述MOSFET連接將一定電壓施加於閘極形成工作電流。對應上述SSTL用之工作電流，實施使用上述全振幅時電流遮斷電路VTBG形成之控制電壓VGP之前饋控制，對應LVTTTL之工作電壓被實施設在輸出側之反相電路INV之輸出訊號之反饋控制。

上述2個差動放大器NMOS-AMP與PMOS-AMP，對輸入訊號VIN形成正相輸出，將其輸出端子共同連接。該被通用化之輸出端子被連接於輸出反相電路INV之輸入端子，從其

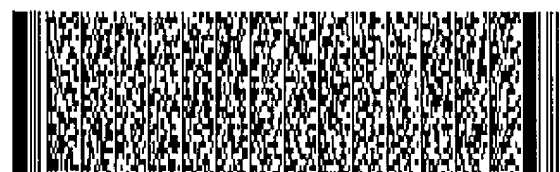


五、發明說明 (17)

輸出端子形成輸出訊號OUTB。該輸出訊號OUTB，為了對應上述LVTTTL輸入之反饋控制，在NMOS-AMP側反饋於被選擇訊號BPSLD開關控制之MOSFET串聯連接之MOSFET，在PMOS-AMP側反饋於被選擇訊號BPSLDB開關控制之MOSFET串聯連接之MOSFET。

本實施例設置：P通道型MOSFET，為電源關閉模式時減低電流遮斷上述全振幅時電流遮斷電路VTBG工作電流；及N通道型MOSFET，將其時之輸出訊號固定於如電路接地電位之低電平。將電源關閉訊號PWDSL供給此等MOSFET之閘極。在使上述電源關閉訊號PWDSL為高電平之電源關閉模式，使上述N通道型MOSFET為接通狀態，P通道型MOSFET為斷開狀態，遮斷全振幅時電流遮斷電路VTBG工作電流，並將其時之輸出訊號VGN與VGP固定於如電路接地電位之低電平。

在差動放大器側，亦將電源關閉訊號PWDDDB供給PMOS-AMP之前述N通道型電源關閉MOSFET之閘極，在2個差動放大器輸出端子與電源電壓VDD間，設由上述電源關閉訊號PWDDDB開關控制之P通道型提升MOSFET。由此在使上述電源關閉訊號PWDDDB為低電平之電源關閉模式，差動放大器PMOS-AMP之工作電流被遮斷，並將兩差動放大器NMOS-AMP與PMOS-AMP之輸出端子提升至電源電壓VDD。由於該差動放大器輸出端子被提升至電源電壓VDD，上述反相電路INV之輸出訊號被固定於低電平。由該反相電路INV之輸出訊號，在差動放大器NMOS-AMP，使形成差動MOSFET之共同源極所設工作電流之MOSFET為斷開狀態，遮斷工作



五、發明說明 (18)

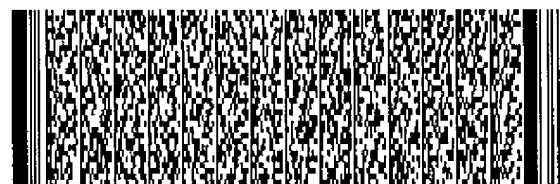
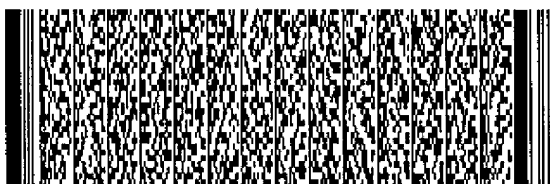
電 流。

如上述構成NMOS輸入之差動放大器NMOS-AMP與PMOS輸入之差動放大器PMOS-AMP組合互補之構造，差動放大器NMOS-AMP與PMOS-AMP均以正相輸出工作使輸出通用，SSTL與LVTTL之輸入轉換用鍵合選擇形成之選擇訊號BPSLD與BPSLDB轉換差動放大器之電流遮斷方法。SSTL輸入時實施用上述全振幅時電流遮斷電路VTBG形成之控制電壓VGN與VGP之前饋控制，LVTTL輸入時實施用設在輸出側之反相電路INV之輸出訊號OUTB之反饋控制。

如上述之輸入電路，可實現不發生影響輸出之浮動節點，LVTTL之待機電流小，遲延時間之不均勻小之輸入電路。又可減少外部輸入之建立・保持時間，減小LVTTL之待機電流。

無論輸入訊號VIN為高電平或低電平，因經由輸入基準電壓或參考電壓VREF之MOSFET確保電流匯流排，故輸出端子不成為浮動。LVTTL輸入時由反饋控制使NMOS輸入之差動放大器NMOS-AMP與PMOS輸入之差動放大器PMOS-AMP交互工作。直流特性即成為接近CMOS反相電路之電流特性，貫穿電流充分變小。

SSTL輸入時，小振幅輸入時NMOS輸入之差動放大器NMOS-AMP與PMOS輸入之差動放大器PMOS-AMP工作。對於輸入訊號VIN之同相成分，NMOS輸入之差動放大器NMOS-AMP與PMOS輸入之差動放大器PMOS-AMP互補，合計電流變化量小，遲延時間之變化小。在該SSTL輸入時輸入全振幅之輸入訊號VIN時，由使用前述全振幅時電流遮斷電路VTBG形



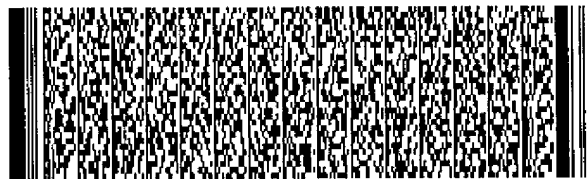
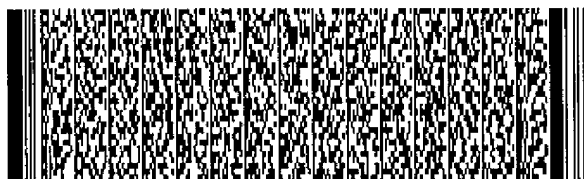
五、發明說明 (19)

成之控制電壓VGN與VBP之前饋控制，遮斷貫穿電流。

上述SSTL介面與LVTTTL介面之轉換，並未特別加以限制，惟由於鍵合選擇之選擇訊號BPSLD及其反相訊號BPSLDB，由控制2個差動放大器NMOS-AMP與PMOS-AMP之共同源極所設MOSFET電路執行。訊號PWDDDB為電源關閉控制用訊號，在電源關閉時成為低電平。訊號PWDSL係如後述採鍵合選擇與電源關閉控制邏輯之訊號，在SSTL介面時電源關閉時及LVTTTL介面時無條件成為高電平。

第13A圖及第13B圖係說明本發明有關輸入電路之SSTL介面時工作之特性圖，第13A圖表示上述全振幅時電流遮斷電路VTBG形成之控制電壓VGN、VGP與輸入訊號VIN之關係，第13B圖表示差動放大器之電流與輸入訊號VIN之關係。在上述SSTL介面時訊號BPSLD成為如電源電壓VDD之高電平，而訊號BPSLDB成為如接地電壓VSS之低電平，由全振幅時電流遮斷電路VTBG形成之控制訊號VGN與VGP控制2個差動放大器NMOS-AMP與PMOS-AMP之工作電流。

如第13A圖所示輸入訊號VIN於VSS附近，控制電壓VGN、VGP均成電源電壓VDD，PMOS輸入之差動放大器PMOS-AMP之共同源極部之P通道型MOSFET成斷開狀態，遮斷PMOS輸入之差動放大器PMOS-AMP之工作電流。此時NMOS輸入之差動放大器NMOS-AMP，將輸入訊號VIN連接於閘極之N通道型差動MOSFET成斷開狀態。結果、流至P通道型電流鏡電路之電流成為零，NMOS輸入差動放大器NMOS-AMP之工作電流亦成為零。又輸入訊號VIN於電源電壓VDD附近，控制電壓VGN、VGP均成電路接地電壓VSS，遮斷NMOS輸入之差動放



五、發明說明 (20)

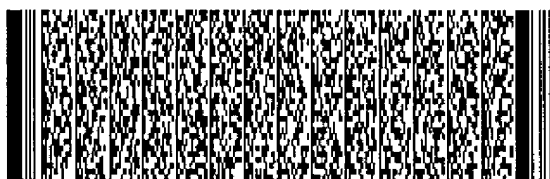
大器之電流，將輸入訊號VIN連接於閘極之P通道型差動MOSFET成斷開狀態，使PMOS輸入之差動放大器電流成為零。

一方面輸入訊號VIN於參考電壓VREF附近之通常工作區，控制訊號VGN為電源電壓VDD，控制訊號VGP成為電路接地電壓VSS，NMOS之輸入差動放大器NMOS-AMP與PMOS輸入之差動放大器PMOS-AMP雙方被活化。如第13B圖所示輸入訊號VIN高於上述參考電壓VREF時，流經NMOS輸入之差動放大器NMOS-AMP之電流加大，而流經PMOS輸入之差動放大器PMOS-AMP之電流變小。

反之輸入訊號VIN低於參考電壓VREF時，流經NMOS輸入之差動放大器NMOS-AMP之電流變小，而流經PMOS輸入之差動放大器PMOS-AMP之電流加大。故流經2個差動放大器NMOS-AMP與PMOS-AMP之電流合計，不依輸入訊號VIN之電平而略為保持一定。故即使輸入訊號VIN與參考電壓VREF之同相成分變化，惟工作速度變化小，即使P通道型MOSFET與N通道型MOSFET之特性比變化，惟影響小。

第14A圖及第14B圖係說明本發明有關輸入電路之LVTTTL介面時工作之特性圖，第14A圖表示上述輸出訊號OUTB與輸入電壓VIN之關係，第14B圖表示差動放大器之電流與輸入電壓VIN之關係。上述LVTTTL介面時，選擇訊號BPSLD為電路接地電壓VSS，選擇訊號BPSLDB成為電源電壓VDD，由反相電路INV之輸出訊號OUTB控制電流。

輸入訊號VIN低於參考電壓VREF時，輸出訊號OUTB成為如電源電壓VDD之高電平，遮斷PMOS輸入之差動放大器



五、發明說明 (21)

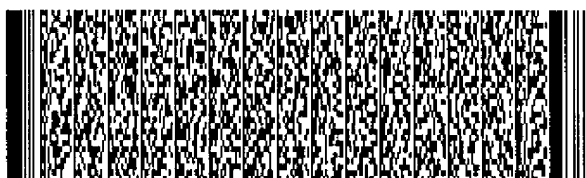
PMOS-AMP 之電流。反之輸入訊號VIN高於參考電壓VREF時，輸出訊號OUTB成為如電路接地電壓VSS之低電平，遮斷NMOS輸入之差動放大器NMOS-AMP之電流。結果由於元件之微細化，即使P通道型MOSFET與N通道型MOSFET之臨限值電壓小時亦可使待機電流充分變小。

輸入訊號VIN自低電平變為高電平時，NMOS輸入之差動放大器NMOS-AMP被活化至輸出訊號OUTB成為低電平。上述輸入訊號VIN自高電平變為低電平時，PMOS輸入之差動放大器PMOS-AMP被活化至輸出訊號OUTB成為高電平。故上述輸入訊號VIN變化時可得充分之驅動能力，對應其、使輸出訊號OUTB變為高速。

第15圖係本發明有關輸入電路之另一實施例電路圖。本實施例電路表示電源關閉之輸出與前述第12圖相反之輸入電路。訊號PWDD為電源關閉控制用訊號，在電源關閉時成為高電平。訊號PWddb為採鍵合選擇與電源關閉控制之邏輯之訊號，使SSTL介面時及LVTTTL介面時無條件成低電平。

本實施例電路，與前述第12圖相反，全振幅時電流遮斷電路VTBG，由上述訊號PWDSLDB之低電平使設在電路接地電位側之電源關閉用N通道型MOSFET為斷開狀態，並由接通狀態之P通道型MOSFET將當時之控制電壓VGN與VGP提升至電源電壓VDD。

在差動放大器，將電源關閉訊號PWDD供給NMOS-AMP之前述P通道型電源關閉MOSFET之閘極，在2個差動放大器輸出端子與電路接地電位VSS間，設由上述電源關閉訊號



五、發明說明 (22)

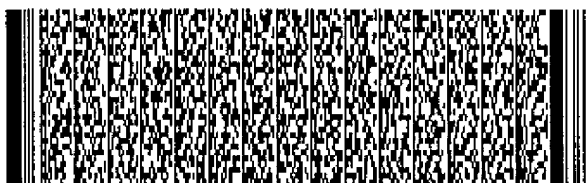
PWDD 開關控制之N通道型下拉MOSFET。由此在使上述電源關閉訊號PWDD為高電平之電源關閉模式，差動放大器NMOS-AMP之工作電流被遮斷，並將兩差動放大器NMOS-AMP與PMOS-AMP之輸出端子下拉至電路接地電位VSS。

由於該差動放大器輸出端子被下拉至低電平，上述反相電路INV之輸出訊號被固定於高電平。由該反相電路INV之輸出訊號，在差動放大器PMOS-AMP，使形成差動MOSFET之共同源極所設工作電流之MOSFET為斷開狀態，遮斷工作電流。此時，在差動放大器PMOS-AMP之電流鏡負荷電路與電路接地電位間設N通道型虛設MOSFET，由於將電源電壓VDD供給其閘極使其穩定成接通狀態。

第16圖係訊號產生電路之一實施例電路圖。該訊號產生電路係向前述第12圖所示輸入電路。即本實施例之訊號產生電路，形成：電源關閉訊號PWDSL，供給前述第12圖之輸入電路所設全振幅時電流遮斷電路VTBG；及電源關閉訊號PWddb及選擇訊號BPSLD、BPSLDB，供給差動放大器NMOS-AMP、PMOS-AMP。

未特別加以限制，使電源關閉訊號PWD與選擇訊號BPSL成為內部電路所形成之低振幅訊號。內部電路由降低外部端予供給之電源電壓VDD形成之內部電壓VCL使其工作。例如電源電壓VDD為3.3V或2.5V時，使內部降壓電壓VCL為如2.0V或1.8V之低電壓。

電平變換電路LVC1與LVC2，將對應上述內部降壓電壓VCL之低振幅電源關閉訊號PWD與選擇訊號BPSL變換為對應電源電壓VDD之較大訊號振幅。選擇訊號BPSLD為由上述電



五、發明說明 (23)

平變換電路LVC2形成之輸出訊號。選擇訊號BPSLDB由CMOS反相電路將上述選擇訊號BPSLD反相形成。

電源關閉訊號PWD被電平變換電路LVC1變換電平之訊號，被CMOS反相電路反相做為電源關閉訊號PWDDB供給差動放大器之電源開關MOSFET及提升MOSFET。上述訊號PWDDB與上述選擇訊號BPSLD供給非且開電路NAG1，形成供給全振幅時電流遮斷電路VTBG之電源關閉訊號PWDSL。由此、訊號PWDSL如前述在SSTL介面時電源關閉時及LVTTL介面時無條件成高電平。

第17圖係訊號產生電路之一實施例電路圖。該訊號產生電路係向前述第15圖所示輸入電路。即本實施例之訊號產生電路，形成：電源關閉訊號PWDSLB，供給前述第15圖之輸入電路所設全振幅時電流遮斷電路VTBG；及電源關閉訊號PWDD及選擇訊號BPSLD、BPSLDB，供給差動放大器NMOS-AMP、PMOS-AMP。

電平變換電路LVC1與LVC2，與前述同樣將對應內部降壓電壓VCL之低振幅電源關閉訊號PWD與選擇訊號BPSL變換為對應電源電壓VDD之較大訊號振幅。選擇訊號BPSLD為由上述電平變換電路LVC2形成之輸出訊號。選擇訊號BPSLDB由CMOS反相電路將上述選擇訊號BPSLD反相形成。

電源關閉訊號PWD被電平變換電路LVC1變換電平之訊號，做為電源關閉訊號PWDD供給差動放大器之電源開關MOSFET及提升MOSFET。上述訊號PWDD與上述選擇訊號BPSLD供給非且開電路NAG1，形成供給全振幅時電流遮斷電路VTBG之電源關閉訊號PWDSLB。由此、訊號PWDSL如前



五、發明說明 (24)

述說明在SSTL介面時電源關閉時及LVTTTL介面時無條件成低電平。

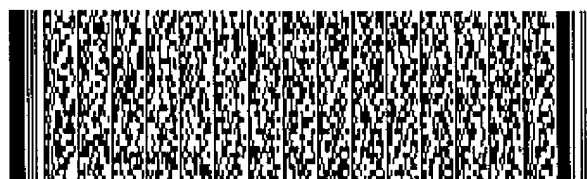
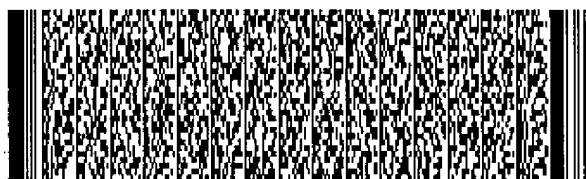
輸入電路，為了從電源關閉返回時之安定工作計，有電源關閉時應輸出低電平之訊號，與應輸出高電平之訊號。在1個半導體積體電路裝置，由於適當分別使用第12圖與第15圖之輸入電路，均可對應上述任何情形，且能使通常工作時之特性略為相同。

第18圖係本發明有關輸入電路之另一實施例電路圖。本實施例係前述第12圖之實施例電路之變形例，由輸出訊號OUTB被反饋之MOSFET與差動MOSFET之共同源極間之鍵合選擇形成之選擇訊號BPSLD、BPSLDB省略開關MOSFET。

由於省略如上述之選擇開關MOSFET，在SSTL介面時輸出訊號OUTB被反饋之MOSFET電流亦流至上述差動MOSFET之共同源極。故在SSTL介面時，因由輸出訊號OUTB之反饋被控制之MOSFET形成之電流加於差動放大器之工作，故可加大工作時之電流。因此、比第12圖之實施例輸入電路，可達成電路之簡化與高速化。

第19圖係本發明有關輸入電路之另一實施例電路圖。本實施例表示去除前述全振幅時電流遮斷電路VTBG之輸入電路之例。在LVTTTL介面時同樣可得前述特點。比第12圖所示輸入電路，不但元件少可縮小佈置面積且可減小全振幅時電流遮斷電路VTBG之輸入容量分從輸入端子所視時之輸入容量。

本實施例之輸入電路，除如前述可當做適合SSTL與LVTTTL之兩輸入介面之輸入電路使用外，做為僅限於LVTTTL



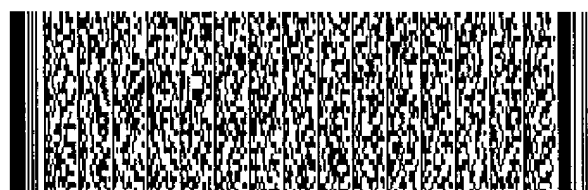
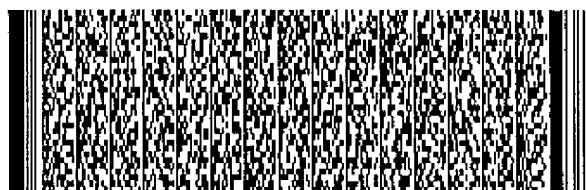
五、發明說明 (25)

介面之輸入電路亦有益。以CMOS反相電路構成LVTTTL介面用之輸入電路時，其邏輯臨限值電壓由P通道型MOSFET與N通道型MOSFET之電導比決定。故將該CMOS反相電路做為輸入電路使用時，因其邏輯臨限值電壓易受元件不均之影響，故確保輸入訊號邊際困難。

前述第5B圖之波形圖表示將LVTTTL之低電平做為電路接地電位VSS，並將高電平做為電源電壓VDDQ，惟與前述第5A圖之SSTL之波形圖同樣，1LVTTTL之低電平定有容許最大值VLmax，而高電平定有容許最小值VHmin，例如電源電壓VDD為3.3V時VLmax=0.4V、VHmin=2.4V。

由於元件微細化，使MOSFET之臨限值電壓小至約0.4V。由此種低臨限值電壓之MOSFET構成CMOS反相電路，做為上述LVTTTL之輸入電路使用時，即使使輸入訊號VIN為低電平，亦無法使N通道型MOSFET完全成斷開狀態，而經P通道型MOSFET與N通道型MOSFET流通貫穿電流。為了防止在輸入訊號VIN為高電平及低電平時上述貫穿電流之發生，於P通道型MOSFET需將臨限值電壓形成大至(2.4~3.3)-0.9V以上。而為了將邏輯臨限值電壓設定為約1.4V，亦需對應上述P通道型MOSFET形成較大N通道型MOSFET之臨限值電壓。

故使用微細化元件之半導體積體電路裝置，亦需成為至少在輸入電路部分具有如上述大臨限值電壓之MOSFET，因此需形成具有低臨限值電壓與高臨限值電壓之2種MOSFET以至增加製造過程，加上將大臨限值電壓之MOSFET用於輸入電路時，相對由外部端予供給之輸入訊號之訊號傳輸速度亦延遲。

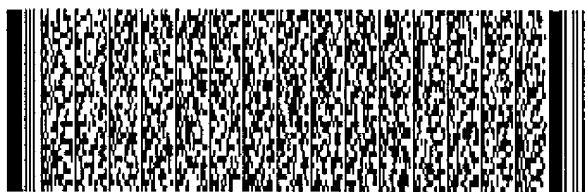


五、發明說明 (26)

將如第19圖所示電路做為LVTTTL介面之輸入電路使用時，因其邏輯臨限值電壓由參考電壓VREF決定，故可不受元件不均之影響以高精度設定。而即使如上述用因元件微細化之低臨限值電壓之MOSFET構成輸入電路時，亦可由反饋輸出訊號OUTB，遮斷在例如輸入訊號VIN為約0.4V之低電平時，由該輸入訊號VIN之低電平流通大電流之差動放大器PMOS-AMP之工作電流。此時差動放大器NMOS-AMP，因輸入訊號VIN之約0.4V之低電平而流至差動MOSFET之電流變小，故可達成低消耗電力。

第20圖係本發明有關輸入電路之另一實施例電路圖。本實施例係從前述第12圖之實施例電路去除反饋輸出訊號OUTB之電路。將該輸入電路用做SSTL介面時，同樣可得前述特點。即做為SSTL介面之輸入電路使用時，可在使其輸入電壓VIN為高電平或低電平時由全振幅時電流遮斷電路VTBG形成之控制電壓VGN與VGP減低差動放大器之消耗電力。並可將該輸入電路做為LVTTTL介面之輸入電路工作。因此、比第12圖之輸入電路，不但元件數少可減小佈置面積，且輸出端子之負荷容量小可高速工作。

第21圖係本發明有關輸入電路之另一實施例電路圖。本實施例係從第20圖之實施例電路省略全振幅時電流遮斷電路VTBG，做為全振幅時不具電流減低功能之輸入電路。規格上無需減低待機時之電流時，即使省略上述全振幅時之電流減低功能，亦如前述說明可獲得SSTL介面時工作速度變化小之特點。並可將該輸入電路做為LVTTTL介面之輸入電路工作。因此、比前述實施例之輸入電路，元件數少佈



五、發明說明 (27)

置面積小。又不但輸入端子之輸入容量小且輸出端子OUTB之負荷容量亦小可高速工作。

第22圖係本發明有關輸入電路之另一實施例電路圖。本實施例表示適用於動態型RAM等半導體積體電路裝置之實際電路圖。增加金屬罩之開關MS1~MS13，以3.3V版與2.5V版轉換電源電壓VDD，使其分別能構成最適當之構造。使同圖之開關MS2~MS13對應於2.5V版。

上述3.3V版時為了MOSFET之熱載流子對策，轉換或切斷開關以便將N通道型MOSFET插入大訊號振幅之電路節點。但開關MS1並非如上述電源電壓VDD之轉換，而為如第19圖所示LVTTTL專用輸入電路之開關。由於市場動向，無需用鍵合選擇轉換為SSTL用而做為LVTTTL專用製造時，與鍵合選擇併用使用該開關即可從輸入VIN分離全振幅時電流遮斷電路，減輕輸入VIN之負荷容量縮短延遲時間。

反之、無需轉換為LVTTTL用而做為SSTL專用製造時，由於將開關MS5、MS6雙方均為接地電壓VSS側而將開關MS7、MS8雙方均為電源電壓VDD，即可使其成為如第20圖所示SSTL專用輸入電路。由於與鍵合選擇併用如此使用開關，即可去除從輸出OUTB之反饋路徑，減輕輸出OUTB之負荷容量縮短延遲時間。又全振幅時電流遮斷電路之高電阻MOSFET係由多數MOSFET之串聯連接實現，而容易佈置。

第23圖係本發明適用之動態型RAM之一實施例概略佈置圖。同圖之各電路方塊係由眾知之半導體積體電路製造技術形成在如單結晶矽之1個半導體基板上。同圖之各電路係略為配合上述半導體基板上之幾何學配置描繪。本實施



五、發明說明 (28)

例之記憶陣列以整體而言分為4個，構成記憶體組(Bank)0~3。

上述記憶體組0~3係對應沿半導體晶片長度方向之各被分割為上下2個、左右2個之記憶陣列。在沿上述晶片長度方向中央部分設置位址輸入電路、資料輸出入電路及由焊接區隊列而成之周邊電路。該周邊電路並未特別加以限制，惟為了使隨機・邏輯電路而成之各電路佈置合理化，將隨機・邏輯電路與焊接區並排配置。

上述未圖示周邊電路可舉例如下：控制電路，控制昇壓電壓產生電路及其工作；分壓電路，將外部電源電壓VDDQ分壓為1/2以形成由差動電路構成之輸入電路參考電壓；輸出入電路與其時鐘控制電路；Y預解碼器與讀取/寫入緩衝器；降壓電路，形成周邊電路之工作電壓；VPP感測器，檢測VPP電壓是否為所希電壓；穩定化電容器，使上述降壓電壓VPERI穩定化；X位址門鎖電路；Y時鐘電路；模式解碼器/時鐘緩衝器與指令電路；Y計數器與其控制電路；及更新控制電路；而BOP有鍵合選擇電路、電源接通電路等。

如上述沿半導體晶片長度方向之各被分割為上下2個、左右2個合計4個而成之各記憶陣列，將X系預解碼電路ROWPDC及檢修電路ROWRED、Y系預解碼電路COLPDC及檢修電路COLRED整理配置於對長度方向左右方向中間部。即分別對應上述4個記憶陣列，將上述X系預解碼電路ROWPC及檢修電路ROWRED、Y系預解碼電路COLPDC及檢修電路COLRED對應上述左右各2個設置之記憶陣列，分為各2組設



五、發明說明 (29)

置。

與前述同樣沿上述記憶陣列之上上述中間部分形成主字驅動區MWD，分別驅動對應各記憶陣列設在上方側延長方向之主字線。此構造用前述同樣之副陣列時，延長主字線以貫穿16個副陣列。並未特別加以限制，於上述記憶陣列，在上述晶片中央部分相反側之晶片周邊側設置Y解碼器

YDC。即由配置在上述中央側之主放大器MA與配置在周邊側之Y解碼器YDC，分別夾持配置上述被4分割而成之各記憶陣列。此時晶片中央部發生向縱方向與橫方向延長之配線通道交叉之部分，在此形成穩定化電容器C。又適當設置亦分散於周邊電路等間隙之小容量值之穩定化電容器。

在本實施例，由配置在上述中央側之主放大器MA與配置在周邊側之Y解碼器YDC，夾持配置上述被4分割而成之各記憶陣列。上述記憶陣列，如擴大顯示其中1個，被分割為多數副陣列15。該副陣列15被夾其配置之感測放大區16、副字驅動區17包圍形成。上述感測放大區16與上述副字驅動區17之交叉部做為交叉區18。被設於上述感測放大區16之感測放大器由公用感測方式構成，除被配置於記憶單元陣列兩端之感測放大器，以感測放大器為中心左右設互補位元線，選擇連接於左右任一記憶單元陣列之互補位元線。

1個副陣列15未加圖示，例如包括256支副字線與由其交叉之256對而成之互補位元線(或資料線)。又副陣列並設置檢修不良字線或不良位元線用預備字線及預備互補位元線。上述1記憶陣列，因向字線排列方向設16個上述副陣



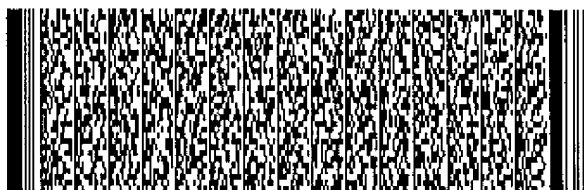
五、發明說明 (30)

列，故全部上述副字線設約4K分，又因向位元線排列方向設16個，故互補位元線全部設約4K分。由於此種記憶陣列全部設有4個，故全部具有如 $4 \times 4K \times 4K = 64M$ 位元之記憶容量。由此互補位元線之長度對應上述16個副陣列被分割為1/16長度。副字線對應上述16個副陣列被分割為1/16長度。

上述1個記憶陣列被分割之每個副陣列15設置副字驅動器(副字線驅動電路)17。副字驅動器17，如上述被分割為對主字線1/16長度，形成與其平行延長之副字線選擇訊號。本實施例為減少主字線數，換言之、為緩和主字線之配線節距，雖未特別加以限制，惟對1個主字線，向互補位元線方向配置4支副字線。為了如此主字線方向被分割為8支，及對互補位元線方向各分配4支之副字線中選擇1支副字線，在主字驅動器MWD配置未圖示之副字選擇驅動器。該副字選擇驅動器，形成向上述副字驅動器排列方向延長之4支副字選擇線中選擇1個之選擇訊號。

採用如第23圖之佈置，輸入Y位址時，經位址緩衝器ADDBUP傳至設在上述記憶陣列中間部之檢修電路，經預解碼器傳至配置於晶片周邊側之Y解碼器YDC，在此形成Y選擇訊號。由上述Y選擇訊號選擇1個副陣列之互補位元線，被傳至其相反側晶片中央部側主放大器，被放大經未圖示之輸出電路輸出。

此種構造一見判斷為像訊號牽動晶片至輸出讀取訊號之時間延長。但因需將位址訊號照舊輸入檢修電路，故將檢修電路配置於晶片中央任何位置時，等待是否為不良位址



五、發明說明 (31)

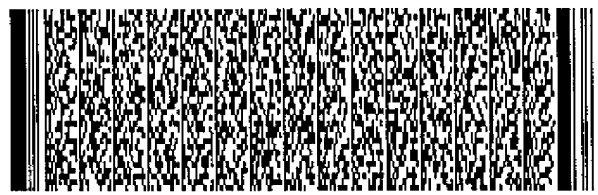
判定結果決定預解碼器之輸出時間。即預解碼器與檢修電路分開時，該處之訊號延遲成為實際延遲Y選擇工作之原因。

本實施例因夾記憶陣列將主放大器MA與Y解碼器YDC配置於兩側，故副陣列之互補位元線選擇用訊號傳輸路徑，與由被選擇之互補位元線經輸出入線至主放大器MA輸入之訊號傳輸路徑之和，為無論選擇任一互補位元線亦成為僅橫斷記憶陣列之訊號傳輸路徑，而可縮短為如上述1往復之一半。因此可使記憶存取高速化。

第24圖係本發明有關動態型RAM之感測放大部為中心之位址輸入至資料輸出之簡化一實施例電路圖。同圖中舉例表示上下被夾於2個副陣列15之感測放大器16與交叉區所設電路，其他以方塊圖表示。

動態型記憶單元，係上述1個副陣列15所設副字線SWL，與互補位元線BL、BLB中一方之位元線BL間所設之1個為代表例表示。動態型記憶單元包括位址選擇MOSFETQ_m與記憶電容器Cs。位址選擇MOSFETQ_m之閘極被連接於副字線SWL，該MOSFETQ_m之汲極被連接於位元線BL，將記憶電容器Cs連接於源極。記憶電容器Cs另一方之電極被通用化供給板電壓VPLT。將負偏壓VBB施加於上述MOSFETQ_m之基板(通道)。並未特加限制，上述負偏壓VBB被設定為如-V之電壓。使上述副字線SWL之選擇電平為對上述位元線之高電平僅高於上述位址選擇MOSFETQ_m之臨限值電壓分之高電壓VPP。

感測放大器以內部降壓電壓VDL工作時，使由感測放大



五、發明說明 (32)

器放大供給位元線之電平為上述內部降壓電壓VDL電平。故使對應上述字線選擇電平之高電壓VPP為 $VDL + V_{th} + \alpha$ 。被設於感測放大器在側之副陣列之一對互補位元線BL與BLB係如同圖所示平行配置。該互補位元線BL與BLB由共用開關MOSFETQ1與Q2，與感測放大器之單位電路之輸出入節點連接。

感測放大器之單位電路包括：將閘極與汲極交叉連接成閃鎖形態之N通道型放大MOSFETQ5、Q6及P通道型放大MOSFETQ7、Q8而成之CMOS閃鎖電路。N通道型放大MOSFETQ5與Q6之源極連接於共同源線CSN。P通道型放大MOSFETQ7與Q8之源極連接於共同源線CSP。上述共同源線CSN與CSP分別連接電源開關MOSFET。雖並未特加限制，惟N通道型放大MOSFETQ5與Q6之連接源極之共同源線CSN，由設於上述交叉區18之N通道型電源開關MOSFETQ14供給對應接地電位之工作電壓。

雖並未特加限制，惟上述P通道型放大MOSFETQ7與Q8之連接源極之共同源線CSP設有：N通道型電源MOSFETQ15，超驅動用被設於上述交叉區18；及N通道型電源MOSFETQ16，供給上述內部電壓VDL。上述超驅動用電壓雖並未特加限制，惟使用由外部端子供給之電源電壓VDDQ。或為了減輕感測放大工作速度之電源電壓VDDQ依靠性，將VPP施加於閘極，從將電源電壓VDDQ供給汲極之N通道型MOSFET之源極獲得上述電壓而稍降壓亦可。

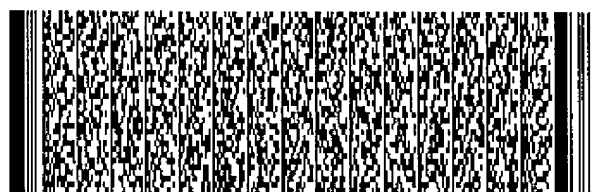
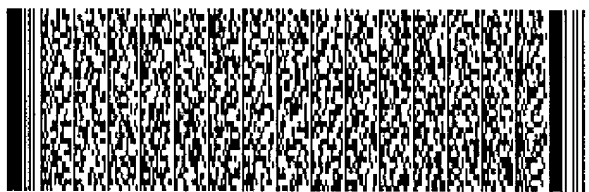
供給上述N通道型電源MOSFETQ15閘極之感測放大超驅動用活化訊號SAP1，被當做供給上述N通道型MOSFETQ16閘極



五、發明說明 (33)

之活化訊號SAP2同相訊號，做為接收SA外部端子供給之輸入訊號之輸入電路，組合：第1差動放大電路，含第1導電型差動MOSFET與其共同源極所設形成工作電流之第1導電型第1 MOSFET；第2差動放大電路，含第2導電型差動MOSFET、其共同源極所設形成工作電流之第2導電型第2 MOSFET；及反相電路，形成輸出訊號；從外部端子將輸入訊號供給上述第1與第2差動放大電路一方之輸入端子，將上述輸入訊號之高電平與低電平之略中間電位之基準電壓供給上述第1與第2差動放大電路另一方之輸入端子，組合上述第1與第2差動放大電路互相同相之輸出訊號供給上述反相電路之輸入端子。SAP1與SAP2係以時間序列成為高電平。雖並未特加限制，惟SAP1與SAP2之高電平被當做昇壓電壓VPP電平之訊號。即因昇壓電壓VPP約為3.6V，故能使上述N通道型MOSFETQ15、16充分成接通狀態。MOSFETQ15成斷開狀態(訊號SAP1為低電平)後由於MOSFETQ16之接通狀態(訊號SAP2為高電平)可從源側輸出對應內部電壓VDL之電壓。

上述感測放大器之單位電路輸出入節點，設置：均衡MOSFETQ11，使互補位元線短路；及預充電(均衡)電路，含將半預充電電壓VBLR供給互補位元線之開關MOSFETQ9與Q10。將預充電訊號PCB共同供給此等MOSFETQ9~Q11之開極。未圖示之形成該預充電訊號PCB之驅動電路，將反相電路設於上述交叉區，使其高速上升及下降。即在記憶存取開始時字線選擇定時前，先行經分散設於各交叉區之反相電路高速轉換構成上述預充電電路之MOSFETQ9~Q11。



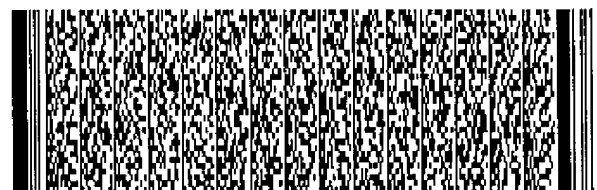
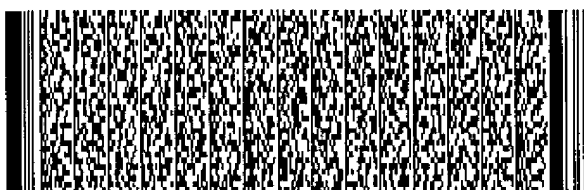
五、發明說明 (34)

上述交叉區18，設置連接IO開關電路IOSW(連接局部IO與主IO之開關MOSFETQ19、Q20)。第3圖所示電路外更隨需要並設感測放大器之共用源線CSP與CSN之半預充電電路、局部輸出入線LIO之半預充電電路、主輸出入線之VDL預充電電路、共用選擇訊號線SHR與SHL之分散驅動電路等。

感測放大器之單位電路，經共用開關MOSFETQ3與Q4連接於圖下側之副陣列15同樣之互補位元線BL、BLB。例如選擇上側副陣列之副字線SWL時，使感測放大器上側共用開關MOSFETQ1與Q2為接通狀態，使下側共用開關MOSFETQ3與Q4為斷開狀態。開關MOSFETQ12與Q13，構成行(Y)開關電路，上述選擇訊號YS為選擇電平(高電平)時成接通狀態，連接上述感測放大器之單位電路之輸出入節點與局部輸出入線LIO1與LIO1B、LIO2、LIO2B等。

由此、感測放大器之輸出入節點，被連接於上述上側互補位元線BL、BLB，放大連接於選擇之副字線SWL之記憶單元之微小訊號，經上述行開關電路(Q12與Q13)傳至局部輸出入線LIO1、LIO1B。上述局部輸出入線LIO1、LIO1B，沿上述感測放大器行，即向同圖橫方向延長。上述局部輸出入線LIO1、LIO1B，經設於交叉區18之N通道型MOSFETQ19與Q20而成之IO開關電路，連接於連接主放大器61之輸入端子之主輸出入線MIO、MIOB。

上述IO開關電路，被解讀X系位址訊號形成之選擇訊號開關控制。又IO開關電路，構成將P通道型MOSFET分別並聯於上述N通道型MOSFETQ19及Q20連接之CMOS開關之構造亦可。同步DRAM之叢發模態，由計數器之工作轉換上述行



五、發明說明 (35)

選擇訊號YS，依序轉換上述局部輸出入線LI01、LI01B及LI02、LI02B與副陣列之各二對之互補位元線BL、BLB之連接。

位址訊號Ai係供給位址緩衝器51。該位址緩衝器以分時工作取進X位址訊號與Y位址訊號。X位址訊號供給預解碼器52，經主列解碼器11與主字解碼器12形成主字線MWL之選擇訊號。上述位址緩衝器51，因係接收外部端予供給之位址訊號Ai，故由外部端予供給之電源電壓VDDQ使其工作，上述預解碼器由將其降壓之降壓電壓VPERI(VDD)使其工作，上述主字驅動器12由昇壓電壓VPP使其工作。該主字驅動器12使用接收上述預解碼訊號之附電平變換功能邏輯電路。行解碼器(驅動器)53含由構成上述VCLP產生電路之MOSFETQ23形成工作電壓之驅動電路，接收由上述位址緩衝器51之分時工作供給之Y位址訊號，形成上述選擇訊號YS。

上述主放大器61由前述降壓電壓VPERI(VDD)使其工作，經外部端予供給之電源電壓VDDQ使其工作之輸出緩衝器62，從外部端予Dout輸出。從外部端予Din輸入之寫入訊號經輸入緩衝器63取進，並經同圖中主放大器61所含寫入放大器(寫入驅動器)將寫入訊號供給上述主輸出入線MIO與MIOB。上述輸出緩衝器62輸入部，設同步於將電平變換電路與其輸出訊號對應於上述時鐘訊號之定時訊號之輸出用邏輯部。

雖並未特加限制，惟上述外部端予供給之電源電壓VDDQ，於第1形態使其為3.3V，供給內部電路之降壓電壓



五、發明說明 (36)

VPERI(VDD)被設定為2.5V，使上述感測放大器之工作電壓VDL為1.8V。而使字線之選擇訊號(昇壓電壓)為3.6V。使位元線之預充電電壓VBLR為對應VDL/2之0.9V，並使板電壓VVPLT亦為0.9V。而使基板電壓VBB為-1.0V。由上述外部端子供給之電源電壓VDDQ，於第2形態使其為如2.5V之低電壓亦可。如此低電源電壓VDDQ時，使降壓電壓VPERI(VDD)與降壓電壓VDL同為約1.8V亦可。

或使外部端子供給之電源電壓VDDQ為3.3V，使供給內部電路之降壓電壓VPERI(VDD)與感測放大器之工作電壓VDL同為2.0V或1.8V亦可。如此內部電壓對外部電源電壓VDDQ，可採取各種實施形態。

第25圖係本發明適用之約64M位元之同步DRAM(以下僅稱SDRAM)一實施例之全部方塊圖。本實施例之SDRAM雖並未特加限制，惟舉4個記憶體組中構成記憶體組0之記憶陣列200A與構成記憶體組3之記憶陣列200D為例表示。

即省略對應4個記憶體組中2個記憶體組1與2之記憶陣列200B、200C。分別對應4個記憶體組0~3之記憶陣列200A~200D，係如同圖例示之記憶陣列200A與200D包括矩陣配置之動態型記憶單元，依圖配置成同一行之記憶單元之選擇端子被結合於每行字線(未圖示)，被配置於同一列之記憶單元之資料輸出入端子被結合於每列互補資料線(未圖示)。

上述記憶陣列200A之未圖示字線，依列(Row)解碼器201A之列位址訊號之解碼結果，將1支驅動為選擇電平。記憶陣列200A之未圖示互補資料線，被結合於含感測放大



五、發明說明 (37)

器及行選擇電路之I/O線202A。含感測放大器及行選擇電路之I/O線202A之感測放大器，係由記憶單元之資料讀取檢測出現於各互補資料線之微小電位差加以放大之放大電路。其行開關電路個別選擇互補資料線，導通於互補I/O線用之開關電路。行開關電路依行解碼器203A之行位址訊號之解碼結果，選擇工作。

記憶陣列200B乃至200D亦同樣，如記憶陣列200D之例所示設有：列解碼器201D、含感測放大器及行選擇電路之I/O線202D、行解碼器203D。上述互補I/O線連接於寫入緩衝器214A、B之輸出端子及主放大器212A、D之輸入端子。上述主放大器212A、D之輸出訊號傳輸給門鎖/暫存器213之輸入端子，該門鎖/暫存器213之輸出訊號藉輸出緩衝器211從外部端子輸出。

從外部端子輸入之寫入訊號，藉輸入緩衝器210傳輸給上述寫入緩衝器214A、D之輸入端子。上述外部端子並未特加限制，惟做為輸出16位元而成之資料D0~D15之資料輸出入端子。又對應上述省略之記憶陣列200B與C，分別設置與上述同樣之主放大器、輸入緩衝器。

從位址輸入端供給之位址訊號A0~A13，以位址多工形式被取進行位址緩衝器205與列位址緩衝器206。供給之位址訊號由各緩衝器保持。列位址緩衝器206在更新工作模式，將更新計數器208輸出之更新位址訊號做為列位址訊號取進。行位址緩衝器205之輸出當做行位址計數器207之預設定資料供給，行(Column)位址計數器207隨後述指令等指定之工作模式，將做為上述預設定資料之行位址訊



五、發明說明 (38)

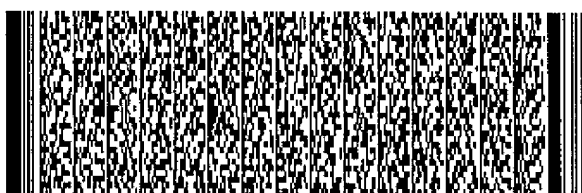
號、或依序增加其行位址訊號之值，向行解碼器203A~203D輸出。

同圖中以點線所示控制器209並未特加限制，惟供給時鐘訊號CLK、時鐘致能訊號CKE、晶片選擇訊號/CS、行位址選通訊號/CAS(符號/意指附有此符號之訊號為列致能訊號)、列位址選通訊號/RAS、及寫入致能訊號/WE等外部控制訊號、與從位址輸入端子A0~A11之控制資料，依各該訊號之電平變化或定時，形成控制SDRAM之工作模態及上述電路方塊工作用內部定時訊號，並包括：模態暫存器10、指令解碼器20、定時產生電路30及時鐘緩衝器40等。

時鐘訊號CLK，藉時鐘緩衝器40輸入如前述說明之時鐘同步電路50，產生內部時鐘。上述內部時鐘並未特加限制，惟做為活化輸出緩衝器211、輸入緩衝器210之定時訊號使用，並供給定時產生電路30，依該時鐘訊號形成供給行位址緩衝器205、列位址緩衝器206及行位址計數器207之定時訊號。

其他外部輸入訊號，同步於該內部時鐘訊號之上昇邊界成為有效。晶片選擇訊號/CS由其低電平指示指令輸入循環之開始。晶片選擇訊號/CS為高電平時(晶片非選擇狀態)或其他輸入並無意義。但後述記憶體組之選擇狀態及叢發工作等內部工作因晶片非選擇狀態之變化不受影響。/RAS、/CAS、/WE之各訊號與通常DRAM之對應訊號功能不同，在後述指令循環定義時成為有效訊號。

時鐘致能訊號CKE為指示次一時鐘訊號有效性之訊號，若該訊號CKE為高電平時，使次一時鐘訊號CLK之上昇邊界



五、發明說明 (39)

成為有效，低電平時使其成為無效。又讀取模態時，設置對輸出緩衝器211之輸出致能控制之外部控制訊號/OE時，該訊號/OE亦供給控制器209，其訊號例如為高電平時，使輸出緩衝器211成為高輸出阻抗。

上述列位址訊號，由同步於時鐘訊號CLK(內部時鐘訊號)之上昇邊界之後述列位址選通。組有效指令循環(Row Address Strobe·Bank Active Command Cycle)之A0~A11之電平予以定義。

位址訊號A12與A13於上述列位址選通。組有效指令循環被視為組選擇訊號。即由A12與A13之組合，選擇4個記憶體組0~3中之1個。記憶體組之選擇控制並未特加限制，惟可由僅選擇記憶體組側列解碼器之活化，非選擇記憶體組側行開關電路之全非選擇，僅選擇記憶體組側輸入緩衝器210及輸出緩衝器211之連接等處理執行。

上述行位址訊號，由同步於時鐘訊號CLK(內部時鐘訊號)之上昇邊界之讀取或寫入指令(後述行位址·讀取指令、後述行位址·寫入指令)循環之A0~A9之電平予以定義。而經如此定義之行位址被當做叢發存取之開始位址。

其次說明由指令指示之SDRAM之主要工作模態。

(1) 模態暫存器設定指令(Mo)

為上述模態暫存器30設定用指令，由/CS、/RAS、/CAS、/WE=低電平被該指令指定，應設定之資料(暫存器設定資料)藉A0~A11供給。暫存器設定資料並未特加限制，惟使其成為叢發長度、CAS等待時間，寫入模態。並未特加限制，惟使可設定之叢發長度為1、2、4、8全頁，



五、發明說明 (40)

使可設定之CAS等待時間為1、2、3，使可設定之寫入模態為叢發寫入與單寫入。

上述CAS等待時間，指示於後述行位址・讀取指令指示之讀取工作自/CAS之下降至輸出緩衝器211之輸出工作止耗費多少循環分之內部時鐘訊號。至讀取資料確定止需要資料讀取用內部工作時間，將其隨內部時鐘訊號之使用頻率設定。換言之、使用高頻率內部時鐘訊號時，將CAS等待時間設定為相對大之值，而使用低頻率內部時鐘訊號時，將CAS等待時間設定為相對小之值。

(2) 列位址選通・組有效指令(Ac)

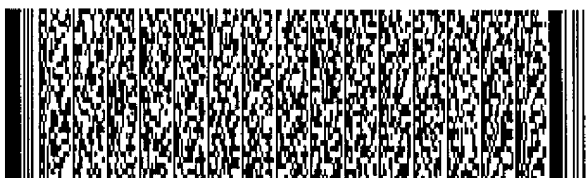
此為使列位址選通之指示與A12與A13之記憶體組之選擇有效之指令，由/CS、/RAS=低電平、/CAS、/WE=高電平指示，此時供給A0~A9之位址為列位址訊號，供給A12與A13之訊號為記憶體組之選擇訊號被取進。取進工作係如上述同步於內部時鐘訊號之上昇邊界實施。例如該指令被指定時，由其被指定之記憶體組之字線被選擇，連接於該字線之記憶單元被導通於各對應之互補資料線。

(3) 行位址・讀取指令(Re)

此指令為叢發讀取工作開始用所需指令，並為供給行位址選通指示之指令，由/CS、/CAS=低電平、/RAS、/WE=高電平指示，此時供給A0~A7(×16位元構造時)之行位址為行位址訊號被取進。由此被取進之位址訊號做為叢發開始位址供給行位址計數器207。

由此被指示之叢發讀取工作時，之前列位址選通・組有效指令循環選擇記憶體組與其字線，該選擇字線之記憶單

—



五、發明說明 (41)

元同步於內部時鐘訊號，依行位址計數器207輸出之位址訊號依序被選擇連續讀取。連續讀取之資料數成為由上述叢發長度指定之個數。又從輸出緩衝器211之資料讀取開始係等待上述CAS等待時間規定之內部時鐘訊號之循環數實施。

(4) 行位址・寫入指令(Wr)

為寫入工作形態，將叢發寫入設定於模態暫存器10時，成為該叢發寫入工作開始用所需指令，而為寫入工作形態，將單寫入設定於模態暫存器10時，成為該單寫入工作開始用所需指令。此外該指令供給單寫入及叢發寫入之行位址選通之指示。

該指令係由/ $\overline{\text{CS}}$ 、/ $\overline{\text{CAS}}$ 、/ $\overline{\text{WE}}$ = 低電平、/ $\overline{\text{RAS}}$ = 高電平指示，此時供給A0~A9之位址為行位址訊號被取進。由此被取進之行位址訊號，於叢發寫入時做為叢發開始位址供給行位址計數器207。由此被指示之叢發寫入工作順序亦與叢發讀取工作同樣實施。但寫入工作並無CAS等待時間，寫入資料之取進從該行位址・寫入指令循環開始。

(5) 預充電指令(Pr)

此為對由A12與A13選擇之記憶體組之預充電工作之開始指令，由/ $\overline{\text{CS}}$ 、/ $\overline{\text{RAS}}$ 、/ $\overline{\text{WE}}$ = 低電平、/ $\overline{\text{CAS}}$ = 高電平指示。

(6) 自動更新指令

此指令係開始自動更新用必需之指令，由/ $\overline{\text{CS}}$ 、/ $\overline{\text{RAS}}$ 、/ $\overline{\text{CAS}}$ = 低電平、/ $\overline{\text{WE}}$ 、CKE = 高電平指示。

(7) 叢發停止・在(In)・全頁指令

為對全部記憶體組停止對全頁之叢發工作用所需之指



五、發明說明 (42)

令，全頁以外之叢發工作則予忽視。此指令由 $/CS$ 、 $/WE$ = 低電平、 $/RAS$ 、 $/CAS$ = 高電平指示。

(8) 無操作指令(Nop)

此為指示不實施實質工作之指令，由 $/CS$ = 低電平、 $/RAS$ 、 $/CAS$ 、 $/WE$ = 高電平指示。

於SDRAM以1個記憶體組實施叢發工作時，在中途指定其他記憶體組，供給列位址選通。組有效指令時，使該實施中一方之記憶體組之工作不受任何影響，可使該其他記憶體組之列位址系工作。例如SDRAM具有將外部供給之資料、位址、及控制訊號保持於內部之機構，其保持內容、尤其位址及控制訊號並未特加限制，惟每記憶體組加以保持。或被列位址選通。組有效指令循環選擇之記憶塊之字線1支分資料，在行系工作前為了預先讀取工作保持於門鎖/暫存器213。

故在例如16位元而成之資料輸出入端子，祇要資料D0~D15不衝突，處理未完成之指令執行中，該執行中之指令發行對與處理對象之記憶體組不同之記憶體組之預充電指令、列位址選通。組有效指令，而可預先開始內部工作。本實施例之SDRAM，如上述實施16位元之單位之記憶存取，由A0~A11之位址具有約1M之位址，以4個記憶體組構成，使其具有全部如約64M位元(1M×4組×16位元)之記憶容量。

第26圖係本發明適用之微電腦系統一實施例之方塊圖。實施例之微電腦系統並未特加限制，惟以電池驅動之攜帶電子機器構成。



五、發明說明 (43)

該微電腦系統，以資料處理裝置(中央處理裝置)為中心，藉系統匯流排連接RAM(隨機存取記憶體：SDRAM)、ROM(僅讀記憶體)、類比/數位變換電路A/D及數位/類比變換電路D/A、PC卡介面、LCD控制器等周邊裝置。

PC卡介面，將PC卡插入槽裏以電連接，使其能寫入或讀取資料。PC卡可當做可裝卸之外部記憶裝置使用。LCD控制器接收資料處理裝置之顯示資料，驅動液晶顯示裝置實施顯示工作。

資料處理裝置並未特加限制，惟構成與微處理機同樣之構造。即資料處理裝置雖未詳細圖示，惟其內部包括：命令暫存器；微命令ROM，將被寫入命令暫存器之命令解碼形成各種微命令乃至控制訊號；演算電路；通用暫存器(RG6等)；匯流排驅動器，結合於內部匯流排BUS；匯流排接收器；等輸出入電路。

資料處理裝置，讀取被儲存於僅讀記憶體ROM等之命令，實施對應其命令之工作。資料處理裝置執行：取進藉輸出入電路輸入之外部資料，對控制電路之資料之輸出入，如僅讀記憶體ROM之命令及執行命令所需固定資料之資料之讀取，向D/A變換電路之應D/A變換資料之供給，由A/D變換電路A/D變換之資料之讀取，向動態型記憶體等而成之RAM之資料之讀取，寫入工作控制等。

如上述微電腦系統，含本發明有關RAM之各半導體積體電路裝置，即使系統匯流排為如前述LVTTTL或LVCMOS或SSTL亦可連接。為增進功能即使將系統匯流排變更為如上述高速SSTL時，祇要各半導體積體電路裝置具有本發明有



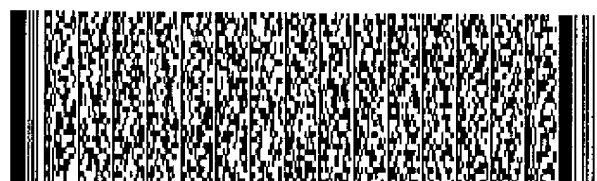
五、發明說明 (44)

關之輸入電路，即可照舊利用先前之半導體積體電路裝置。

第27圖係本發明有關半導體積體電路裝置輸出電路之一實施例電路圖。同圖表示適合如SSTL之輸出電路及對應其之訊號線路(匯流排)之例。輸出電路無論為LVTTTL或LVCMOS與SSTL中之任一，均由P通道型MOSFET與N通道型MOSFET構成。SSTL藉如 $25\ \Omega$ 之電阻RS設置 $50\ \Omega$ 之終端電阻RT。該終端電阻RT連接於對應VDDQ/2之電壓VTT。SSTL與LVTTTL使其輸出常數不同。

為實現上述2個輸出常數，使2個P通道型MOSFETQP1與QP2、N通道型MOSFETQN1與QN2分別為並聯形態，對應SSTL形成MOSFETQP1與PN1供給內部電路LOG形成之應輸出訊號。藉如前述之CMOS開關選擇上述應輸出訊號供給其他P通道型MOSFETQP2與N通道型MOSFETQN2之閘極。實施對應SSTL之輸出工作時，使控制訊號SSL為高電平、/SSL為低電平，使上述CMOS開關為斷開狀態，並將電源電壓VDDQ供給輸出MOSFETQP2之閘極，將電路之接地電位VSS供給N通道型MOSFETQN2之閘極。故對應SSTL之輸出工作時，僅使輸出MOSFETQP1與QN1工作。

實施對應LVTTTL或LVCMOS之輸出工作時，削除上述電阻RS或RT，使控制訊號SSL為低電平、/SSL為高電平，使上述CMOS開關為接通狀態。由此將被連接於上述P通道型MOSFETQP1之閘極與N通道型MOSFETQN1之閘極同應輸出訊號傳給輸出MOSFETQP2之閘極與N通道型MOSFETQN2之閘極。故對應LVTTTL或LVCMOS之輸出工作時，輸出



五、發明說明 (45)

MOSFETQP1、QP2與QN1與QN2以並聯形態工作形成大輸出電流。

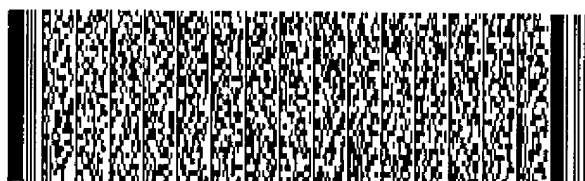
上述訊號SSL(/SSL)由外部端子供給之轉換訊號形成最為簡單。代之以檢測輸入訊號電平使其自動產生上述訊號SSL亦可。或亦可由鍵合選擇轉換。

由上述實施例可得作用效果如下。

(1)藉第1與第2開關MOSFET將第1與第2工作電壓供給接收外部端子供給之輸入訊號之差動放大電路，由偏壓產生電路使上述輸入訊號於上述第1與第2工作電壓之中心電壓附近時上述第1與第2開關MOSFET為接通狀態，其輸入訊號繼續於第1電壓或第2電壓一定期間時，形成為形成對應其之輸出訊號使上述第1或第2開關MOSFET中之任何一方為接通狀態之控制電壓，使其能供給對應上述第1工作電壓與第2工作電壓間一定中間電壓之第2振幅輸入訊號雙方，即可獲得能實現輸入電路簡化與產品管理處理簡便，同時實質上低消耗電力之效果。

(2)上述差動放大電路，由於構成在接收上述輸入訊號與對應其邏輯臨限值電壓之基準電壓之第1導電型差動MOSFET汲極側，設置電流鏡形態之第2導電型負荷差動MOSFET，並在上述差動MOSFET被通用化之源極側，設置將定電壓供開極之第1導電型定電流MOSFET，即可獲得能實現輸入電路簡化與產品管理處理簡便，同時實質上低消耗電力外並有能穩定實施輸入訊號之電平判定之效果。

(3)將第2導電型上述第2開關MOSFET連接於上述第2導電型負荷MOSFET，並將第1導電型上述第1開關MOSFET連接於



五、發明說明 (46)

上述第1導電型定電流MOSFET，即可獲得能實現輸入電路簡化與產品管理處理簡便，同時實質上低消耗電力外並有能穩定實施輸入訊號之電平判定之效果。

(4)上述偏壓產生電路，使用串聯電路包括：第1導電型之第3 MOSFET，上述輸入訊號供給閘極並將上述第1工作電壓供給源極；第2導電型之第4 MOSFET，上述輸入訊號供給閘極並將上述第2工作電壓供給源極；及高電阻機構，設於上述第3MOSFET之汲極與第4MOSFET之汲極間；從上述第3MOSFET之汲極輸出供給上述第2開關MOSFET閘極之控制電壓，並由上述第4MOSFET之汲極輸出供給上述第1開關MOSFET閘極之控制電壓，用上述差動放大電路即可得使其能供給：第1振幅輸入訊號，對應上述第1工作電壓與第2工作電壓；與第2振幅輸入訊號，對應上述第1工作電壓與第2工作電壓間一定中間電壓；雙方，同時能減低上述第1振幅輸入時之工作電流之效果。

(5)上述高電阻機構，將使各個為接通狀態之工作電壓供給閘極，使用並聯形態之第1導電型與第2導電型之2個MOSFET，即可得使其能供給：第1振幅輸入訊號，對應上述第1工作電壓與第2工作電壓；與第2振幅輸入訊號，對應上述第1工作電壓與第2工作電壓間一定中間電壓；雙方，同時能有效減低上述第1振幅輸入時差動放大電路之工作電流之效果。

(6)上述偏壓產生電路，包括：第1導電型之第3 MOSFET，上述輸入訊號供給閘極並將上述第1工作電壓供給源極；第2導電型之第4 MOSFET，上述輸入訊號供給閘



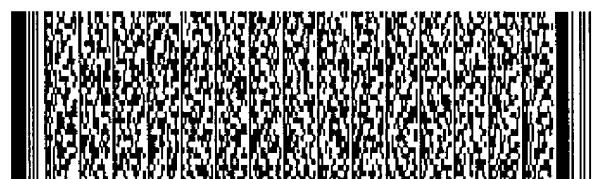
五、發明說明 (47)

極並將上述第2工作電壓供給源極；及第1與第2高電阻機構，設於上述第3MOSFET之汲極與第4MOSFET之汲極間；並由上述第1與第2高電阻機構之連接點輸出供給上述第1與第2開關MOSFET閘極之控制電壓，即可使偏壓電路之高電阻元件尺寸小型化，並因以節點PIN與NIN為中間電位使開關MOSFET工作，故可得能改善CMRR之效果。

(7)上述偏壓產生電路，因由CMOS電路構成，其係包括：第1導電型之第3 MOSFET，上述輸入訊號供給閘極並將上述第1工作電壓供給源極；構成第2導電型高電阻元件之MOSFET，上述輸入訊號供給閘極並將上述第2工作電壓供給源極；第2導電型之第4 MOSFET，上述輸入訊號供給閘極並將上述第2工作電壓供給源極；及構成第1導電型高電阻元件之MOSFET，上述輸入訊號供給閘極並將上述第1工作電壓供給源極；而可得使偏壓電路之高電阻元件小型化與常數設定容易之效果。

(8)供給上述輸入電路之輸入訊號，由於做為時鐘訊號與其對應供給之多數輸入訊號，更設：於停止供給上述外部輸入訊號之一定工作模態強制使將接收其中除上述時鐘訊號之輸入訊號之輸入電路分別設於上述第3 MOSFET與第4 MOSFET間構成高電阻元件並聯形態之2個MOSFET，與上述定電流MOSFET為斷開狀態之電路；及將差動放大電路之輸出訊號固定於第1工作電壓或第2工作電壓之MOSFET；即可得半導體積體電路裝置不實施實質工作之等待模態之輸入電路之低消耗電力化之效果。

(9)由於適用於動態型RAM之輸入電路，具有記憶單元包



五、發明說明 (50)

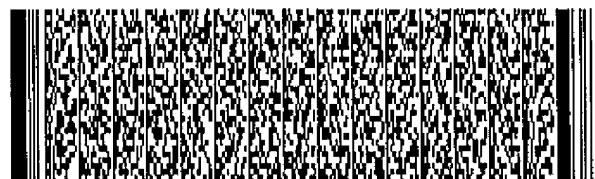
中間電壓之較小第2振幅輸入訊號雙方輸入訊號，即可獲得使輸入電路簡化與產品管理之處理簡便，同時能防止影響低消耗電力化與輸出之浮動節點能減小延遲時間不均之效果。

(15) 上述第1與第2MOSFET，由於做為對應供給上述第1振幅輸入訊號之第1工作模態之MOSFET，與對應供給上述第2振幅輸入訊號之第2工作模態之MOSFET之並聯電路，將上述偏壓產生電路形成之控制訊號供給對應上述第1工作模態之MOSFET閘極，並將上述反相電路之輸出訊號反饋於對應上述第2工作模態之MOSFET閘極，即可獲得能實施對應各工作模態之工作。

(16) 上述偏壓產生電路，由於使其成為CMOS電路，使用：第2導電型第5MOSFET，將上述輸入訊號供給閘極並將上述第1工作電壓供給源極；第1導電型第6MOSFET，將上述輸入訊號供給閘極並將上述第2工作電壓供給源極；及第1與第2高電阻機構，被設於上述第5MOSFET之汲極與第6MOSFET之汲極間；即可獲得容易設定常數之效果。

(17) 由於適用於動態型RAM之輸入電路，具有記憶單元包括：多數字線；多數位元線，與多數字線交叉配置；位址選擇MOSFET，被設於上述多數字線與多數位元線之一定交點並將閘極連接於對應字線；及記憶電容器，藉上述位址選擇MOSFET連接於對應位元線與一定電位間；即可獲得能使產品管理處理簡便並不發生影響低消耗電力化輸出之浮動節點，能減小延遲時間不均之效果。

以上依本實施例具體說明本發明人提出之發明，惟本申



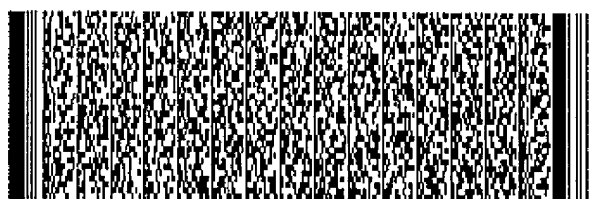
五、發明說明 (51)

請之發明不限於前述實施例，在不超出其要旨範圍當可做各種變更。例如第23圖或第24圖所示動態型RAM，記憶陣列、副陣列及副字驅動器之構造，得採各種實施形態，動態型RAM之輸出入介面除同步規格外亦可採用適合運轉匯流排(Run bus)規格等各種實施形態。字線除如前述分級字線方式外亦可採用字並聯方式。

半導體積體電路裝置，除如前述之DRAM外，靜態型RAM或EPROM、或如EEPROM之讀取專用記憶體或如微處理機之數位積體電路亦可。本發明廣被利用於如LVTTTL、LVCMOS或SSTL之介面連接之各種半導體積體電路裝置。

將本申請所揭示之發明中具代表性者所得效果簡單說明如下。即由於藉第1第2開關MOSFET將第1與第2工作電壓供給接收從外部端予供給之輸入訊號之差動放大電路，形成：由偏壓產生電路使其在上述輸入訊號為上述第1與第2工作電壓之中心電壓附近時，使上述第1與第2開關MOSFET為接通狀態，又其輸入訊號繼續在一定期間為上述第1電壓或第2電壓時，為了形成其對應之輸出訊號使上述第1或第2開關MOSFET中任何一方為接通狀態另一方為斷開狀態之控制電壓，並使其可供給：第1振幅輸入訊號，對應上述第1工作電壓與第2工作電壓；及第2振幅輸入訊號，對應上述第1工作電壓與第2工作電壓間一定中間電壓；雙方，即能使輸入電路簡化及產品管理之處理簡便並實現實質之低消耗電力化。

將本申請所揭示之發明中具代表性者所得效果簡單說明如下。即由於接收由外部端予供給之輸入訊號之輸入電



五、發明說明 (52)

路，組合：第1差動放大電路，含第1導電型差動MOSFET；及第1導電型之第1MOSFET，被設於其共同源極形成工作電流；第2差動放大電路，含第2導電型差動MOSFET；及第2導電型之第2MOSFET，被設於其共同源極形成工作電流；及反相電路，形成輸出訊號；而從外部端子將輸入訊號供給上述第1與第2差動放大電路一方之輸入端子，並將上述輸入訊號之高電平與低電平之略中間電位之基準電壓供給上述第1與第2差動放大電路另一方之輸入端子，並複合上述第1與第2差動放大電路之互相同相之輸出訊號供給上述反相電路之輸入端子，即可使影響輸出之浮動節點不致發生並可減小延遲時間之不均。

圖式之簡單說明：

第1圖係依照本發明有關半導體積體電路裝置所設輸入電路之一實施例構造圖。

第2圖係本發明有關之輸入電路一實施例構造圖。

第3圖係第2圖之偏壓產生電路之輸出入電壓特性圖。

第4圖係第2圖之輸入電路之模擬結果波形圖。

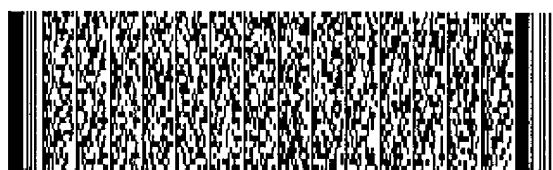
第5A圖及第5B圖係本發明有關之輸入電路工作一例之波形圖。

第6圖係本發明有關之輸入電壓跟蹤型偏壓產生電路之其他一實施例電路圖。

第7圖係本發明有關之輸入電壓跟蹤型偏壓產生電路之另一其他實施例電路圖。

第8圖係本發明有關輸入電路之其他一實施例電路圖。

第9圖係第7圖之輸入電壓跟蹤型偏壓產生電路之輸出入



五、發明說明 (53)

電壓特性圖。

第10圖係本發明有關輸入電路之另一其他實施例電路圖。

第11圖係說明第8圖之輸入電路工作一例之波形圖。

第12圖係本發明有關輸入電路之另一實施例電路圖。

第13A圖及第13B圖係說明本發明有關輸入電路之SSTL介面時工作之特性圖。

第14A圖及第14B圖係說明本發明有關輸入電路之LVTTL介面時工作之特性圖。

第15圖係本發明有關輸入電路之另一實施例電路圖。

第16圖係第12圖之輸入電路所用訊號產生電路之一實施例電路圖。

第17圖係第15圖之輸入電路所用訊號產生電路之一實施例電路圖。

第18圖係本發明有關輸入電路之另一實施例電路圖。

第19圖係本發明有關輸入電路之另一實施例電路圖。

第20圖係本發明有關輸入電路之另一實施例電路圖。

第21圖係本發明有關輸入電路之另一實施例電路圖。

第22圖係本發明有關輸入電路之另一實施例電路圖。

第23圖係本發明適用之動態型RAM之一實施例概略佈置圖。

第24圖係本發明有關動態型RAM之感測放大部為中心之位址輸入至資料輸出之簡化一實施例電路圖。

第25圖係本發明適用之SDRAM一實施例之全部方塊圖。

第26圖係本發明適用之微電腦系統一實施例之方塊圖。

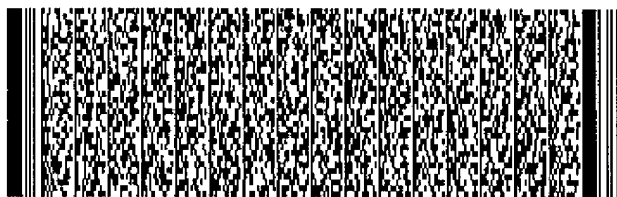


五、發明說明 (54)

第27圖係本發明有關半導體積體電路裝置輸出電路之一實施例電路圖。

圖號說明：

VSS . . . 接地電位
VDDQ . . . 電源電壓
ESD . . . 靜電保護電路
VTBG . . . 輸入電壓跟蹤型偏壓產生電路
VIN . . . 輸入訊號
VOUT . . . 輸出訊號
PWD . . . 電源關閉訊號
CKE . . . 時鐘致能訊號
INV . . . 反相電路
VTBG . . . 全振幅時電流遮斷電路
VREF . . . 參考電壓
LVC1、2 . . . 電平變換電路
BPSLD . . . 選擇訊號
NOG . . . 非或閘電路
VGN、VGP . . . 控制電路
ROWPDC、COLPDC . . . 預解碼電路
ROWRED、COLRED . . . 檢修電路
MWD . . . 主字驅動區
MA . . . 主放大器
Ai . . . 位址訊號
0、3 . . . 記憶體組
10 . . . 模式暫存器



五、發明說明 (55)

- 11 . . . 主 列 解 碼 器
- 12 . . . 主 字 驅 動 區
- 15 . . . 副 陣 列
- 16 . . . 感 測 放 大 區
- 17 . . . 副 字 驅 動 區
- 18 . . . 交 叉 區
- 20 . . . 命 令 解 碼 器
- 30 . . . 定 時 產 生 電 路
- 40 . . . 時 鐘 緩 衝 器
- 50 . . . 時 鐘 同 步 電 路
- 51 . . . 位 址 緩 衝 器
- 52 . . . 預 解 碼 器
- 61、212 . . . 主 放 大 器
- 62、211 . . . 輸 出 緩 衝 器
- 63、210 . . . 輸 入 緩 衝 器
- 200 . . . 記 憶 陣 列
- 201 . . . 列 解 碼 器
- 202 . . . I/O 線
- 203 . . . 行 解 碼 器
- 205 . . . 行 位 址 緩 衝 器
- 206 . . . 列 位 址 緩 衝 器
- 207 . . . 行 位 址 計 數 器
- 208 . . . 再 新 計 數 器
- 209 . . . 控 制 器
- 213 . . . 門 鎖 / 暫 存 器



456030

案號 89102416

年 月 日

修正

五、發明說明 (56)

214 . . . 寫入緩衝器



四、中文發明摘要 (發明之名稱：半導體積體電路裝置)

一種半導體積體電路裝置，藉第1第2開關MOSFET將第1與第2工作電壓供給接收從外部端子供給之輸入訊號之差動放大電路，形成：由偏壓產生電路使其在上述輸入訊號為上述第1與第2工作電壓之中心電壓附近時，使上述第1與第2開關MOSFET為接通狀態，又其輸入訊號繼續在一定期間為上述第1電壓或第2電壓時，為了形成其對應之輸出訊號使上述第1或第2開關MOSFET中任何一方為接通狀態另一方為斷開狀態之控制電壓，並使其可供給：第1振幅輸入訊號，對應上述第1工作電壓與第2工作電壓；及第2振幅輸入訊號，對應上述第1工作電壓與第2工作電壓間一定中間電壓；之雙方。

英文發明摘要 (發明之名稱：半導體集積回路裝置)

外部端子から供給される入力信号を受ける差動増幅回路に第1と第2の動作電圧を第1と第2のスイッチMOSFETを介して供給するようにし、バイアス電圧発生回路により上記入力信号が上記第1と第2の動作電圧の中心電圧付近にあるときに上記第1と第2スイッチMOSFETをオン状態にし、その入力信号が継続的に一定期間上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記第1又は第2スイッチMOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を形成し、上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能とする。



六、申請專利範圍

1. 一種半導體積體電路裝置，其具備輸入電路，此輸入電路包含：

差動放大電路，接受由外部端子所供給之輸入訊號；

第1開關MOSFET，將第1工作電壓供給上述差動放大電路；

第2開關MOSFET，將第2工作電壓供給上述差動放大電路；及

偏壓產生電路，在接受上述輸入訊號後，可產生控制電壓，以在該輸入訊號在上述第1與第2工作電壓之中心電壓附近時使上述第1與第2開關MOSFET為接通狀態，在該輸入訊號於一定期間為於上述第1或第2電壓時，使上述第1或第2開關MOSFET中之一方為接通狀態，另一方為斷開狀態，以形成與其對應之輸出信號；

並可供給：

對應上述第1工作電壓與第2工作電壓之第1振幅輸入訊號；及

對應上述第1工作電壓與第2工作電壓間所設定之中間電壓之第2振幅輸入訊號二者。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中上述差動放大電路，包含：

第1導電型之差動MOSFET，接收上述輸入訊號與對應其邏輯臨限值電壓之基準電壓；

第2導電型之負荷MOSFET，設在上述差動MOSFET之汲極側並成電流鏡形態；及



六、申請專利範圍

第1導電型之定電流MOSFET，設在上述差動MOSFET被共通化之源極側並將定電壓供給閘極。

3. 如申請專利範圍第2項之半導體積體電路裝置，其中上述第2開關MOSFET，包括第2導電型MOSFET，被連接於上述第2導電型負荷MOSFET，

上述第1開關MOSFET，包括第1導電型MOSFET，被連接於上述第1導電型定電流MOSFET。

4. 如申請專利範圍第1至第3項中任一項之半導體積體電路裝置，其中

上述偏壓產生電路包括：

第1導電型之第3 MOSFET，上述輸入訊號供給至閘極且上述第1工作電壓供給至源極；

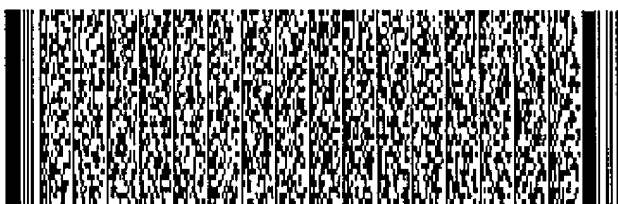
第2導電型之第4 MOSFET，上述輸入訊號供給至閘極且上述第2工作電壓供給至源極；及

高電阻機構，設於上述第3 MOSFET之汲極與第4 MOSFET之汲極間；

並從上述第3 MOSFET之汲極輸出供給上述第2開關MOSFET閘極之控制電壓，

從上述第4 MOSFET之汲極輸出供給上述第1開關MOSFET閘極之控制電壓。

5. 如申請專利範圍第4項之半導體積體電路裝置，其中上述高電阻機構包括：使各個為接通狀態之工作電壓供給至閘極，並成為並聯形態之第1導電型與第2導電型之2個MOSFET。



六、申請專利範圍

6. 如申請專利範圍第1至第3項中任何一項之半導體積體電路裝置，其中

上述偏壓產生電路包括：

第1導電型之第3 MOSFET，上述輸入訊號供給至閘極且上述第1工作電壓供給至源極；

第2導電型之第4 MOSFET，上述輸入訊號供給至閘極且上述第2工作電壓供給至源極；及

第1與第2高電阻機構，被設於上述第3 MOSFET之汲極與第4 MOSFET之汲極間；

並從上述第1與第2高電阻機構之連接點輸出供給上述第1與第2開關MOSFET閘極之控制電壓。

7. 如申請專利範圍第1至第3項中任何一項之半導體積體電路裝置，其中

上述偏壓產生電路包括：

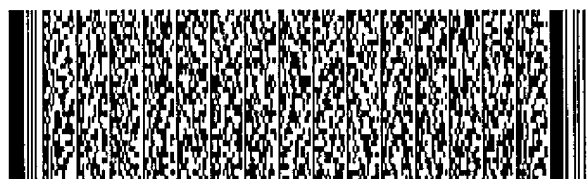
第1導電型之第3 MOSFET，上述輸入訊號供給至閘極且上述第1工作電壓供給至源極；

構成第2導電型高電阻元件之MOSFET，上述輸入訊號供給至閘極且上述第2工作電壓供給至源極；

第2導電型之第4 MOSFET，上述輸入訊號供給至閘極且上述第2工作電壓供給至源極；及

構成第1導電型高電阻元件之MOSFET，上述輸入訊號供給至閘極且上述第1工作電壓供給至源極；

並從上述第3 MOSFET之汲極輸出供給上述第2開關MOSFET閘極之控制電壓，



六、申請專利範圍

從上述第4 MOSFET之汲極輸出供給上述第1開關MOSFET閘極之控制電壓。

8. 如申請專利範圍第5項之半導體積體電路裝置，其中上述輸入訊號包括時鐘訊號及對應其供給之多數輸入訊號，

接收除上述時鐘訊號之輸入訊號之多數輸入電路更分別包括：

一電路，在停止供給上述外部輸入訊號之一定工作模式下，強制使設於上述第3 MOSFET與第4 MOSFET間並構成高電阻元件之並聯形態之2個MOSFET與上述定電流MOSFET為斷開狀態；及另一MOSFET，將差動放大電路之輸出訊號固定於第1工作電壓或第2工作電壓。

9. 如申請專利範圍第1至第3項中任何一項之半導體積體電路裝置，其係構成動態型RAM，而該動態型RAM具有記憶單元包括：

多數字線及與其交叉配置之多數位元線；

位址選擇MOSFET，被設於上述多數字線與多數位元線之一定交點並將閘極連接於對應字線；及記憶電容器，藉上述位址選擇MOSFET被連接於對應之位元線與一定電位間。

10. 如申請專利範圍第8項之半導體積體電路裝置，其係構成動態型RAM，而該動態型RAM具有記憶單元包括：

多數字線及與其交叉配置之多數位元線；

位址選擇MOSFET，設於上述多數字線與多數位元線之一定交點並將閘極連接於對應字線；及記憶電容器，藉上述



六、申請專利範圍

位址選擇MOSFET被連接於對應之位元線與一定電位間；

而接收上述資料訊號之輸入電路，為省略上述第1與第2開關MOSFET者。

11. 一種半導體積體電路裝置，其係包括：

差動放大電路，包含第1輸入端子及第1輸出端子；

第1開關MOSFET，將第1電源電壓供給上述差動放大電路；

第2開關MOSFET，將第2電源電壓供給上述差動放大電路；

控制電路，隨供給上述第1輸入端子之輸入訊號控制上述第1開關MOSFET及第2開關MOSFET；

藉由將對應上述第1電源電壓之高電平訊號及對應上述第2電源電壓之低電平訊號中之任一訊號供給上述第1輸入端子，而從上述第1輸出端子獲得各對應之輸出訊號，

隨上述高電平訊號供給至上述第1輸入端子使上述第1開關MOSFET與上述第2開關MOSFET之一方為接通狀態而另一方為斷開狀態，

隨上述低電平訊號供給至上述第1輸入端子使上述第1開關MOSFET與上述第2開關MOSFET之上述一方為斷開狀態而另一方為接通狀態，

上述控制電路包括連接各開極並連接各汲極之P通道型輸出MOSFET與N通道型輸出MOSFET，將上述高電平訊號及上述低電平訊號中之任一供給上述開極，使各對應一方之輸出MOSFET為接通狀態而另一方之輸出MOSFET為斷開狀



六、申請專利範圍

態。

12. 一種半導體積體電路裝置，其係包括：

差動放大電路，包含第1輸入端子及第1輸出端子；

第1開關MOSFET，將第1電源電壓供給上述差動放大電路；

第2開關MOSFET，將第2電源電壓供給上述差動放大電路；

控制電路，隨供給至上述第1輸入端子之輸入訊號控制上述第1開關MOSFET及第2開關MOSFET；

藉由將對應上述第1電源電壓之第1高電平訊號及對應上述第2電源電壓之第1低電平訊號而成之第1放大訊號供給上述第1輸入端子而從上述第1輸出端子獲得各對應之輸出訊號，

隨上述第1高電平訊號供給上述第1輸入端子使上述第1開關MOSFET與上述第2開關MOSFET之一方為接通狀態而另一方為斷開狀態，

隨上述第1低電平訊號供給上述第1輸入端子使上述第1開關MOSFET與上述第2開關MOSFET之上述一方為斷開狀態而另一方為接通狀態，

隨低於上述第1高電平訊號之第2高電平訊號與高於上述第1低電平訊號之第2低電平訊號而成之第2放大訊號供給至上述第1輸入端子，使上述第1開關MOSFET與上述第2開關MOSFET均為接通狀態。

13. 如申請專利範圍第12項之半導體積體電路裝置，其



六、申請專利範圍

中

上述控制電路包括連接各閘極並連接各汲極之P通道型輸出MOSFET與N通道型輸出MOSFET，將上述高電平訊號及上述低電平訊號中之任一供給上述閘極，使各對應一方之輸出MOSFET為接通狀態而另一方之輸出MOSFET為斷開狀態。

14. 一種半導體積體電體裝置，其係包括：

第1差動放大電路，含第1導電型之一對差動MOSFET；及第1 MOSFET，設於與其共通之源極，形成工作電流；

第2差動放大電路，含第2導電型之一對差動MOSFET；及第2 MOSFET，設於與其共通之源極，形成工作電流；及輸出電路；

上述第1差動放大電路之一方的輸入端子與上述第2差動放大電路之一方的輸入端子係被供給輸入訊號；

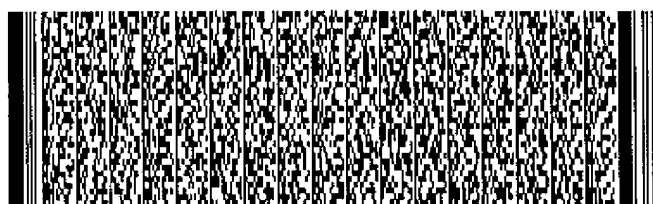
上述第1差動放大電路之另一方輸入端子與上述第2差動放大電路之另一方輸入端子係被供給上述輸入訊號之高電平與低電平之中間電位的基準電壓；

上述第1差動放大電路與第2差動放大電路之彼此同相的輸出訊號係被供給至上述輸入電路之輸入端子；

上述輸出電路之輸出端子，係連接於上述第1及第2 MOSFET之閘極。

15. 一種半導體積體電路裝置，其係包括：

第1差動放大電路，含第1導電型之一對差動MOSFET，及設於與其共通之源極和第一電源端子間之第1 MOSFET；



六、申請專利範圍

第2差動放大電路，含第2導電型之一對差動MOSFET，及設於與其共通源極和第2電源端子間之第2 MOSFET；

上述第1差動放大電路之一方的輸入端子與上述第2差動放大電路之一方的輸入端子係被供給共通之輸入訊號；

上述第1差動放大電路之另一方輸入端子與上述第2差動放大電路之另一方輸入端子係被供給上述輸入訊號之高電平與低電平之中間電位的基準電壓；

上述第1差動放大電路與第2差動放大電路之彼此係連接於同相之輸入端子；

根據得自上述輸出端子之信號，上述第1及第2 MOSFET係被控制成其中之一方係成接通之狀態，而另一方係成斷開之狀態。

16. 一種半導體積體電路裝置，其係包括：

第1差動放大電路，含第1導電型之差動MOSFET，設於與其共通之源極且賦與工作電流之第1導電型第1 MOSFET，及設於上述差動MOSFET之汲極的電流鏡形態之第1負荷電路；

第2導電型之第3 MOSFET，設於上述第1負荷電路與第1工作電壓之間；

第1導電型之第4 MOSFET，設於上述第2負荷電路與第2工作電壓之間；以及

反相電路，形成輸出訊號；

上述第1及第2差動放大電路各自之一方的輸入端子係被供給輸入訊號，上述第1及第2差動放大電路各自之另一方



六、申請專利範圍

輸入端子係被供給上述輸入訊號之高電平與低電平之中間的電壓；

上述第1與第2差動放大電路之彼此同相的輸出端子係連接於上述輸入電路之輸入端子；

根據電源關閉訊號，上述第1、第2、第3及第4 MOSFET之任一者均成斷開狀態，藉由根據上述電源關閉訊號而設成接通狀態之MOSFET，上述輸出端子係被固定於上述第1或第2工作電壓。

17. 如申請專利範圍第16項之半導體積體電路裝置，其中

將上述反相電路之輸出訊號反饋於上述第1與第2 MOSFET之閘極，

由接收因上述電源關閉訊號而成為固定電位之輸出端子訊號之反相電路之輸出訊號成為接通狀態之第1或第2 MOSFET所對應之上述第3或第4 MOSFET中之任一，由上述電源關閉訊號而成為斷開狀態。

18. 如申請專利範圍第16項之半導體積體電路裝置，更包括：

偏壓產生電路，在接受上述輸入訊號後，可產生控制電壓，以在該輸入訊號在上述第1與第2工作電壓之中心電壓附近時使上述第1與第2開關MOSFET為接通狀態，在該輸入訊號於一定期間為於上述第1或第2電壓時，使上述第1或第2開關MOSFET中之一方為接通狀態，另一方為斷開狀態，以形成與其對應之輸出信號；



六、申請專利範圍

並可供給：第1振幅輸入訊號，被設成對應上述第1工作電壓與第2工作電壓之較大訊號振幅；及第2振幅輸入訊號，被設成對應上述第1工作電壓與第2工作電壓間一定中間電壓之較小訊號振幅二者。

19. 如申請專利範圍第18項之半導體積體電路裝置，其中

上述第1與第2MOSFET包括：對應供給上述第1振幅輸入訊號之第1工作模式之MOSFET；及對應供給上述第2振幅輸入訊號之第2工作模式之MOSFET；之並聯電路，

將上述偏壓產生電路形成之控制訊號供給對應上述第1工作模式之MOSFET之閘極，

並將上述反相電路之輸出訊號反饋於對應上述第2工作模式之MOSFET之閘極。

20. 如申請專利範圍第19項之半導體積體電路裝置，其中

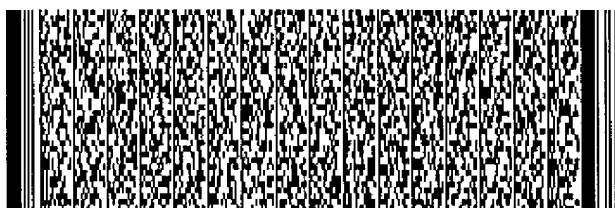
上述偏壓產生電路包括：

第2導電型之第5MOSFET，上述輸入訊號供給至閘極而上述第1工作電壓供給至源極；

第1導電型之第6MOSFET，上述輸入訊號供給至閘極而上述第2工作電壓供給至源極；及

第1與第2高電阻機構，設於上述第5MOSFET之汲極與第6MOSFET之汲極間；

並從上述第1與第2高電阻機構之連接點形成上述控制電壓。



六、申請專利範圍

21. 如申請專利範圍第14至第20項中任一項之半導體積體電路裝置，其係構成動態型RAM，而該動態型RAM具有記憶單元包括：

多數字線及與其交叉配置之多數位元線；

位址選擇MOSFET，設於上述多數字線與多數位元線之一定交點並將閘極連接於對應字線；及記憶電容器，藉上述位址選擇MOSFET被連接於對應之位元線與一定電位間。



圖式

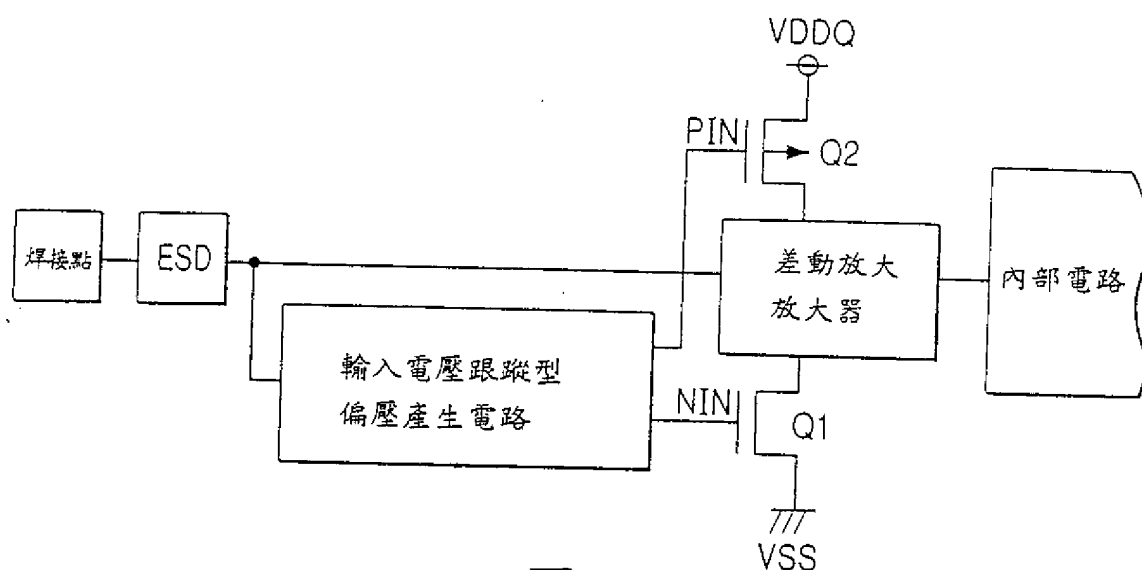


圖 1

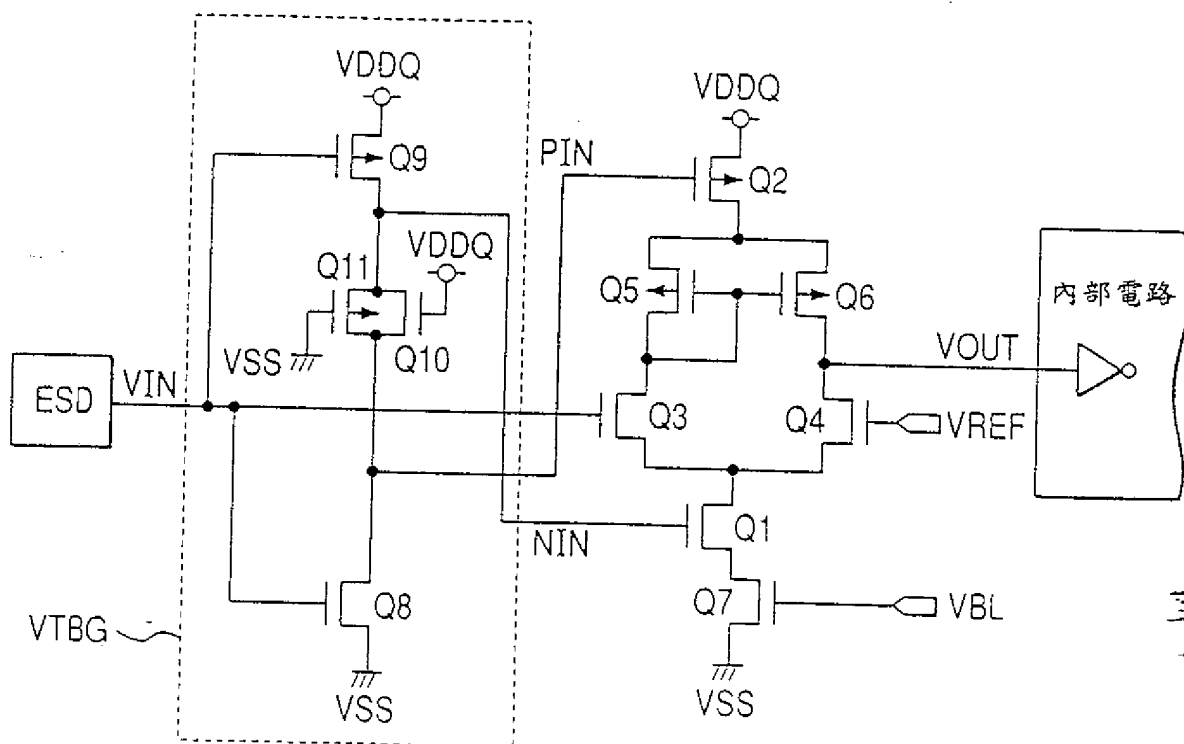


圖 2

圖式

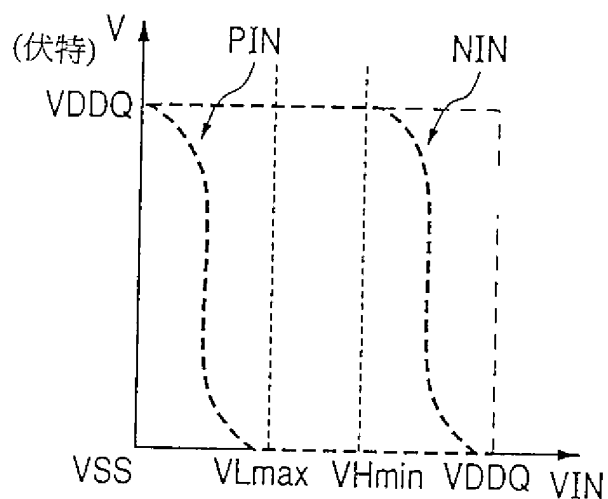


圖 3

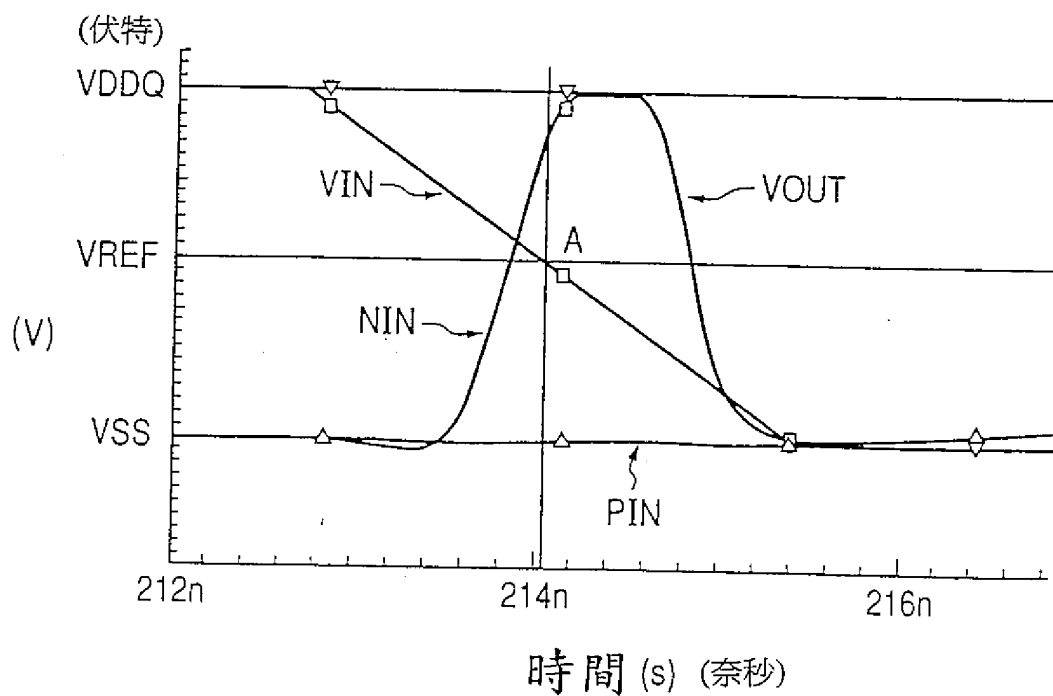


圖 4

圖式

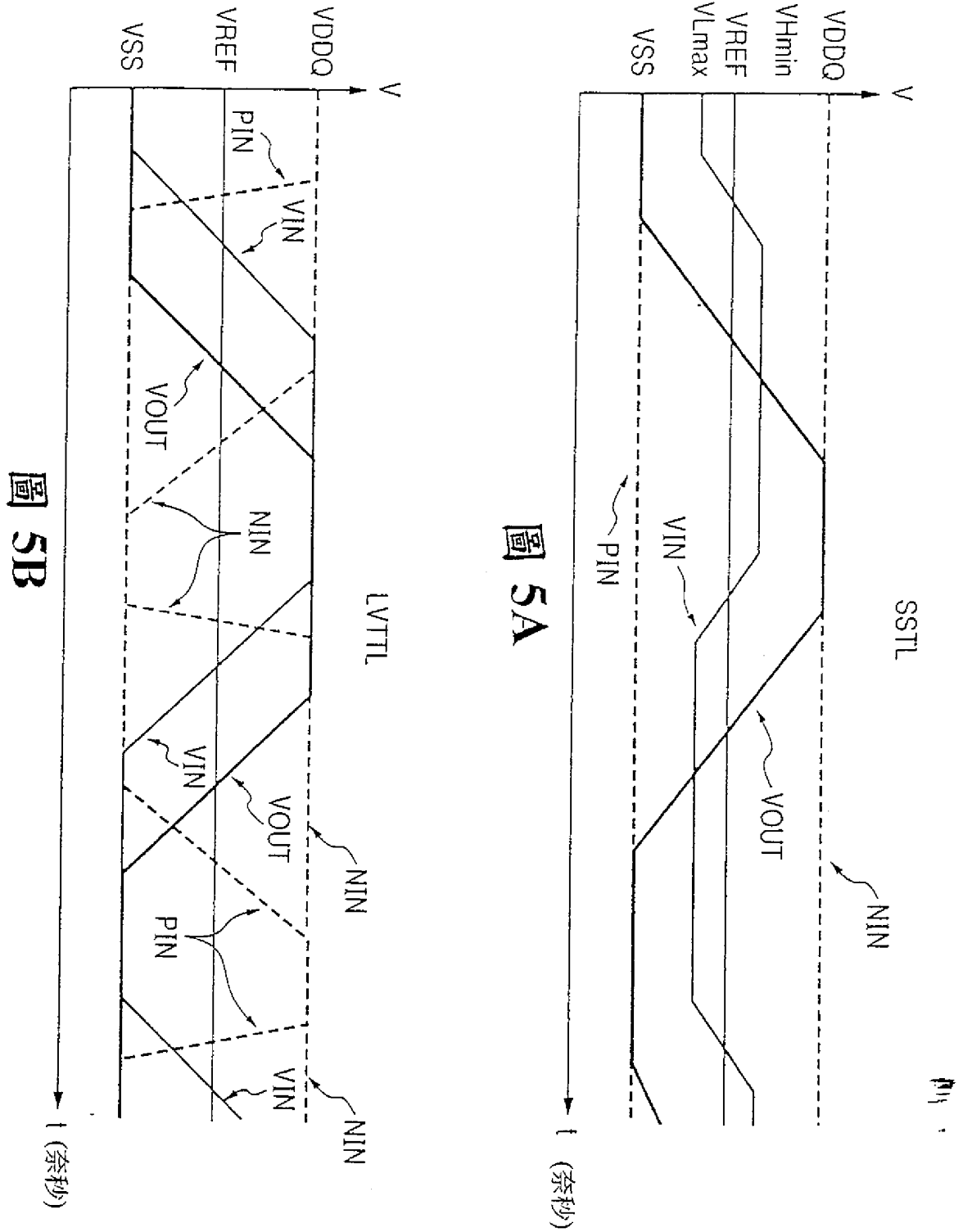


圖 5A

圖 5B

圖式

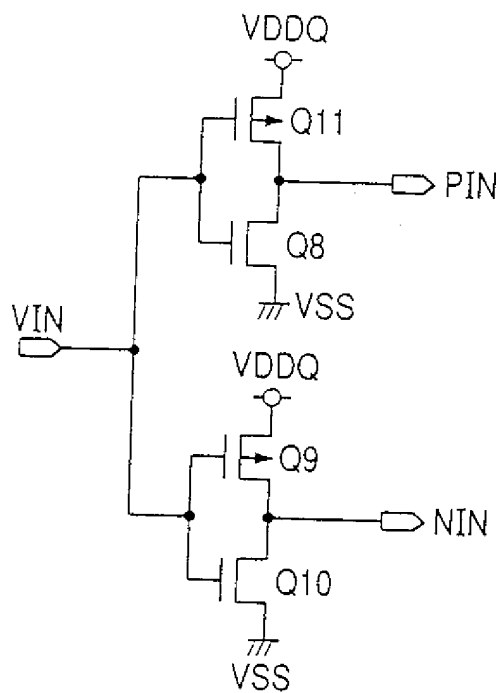


圖 6

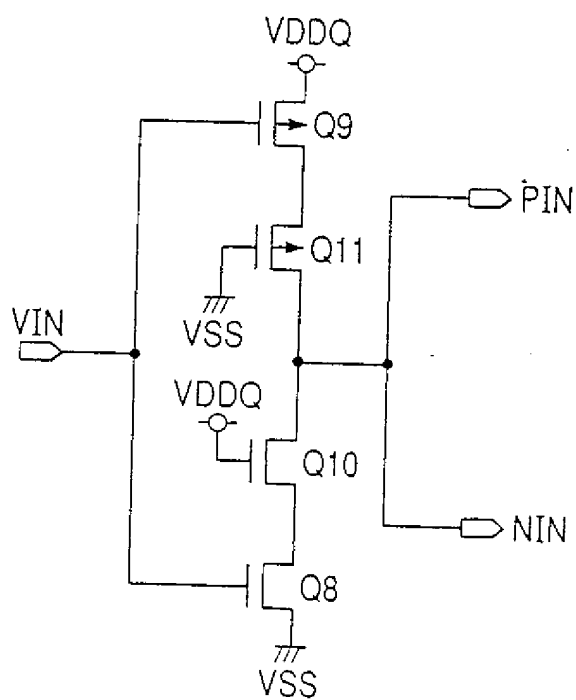


圖 7

圖式

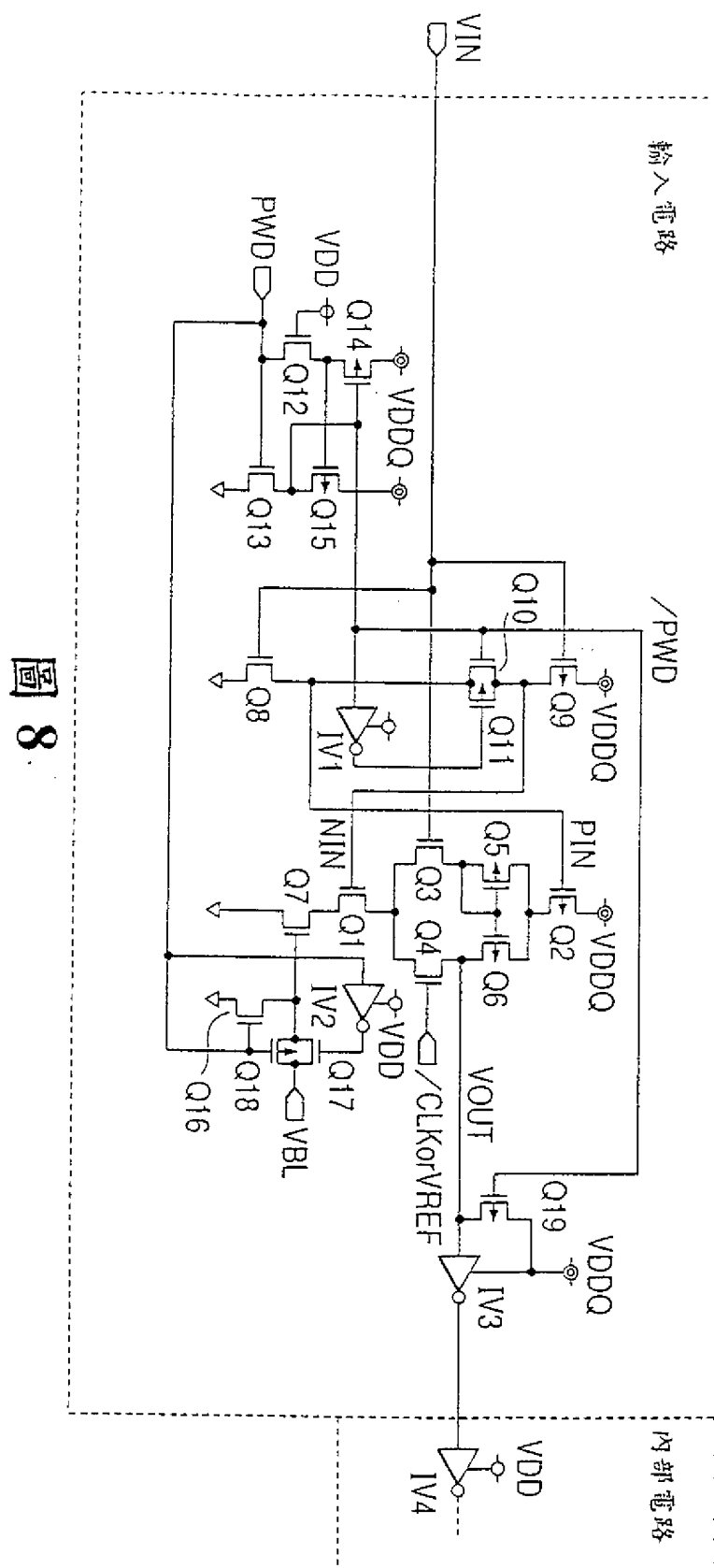


圖 8

圖式

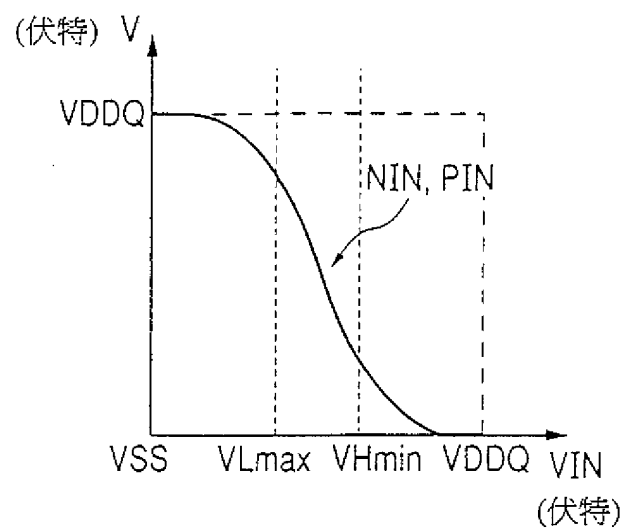


圖 9

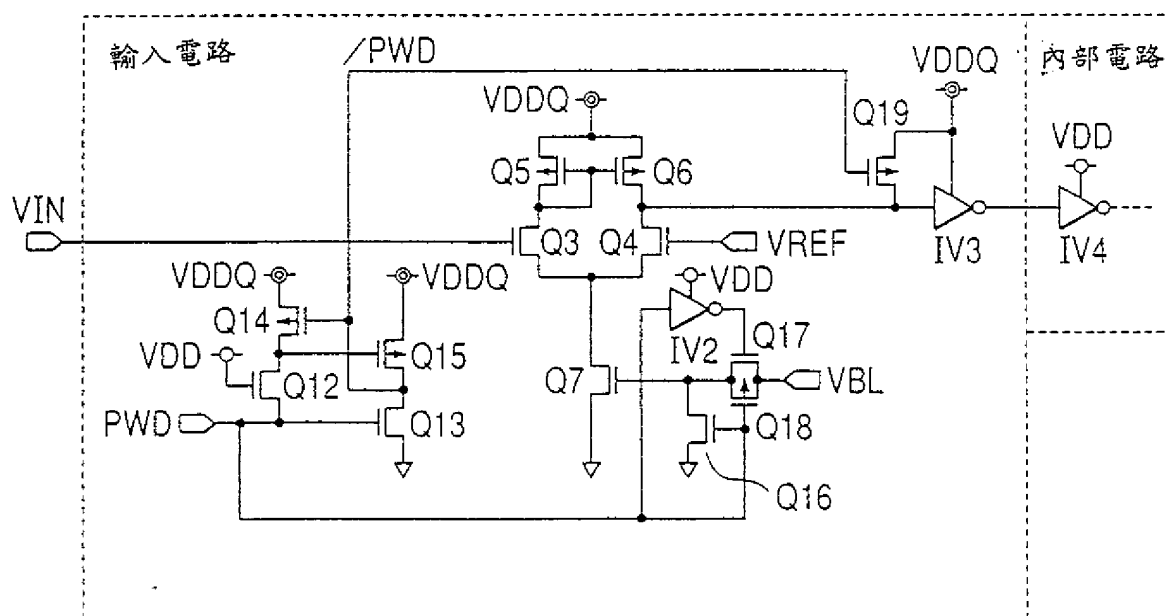


圖 10

圖式

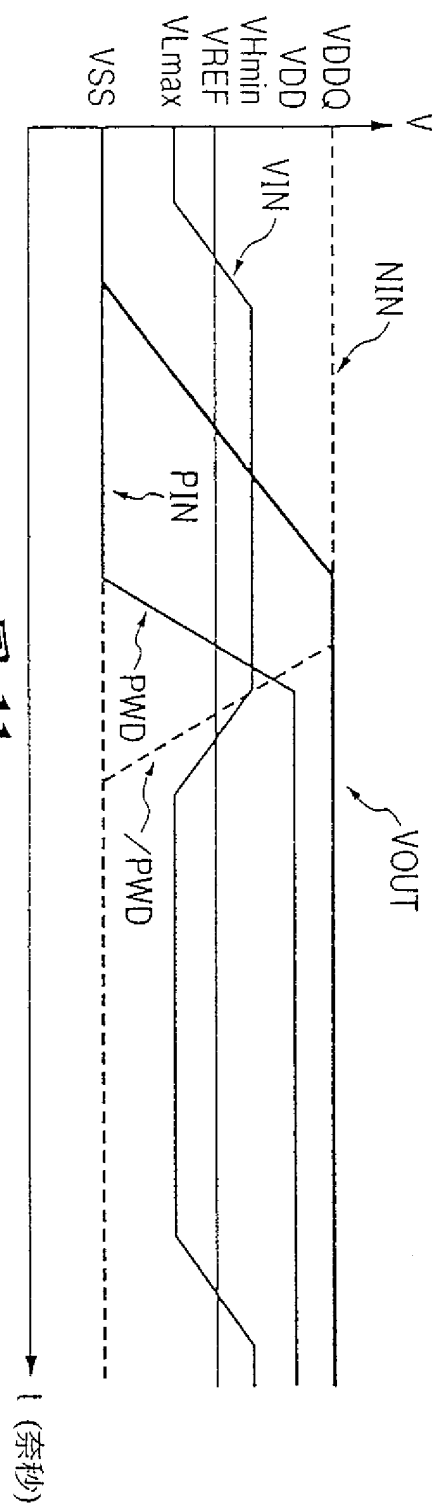


圖 11

圖式

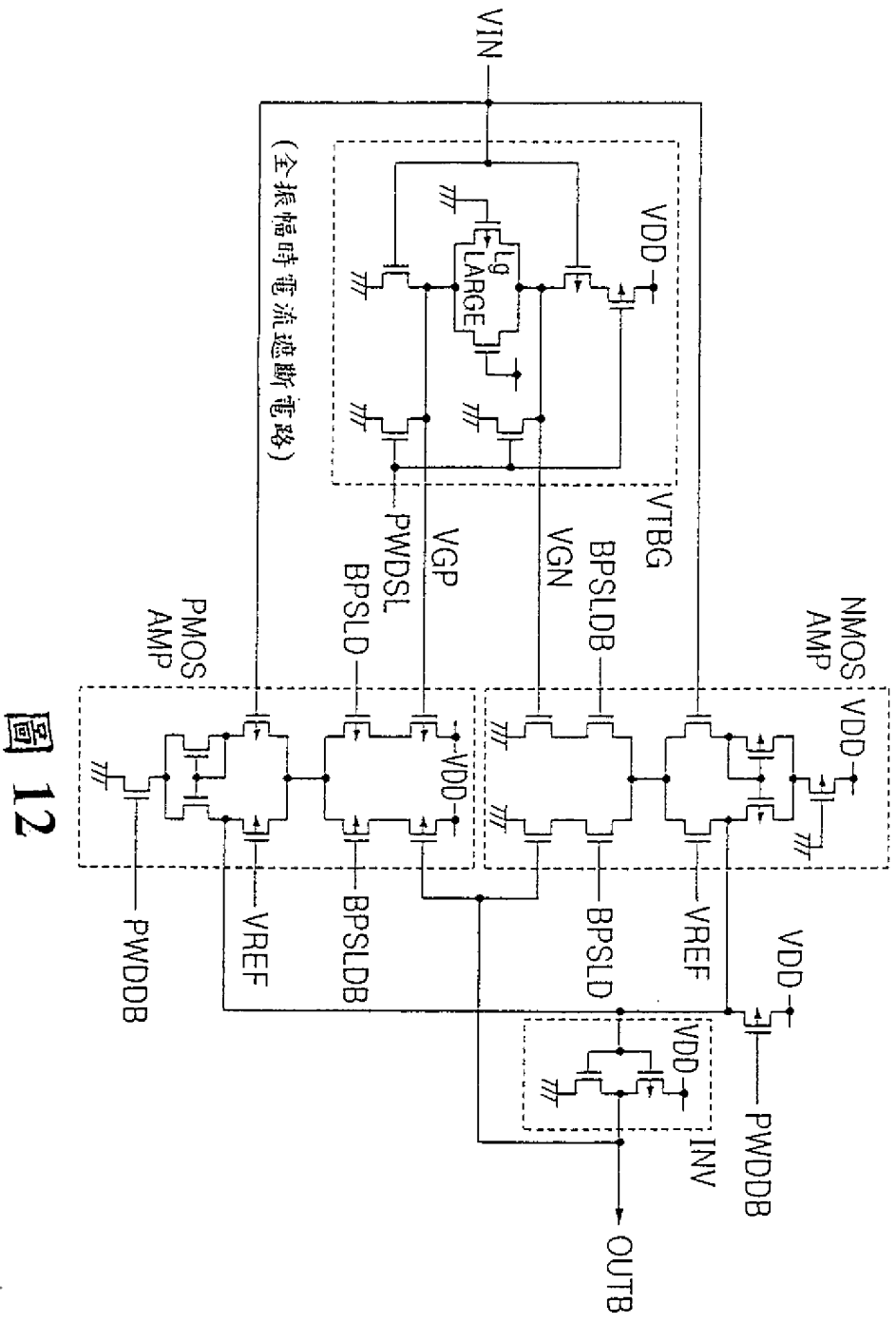


圖 12

圖式

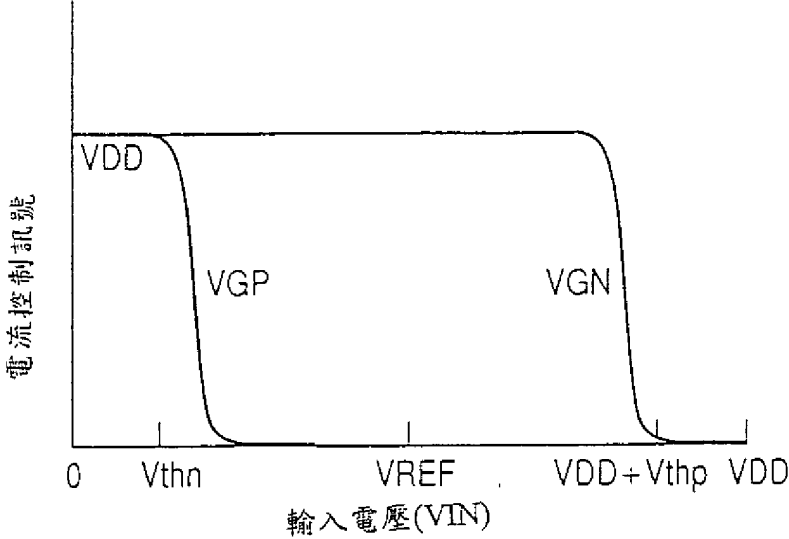


圖 13A

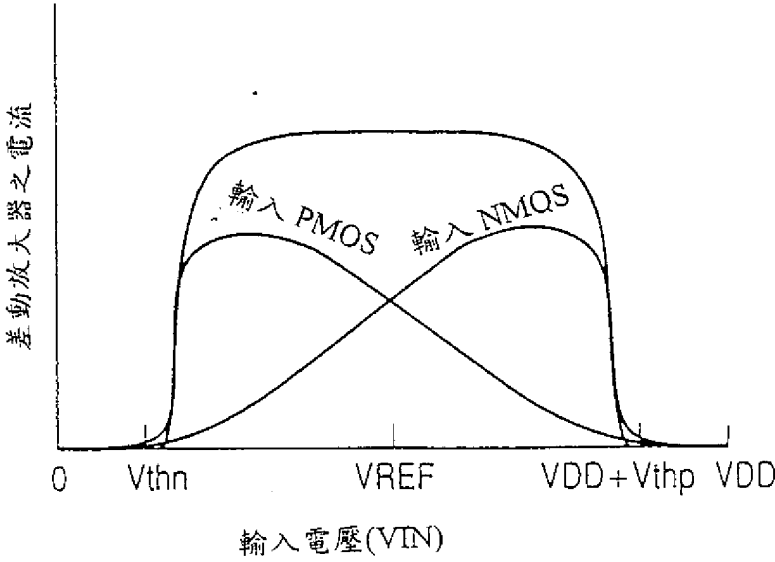


圖 13B

圖式

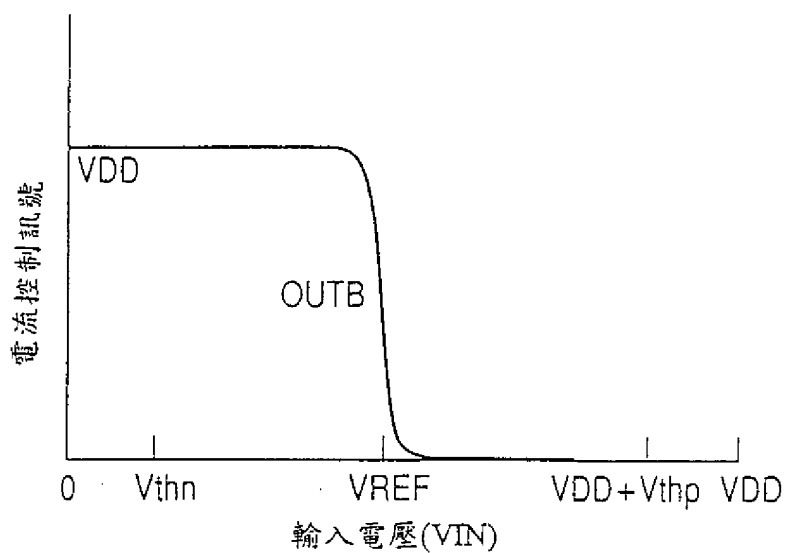


圖 14A

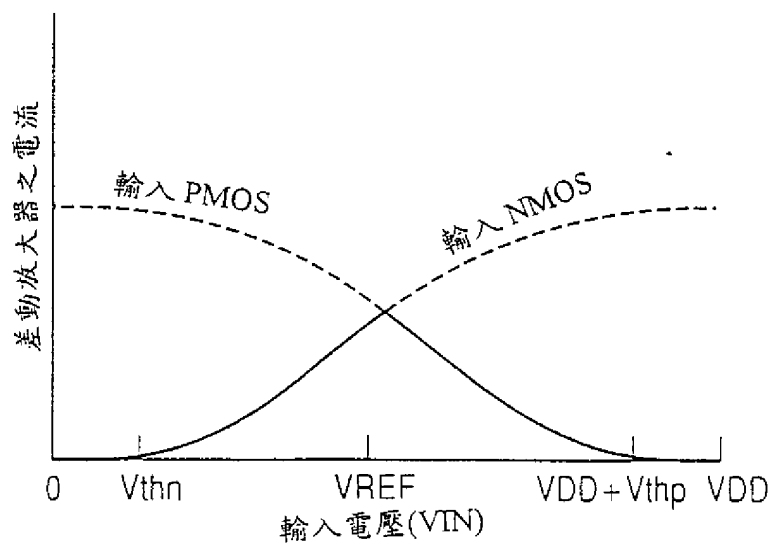
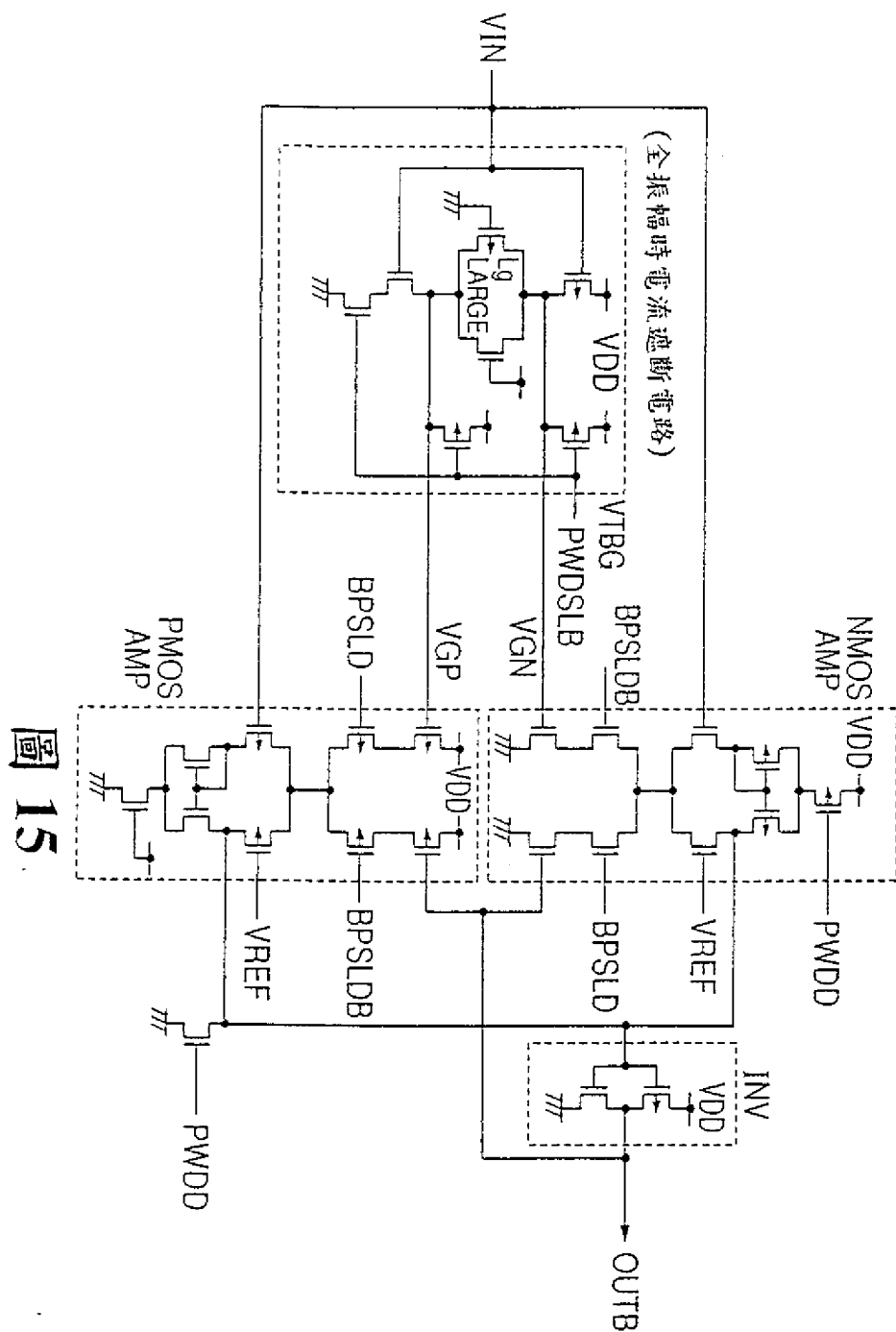
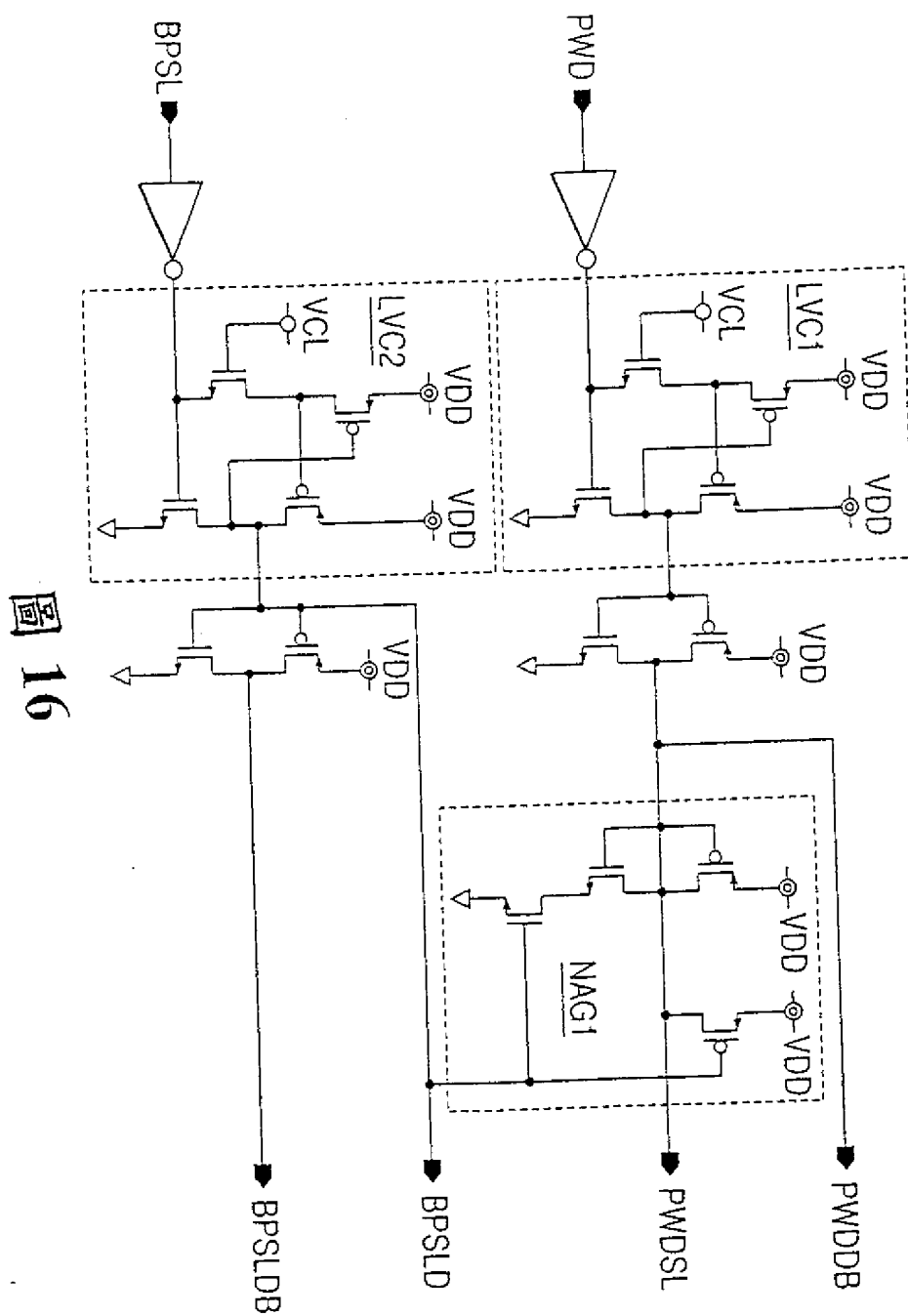


圖 14B

圖式



圖式



圖式

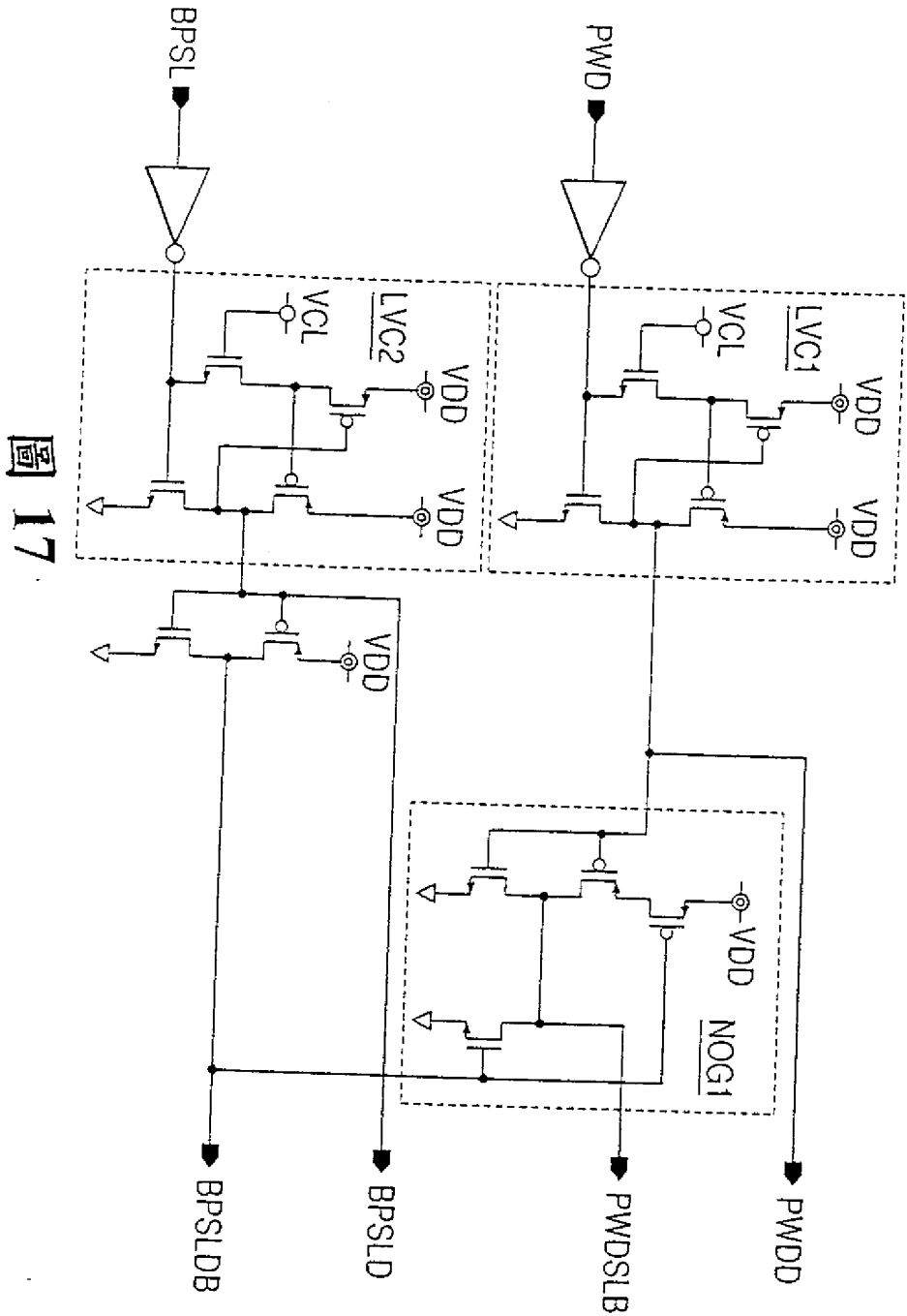


圖 17

圖式

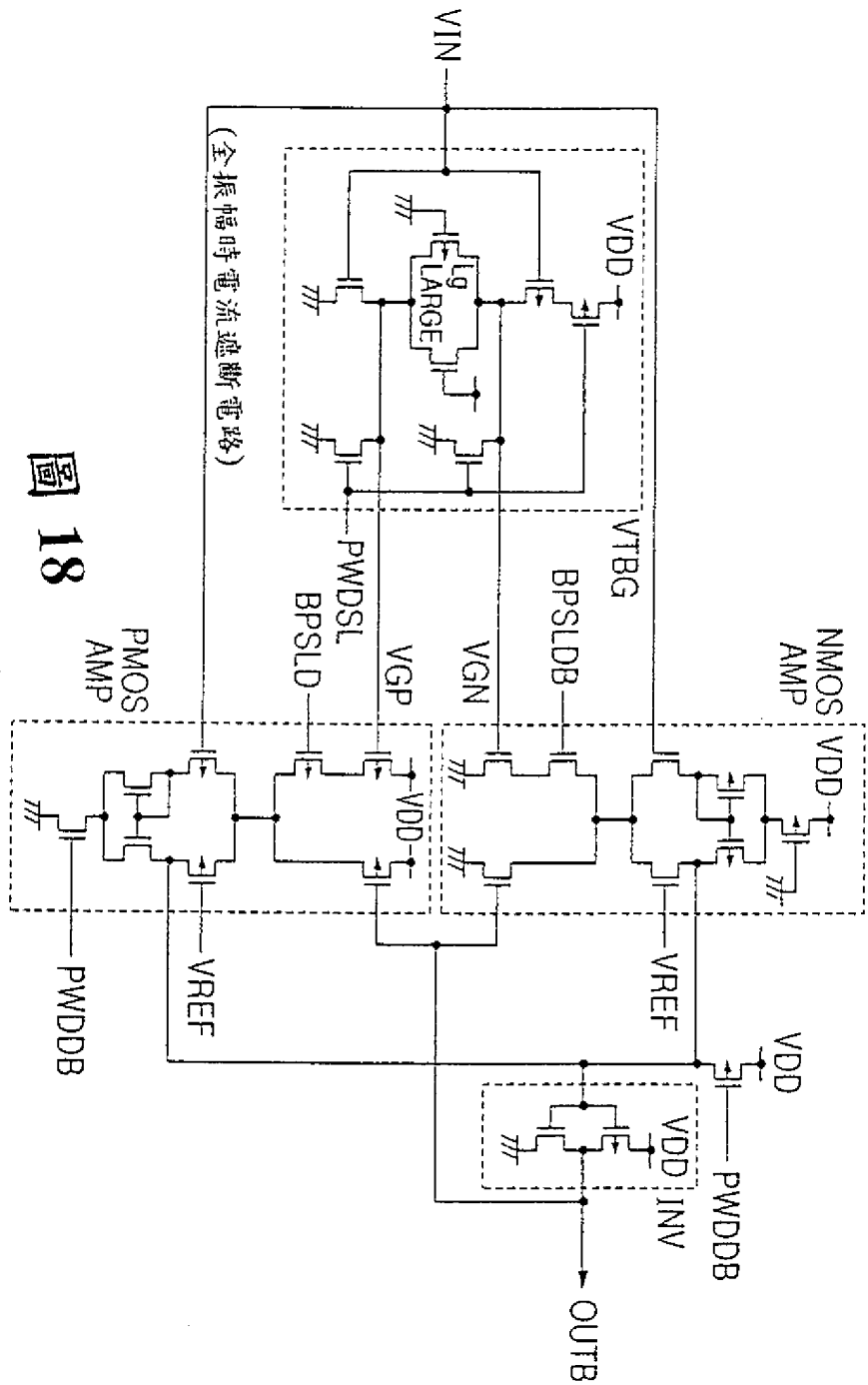


圖 18

圖式

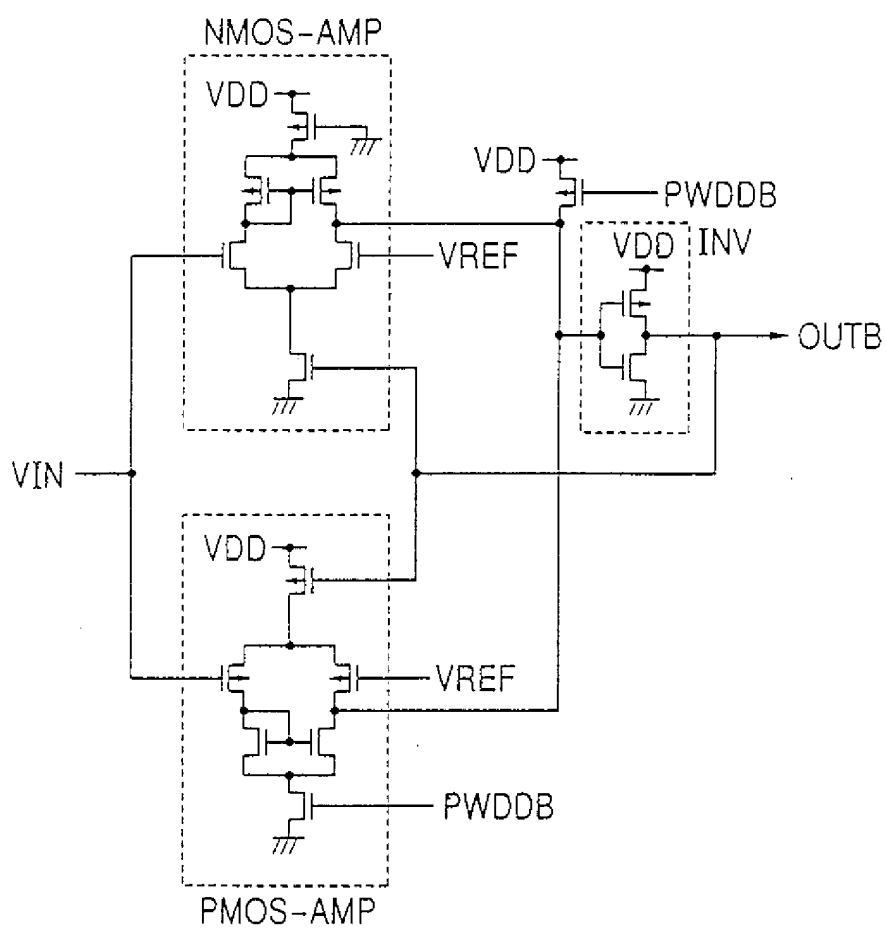
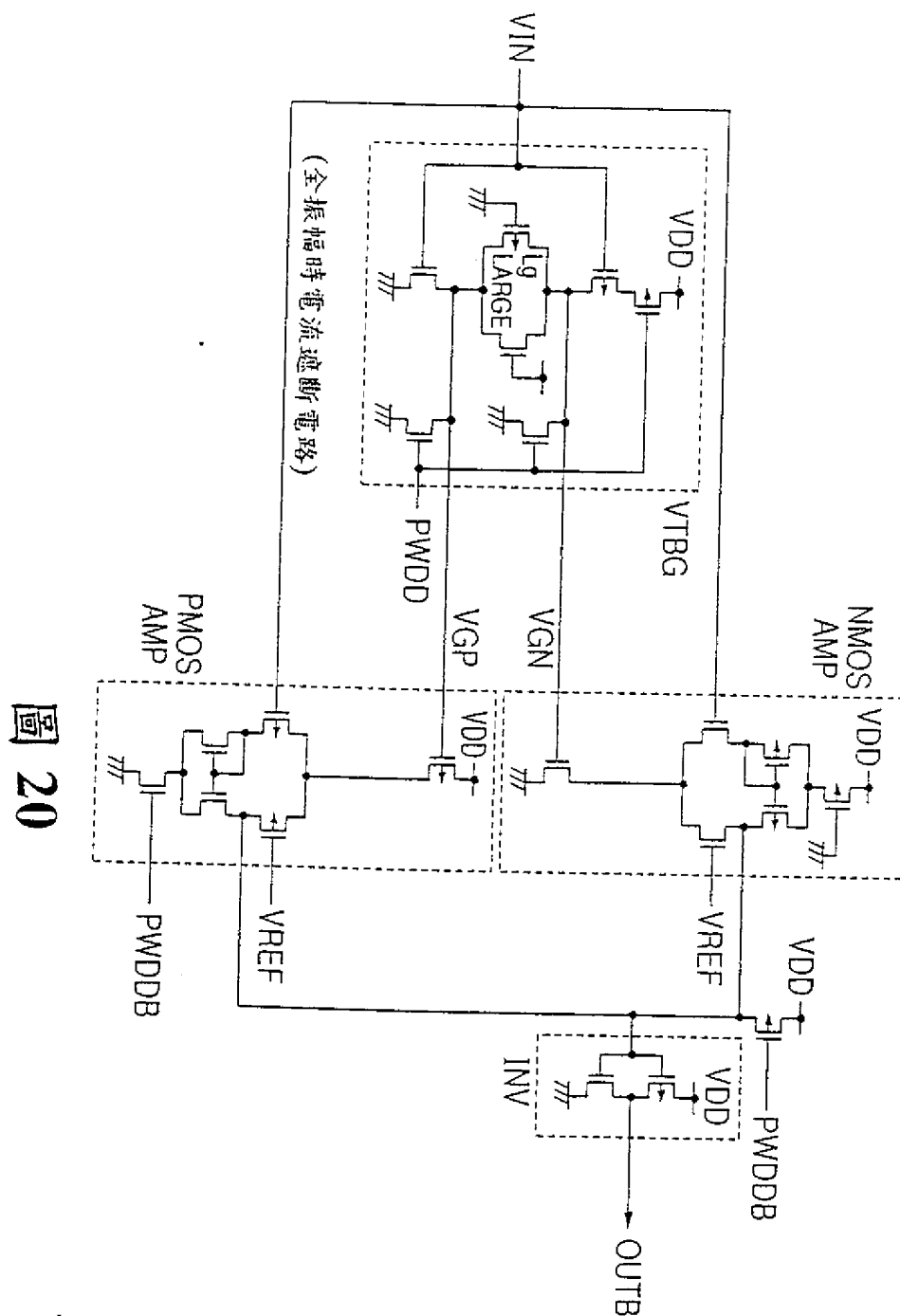


圖 19

圖式



圖式

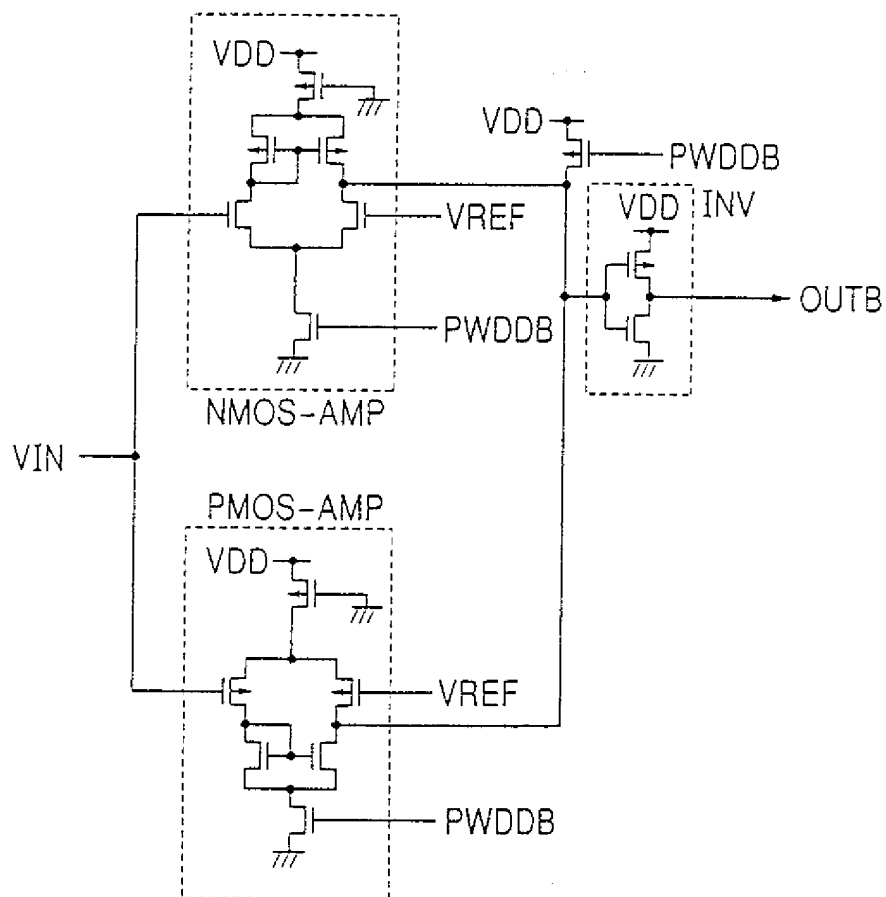


圖 21

圖式

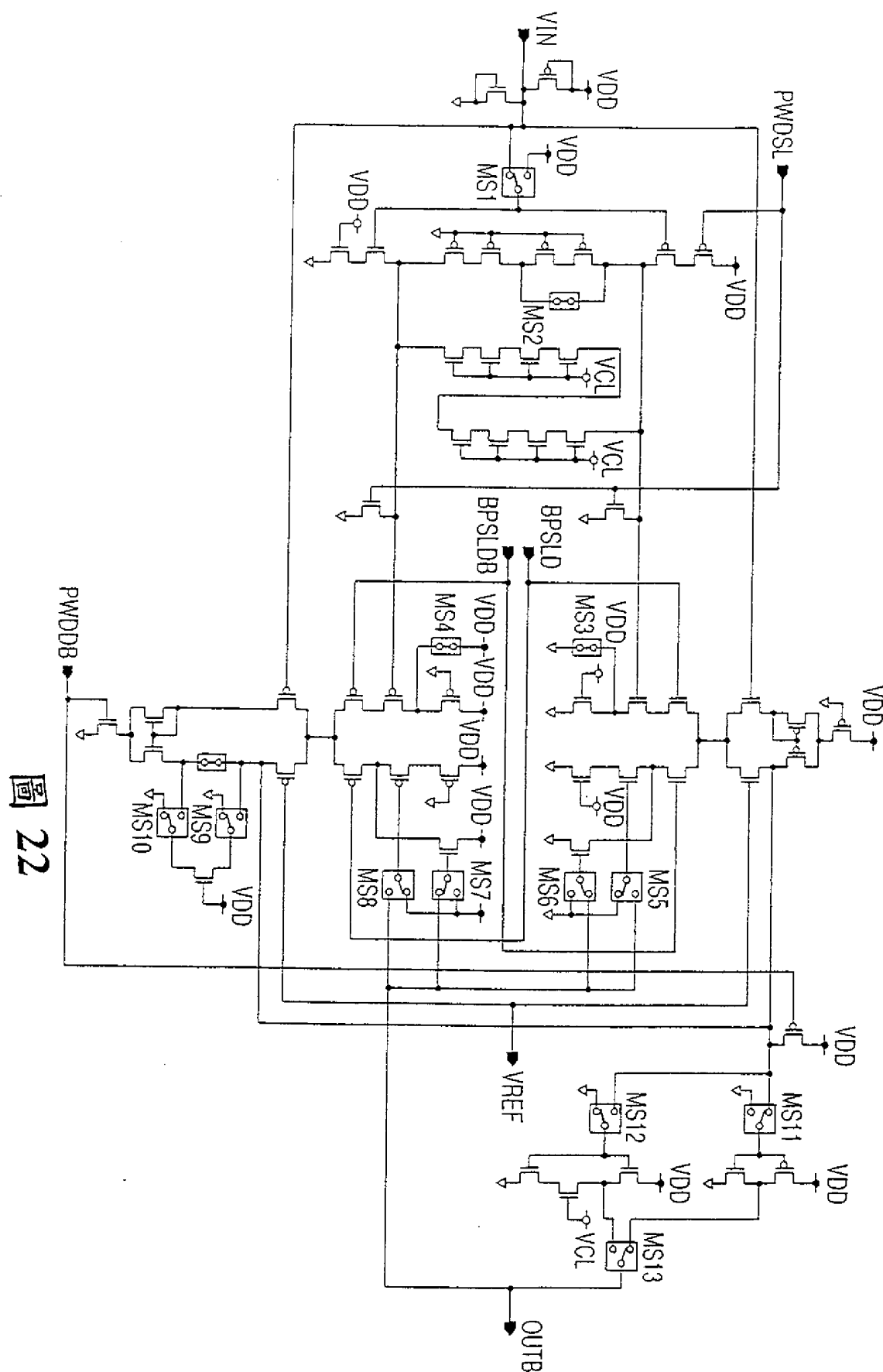


圖 22

公告本

年 月 日 修正

申請日期: 89. 5. 14

案號: 89102416

類別: H01L 29/10

90年5月17日 補充

(以上各欄由本局填註)

發明專利說明書

456030

一、發明名稱	中文	半導體積體電路裝置
	英文	半導體集積回路裝置
二、發明人	姓名 (中文)	1. 阪田 健 2. 永島 靖
	姓名 (英文)	1. 2.
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都千代田區丸之內1丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內 2. 日本國東京都千代田區丸之內1丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部內
三、申請人	姓名 (名稱) (中文)	1. 日商日立製作所股份有限公司 2. 日商日立超愛爾·愛斯·愛系統股份有限公司
	姓名 (名稱) (英文)	1. HITACHI, LTD. 2. HITACHI ULSI SYSTEMS CO., LTD.
	國籍	1. 日本 2. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區神田駿河台四丁目6番地 2. 日本國東京都小平市上水本町5丁目22番1號
	代表人姓名 (中文)	1. 庄山 悅彦 2. 鈴木 仁一郎
	代表人姓名 (英文)	1. ETSUHIKO SHOYAMA 2. JINICHIRO SUZUKI



圖式

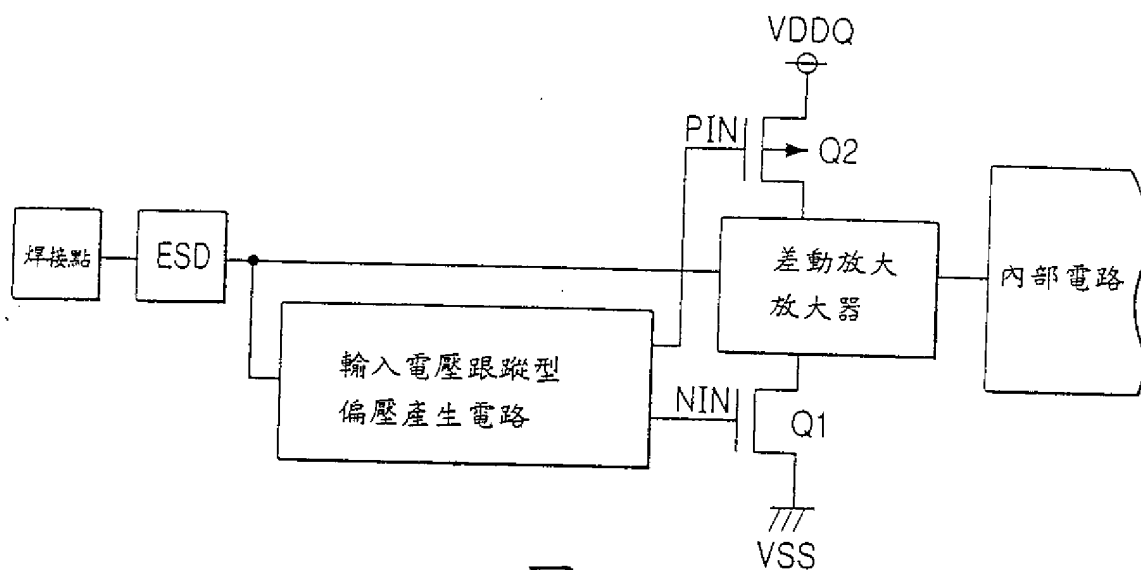


圖 1

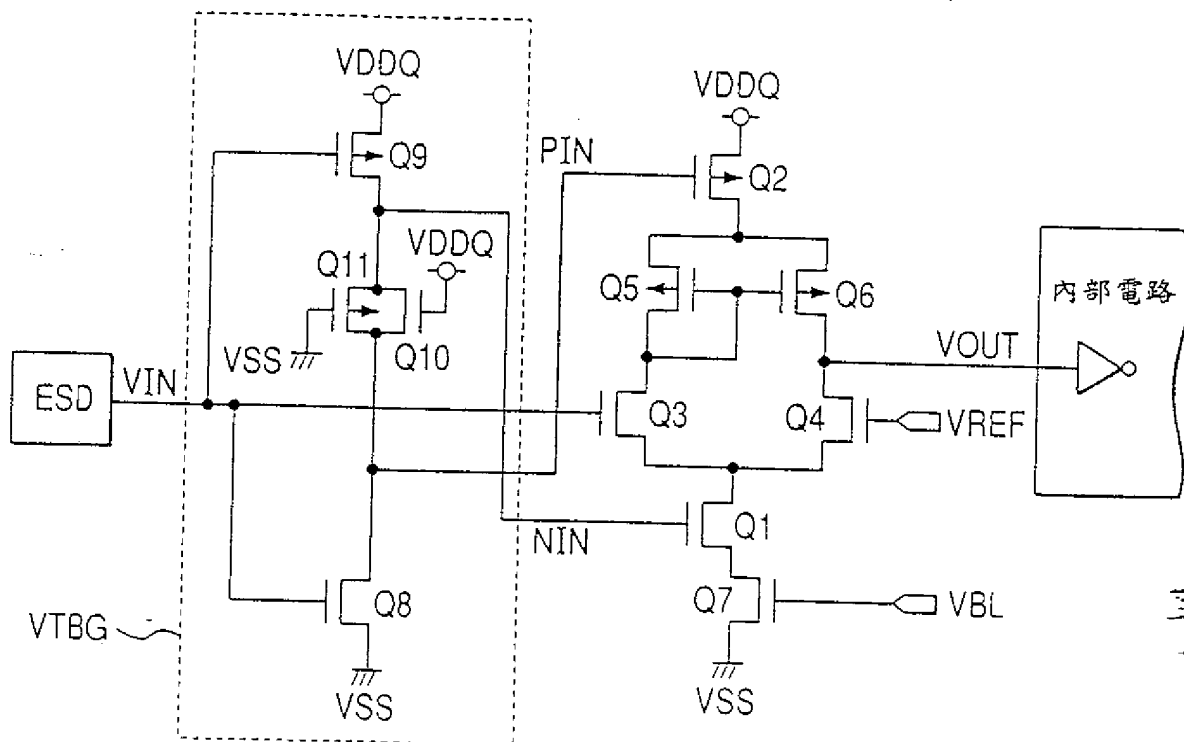


圖 2