(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5776721号
(P5776721)
(45)発行日　平成27年9月9日(2015.9.9)　(24)登録日　平成27年7月17日(2015.7.17)

(51)Int.Cl.		F I		
H03K 17/08	(2006.01)	H03K	17/08	C
H02M 7/48	(2007.01)	H02M	7/48	M

請求項の数 8　(全 19 頁)

(21)出願番号　特願2013-85238(P2013-85238)
(22)出願日　平成25年4月15日(2013.4.15)
(65)公開番号　特開2014-207620(P2014-207620A)
(43)公開日　平成26年10月30日(2014.10.30)
審査請求日　平成26年8月21日(2014.8.21)

(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　100121821
弁理士　山田　強
(74)代理人　100139480
弁理士　日野　京子
(74)代理人　100125575
弁理士　松田　洋
(72)発明者　福田　純一
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(72)発明者　濱中　義行
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

最終頁に続く

(54)【発明の名称】駆動対象スイッチング素子の駆動回路

(57)【特許請求の範囲】

【請求項１】

駆動対象スイッチング素子（Ｓ￥＃）の開閉制御端子及び駆動用電源（ＴＷ，２０，２２，２４，２５）を接続し、該開閉制御端子に電荷を充電するための充電経路（Ｌα）と、

前記開閉制御端子及び前記駆動用電源を接続するバイパス経路（Ｌβ；Ｌγ）と、

前記バイパス経路に一端が接続されてかつ他端が前記駆動用電源の出力電位とは異なる基準電位を有する部位に接続され、電荷を蓄積可能な蓄電手段（５４ａ，５４ｂ）と、

前記バイパス経路に設けられ、前記バイパス経路をオンオフする接続用スイッチング素子（５８；７０）と、

前記駆動対象スイッチング素子がフルオン状態とされる場合に前記接続用スイッチング素子をオン操作する接続操作手段（５２）と、

を備えることを特徴とする駆動対象スイッチング素子の駆動回路。

【請求項２】

前記駆動対象スイッチング素子を操作する操作信号がオン操作指令になったと判断した場合、前記駆動対象スイッチング素子をフルオン状態に切り替えるべく、前記充電経路を介して前記開閉制御端子に電荷を充電する充電処理を行い、前記操作信号がオフ操作指令になったと判断した場合、前記駆動対象スイッチング素子をオフ状態に切り替えるべく、前記開閉制御端子の電荷を放電する放電処理を行う充放電操作手段を更に備え、

前記接続操作手段は、前記操作信号が前記オン操作指令であってかつ前記駆動対象スイ

ッチング素子がフルオン状態とされていると判断した場合、前記接続用スイッチング素子をオン操作し、前記操作信号が前記オフ操作指令であると判断した場合、又は前記操作信号が前記オン操作指令であってかつ前記駆動対象スイッチング素子がフルオン状態とされていないと判断した場合、前記接続用スイッチング素子をオフ操作することを特徴とする請求項１記載の駆動対象スイッチング素子の駆動回路。

【請求項３】

前記バイパス経路のインピーダンスは、前記充電経路のインピーダンスよりも低く設定されていることを特徴とする請求項１又は２記載の駆動対象スイッチング素子の駆動回路。

【請求項４】

前記充電経路に設けられ、該充電経路をオンオフする充電用スイッチング素子（２８）と、

前記充電用スイッチング素子を操作する充電操作手段（５２）と、

前記充電用スイッチング素子及び前記充電操作手段を有する集積回路（２６）と、

を更に備え、

前記バイパス経路（Ｌβ）は、前記集積回路の外部に備えられることを特徴とする請求項１～３のいずれか１項に記載の駆動対象スイッチング素子の駆動回路。

【請求項５】

前記充電経路に設けられ、該充電経路をオンオフする充電用スイッチング素子（６２）と、

前記充電用スイッチング素子を操作する充電操作手段（５２）と、

前記充電用スイッチング素子及び前記充電操作手段を有する集積回路（２６）と、

を更に備え、

前記バイパス経路（Ｌγ）の一部は、前記集積回路内に備えられることを特徴とする請求項１～３のいずれか１項に記載の駆動対象スイッチング素子の駆動回路。

【請求項６】

前記駆動用電源は、シリーズレギュレータ（７２）を更に備えることを特徴とする請求項１～５のいずれか１項に記載の駆動対象スイッチング素子の駆動回路。

【請求項７】

前記駆動対象スイッチング素子の入出力端子間に流れる電流を検出する電流検出手段（Ｓｔ，４６）と、

前記電流検出手段によって検出された電流が閾値を規定時間継続して超えたことを条件として、前記駆動対象スイッチング素子を強制的にオフ状態に切り替える強制オフ手段（４２，４４，４８，５０，５２）と、

を更に備え、

前記強制オフ手段は、前記駆動対象スイッチング素子がフルオン状態とされる場合、前記規定時間を短縮することを特徴とする請求項１～６のいずれか１項に記載の駆動対象スイッチング素子の駆動回路。

【請求項８】

前記駆動対象スイッチング素子は、直流電源（１２）に並列接続された高電位側のスイッチング素子（Ｓ¥ｐ）及び低電位側のスイッチング素子（Ｓ¥ｎ）の直列接続体を備えることを特徴とする請求項１～７のいずれか１項に記載の駆動対象スイッチング素子の駆動回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、駆動対象スイッチング素子の駆動回路に関する。

【背景技術】

【０００２】

この種の駆動回路としては、直流電源に並列接続された高電位側スイッチング素子及び

低電位側スイッチング素子（例えばＩＧＢＴ）の直列接続体を備える電力変換回路（例えば３相インバータ）に適用されるものが知られている。ここで、高電位側スイッチング及び低電位側スイッチング素子のうち一方がショート故障する状況下、他方がオン状態に切り替えられる上下アーム短絡が生じる場合、これらスイッチング素子に過電流（短絡電流）が流れることとなる。

【０００３】

ここで、スイッチング素子に流れる過電流を抑制すべく、例えば下記特許文献１に見られるように、スイッチング素子の過電流保護回路を備える駆動回路が知られている。詳しくは、この駆動回路は、スイッチング素子のゲート及びエミッタ間に接続されたバイポーラトランジスタ及びツェナーダイオードの直列接続体を備えている。こうした構成によれば、スイッチング素子に過電流が流れる場合においてバイポーラトランジスタがオン状態に切り替えられる。これにより、ゲート電圧を低下させ、スイッチング素子に流れる過電流の抑制を図っている。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開平５－２１８８３６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

ところで、本発明者らは、高電位側スイッチング素子及び低電位側スイッチング素子のうち一方がフルオン状態とされる状況下において、他方がショート故障する上下アーム短絡が生じると、これらスイッチング素子に流れる過電流を抑制できず、これらスイッチング素子の信頼性が低下する事態に直面した。詳しくは、例えば、低電位側スイッチング素子がオン状態とされる状況下において高電位側スイッチング素子がショート故障すると、短絡電流の流通によって低電位側スイッチング素子のコレクタ及びエミッタ間電圧が上昇する。その結果、低電位側スイッチング素子の帰還容量を介して低電位側スイッチング素子のコレクタからゲートへと電流が流れ込み、ゲート電圧が上昇する現象が生じる。この現象が生じると、過電流が更に増大し、高電位側スイッチング素子及び低電位側スイッチング素子の信頼性が低下する。

【０００６】

本発明は、上記課題を解決するためになされたものであり、その目的は、駆動対象スイッチング素子の信頼性の低下を好適に回避することのできる駆動対象スイッチング素子の駆動回路を提供することにある。

【課題を解決するための手段】

【０００７】

上記課題を解決すべく、本発明は、駆動対象スイッチング素子（Ｓ￥＃）の開閉制御端子及び駆動用電源（ＴＷ，２０，２２，２４，２５）を接続し、該開閉制御端子に電荷を充電するための充電経路（Ｌα）と、前記開閉制御端子及び前記駆動用電源を接続するバイパス経路（Ｌβ；Ｌγ）と、前記バイパス経路に一端が接続されてかつ他端が前記駆動用電源の出力電位とは異なる基準電位を有する部位に接続され、電荷を蓄積可能な蓄電手段（５４ａ，５４ｂ）と、を備えることを特徴とする。

【０００８】

上記発明は、バイパス経路及び蓄電手段を備えている。このため、駆動対象スイッチング素子がフルオン状態とされてかつ駆動対象スイッチング素子に過電流が流れる状況下において、駆動対象スイッチング素子の帰還容量を介して駆動対象スイッチング素子の入力端子から開閉制御端子へと電流が流れ込む場合であっても、流れ込む電流をバイパス経路を介して蓄電手段へと導くことができる。これにより、過電流が流れる状況下における開閉制御端子の電圧の上昇を抑制することができる。したがって、上記発明によれば、駆動対象スイッチング素子に流れる過電流を抑制でき、ひいては駆動対象スイッチング素子の

信頼性の低下を好適に回避することができる。

【図面の簡単な説明】

【０００９】

【図１】第１の実施形態にかかるモータ制御システムの構成図。

【図２】同実施形態にかかるドライブユニット等の構成図。

【図３】上下アーム短絡時のコレクタ電流等の推移を示すタイムチャート。

【図４】ＩＧＢＴの帰還容量を示す図。

【図５】第1の実施形態にかかるバイパス経路にダイオードを設置した効果を示すタイムチャート。

【図６】第２の実施形態にかかるドライブユニット等の構成図。

【図７】同実施形態にかかるゲートバイパス処理の手順を示すフローチャート。

【図８】第３の実施形態にかかるドライブユニット等の構成図。

【図９】第４の実施形態にかかるドライブユニット等の構成図。

【図１０】第５の実施形態にかかるソフト遮断処理の手順を示すフローチャート。

【図１１】同実施形態にかかるソフト遮断処理を示すタイムチャート。

【図１２】同実施形態にかかるソフト遮断処理を示すタイムチャート。

【発明を実施するための形態】

【００１０】

（第１の実施形態）

以下、本発明にかかる駆動対象スイッチング素子の駆動回路を車載主機として回転機及び内燃機関を備えるハイブリッド車両に適用した第１の実施形態について、図面を参照しつつ説明する。

【００１１】

図１に示すように、モータジェネレータ１０は、車載主機であり、図示しない駆動輪に連結されている。モータジェネレータ１０は、インバータＩＶを介して「直流電源」としての高電圧バッテリ１２に接続されている。高電圧バッテリ１２の出力電圧は、例えば百Ｖ以上である。なお、高電圧バッテリ１２及びインバータＩＶの間には、高電圧バッテリ１２の出力電圧を昇圧してインバータＩＶに印加する図示しない昇圧コンバータが備えられている。

【００１２】

インバータＩＶは、高電位側（上アーム側）のスイッチング素子Ｓ￥ｐ（￥＝ｕ，ｖ，ｗ）及び低電位側（下アーム側）のスイッチング素子Ｓ￥ｎの直列接続体を備えている。詳しくは、インバータＩＶは、３組のスイッチング素子Ｓ￥ｐ，Ｓ￥ｎの直列接続体を備え、スイッチング素子Ｓ￥ｐ，Ｓ￥ｎの接続点は、モータジェネレータ１０の￥相に接続されている。ちなみに、本実施形態では、上記スイッチング素子Ｓ￥＃（＃＝ｐ，ｎ）として、電圧制御形の半導体スイッチング素子が用いられ、より具体的には、ＩＧＢＴが用いられている。そして、スイッチング素子Ｓ￥＃には、フリーホイールダイオードＤ￥＃が逆並列に接続されている。なお、本実施形態において、スイッチング素子Ｓ￥＃が「駆動対象スイッチング素子」に相当する。

【００１３】

制御装置１４は、低電圧バッテリ１６を電源し、マイコンを主体として構成されている。制御装置１４は、モータジェネレータ１０の制御量（例えばトルク）をその指令値に制御すべく、インバータＩＶを操作する。詳しくは、制御装置１４は、インバータＩＶを構成するスイッチング素子Ｓ￥＃を操作すべく、操作信号ｇ￥＃を生成してドライブユニットＤＵに出力する。ここで、高電位側の操作信号ｇ￥ｐと、対応する低電位側の操作信号ｇ￥ｎとは、互いに相補的な信号となっている。すなわち、高電位側のスイッチング素子Ｓ￥ｐと、対応する低電位側のスイッチング素子Ｓ￥ｎとは、交互にオン状態とされる。

【００１４】

インターフェース１８は、高電圧バッテリ１２、インバータＩＶ及びモータジェネレータ１０を備える高電圧システムと、低電圧バッテリ１６及び制御装置１４を備える低電圧

システムとの間を電気的に絶縁しつつ、これらシステム間の信号の伝達を行う機能を有する。本実施形態において、インターフェース１８は、光絶縁素子（フォトカプラ）を備えている。

【００１５】

各スイッチング素子Ｓ￥＃に対応するドライブユニットＤＵには、絶縁電源を構成する図示しないトランスを介して低電圧バッテリ１６から電力が供給される。本実施形態では、Ｕ，Ｖ，Ｗ相の上アームのドライブユニットＤＵのそれぞれに対応してトランスが備えられ、これらドライブユニットＤＵのそれぞれには、対応するトランスを介して低電圧バッテリ１６から電力が供給される。一方、下アームについては、１相のみにトランスが備えられ、このトランスを介して低電圧バッテリ１６からＵ，Ｖ，Ｗ相の下アームのドライブユニットＤＵのそれぞれに電力が供給される。以下、絶縁電源及びドライブユニットＤＵの構成について、図２を用いて詳述する。

【００１６】

図２に示すように、絶縁電源は、１次側コイル１９ａ及び２次側コイル１９ｂを有するトランスＴＷ、ＮチャネルＭＯＳＦＥＴ（以下、電圧制御用スイッチング素子２０）、電源用ダイオード２２、電源用コンデンサ２４、並びに電源ＩＣ２５を備えるフライバック式のスイッチング電源である。詳しくは、低電圧バッテリ１６の両端同士は、１次側コイル１９ａ及び電圧制御用スイッチング素子２０を介して接続されている。一方、２次側コイル１９ｂの両端同士は、電源用ダイオード２２及び電源用コンデンサ２４の直列接続体を介して接続されている。また、２次側コイル１９ｂ及び電源用コンデンサ２４の接続点は、スイッチング素子Ｓ￥＃の出力端子（エミッタ）に接続され、電源用ダイオード２２及び電源用コンデンサ２４の接続点は、ドライブユニットＤＵが備えるドライブＩＣ２６の第１の端子Ｔ１に接続されている。なお、本実施形態では、電源用コンデンサ２４として電解コンデンサを用いている。

【００１７】

電圧制御用スイッチング素子２０は、電源ＩＣ２５によってオンオフ操作される。詳しくは、電源ＩＣ２５は、絶縁電源の出力電圧を目標電圧（例えば１５Ｖ）に制御すべく、電圧制御用スイッチング素子２０をオンオフ操作する。なお、本実施形態において、電圧制御用スイッチング素子２０、トランスＴＷ、電源用ダイオード２２、電源用コンデンサ２４及び電源ＩＣ２５を備える絶縁電源が「駆動用電源」に相当する。

【００１８】

ドライブＩＣ２６は、１チップ化された単一の半導体集積回路である。ドライブＩＣ２６の第１の端子Ｔ１の電圧は、絶縁電源の出力電圧が印加されることにより、所定の電圧Ｖｏｍ（例えば１５Ｖ）に維持されている。第１の端子Ｔ１は、ＰチャネルＭＯＳＦＥＴ（以下、充電用スイッチング素子２８）を介してドライブＩＣ２６の第２の端子Ｔ２に接続されている。第２の端子Ｔ２は、充電用抵抗体３０を介してスイッチング素子Ｓ￥＃の開閉制御端子（ゲート）に接続されている。また、スイッチング素子Ｓ￥＃のゲートは、放電用抵抗体３２を介してドライブＩＣ２６の第３の端子Ｔ３に接続され、第３の端子Ｔ３は、ＮチャネルＭＯＳＦＥＴ（以下、放電用スイッチング素子３４）を介してスイッチング素子Ｓ￥＃のエミッタに接続されている。なお、本実施形態において、絶縁電源の出力側（電源用ダイオード２２及び電源用コンデンサ２４の接続点）から、第１の端子Ｔ１、充電用スイッチング素子２８、第２の端子Ｔ２及び充電用抵抗体３０を介してゲートに至る電気経路が「充電経路Ｌα」に相当する。また、本実施形態において、スイッチング素子Ｓ￥＃のエミッタが「駆動用電源の出力電位とは異なる基準電位を有する部位」に相当する。

【００１９】

スイッチング素子Ｓ￥＃のゲートは、また、ドライブＩＣ２６の第５の端子Ｔ５及びＮチャネルＭＯＳＦＥＴ（以下、クランプ用スイッチング素子３６）を介してエミッタに接続されている。クランプ用スイッチング素子３６及び第５の端子Ｔ５の接続点は、クランプ用オペアンプ３８の非反転入力端子に接続され、クランプ用オペアンプ３８の反転入力

端子は、第１の電源４０の正極側に接続されている。

【００２０】

ここで、第１の電源４０の出力電圧（以下、クランプ電圧Ｖｃｌａｍｐ）は、例えば、スイッチング素子Ｓ￥＃の信頼性が短時間で過度に低下するような電流が流れない程度の電圧（例えば１２．５Ｖ）にスイッチング素子Ｓ￥＃の開閉制御端子の印加電圧（ゲート電圧）を制限する値に設定されている。本実施形態において、クランプ電圧Ｖｃｌａｍｐは、具体的には、スイッチング素子Ｓ￥＃がオン状態に切り替わるスレッショルド電圧Ｖｔｈ以上の電圧であってかつ絶縁電源の出力電圧（第１の端子Ｔ１の電圧Ｖｏｍ）未満の電圧に設定されている。

【００２１】

スイッチング素子Ｓ￥＃のゲートは、さらに、ドライブＩＣ２６の第６の端子Ｔ６、ソフト遮断用抵抗体４２及びＮチャネルＭＯＳＦＥＴ（以下、ソフト遮断用スイッチング素子４４）を介してエミッタに接続されている。

【００２２】

スイッチング素子Ｓ￥＃は、その入力端子（コレクタ）及びエミッタ間に流れる電流（以下、コレクタ電流Ｉｃ）と相関を有する微少電流（例えば、コレクタ電流Ｉｃの「１／１００００」）を出力するセンス端子Ｓｔを備えている。センス端子Ｓｔは、抵抗体（センス抵抗４６）を介してエミッタに接続されている。これにより、センス端子Ｓｔから出力される微少電流によってセンス抵抗４６に電圧降下が生じるため、センス抵抗４６のうちセンス端子Ｓｔ側の電位（以下、センス電圧Ｖｓｅ）を、コレクタ電流Ｉｃと相関を有する電気的な状態量とすることができる。なお、本実施形態において、センス抵抗４６の両端のうちセンス端子Ｓｔ側の電位がエミッタの電位よりも高い場合のセンス電圧Ｖｓｅを正と定義する。また、エミッタの電位を「０」とする。また、本実施形態において、センス端子Ｓｔ及びセンス抵抗４６が「電流検出手段」を構成する。

【００２３】

センス抵抗４６の両端のうちセンス端子Ｓｔ側は、ドライブＩＣ２６の第７の端子Ｔ７を介してコンパレータ４８の非反転入力端子に接続され、コンパレータ４８の反転入力端子は、第２の電源５０の正極側に接続されている。本実施形態において、第２の電源５０の出力電圧（以下、短絡閾値ＳＣ）は、上下アーム短絡が生じる場合のコレクタ電流Ｉｃに対応するセンス電圧Ｖｓｅに設定されている。なお、コンパレータ４８の出力信号Ｓｉｇは、ドライブＩＣ２６内の駆動制御部５２に入力される。また、本実施形態において、ソフト遮断用抵抗体４２、ソフト遮断用スイッチング素子４４、コンパレータ４８、第２の電源５０及び駆動制御部５２が「強制オフ手段」を構成する。

【００２４】

ここで、本実施形態において、短絡閾値ＳＣを設定する場合の上下アーム短絡とは、高電位側のスイッチング素子Ｓ￥ｐ及び低電位側のスイッチング素子Ｓ￥ｎのうち一方がショート故障する状況下において、他方がオフ状態からオン状態に切り替えられることでこれらスイッチング素子Ｓ￥ｐ，スイッチング素子Ｓ￥ｎの双方がオン状態とされ、スイッチング素子Ｓ￥＃の過電流（短絡電流）の流通経路が形成されることをいう。以下、この上下アーム短絡を「Ｔｙｐｅ１」の上下アーム短絡と称すこととする。

【００２５】

絶縁電源の出力側及びゲートは、バイパス経路Ｌβによって接続されている。また、バイパス経路Ｌβとスイッチング素子Ｓ￥＃のエミッタとは、第１のコンデンサ５４ａ及び第２のコンデンサ５４ｂのそれぞれによって短絡されている。ここで、本実施形態において、第１のコンデンサ５４ａ及び第２のコンデンサ５４ｂとして、積層セラミックコンデンサが用いられている。なお、本実施形態において、第１のコンデンサ５４ａ及び第２のコンデンサ５４ｂが「蓄電手段」に相当する。また、本実施形態では、充電経路Ｌα及びバイパス経路Ｌβの一部が共通化されている。

【００２６】

バイパス経路Ｌβのうち第１，第２のコンデンサ５４ａ，５４ｂとの接続点からゲート

までの間には、「接続手段」及び「整流素子」としてのダイオード５６が設けられている。詳しくは、バイパス経路Ｌβにおいて、ダイオード５６のアノードはゲート側に接続され、カソードは第１，第２のコンデンサ５４ａ，５４ｂ側に接続されている。

【００２７】

ちなみに、本実施形態では、上述したように、充電経路Ｌαに充電用抵抗体３０が設けられている。このため、バイパス経路Ｌβのインピーダンスｒｌβが、充電経路Ｌαのインピーダンスｒｌαよりも低く設定されている。

【００２８】

駆動制御部５２は、ドライブＩＣ２６の第８の端子Ｔ８を介して入力される上記操作信号ｇ￥＃に基づき、充電用スイッチング素子２８及び放電用スイッチング素子３４の操作による充電処理及び放電処理を交互に行うことでスイッチング素子Ｓ￥＃を駆動する。詳しくは、充電処理は、操作信号ｇ￥＃がオン操作指令になったと判断された場合、放電用スイッチング素子３４をオフ操作し、また、充電用スイッチング素子２８をオン操作する処理である。一方、放電処理は、操作信号ｇ￥＃がオフ操作指令になったと判断された場合、放電用スイッチング素子３４をオン操作に切り替え、また、充電用スイッチング素子２８をオフ操作に切り替える処理である。なお、本実施形態において、駆動制御部５２が「充電操作手段」を構成する。

【００２９】

駆動制御部５２は、さらに、ゲート電圧Ｖｇｅや、コンパレータ４８の出力信号Ｓｉｇ等に基づき、過電流保護処理を行う。この処理は、クランプ処理と、ソフト遮断処理とを含む処理である。

【００３０】

まず、クランプ処理について説明すると、この処理は、充電処理が行われる場合において、ゲート電圧Ｖｇｅが所定電圧Ｖα（例えば、ミラー電圧よりも低い電圧）に到達するタイミングからクランプフィルタ時間Ｔｃｌａｍｐ（例えば、固定時間）に渡って、クランプ用オペアンプ３８にイネーブル信号を出力することでクランプ用スイッチング素子３６を操作する処理である。すなわち、クランプ処理は、ゲート電圧Ｖｇｅが第１の端子Ｔ１の電圧Ｖｏｍに到達する以前にゲート電圧Ｖｇｅをクランプ電圧Ｖｃｌａｍｐで制限する処理である。この処理によれば、例えば、Ｔｙｐｅ１の上下アーム短絡が生じる場合において、後述するソフト遮断処理によってスイッチング素子Ｓ￥＃がオフ状態に切り替えられるまでにスイッチング素子Ｓ￥＃に流れるコレクタ電流Ｉｃを制限することができる。ちなみに、クランプフィルタ時間Ｔｃｌａｍｐは、例えば、Ｔｙｐｅ１の上下アーム短絡が生じる場合において、ゲート電圧Ｖｇｅが所定電圧Ｖαに到達してからセンス電圧Ｖｓｅが短絡閾値ＳＣを超えるまでの時間の最大値と、後述するソフト遮断処理で用いられる短絡フィルタ時間Ｔｓｃとの加算値よりもやや長い時間に設定すればよい。

【００３１】

続いて、ソフト遮断処理について説明すると、この処理は、コンパレータ４８の出力信号Ｓｉｇの論理が短絡フィルタ時間Ｔｓｃ（「規定時間」に相当）継続して「Ｈ」になっていると判断された場合、充電用スイッチング素子２８及び放電用スイッチング素子３４をオフ操作してかつ、ソフト遮断用スイッチング素子４４をオン操作する処理である。上記ソフト遮断処理の実行により、スイッチング素子Ｓ￥＃が強制的にオフ状態に切り替えられる。

【００３２】

なお、短絡フィルタ時間Ｔｓｃは、コンパレータ４８の出力信号Ｓｉｇにノイズが混入すること等によってソフト遮断処理が誤って実行されるのを回避するために設定されている。また、上記ソフト遮断用抵抗体４２は、ゲート電荷の放電経路の抵抗値を高抵抗とするために設けられる。より具体的には、ソフト遮断用抵抗体４２の抵抗値Ｒａは、放電用抵抗体３２の抵抗値Ｒｂよりも高く設定されている。これは、コレクタ電流Ｉｃが過大である状況下にあっては、スイッチング素子Ｓ￥＃をオン状態からオフ状態へと切り替える速度を高くすると、サージ電圧が過大となるおそれがあることに鑑みた設定である。

【００３３】
ちなみに、ソフト遮断処理が行われた場合、駆動制御部５２は、フェール信号ＦＬを出力する処理と、充電用スイッチング素子２８及び放電用スイッチング素子３４の駆動を禁止する処理とを併せて行う。上記フェール信号ＦＬは、ドライブＩＣ２６の第９の端子Ｔ９を介して低電圧システム（制御装置１４）に出力される。このフェール信号ＦＬによって、インバータＩＶのシャットダウンが行われる。
【００３４】
ところで、上下アーム短絡は、上述したメカニズムとは異なり、以下に説明するメカニズムによっても生じる。詳しくは、高電位側のスイッチング素子Ｓ￥ｐ及び低電位側のスイッチング素子Ｓ￥ｎのうち一方がフルオン状態とされる状況下において、他方がショート故障することによっても上下アーム短絡が生じる。以下、この上下アーム短絡を「Ｔｙｐｅ２」の上下アーム短絡と称することとする。
【００３５】
なお、スイッチング素子Ｓ￥＃のフルオン状態とは、ゲート電圧Ｖｇｅがスレッショルド電圧Ｖｔｈよりも十分高い電圧となる状態のことであり、より具体的には、ゲート電圧Ｖｇｅがクランプ電圧Ｖｃｌａｍｐよりも高い電圧となる状態のことである。特に本実施形態では、フルオン状態を、ゲート電圧Ｖｇｅが絶縁電源の出力電圧（第１の端子Ｔ１の電圧Ｖｏｍ）近傍となる状態、又はゲート電圧Ｖｇｅが上記電圧Ｖｏｍ以上となる状態とする。
【００３６】
続いて、図３及び図４を用いて、Ｔｙｐｅ２の上下アーム短絡について説明する。
【００３７】
まず、図３に、ゲート電圧Ｖｇｅ、コレクタ電流Ｉｃ、コレクタ及びエミッタ間電圧Ｖｃｅ、並びにセンス電圧Ｖｓｅの推移を示す。なお、図３では、低電位側のスイッチング素子Ｓ￥ｎがフルオン状態とされる状況下、高電位側のスイッチング素子Ｓ￥ｐがショート故障することでＴｙｐｅ２の上下アーム短絡が生じる場合を例示している。
【００３８】
図示されるように、時刻ｔ１において高電位側のスイッチング素子Ｓ￥ｐがショート故障すると、高電位側，低電位側のスイッチング素子Ｓ￥ｐ，Ｓ￥ｎに短絡電流が流れ始める。短絡電流の流通により、低電位側のスイッチング素子Ｓ￥ｎのコレクタ及びエミッタ間電圧Ｖｃｅが上昇する。その結果、低電位側のスイッチング素子Ｓ￥ｎの帰還容量Ｃｒｅｓ（図４参照）を介して低電位側のスイッチング素子Ｓ￥ｎのコレクタからゲートへと電流が流れ込み、低電位側のスイッチング素子Ｓ￥ｎのゲート電圧Ｖｇｅが上昇する現象が生じる。この現象が生じると、コレクタ電流Ｉｃが更に増大し、高電位側のスイッチング素子Ｓ￥ｐ及び低電位側のスイッチング素子Ｓ￥ｎの信頼性が低下する。なお、図３では、コレクタ電流Ｉｃの更なる増大により、時刻ｔ２において低電位側のスイッチング素子Ｓ￥ｎもショート故障することを示した。
【００３９】
こうした問題に対処すべく、本実施形態では、先の図２に示したように、バイパス経路Ｌβ及びダイオード５６をドライブユニットＤＵに備えた。こうした構成によれば、図５に示すように、時刻ｔ１においてＴｙｐｅ２の上下アーム短絡が生じる場合であっても、ゲート電圧Ｖｇｅが第１の端子Ｔ１の電圧Ｖｏｍ及びダイオード５６の順方向電圧降下量Ｖｆの加算値以上となる場合において、ゲートから第１，第２のコンデンサ５４ａ，５４ｂへとバイパス経路Ｌβを介して電流を流すことができる。このため、低電位側のスイッチング素子Ｓ￥ｎのゲート電圧Ｖｇｅの上昇を抑制することができる。そして、ゲート電圧Ｖｇｅの上昇を抑制しつつ、その後、ソフト遮断処理によって高電位側，低電位側のスイッチング素子Ｓ￥ｐ，Ｓ￥ｎを強制的にオフ状態に切り替えることができる。なお、図５は、先の図３に対応している。
【００４０】
以上詳述した本実施形態によれば、以下の効果が得られるようになる。

【００４１】
（１）絶縁電源の出力側及びスイッチング素子Ｓ￥＃のゲートをバイパス経路Ｌβによって接続するとともに、バイパス経路Ｌβにダイオード５６を設けた。そして、バイパス経路Ｌβのうちダイオード５６よりも絶縁電源の出力側に第１，第２のコンデンサ５４ａ，５４ｂの一端を接続し、これらコンデンサ５４ａ，５４ｂの他端をエミッタに接続した。こうした構成によれば、Ｔｙｐｅ２の上下アーム短絡が生じる場合であっても、フルオン状態とされたスイッチング素子のゲート電圧Ｖｇｅの上昇を好適に抑制することができる。これにより、スイッチング素子Ｓ￥＃の信頼性の低下を回避することができる。
【００４２】
特に、本実施形態では、バイパス経路Ｌβにおいて絶縁電源の出力側からゲートへと向かう方向の電流の流通をダイオード５６によって阻止することができる。このため、ゲートの充電処理が行われる場合において、バイパス経路Ｌβによってゲートが充電される事態を回避できる。これにより、ゲート電荷の充電速度が高くなることを回避でき、スイッチング素子Ｓ￥＃のオン状態への切り替えに伴い生じるサージ電圧が増大することを回避することもできる。
【００４３】
さらに、本実施形態では、ダイオード５６を用いることにより、駆動制御部５２による通電操作なしでＴｙｐｅ２の上下アーム短絡が生じる場合におけるゲート電圧Ｖｇｅの上昇を抑制することができる。
【００４４】
（２）バイパス経路ＬβのインピーダンスｒＬβを、充電経路ＬαのインピーダンスｒＬαよりも低く設定した。こうした構成によれば、帰還容量を介してゲートに流れ込んだ電流がバイパス経路Ｌβを流れる場合において、バイパス経路Ｌβにおける電圧降下量を小さくすることができる。このため、Ｔｙｐｅ２の上下アーム短絡が生じる場合におけるゲート電圧Ｖｇｅの上昇量をより好適に抑制することができる。
【００４５】
（３）ドライブユニットＤＵにおいて、ドライブＩＣ２６の外部にバイパス経路Ｌβを備えた。こうした構成によれば、バイパス経路Ｌβに電流が流通することによる発熱に起因して、ドライブＩＣ２６の信頼性が低下することを回避できる。
【００４６】
（第２の実施形態）
以下、第２の実施形態について、先の第１の実施形態との相違点を中心に図面を参照しつつ説明する。
【００４７】
図６に示すように、本実施形態では、ダイオードに代えて、ＰチャネルＭＯＳＦＥＴ（以下、接続用スイッチング素子５８）をバイパス経路Ｌβに設ける。接続用スイッチング素子５８は、駆動制御部５２によってオンオフ操作される。ここで、図６は、本実施形態にかかるドライブユニットＤＵ等の構成図である。なお、図６において、先の図２に示した部材と同一の部材については、便宜上、同一の符号を付している。
【００４８】
続いて、本実施形態にかかるゲートバイパス処理について説明する。この処理は、スイッチング素子Ｓ￥＃がフルオン状態とされる場合のみにおいて、バイパス経路Ｌβによってゲート及び第1，第２のコンデンサ５４ａ，５４ｂを接続するための処理である。
【００４９】
図７に、ゲートバイパス処理の手順を示す。この処理は、駆動制御部５２によって例えば所定周期で繰り返し実行される。なお、本実施形態にかかる駆動制御部５２は、ハードウェアであるため、図７に示す処理は、実際にはロジック回路によって実行される。
【００５０】
この一連の処理では、まずステップＳ１０において、操作信号ｇ￥＃がオン操作指令であるか否かを判断する。

【００５１】
ステップＳ１０において肯定判断された場合には、ステップＳ１２に進み、ゲート電圧Ｖｇｅが規定電圧Ｖβ以上であるか否かを判断する。ここで、本実施形態において、規定電圧Ｖβは、第１の端子Ｔ１の電圧Ｖｏｍよりもやや低い電圧（例えば１３～１４Ｖ）に設定されている。この処理は、スイッチング素子Ｓ￥＃がフルオン状態とされているか否かを判断するための処理である。
【００５２】
ステップＳ１２においてフルオン状態とされていないと判断された場合や、上記ステップＳ１０において操作信号ｇ￥＃がオフ操作指令であると判断された場合には、ステップＳ１４に進み、接続用スイッチング素子５８をオフ操作する。これにより、バイパス経路Ｌβにおいて、第１，第２のコンデンサ５４ａ，５４ｂ及びゲートの間がオフされる（開状態とされる）。
【００５３】
一方、上記ステップＳ１２において肯定判断された場合には、ステップＳ16に進み、接続用スイッチング素子５８をオン操作する。これにより、バイパス経路Ｌβにおいて、第１，第２のコンデンサ５４ａ，５４ｂ及びゲートの間がオンされる（閉状態とされる）。
【００５４】
なお、ステップＳ１４、Ｓ１６の処理が完了した場合には、この一連の処理を一旦終了する。
【００５５】
ちなみに、本実施形態において、接続用スイッチング素子５８をオンオフ操作する駆動制御部５２が「接続操作手段」を構成する。
【００５６】
以上説明した本実施形態では、接続用スイッチング素子５８のオン抵抗がダイオードの順方向電圧降下量よりも低い。このため、上記第１の実施形態の構成と比較して、バイパス経路Ｌβにおける電圧降下量をより小さくすることができる。これにより、Ｔｙｐｅ２の上下アーム短絡が生じる場合におけるゲート電圧Ｖｇｅの上昇量をいっそう抑制することができる。
【００５７】
（第３の実施形態）
以下、第３の実施形態について、先の第２の実施形態との相違点を中心に図面を参照しつつ説明する。
【００５８】
本実施形態では、バイパス経路の一部をドライブＩＣ２６内に備える構成を採用する。
【００５９】
図８に、本実施形態にかかるドライブユニットＤＵ等の構成を示す。なお、図８において、先の図６に示した部材と同一の部材については、便宜上、同一の符号を付している。
【００６０】
図示されるように、絶縁電源の出力側は、充電用抵抗体６０を介して第１の端子Ｔ１に接続されている。第１の端子Ｔ１は、ＰチャネルＭＯＳＦＥＴ（以下、充電用スイッチング素子６２）及び第２の端子Ｔ２を介してスイッチング素子Ｓ￥＃のゲートに接続されている。また、絶縁電源の出力側及び充電用抵抗体６０の接続点は、ドライブＩＣ２６の第１０の端子Ｔ１０を介して抵抗体６４の一端に接続されている。抵抗体６４の他端は、定電流電源６６を介してスイッチング素子Ｓ￥＃のエミッタに接続されている。なお、本実施形態において、絶縁電源の出力側から、充電用抵抗体６０、第１の端子Ｔ１、充電用スイッチング素子６２及び第２の端子Ｔ２を介してゲートに至る電気経路が「充電経路Ｌα」に相当する。
【００６１】
定電流電源６６及び抵抗体６４の接続点は、定電流用オペアンプ６８の非反転入力端子

に接続され、定電流用オペアンプ６８の反転入力端子は、第１の端子Ｔ１に接続されている。また、定電流用オペアンプ６８の出力端子は、充電用スイッチング素子６２のゲートに接続されている。こうした構成によれば、第１の端子Ｔ１の電位を、定電流電源６６及び抵抗体６４の接続点の電位に保持することができ、ゲートの充電電流を一定値とすることができる。すなわち、スイッチング素子Ｓ￥＃のゲートの充電を定電流制御にて行うことができる。

【００６２】

本実施形態では、ドライブＩＣ２６内において、第２の端子Ｔ２及び第１１の端子Ｔ１１が「接続手段」としての接続用スイッチング素子７０によって接続されている。第１１の端子Ｔ１１は、充電経路Ｌαのうち充電用抵抗体６０よりも絶縁電源の出力側に接続されている。ここで、本実施形態において、ゲートから第２の端子Ｔ２、接続用スイッチング素子７０及び第１１の端子Ｔ１１を介して絶縁電源の出力側に至る電気経路が「バイパス経路Ｌγ」を構成する。また、本実施形態では、充電経路Ｌα及びバイパス経路Ｌγの一部が共通化されている。

【００６３】

ちなみに、本実施形態では、上述したように、充電経路Ｌαに充電用抵抗体６０が設けられている。このため、バイパス経路ＬγのインピーダンスｒＬγが、充電経路ＬαのインピーダンスｒＬαよりも低く設定されている。

【００６４】

駆動制御部５２の充電処理は、操作信号ｇ￥＃がオン操作指令になったと判断された場合、放電用スイッチング素子３４をオフ操作し、また、定電流用オペアンプ６８に対してイネーブル信号を出力することで充電用スイッチング素子６２を操作する処理である。一方、放電処理は、操作信号ｇ￥＃がオフ操作指令になったと判断された場合、放電用スイッチング素子３４をオン操作に切り替え、また、上記イネーブル信号の出力を停止させることで充電用スイッチング素子６２をオフ操作に切り替える処理である。

【００６５】

なお、本実施形態にかかるゲートバイパス処理は、上記第２の実施形態の図７に示した処理と同様の処理により、接続用スイッチング素子７０をオンオフ操作することで行うことができる。

【００６６】

以上説明した本実施形態によれば、上記第1の実施形態で説明した（１），（２）の効果に加えて、以下の効果が得られるようになる。

【００６７】

（４）バイパス経路Ｌγの一部をドライブＩＣ２６内に備えた。このため、ドライブＩＣ２６の外部に素子を設ける必要がなくなる。これにより、ドライブユニットＤＵの省スペース化を図ることができ、ひいてはドライブユニットＤＵのコストの増大を回避することができる。

【００６８】

（第４の実施形態）

以下、第４の実施形態について、先の第１の実施形態との相違点を中心に図面を参照しつつ説明する。

【００６９】

本実施形態では、絶縁電源にシリーズレギュレータを備える。

【００７０】

図９に、本実施形態にかかるドライブユニットＤＵ等の構成を示す。なお、図９において、先の図２に示した部材と同一の部材については、便宜上、同一の符号を付している。

【００７１】

図示されるように、絶縁電源は、シリーズレギュレータ７２を備えている。シリーズレギュレータ７２は、バイポーラトランジスタ７２ａを備えている。詳しくは、バイポーラトランジスタ７２ａのコレクタは、電源用ダイオード２２及び電源用コンデンサ２４の接

続点に接続され、バイポーラトランジスタ７２ａのエミッタは、バイパス経路Ｌβの一端に接続されている。なお、本実施形態において、絶縁電源の出力側とは、絶縁電源においてバイポーラトランジスタ７２ａのコレクタ側のことである。

【００７２】

バイポーラトランジスタ７２ａは、駆動制御部５２によって操作される。駆動制御部５２は、シリーズレギュレータ７２の出力電圧を目標電圧（例えば１５Ｖ）に制御すべく、バイポーラトランジスタ７２ａを操作する。

【００７３】

続いて、シリーズレギュレータ７２を設けた技術的意義について説明する。

【００７４】

絶縁電源の出力電圧は変動し得る。この場合、ゲート電圧Ｖｇｅも変動する。ここで、Ｔｙｐｅ２の上下アーム短絡が生じる場合においてゲート電圧Ｖｇｅの変動によってゲート電圧Ｖｇｅが高くなると、短絡電流が更に増大することとなる。これに対し、シリーズレギュレータ７２を絶縁電源に備えることで、絶縁電源の出力電圧の変動を抑制することができる。このため、Ｔｙｐｅ２の上下アーム短絡が生じる場合において、スイッチング素子Ｓ¥＃の信頼性の低下をより好適に回避することができる。

【００７５】

（第５の実施形態）

以下、第５の実施形態について、先の第１の実施形態との相違点を中心に図面を参照しつつ説明する。

【００７６】

本実施形態では、ソフト遮断処理における短絡フィルタ時間Ｔｓｃを可変設定する。

【００７７】

図１０に、本実施形態にかかるソフト遮断処理の手順を示す。この処理は、駆動制御部５２によって例えば所定周期で繰り返し実行される。なお、本実施形態にかかる駆動制御部５２は、ハードウェアであるため、図１０に示す処理は、実際にはロジック回路によって実行される。

【００７８】

この一連の処理では、まずステップＳ２０において、ゲート電圧Ｖｇｅが規定電圧Ｖβ以上であるか否かを判断する。この処理は、スイッチング素子Ｓ¥＃がフルオン状態とされているか否かを判断するための処理である。

【００７９】

ステップＳ２０において否定判断された場合には、ステップＳ２２に進み、短絡フィルタ時間Ｔｓｃを第１の時間Ｔｓｃ１に設定する。

【００８０】

一方、上記ステップＳ２０において肯定判断された場合には、ステップＳ２４に進み、短絡フィルタ時間Ｔｓｃを、第１の時間Ｔｓｃ１よりも短い第２の時間Ｔｓｃ２に設定する。

【００８１】

ステップＳ２２、Ｓ２４の処理が完了した場合には、ステップＳ２６に進み、コンパレータ４８の出力信号Ｓｉｇの論理が短絡フィルタ時間Ｔｓｃ継続して「Ｈ」となったか否かを判断する。ステップＳ２６において肯定判断された場合には、ステップＳ２８に進み、ソフト遮断用スイッチング素子４４をオン操作に切り替えてかつ、充電用スイッチング素子２８、放電用スイッチング素子３４及びクランプ用スイッチング素子３６をオフ操作に切り替える。また、フェール信号ＦＬを出力する処理も行う。ちなみに、クランプ処理が終了している場合、本ステップにおいてクランプ用スイッチング素子３６をオフ操作に切り替える処理を行うことを要しない。

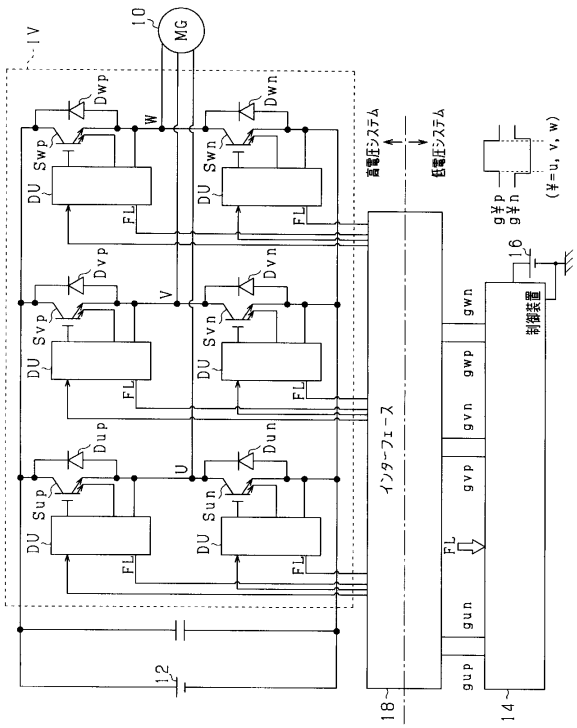
【００８２】

なお、上記ステップＳ２６において否定判断された場合や、ステップＳ２８の処理が完了した場合には、この一連の処理を一旦終了する。

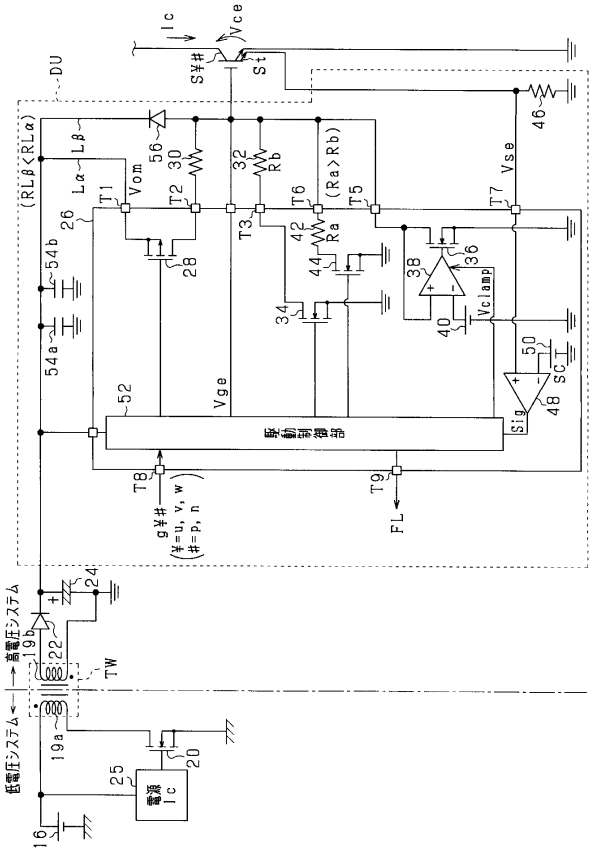
【００８３】
続いて、図１１及び図１２に、本実施形態にかかるソフト遮断処理の一例を示す。ここで、図１１及び図１２において、（ａ）はゲート電圧Ｖｇｅの推移を示し、（ｂ）はセンス電圧Ｖｓｅの推移を示し、（ｃ）はソフト遮断用スイッチング素子４４の操作状態の推移を示す。
【００８４】
まず、図１１を用いて、Ｔｙｐｅ１の上下アーム短絡が生じる場合におけるソフト遮断処理について説明する。
【００８５】
図示されるように、時刻ｔ１において、充電処理によってゲート電圧Ｖｇｅが上昇し始める。これにより、その後、コレクタ電流Ｉｃが上昇し始め、センス電圧Ｖｓｅも上昇し始める。
【００８６】
その後、時刻ｔ２において、ゲート電圧Ｖｇｅが短絡閾値ＳＣに到達したと判断されることで、コンパレータ４８の出力信号Ｓｉｇの論理が「Ｈ」になったと判断される。その後、上記出力信号Ｓｉｇの論理が第１の時間Ｔｓｃ１継続して「Ｈ」になっていると判断される時刻ｔ３において、ソフト遮断用スイッチング素子４４がオン操作に切り替えられる。これにより、スイッチング素子Ｓ＊＃が強制的にオフ状態に切り替えられる。
【００８７】
続いて、図１２を用いて、Ｔｙｐｅ２の上下アーム短絡が生じる場合におけるソフト遮断処理について説明する。
【００８８】
図示されるように、時刻ｔ１において、充電処理によってゲート電圧Ｖｇｅが上昇し始める。その後、時刻ｔ２において、ゲート電圧Ｖｇｅが所定電圧Ｖαに到達したと判断されることで、クランプ処理が開始される。クランク処理は、その後時刻ｔ３まで実行される。
【００８９】
クランプ処理が完了すると、スイッチング素子Ｓ￥＃がその後フルオン状態とされる。その後、時刻ｔ４において、ゲート電圧Ｖｇｅが短絡閾値ＳＣに到達したと判断されることで、コンパレータ４８の出力信号Ｓｉｇの論理が「Ｈ」になったと判断される。その後、上記出力信号Ｓｉｇの論理が第２の時間Ｔｓｃ２継続して「Ｈ」になっていると判断される時刻ｔ５において、ソフト遮断用スイッチング素子４４がオン操作に切り替えられる。これにより、スイッチング素子Ｓ＊＃が強制的にオフ状態に切り替えられる。
【００９０】
以上説明したように、本実施形態では、スイッチング素子Ｓ￥＃がフルオン状態とされる場合、短絡フィルタ時間Ｔｓｃを第１の時間Ｔｓｃ１から第２の時間Ｔｓｃ２に短縮した。このため、短絡電流が検出されてから極力早期にスイッチング素子Ｓ￥＃をオフ状態に切り替えることができる。これにより、スイッチング素子Ｓ￥＃の信頼性の低下をいっそう好適に回避することができる。
【００９１】
（その他の実施形態）
なお、上記各実施形態は、以下のように変更して実施してもよい。
【００９２】
・「接続用スイッチング素子」の操作手法としては、上記第２の実施形態に例示したものに限らない。例えば、駆動制御部５２に入力された操作信号ｇ￥＃がオン操作指令に切り替わってから一定時間経過後に接続用スイッチング素子５８をオン操作する手法を採用してもよい。
【００９３】
・上記第２，第３の実施形態において、「接続用スイッチング素子」としては、ＭＯＳＦＥＴに限らず、例えばバイポーラトランジスタであってもよい。

【００９４】
・「電流検出手段」としては、上記各実施形態に例示したものに限らない。例えば、コレクタ及びエミッタ間電圧Ｖｃｅを検出する電圧検出手段（電圧センサ）をドライブユニットに備え、電圧センサの検出値に基づきコレクタ電流を検出するものであってもよい。
【００９５】
・上記第１の実施形態において、「整流素子」としては、ダイオードに限らない。要は、ダイオードと同様の機能を有する素子であれば、他の素子であってもよい。
【００９６】
・「蓄電手段」としてのコンデンサの一端が接続される「基準電位を有する部位」としては、エミッタに限らない。例えば、駆動用電源の出力電位（第１の端子Ｔ１の電圧Ｖｏｍ）よりも高い電位を有する部位であってもよい。この場合であっても、基準電位の安定によってコンデンサの端子間電位差が安定していれば、Ｔｙｐｅ２の上下アーム短絡が生じる場合におけるゲート電圧Ｖｇｅの上昇を抑制することができる。
【００９７】
・バイパス経路に接続される「蓄電手段」としてのコンデンサの数は、２個に限らず、それ以外の個数であってもよい。また、「蓄電手段」としては、コンデンサに限らない。要は、電荷を蓄積可能であり、コンデンサと同様な機能を有する手段であれば、他の手段であってもよい。
【００９８】
・「駆動対象スイッチング素子」としては、ＩＧＢＴに限らず、例えばＭＯＳＦＥＴであってもよい。また、「駆動用電源」としては、絶縁電源に限らず、他の電源であってもよい。
【符号の説明】
【００９９】
２０…電圧制御用スイッチング素子、２２…電源用ダイオード、２４…電源用コンデンサ、ＴＷ…トランス、Ｓ¥＃…スイッチング素子、Ｌα…充電経路、Ｌβ…バイパス経路、５４ａ，５４ｂ…第１，第２のコンデンサ、５６…ダイオード。

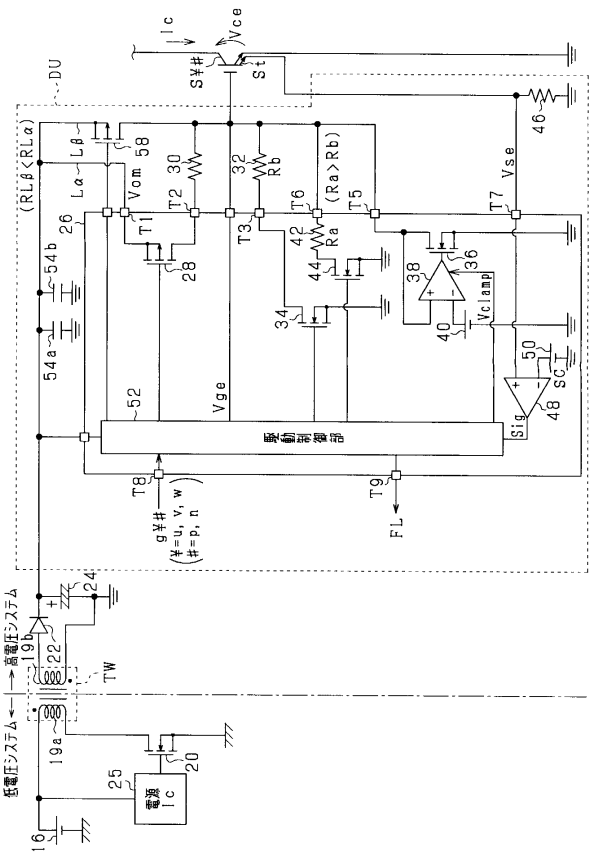
【図１】


IV
10
MG
DU
Sup
Dup
Svp
Dvp
Swp
Dwp
Sun
Dun
Svn
Dvn
Swn
Dwn
U
V
W
FL
12
高電圧システム
低電圧システム
インターフェース
18
14
16
制御装置
gup
gun
gvp
gvn
gwp
gwn
g¥p
g¥n
(¥=u, v, w)

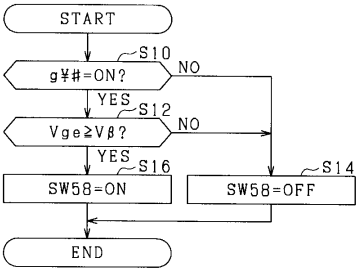
【図２】


DU
Ic
Vce
S¥#
St
(RLβ<RLα)
Lα
Lβ
Vom
T1
T2
T3
T5
T6
T7
T8
T9
(Ra>Rb)
Ra
Rb
Vse
Vge
Vclamp
Sig
SC
駆動制御部
g¥#
(¥=u, v, w)
(#=p, n)
FL
高電圧システム
低電圧システム
TW
電源
Ic

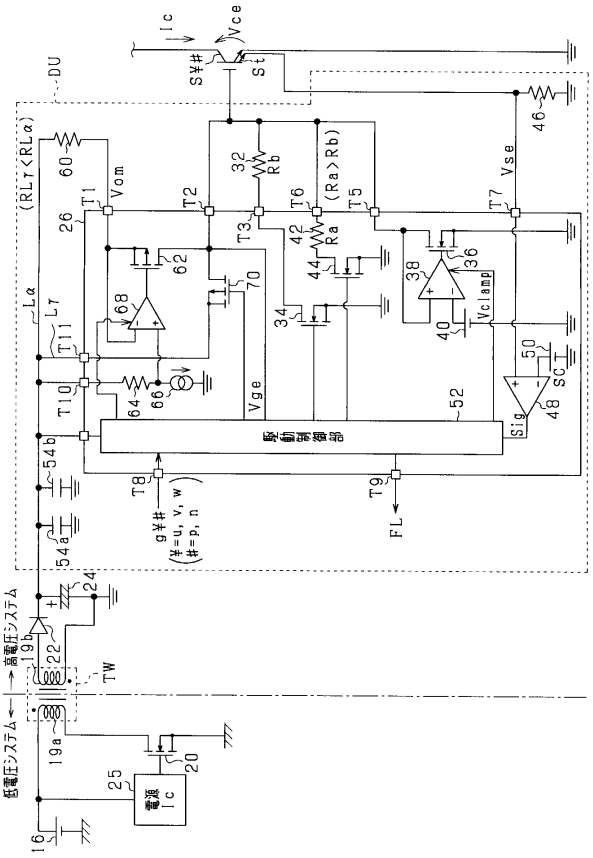
【図６】


DU
Ic
Vce
S¥#
St
(RLβ<RLα)
Lα
Lβ
Vom
T1
T2
T3
T5
T6
T7
T8
T9
(Ra>Rb)
Ra
Rb
Vse
Vge
Vclamp
Sig
SC
駆動制御部
g¥#
(¥=u, v, w)
(#=p, n)
FL
高電圧システム
低電圧システム
TW
電源
Ic

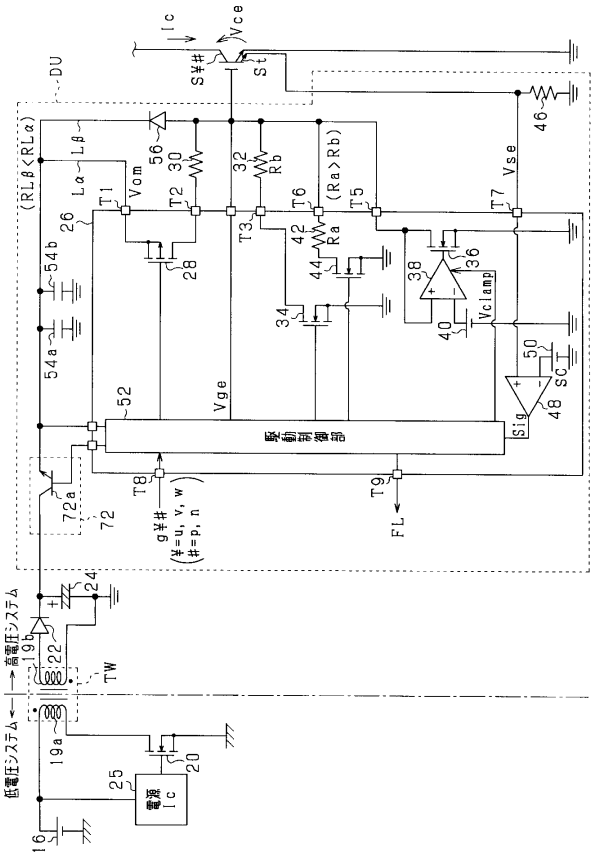
【図７】


START
S10
g¥#=ON?
NO
YES
S12
Vge≧Vβ?
NO
YES
S16
SW58=ON
S14
SW58=OFF
END

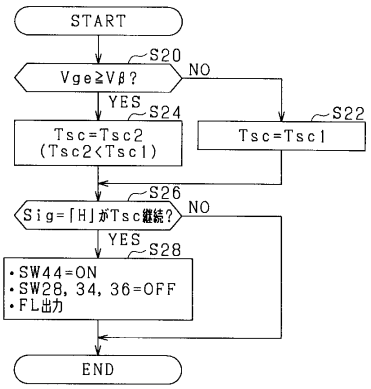
【図８】



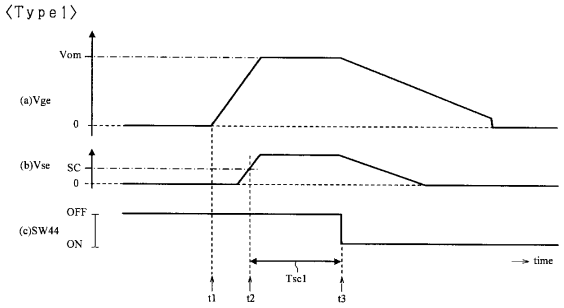
【図９】



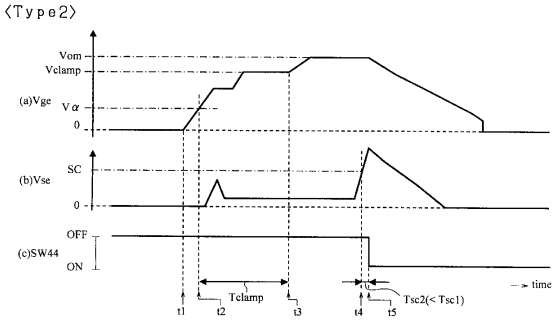
【図１０】



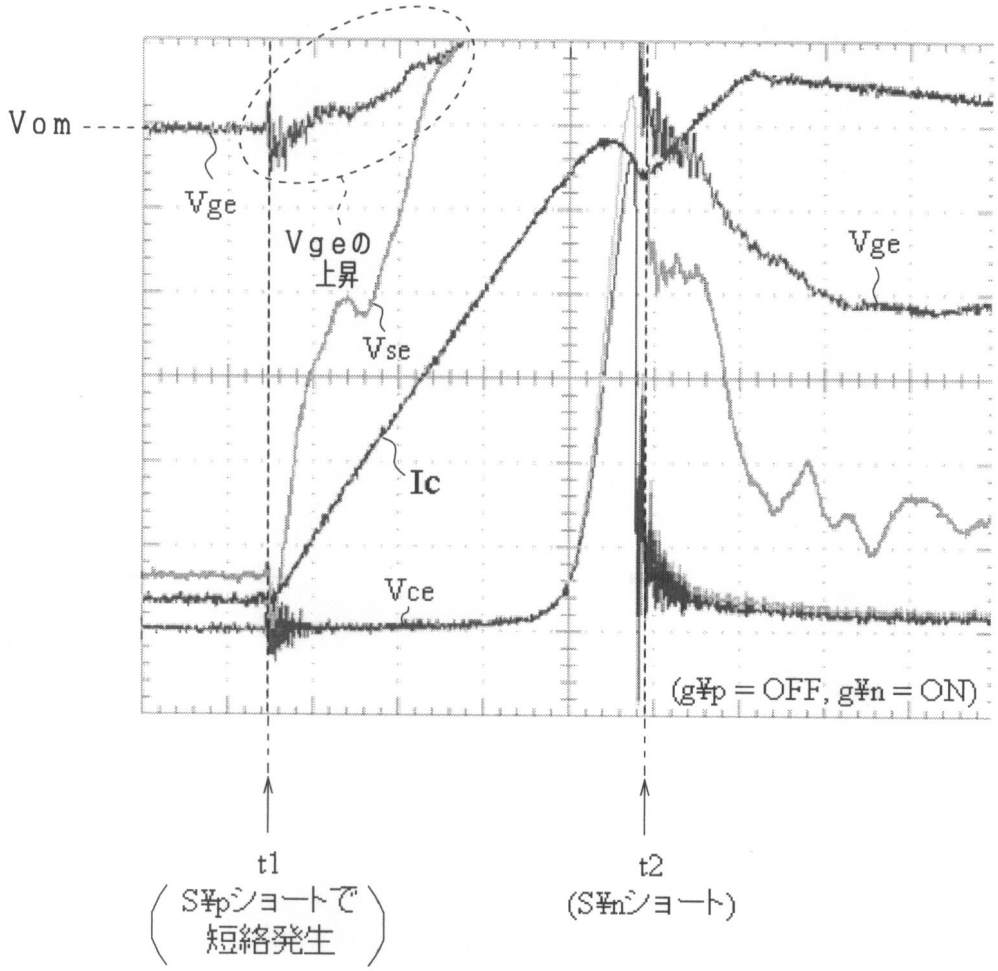
【図１１】



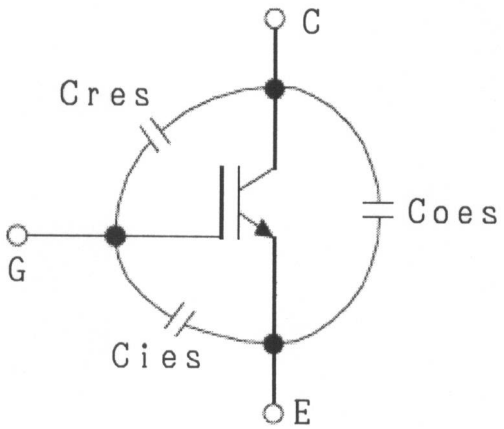
【図１２】



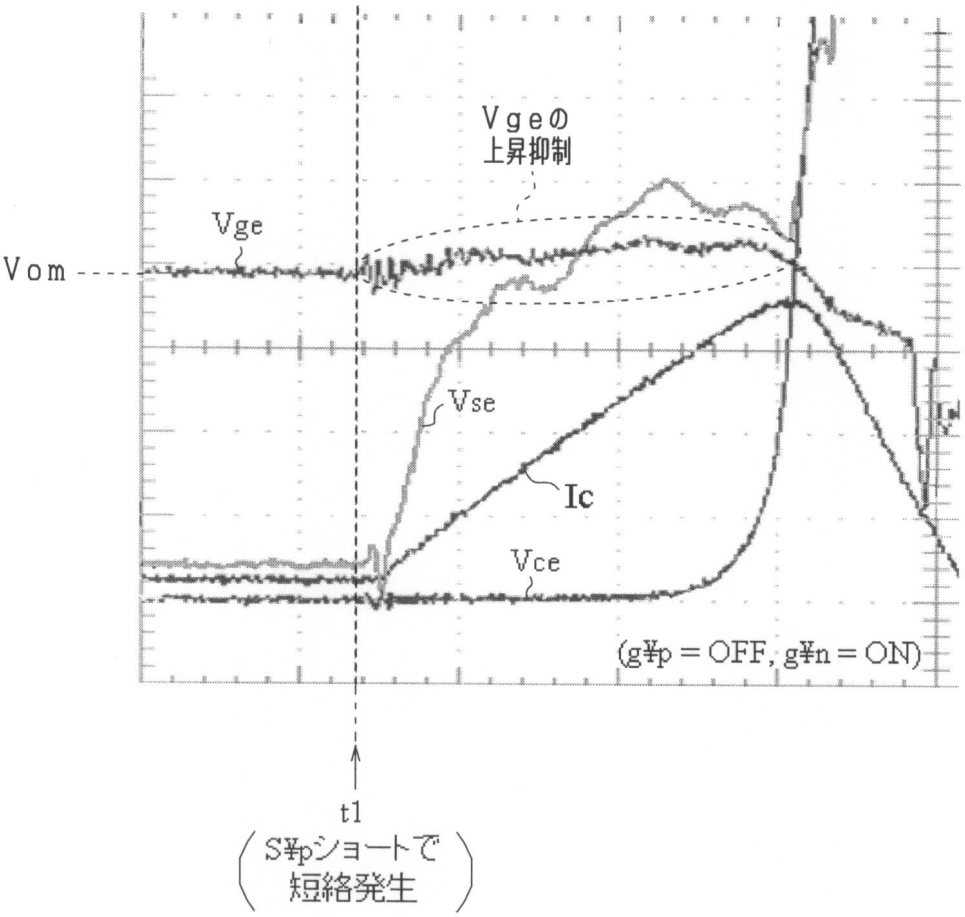
【図３】


Vom
Vge
Vgeの
上昇
Vse
Ic
Vce
Vge
(g¥p = OFF, g¥n = ON)
t1
(S¥pショートで
短絡発生)
t2
(S¥nショート)

【図４】


C
Cres
Coes
G
Cies
E

【図５】



フロントページの続き

(72)発明者　田口　正敏
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(72)発明者　前原　恒男
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

審査官　栗栖　正和

(56)参考文献　特開２０１２－１００４８９（ＪＰ，Ａ）
特開平０２－０５０５１８（ＪＰ，Ａ）
特開平０４－３３７９１９（ＪＰ，Ａ）
特開２００８－２１１７２１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｋ　１７／００－１７／７０
Ｈ０２Ｍ　７／４８