

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 美國 2000年09月28日 09/671,237 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

技術領域

本發明係關於電腦系統架構，更特定而言，係關於在一電腦系統中致能兩個圖形控制器以各自平行執行單一區塊轉換(BLT)部份之機構及方法。

背景

在電腦繪圖應用中最常用的操作之一為該區塊轉換(通常稱之為“BLT”或“像素BLT”)，其用來轉移一區塊的像素資料由一顯示記憶體的一圖形表面10的一部份(該“來源”12)到另一部份(該“目標”14)，如圖1所示。一系列的來源位址以一對應系列的目標位址來產生。來源資料(像素)係由該來源位址讀取，然後寫入該目標位址。除了簡單地轉移資料之外，一BLT操作也可執行對該來源資料(像素)的邏輯操作，及其它運算元(通常稱之為光柵操作，或ROP)。ROP及BLT係見於Foley, VanDam, Feiner及Hughes所著的“電腦繪圖原理及實行”，第二版，Addison-Wesley公司出版，1993年，56-60頁。BLT操作常用來產生或操控電腦系統中的影像，例如色彩轉換，影像拉伸及切除。配合BLT操作實施的ROP基本上藉由耦合來源及/或目標資料到一或多個邏輯電路來執行，其根據所請求的ROP指令來執行一邏輯操作。有許多種可能的ROP可用來結合來源資料，圖案及目標資料。請參見Richard F. Ferraro所著“EGA, VGA及Super VGA卡的程式師指引”，第三版，Addison-Wesley公司出版，1994年，707-712頁。除了標準的邏輯ROP，算術加法或減法，皆已經實施在電腦系統中。類似地，一常用的“視

五、發明說明(2)

窗”圖案，稱之為一刷子，除了目標資料之外也可被包含。該刷子圖案基本上為一配置在列中的像素的正方形，其做為背景而填入顯示螢幕上的視窗中。該刷子圖案可複製到該目標資料，或可以其它方式結合該目標資料，其係依據所指定的ROP形式。

BLT及相關的操作基本上係由特殊的電腦系統硬體來配合其它繪圖操作執行，例如一圖形控制器。執行BLT及相關操作的特殊硬體通常稱之為一繪圖引擎，其存在於該圖形控制器中。基本的BLT操作(具有一ROP)可包含通用步驟：由該來源12讀取來源資料到一暫時的資料儲存，其視需要由其位置讀取目標資料或其它運算元資料，對該資料執行ROP，及寫入該結果到該目標14。

該來源12及目標14可被允許重疊在一重疊區域16中，如圖2所示。但是在該BLT操作之前該來源像素及目標像素的數值必須用來計算該目標像素的新數值。換言之，在該BLT操作之後的繪圖表面10的狀態必須如同該結果先被計算及儲存到整個目標14的一暫時資料儲存中，然後複製到該目標14。

習用的電腦系統藉由複製該來源12的“前緣”到該目標14，來處理重疊來源12及目標14。因此，所有像素在被寫入成為目標14之前，讀取成一來源12。但是，如果一額外的圖形控制器被引用或嵌入先進繪圖應用的一既有電腦系統的擴充板中，同步及連貫性問題會存在於在相同表面上工作的圖形控制器，其僅來取得該正確的結果，即使效能

五、發明說明 (3)

不是一個問題。如果該操作被序列化來保證同時為來源及目標的像素在被寫入成為一目標之前被讀取成為一來源，則在一單一電腦系統中多個圖形控制器的效能優點將被降低。

因此，在一複合模型電腦系統中，對於多個圖形控制器存在一需要來建立適當的同步化，並可有效率地配置及共用為了連貫性的相同影像描寫工作，特別是在BLT及相關操作期間處理重疊的來源及目標區域。

圖式簡單說明

本發明的範例性具體實施例的更為完整的瞭解，及本發明許多附屬的好處，將可在配合所附圖面，並參考以下的詳細說明而更為瞭解，其中相同的參考符號代表相同或類似的元件，其中：

圖1所示為用以由一圖形表面上由一來源轉移一區塊的像素資料到一目標之範例性區塊轉換(BLT)操作；

圖2所示為由一圖形表面上由一來源轉移一區塊的像素資料到一目標之範例性區塊轉換(BLT)操作，其中在該來源及該目標之間有一重疊；

圖3所示為具有一範例性繪圖/多媒體平台的一範例性電腦系統的方塊圖；

圖4所示為根據本發明一具體實施例中具有包含一內部圖形控制器的主控晶片組之範例性電腦系統的方塊圖；

圖5所示為根據本發明一具體實施例中具有包含一內部圖形控制器及一外部圖形控制器之複合式主控晶片組之範例

五、發明說明 (4)

性電腦系統的方塊圖；

圖6所示為根據本發明一具體實施例中區分在一內部圖形控制器及一外部圖形控制器之間的一範例性圖形表面；

圖7所示為根據本發明一具體實施例中，用以致能兩個(內部及外部)圖形控制器以各自平行執行單一區塊轉換(BLT)部份之機構；及

圖8所示為根據本發明一具體實施例中，一範例性圖形控制器的方塊圖。

發明詳細說明

本發明可應用於所有形式的電腦系統，處理器，視訊來源及晶片組，其包含後續的晶片設計，其一併連結工作站，例如用於電腦繪圖應用之電腦，伺服器，週邊設備，儲存裝置，及消費電子裝置(CE)。但是，為了簡化起見，討論將主要集中在具有一多媒體繪圖引擎的一基本繪圖/多媒體平台架構之電腦系統，其平行執行來傳遞高效能的視訊能力，雖然本發明的範圍並不限於此。該名詞“圖形”可包含，但不限於電腦產生的影像，符號，自然及/或合成物件及景像的視覺代表，圖像及文字。

舉例而言，圖3所示為用以執行BLT操作的具有一基本繪圖/多媒體平台的範例性電腦系統100。如圖3所示，該電腦系統100(其可為通常稱之為一個人電腦或PC的系統)，其可包含一或多個處理器，或中央處理單元(CPU)110，例如Intel® i386，i486，Celeron™或Pentium®處理器，一經由一前端匯流排20連接到一或多個處理器110的記憶體控制器

五、發明說明 (5)

120，一經由一記憶體匯流排30連接到該記憶體控制器120的主記憶體130，一經由一圖形匯流排40連接到該記憶體控制器120的圖形控制器140（例如先進繪圖埠“AGP”匯流排），及連接到該記憶體控制器120的I/O控制器集線器（ICH）170，用以存取多個I/O裝置及類似者，例如：一週邊元件內連接（PCI）匯流排50。該PCI匯流排50可為一高效能32或64位元同步匯流排，其具有自動設置及多工位址，控制及資料線，如最新版的“PCI Local Bus Specification, Revision 2.1”所述，其由PCI Special Interest Group（SIG）提出於1995年6月1日，用於具有新視訊，網路，或磁碟記憶體儲存能力的附加配置（例如擴充卡）。

該圖形控制器140可用來執行BLT及相關的操作，用以控制在一顯示螢幕150（例如陰極射線管，液晶顯示器及平板顯示器）上的圖形及/或視訊影像的視覺顯示。一局部記憶體160（即一訊框緩衝器）可為專屬於圖形應用的獨立記憶體。這種局部記憶體160可耦合於該圖形控制器140，用以儲存來自該圖形控制器140的像素資料，一或多個處理器110，或其它在該電腦系統100中的裝置，用於在該顯示螢幕150上視訊影像的視覺顯示。

另外，該記憶體控制器120及該圖形控制器140可整合成一單一圖形及記憶體控制器集線器（GMCH），其包含專屬的平行執行之多媒體引擎，以傳遞高效能3D，2D及動畫的補償視訊能力。該GMCH可實施為一PCI晶片，例如像是Intel公司生產的PIIX4[®]及PIIX6[®]。此外，這種GMCH也可實施為

五、發明說明(6)

結合於一I/O控制器集線器(ICH)及一韌體集線器(FWH)之一主控晶片組之一部份，例如在Intel[®] 810及8XX系列晶片組。

圖4所示為一範例性電腦系統100，其包含這種主控晶片組200。該電腦系統100基本上包含圖3所示的相同元件，除了提供一高度整合三晶片方案的主控晶片組200，其包含一圖形及記憶體控制器集線器(GMCH) 210，一輸入/輸出(I/O)控制器集線器(ICH) 220，及一韌體集線器230(FWH)。

該GMCH 210在其中含有一內部圖形控制器212，用於圖形應用及視訊功能，並用於構成一或多個記憶體裝置與該系統匯流排20之介面。該GMCH 210的內部圖形控制器212可包含一3D(紋路映射)引擎(未示出)，用於執行多種3D繪圖功能，其包含產生代表3D物件的一光柵的2D顯示影像，及執行2D功能的繪圖引擎(未示出)，其包含區塊轉換(BLT)操作，其在一圖形表面上的記憶體位置之間轉移像素資料，一顯示視訊或圖形影像的顯示引擎(未示出)，及一輸出數位視訊信號的數位視訊輸出埠，並提供連接到傳統的顯示監視器150或新的節省空間數位平板顯示器(FPD)。

該GMCH 210可透過一記憶體匯流排30內連接到任何的主記憶體130，一局部記憶體160，一顯示監視器150，及透過一編碼器及一數位視訊輸出信號內連接到一電視(TV)。例如GMCH 120可為一Intel[®] 82810或82810-DC100晶片。該GMCH 120也做為通訊的橋或介面，或傳送在一或多個處理

五、發明說明(7)

器 110 及一或多個 I/O 裝置之間的信號，其連接到 ICH 220。

該 ICH 220 構成一或多個 I/O 裝置與 GMCH 210 的介面。FWH 230 連接到 ICH 220，並提供額外系統控制的韌體。該 ICH 220 例如可為一 Intel[®] 82801 晶片，而 FWH 230 例如可為一 Intel[®] 82802 晶片。

該 ICH 220 可連接到多種 I/O 裝置及類似者，例如：一週邊元件內連接 (PCI) 匯流排 50 (PCI Local Bus Specification Revision 2.2)，其可具有一或多個 I/O 裝置連接到 PCI 插槽 194，一工業標準結構 (ISA) 匯流排選項 196，及一區域網路 (LAN) 選項 198；一超級 I/O 晶片 192，用以連接到一滑鼠，鍵盤，及其它週邊裝置 (未示出)；一聲音編碼器/解碼器 (Codec) 及數據機 Codec；複數個泛用序列匯流排 (USB) 埠 (USB Specification, Revision 1.0)；及複數個 Ultra/66 AT Attachment (ATA) 2 埠 (X3T9.2 948D 規格；其通常稱之為整合驅動電子 (IDE) 埠)，用以接收一或多個硬式磁碟機或其它 I/O 裝置。

該 USB 埠及 IDE 埠可用來提供一介面到一硬碟機 (HDD) 及光碟唯讀記憶體 (CD-ROM)。I/O 裝置及一快閃記憶體 (如 EPROM) 也可連接到該主控晶片組的 ICH，用於擴充的 I/O 支援及功能。那些 I/O 裝置可包含像是一鍵盤控制器，用以控制一文數字鍵盤的操作，一游標控制裝置，例如一滑鼠，軌跡球，觸控板，搖桿等，一大量儲存裝置，例如磁帶，硬碟機 (HDD)，及軟碟機 (FDD)，及序列與平行埠到列表機與掃描機。該快閃記憶體可經由一低腳位數 (LDC) 匯流排

五、發明說明 (8)

連接到該主控晶片組的ICH。該快閃記憶體可儲存一組系統基本輸入/輸出啟動(BIOS)程序來啟動電腦系統100。該超級I/O晶片192可提供一個與其它I/O裝置群組的介面。

在圖3及4中所示的一範例性電腦系統的具體實施例中，圖3的圖形控制器140，或圖4的內部圖形控制器212可單獨用於圖形應用，其包含控制“BLT”及相關的操作來由一圖形表面的一部份(來源)的一區塊像素資料到另一個部份(目標)。當在該來源及目標之間有一重疊時，如圖2所示，圖3的圖形控制器140或圖4的內部圖形控制器212被用來先複製該重疊區域的“前緣”。舉例而言，與該來源12成直角的該行像素可先複製到該目標14的右緣，然後再複製該行像素到右側等。因此，所有的像素係在寫入成為一目標14之前，讀取成為一來源12。

但是，如果一額外的圖形控制器240及相關的局部記憶體260被加入或嵌入到一既有電腦系統的擴充板(如PCI插槽194)，如圖5所示，其用於先進的及加速的圖形應用，及用以減少處理BLT操作的時間，不僅是該圖形表面10需要在該內部(主控)圖形控制器212及該外部(遠端)圖形控制器240之間共用來用於BLT及相關的操作，如圖6所示，但也會造成該內部(主控)圖形控制器212及該外部(遠端)圖形控制器240之間的同步及連貫性問題。

舉例而言，該額外圖形控制器240可為，但不必要是隨插即用的裝置。此外，該第二圖形引擎也可從開始即建構在該系統中，例如在一工作站產品中。所有本發明能夠實用

五、發明說明(9)

所需要的是該系統具有兩個繪圖引擎，其執行彼此非同步的BLT操作。換言之，當該兩個繪圖引擎可使用一共用時脈，因此可在時脈層次同步運作，每個繪圖引擎並不具有該進度的詳細知識，而其它則用來執行一指令，或甚至可能是在一指令表列中的進度。同步及連貫性問題僅是因為有兩個獨立的繪圖引擎共同執行該BLT操作而造成。類似地，BLT操作可執行地較快，如果使用兩個繪圖引擎，而非僅存在或使用一個繪圖引擎。

圖6所示為一棋盤型式之圖形表面10的範例性配置，其在該內部(主控)繪圖控制器212及該外部(遠端)圖形控制器240之間共用，用以執行BLT及相關的操作。該內部(主控)圖形控制器212及主控局部記憶體160可被指定來管理所有不規則的棋盤區域。類似地，該外部(遠端)圖形控制器240及遠端局部記憶體260可被指定來管理並未不規則的棋盤區域，或反之亦然。該棋盤型式緊用來說明該內部(主控)圖形控制器212及該外部(遠端)圖形控制器240之間工作的區分。其它像是雜混型式的型式也可使用，只要該圖形表面10被區分在該內部圖形控制器212及該外部圖形控制器240之間。

當一BLT操作要在一“水平”區域中對一給定的來源像素執行時，其可結合於在一“垂直”區域中的目標，或反之亦然。在這種狀況下，必須決定那一個圖形控制器212及240可執行此像素的BLT操作。其可選擇一目標導向的政策，其中該圖形控制器負責該圖形表面10的區域，其包含負責

五、發明說明 (12)

憶體甚至可在兩個(內部及外部)圖形控制器之間共用。但是，各自的刻寫板需要是獨立的。

因為該圖形表面10被區分在該內部(主控)圖形控制器212及外部(遠端)圖形控制器240之間，每個該圖形控制器212及240可由該來源讀取遠端像素到各自的刻寫板(SP) 162及262。換言之，每個該圖形控制器212及240可掃描相同的來源12，決定所有在該來源12中的不為局部的像素，其需要到其它的圖形控制器，並由其它圖形控制器的局部記憶體取得那些像素。

特別是，在BLT操作開始時，每個圖形控制器掃描該來源，例如長方形，以決定那些像素為遠端，由遠端局部記憶體複製那些遠端來源像素到該局部刻寫板(SP)。視需要地，僅有那些亦為目標像素的遠端來源像素需要被複製，藉此降低合作時的負擔。舉例而言，如果該來源及目標並未重疊，BLT可進行，而不需要初始複製到該刻寫板(SP)。該內部(主控)圖形控制器212接著掃描該來源12，找出在該來源12中所有需要來計算該目標14的像素，其包含所有那些位在該遠端局部記憶體260中的像素，其附著於該外部(遠端)圖形控制器240，並傳送一請求來製作所有那些遠端來源像素的複本到該主控刻寫板(SP) 162，如圖7的步驟1所示。類似地，該外部(遠端)圖形控制器240也掃描相同的來源長方形12，找出在該來源12中所有需要來計算該目標14的像素，其包含所有那些位在該主控局部記憶體160中的像素，其附著於該內部(主控)圖形控制器212，並傳送

五、發明說明 (14)

其它圖形控制器也已經完成計算目標14所需要的遠端來源像素的複製。因此，圖形控制器212或240可更新任何其目標像素，其為其它圖形控制器240或212的來源。任何為一圖形控制器的目標像素，而不為其它圖形控制器的來源者，皆可在任何時間被更新。

在圖7的步驟3中，圖形控制器212或240可用於該遠端來源像素，其可為那些儲存在局部記憶體160及260中的像素，或複製到各自局部記憶體160及260的該刻寫板(SP)162及262的像素，以計算該目標14的新值，然後將該目標14寫在一圖形表面10上。來自該遠端圖形記憶體的像素可以在其被包含在該目標時來使用。舉例而言，該內部(主控)圖形控制器212可用於該來源像素，其為那些儲存在局部記憶體160中的像素，或複製到該局部記憶體160的刻寫板(SP)162之像素，以計算該目標像素，以一個像素一個像素的基礎來掃描與該目標14由一圖形表面10上的該來源12移動之相反方向。舉例而言，如果該來源12向右及向上移動到目標14，如圖6所示，該內部(主控)圖形控制器212可由左上角開始掃描，然後向下及向左掃描像素。類似地，如果該來源12向上移動超過該目標14，該內部(主控)圖形控制器212可先垂直掃描，然後向左移動。

在如圖2所示的該來源12及目標14之間重疊的事件中，該重疊區域的問題可簡單地由共同掃描技術來解決，其僅注意一特殊的方向，其中該目標14已經相對於該來源12移動，並以相反的方向掃描該來源長方形。因此，在該內部

五、發明說明 (15)

(主控)圖形控制器212及該外部(遠端)圖形控制器240之間的同步及連貫性問題可以較佳地消除。

圖8所示為根據本發明一具體實施例，一範例性圖形控制器212或240，及相關的局部記憶體160或260的方塊圖。如圖8所示，該圖形控制器212或240可包含一局部記憶體控制器310，其控制存取到局部記憶體160或260，一3D(紋路映射)引擎312，其執行多種3D繪圖功能，其包含由3D物件的代表產生一光柵式2D顯示影像，一繪圖BLT引擎314，其執行2D功能，其包含BLT及相關的操作來在一圖形表面10上的記憶體位置之間轉移像素資料，一顯示引擎316，其控制視訊或圖形影像的視覺顯示，一路由器318，其與一作業系統(OS)及隨插即用裝置互動，以轉移請求到局部記憶體160或260的記憶體位址，以執行BLT及相關的操作，一指令解碼器320，其解碼使用者指令，其包含BLT指令及進行控制的線程到該局部記憶體控制器310及所有不同的引擎312，314及316，及一介面322，其提供通訊或信號介面到一或多個處理器110，或由一或多個處理器110接收，其係透過一AGP匯流排40。

該繪圖BLT引擎314可用來在該指令解碼器320的控制之下來請求及執行BLT及相關操作的請求。一BLT操作的請求可導向到一路由器318，其具有能力來轉移該請求到一記憶體位址，其為該電腦系統100的唯一位址空間的一部份。該記憶體位址可代表該局部記憶體160或260中一些特定的記憶體位址，其附著在該圖形控制器212或240，或在該電腦系

五、發明說明(17)

構成遠端來源像素的一刻寫板複本，進行一同步寫入及執行BLT與相關的動作。因此，本發明並不限於所揭示的不同範例性具體實施例，而是本發明包含所有位在所附申請專利範圍內的所有具體實施例。

四、中文發明摘要(發明之名稱：致能二個圖形控制器以各自平行執行單一區塊) 轉換部份之機構及方法

一種用來共用繪圖及視訊功能的具有多個圖形控制器之電腦系統，其各自包含平行執行單一區塊轉換“BLT”運作部份，以由一來源轉移一區塊的像素資料到一圖形表面上的目標；及多個連接到該圖形控制器的局部記憶體，並用來以配置給不同圖形控制器之指定的圖案儲存一來源的像素資料，其中每個包含一刻寫板，其在請求來執行一單一BLT運作時，用以儲存該來源的所有像素資料，其位在由另一個圖形控制器控制的區域中，並由其它的局部記憶體複製。

英文發明摘要(發明之名稱：MECHANISM AND METHOD FOR ENABLING TWO GRAPHICS CONTROLLERS TO EACH EXECUTE A PORTION OF A SINGLE BLOCK TRANSFORM (BLT) IN PARALLEL)

A computer system having multiple graphics controllers configured to share graphics and video functions, including each executing a portion of a single block transform "BLT" operation in parallel to transfer a block of pixel data from a source to a destination on a graphics surface; and multiple local memories connected to the graphics controllers and configured to store pixel data of a source in a designated pattern allocated to different graphics controllers, wherein each includes a scratch pad for storing, upon request to execute a single BLT operation, all pixel data of the source that are in regions controlled by another graphics controller and copied from the other local memory.

圖 1

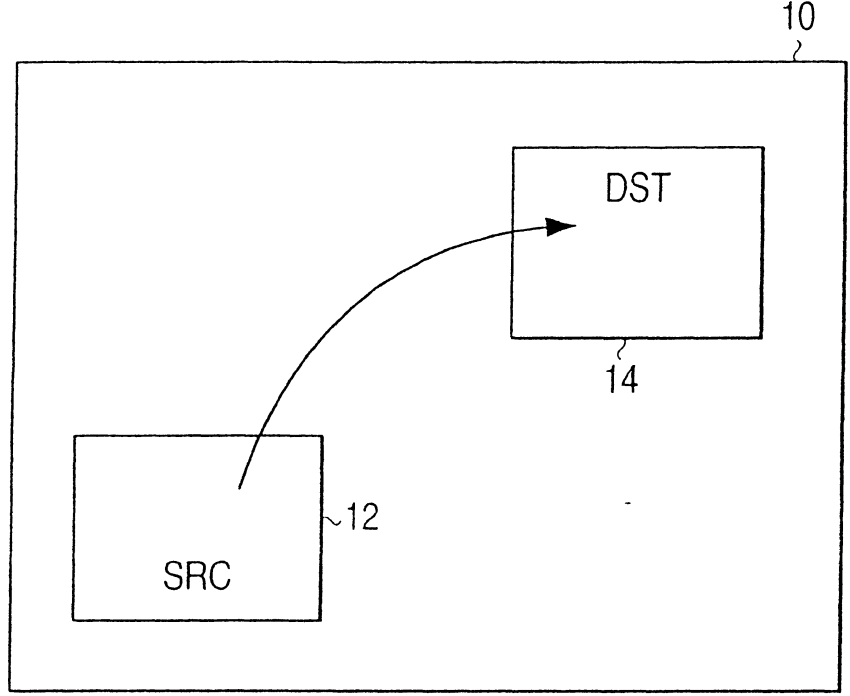
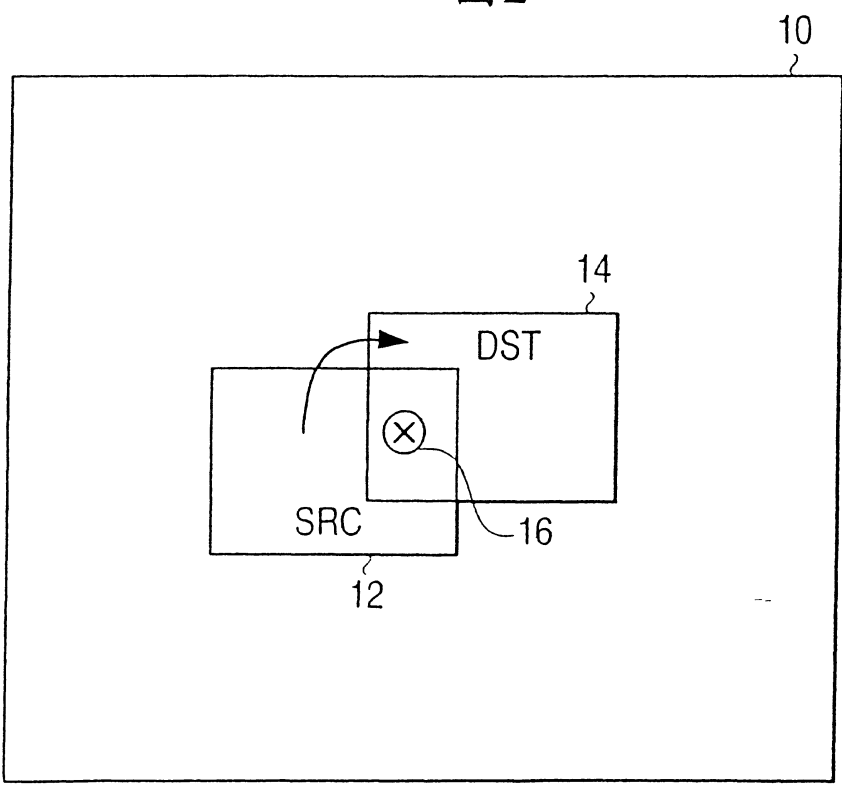


圖 2



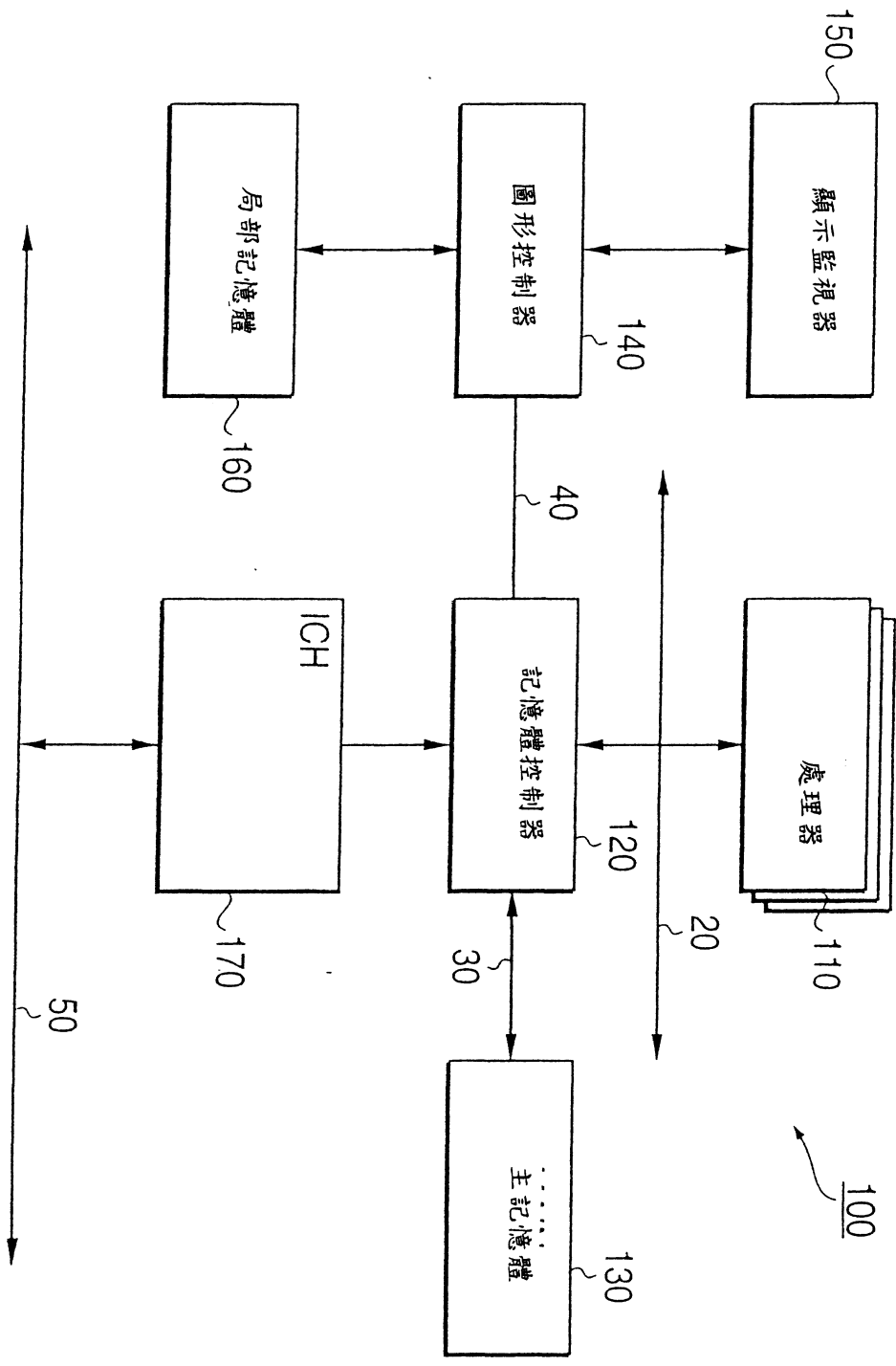


圖 3

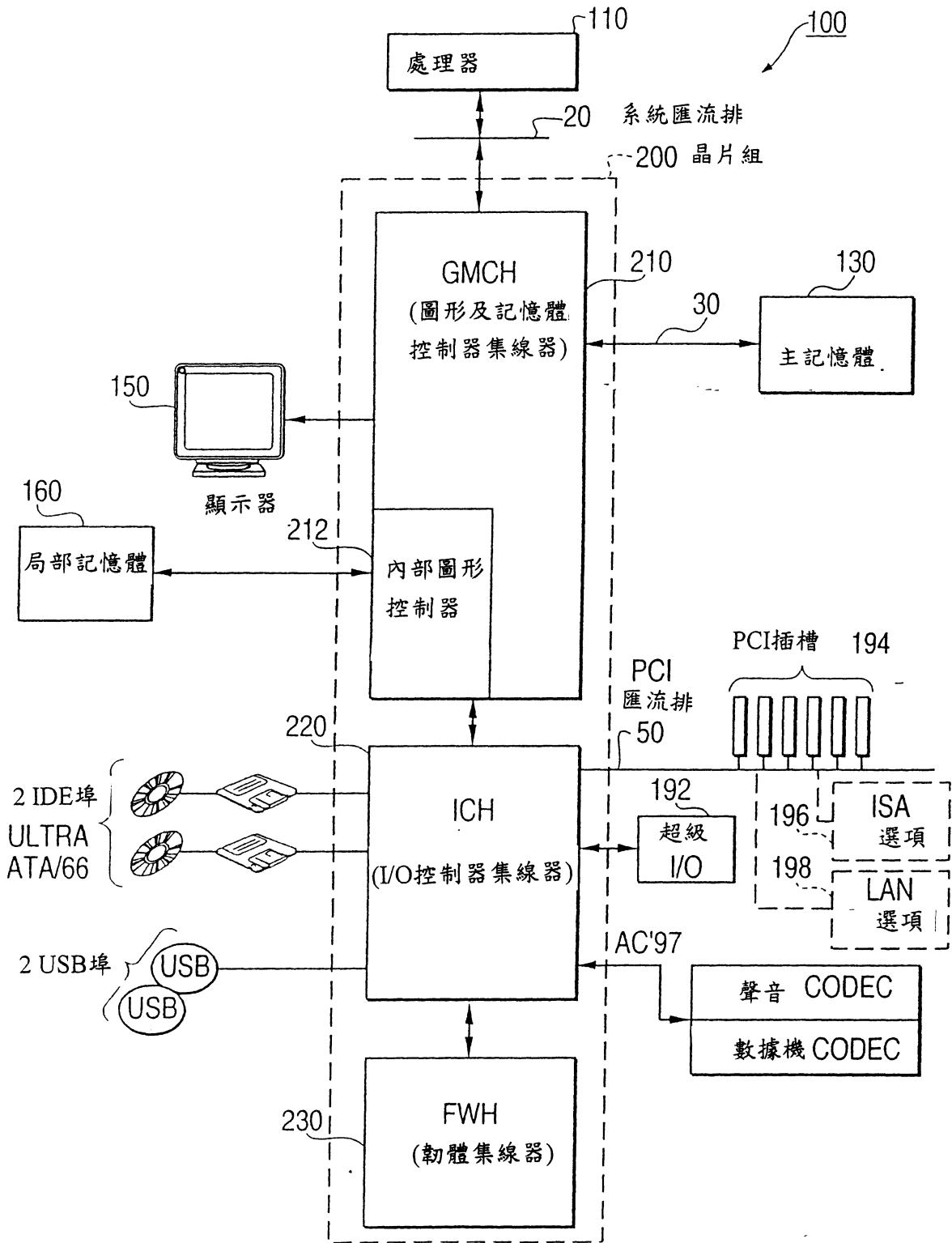


圖 4

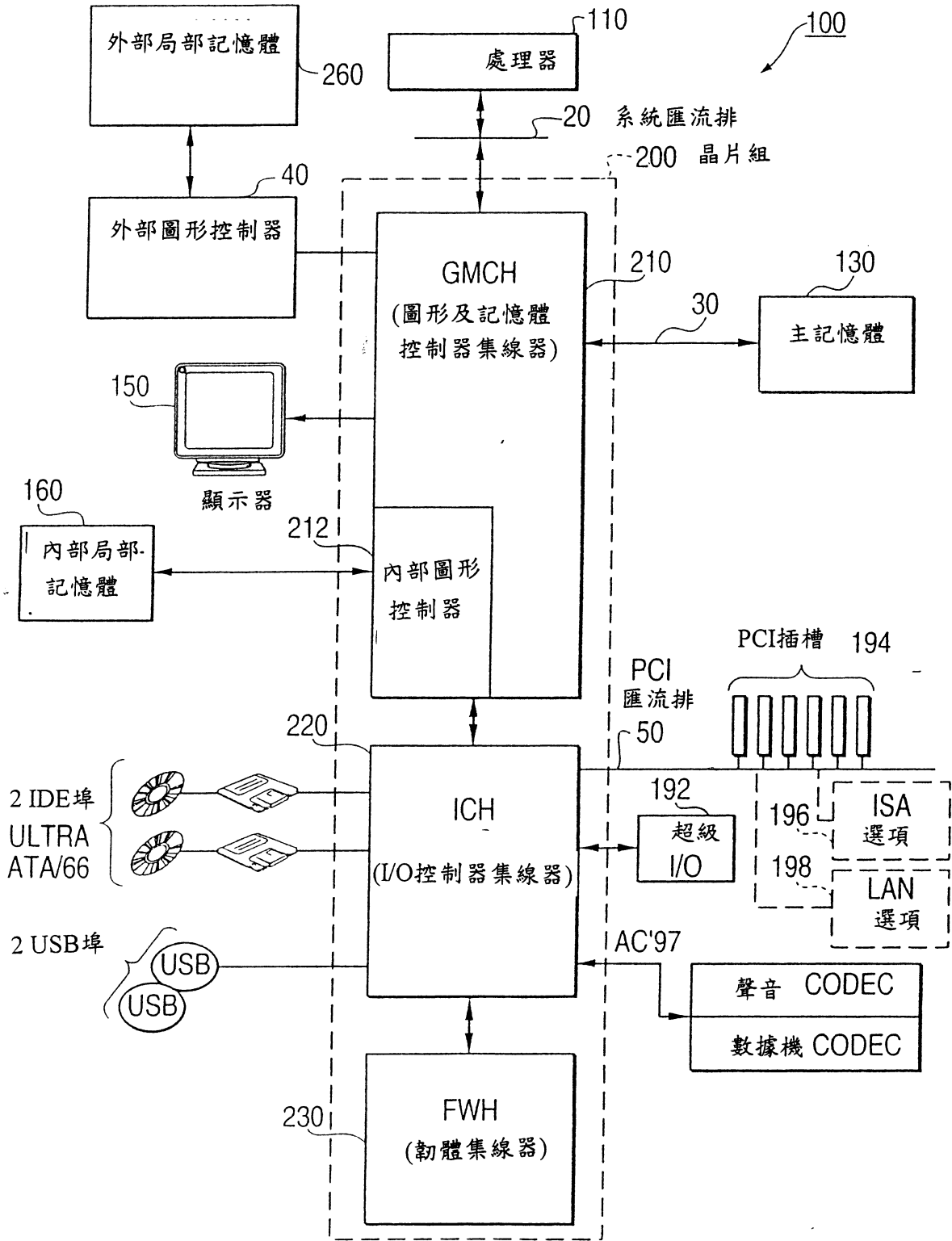


圖5

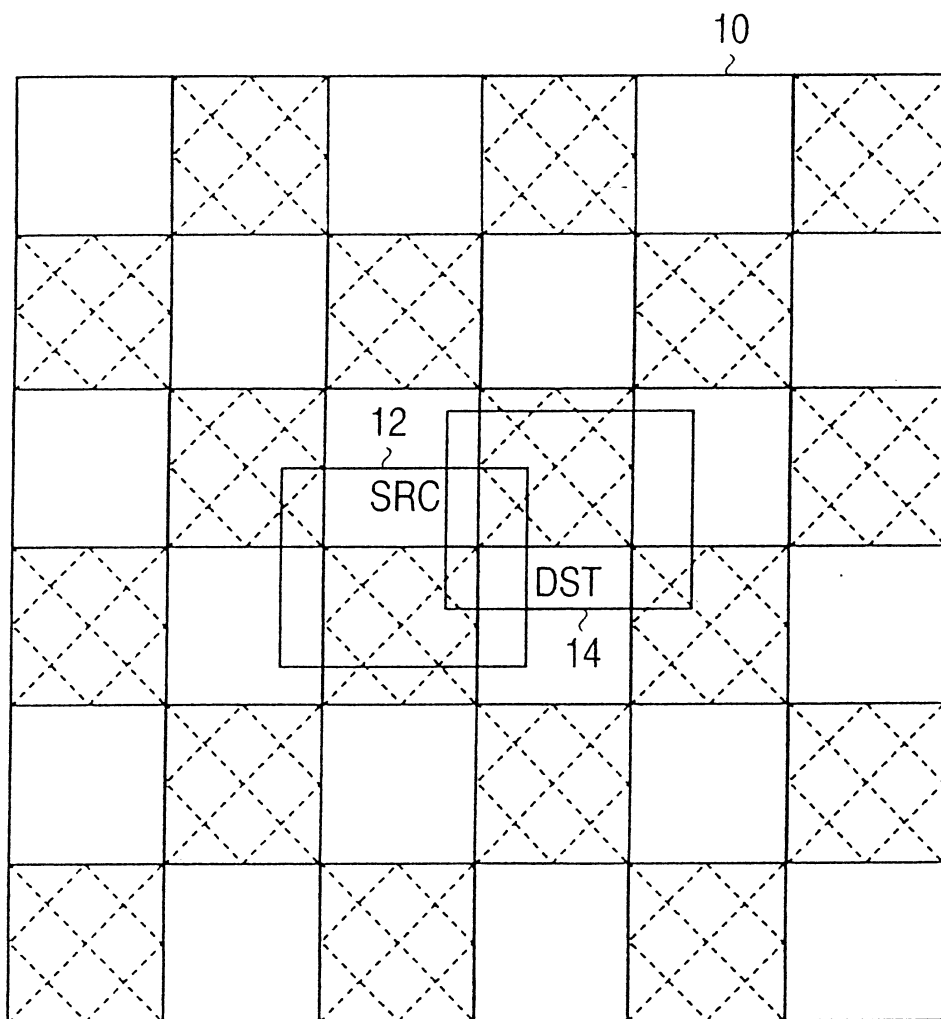


圖6

圖7

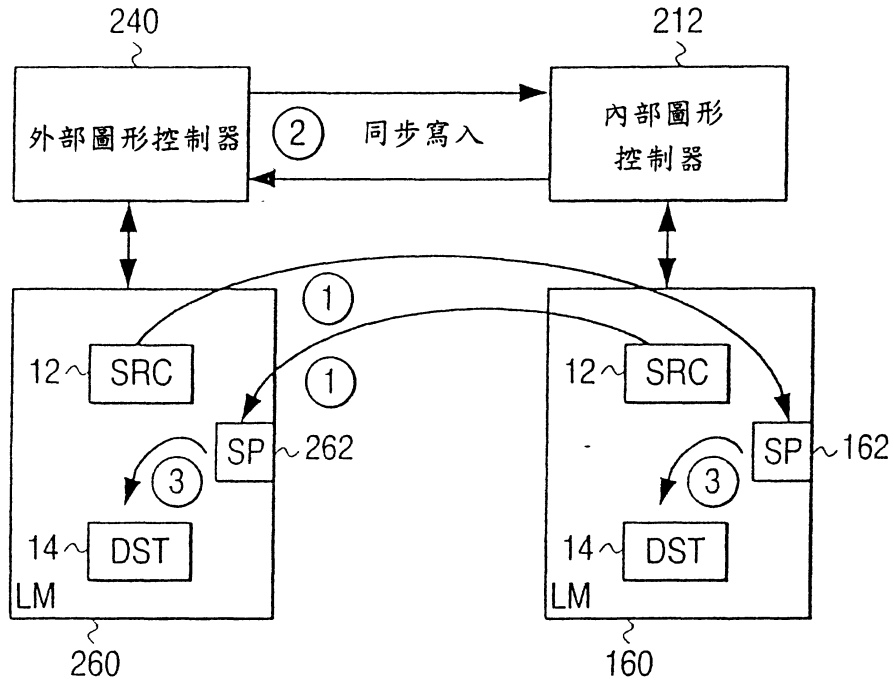
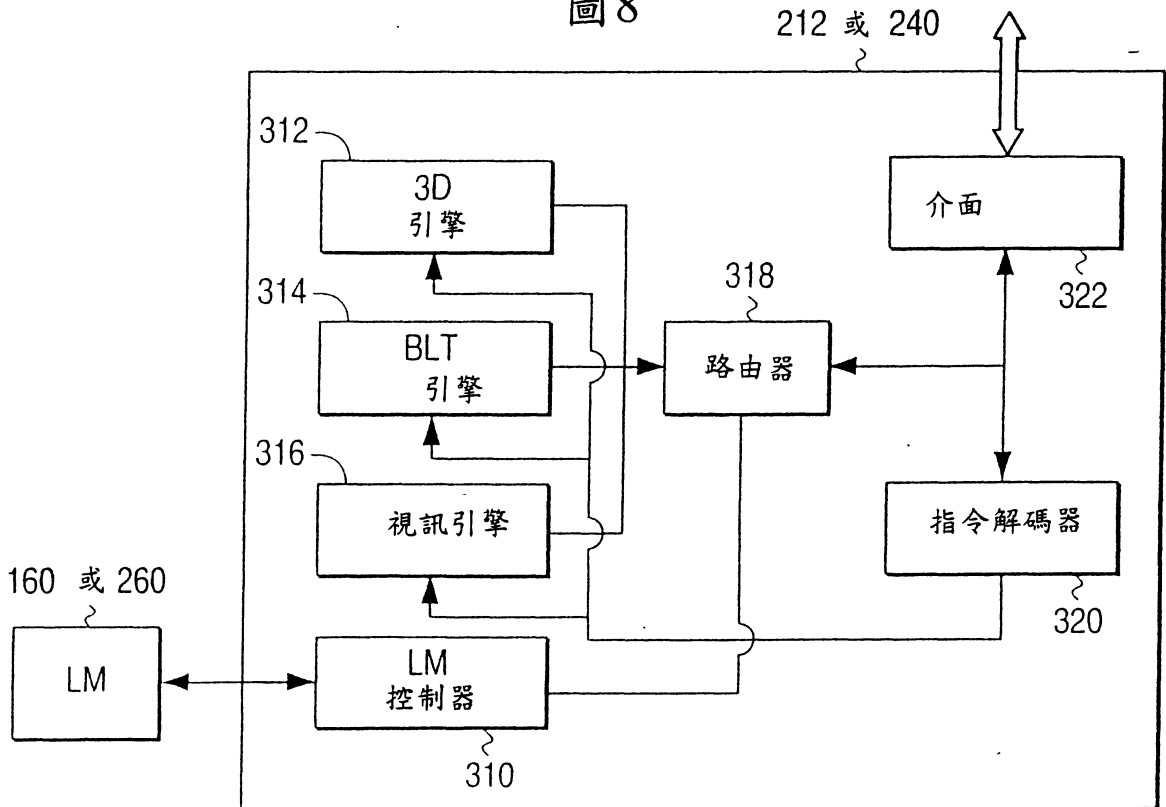


圖8



91 3 26

申請日期	90.9.28
案 號	90124151
類 別	G096/00

A4
C4

541507

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明名稱	中 文	致能二個圖形控制器以各自平行執行單一區塊轉換部份之機構及方法
	英 文	MECHANISM AND METHOD FOR ENABLING TWO GRAPHICS CONTROLLERS TO EACH EXECUTE A PORTION OF A SINGLE BLOCK TRANSFORM (BLT) IN PARALLEL
二、發明人	姓 名	布萊恩 K. 藍根朵夫 BRIAN K. LANGENDORF
	國 籍	美國
	住、居所	美國加州班尼西亞市山派斯路272號
三、申請人	姓 名 (名稱)	美商英特爾公司 INTEL CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	湯姆士 C. 雷納德 THOMAS C. REYNOLDS

裝
訂
線

五、發明說明 (10)

來執行該像素的BLT操作之目標像素。但是，同步及連貫性問題仍然存在，不論該像素被區分成多少。

其具有BLT操作，其中一像素對於外部圖形控制器240的一目標，及內部圖形控制器212的一來源。外部圖形控制器240不能寫入該像素，直到這個像素已經由內部圖形控制器212讀取。類似的狀況會發生在像素為內部圖形控制器212的目標，及外部圖形控制器240的來源。如果該操作被序列化來保證像素同時為來源12及目標14在寫入成為一目標之前被讀取成為一來源，然後在該複合模型電腦系統100中多個圖形控制器212及240的效能好處將無效果。

現在參考圖7，所示為根據本發明的一具體實施例之方法及機構，在一複合模型電腦系統100中致能兩個(內部及外部)圖形控制器212及240以各自平行執行一單一BLT操作部份。一般而言，每個圖形控制器212或240首先複製在由其它圖形控制器240或212控制的區域中的所以來源像素，並代表該複本已經完成的其它。一般而言，一圖形控制器212或240必須發信已經完成的複本之其它的圖形控制器240或212。傳送此資訊的可能方式包含：1)寫入到其它圖形控制器中一記憶體映射的I/O位置；2)寫入的位置可傳達該資訊，而寫入的資料值並無意義；3)寫入的位置可具有數種用途，而寫入的數值代表該BLT複本同步化為其所傳達的；4)寫入到其它圖形控制器可以查詢的一實際記憶體位置；5)主張一特殊信號來發信已經完成複本的其它圖形控制器；及6)在一匯流排(例如PCI或AGP匯流排)上傳送一私有的特殊循環。

五、發明說明 (11)

然後每個圖形控制器212或240必須等待一同步寫入，其係在其開始更新任何其目標像素之前，而其為其它圖形控制器240或212的來源。任何為一圖形控制器212或240的目標之像素，而不為其它圖形控制器240或212的來源者，其可在任何時候被更新。因此，該兩個(內部及外部)圖形控制器212及240及一複合模型電腦系統100中各自的局部記憶體160及260，其能夠建立適當的同步化，並有效率地為了連貫性配置及共用相同的影像繪製工作，特別是在BLT及相關操作期間來重疊來源及目標區域時。

如圖7所示，該機構700可包含該內部圖形控制器212及該外部圖形控制器240，及各自的局部記憶體160及260。該內部(主控)圖形控制器212具有其本身的局部記憶體160，其包含一刻寫板(SP)162，其為一組記憶體位址，用來儲存自該外部(遠端)圖形控制器240複製的像素資料，及來源12及目標14的記憶體區域。類似地，該外部(遠端)圖形控制器240具有其本身的局部記憶體260，其包含一刻寫板(SP)262，其為一組記憶體位址，用來儲存自該外部(遠端)圖形控制器212複製的像素資料，及來源12及目標14的記憶體區域。另外，該刻寫板162及262可位在該系統的任何地方，不僅是在各自的局部記憶體160及260。舉例而言，該刻寫板可為於晶片上，在主記憶體130中(見圖3)，及在其它圖形控制器的局部記憶體。所有需要的是其為專屬於BLT持續時間內的目的。此儲存甚至可用於其它的目的，當其並未執行一聯合的BLT時。此外，專屬於繪圖的單一局部記

五、發明說明 (13)

一請求來製作所有那些遠端來源像素的複本到該主控刻寫板(SP) 262，如圖7的步驟1所示。該內部(主控)圖形控制器212及外部(遠端)圖形控制器240皆可由該來源讀取遠端像素到各自的刻寫板(SP) 162及262，其順序皆可，或是同時。

在該內部(主控)圖形控制器212及外部(遠端)圖形控制器240完成複製遠端來源像素到各自的刻寫板(SP) 162及262之後，一同步寫入可進行在該內部(主控)圖形控制器212及外部(遠端)圖形控制器240中，來代表該複本已經在步驟2中完成。舉例而言，當該內部(主控)圖形控制器212完成複製該遠端來源像素到其局部記憶體160的刻寫板(SP) 162時，該內部(主控)圖形控制器212在該外部(遠端)圖形控制器240進行一同步寫入。類似地，當該外部(遠端)圖形控制器240完成複製該遠端來源像素到其局部記憶體260的刻寫板(SP) 262時，該外部(遠端)圖形控制器240在該內部(主控)圖形控制器212進行一同步寫入。同步寫入可代表一記憶體循環來讀取及/或寫入像素資料到局部記憶體。直到該同步寫入發生時，圖形控制器212及240才會進行BLT操作，但是，這種同步寫入可被略過，如果該來源及目標並未重疊時。整個機構僅在該來源及該目標重疊時才需要引用。該機構可為了簡化而為每個BLT皆引用，其代價為造成一些不必要的負擔(複製到刻寫板及同步寫入)之效能降低。

在接收的該同步寫入時，圖形控制器212或240皆已經完成了計算目標14所需要的遠端來源像素的複製，其亦知道

92. 5. 13
年 月 日
五、發明說明(16)
修正
補充

統100中不同的記憶體位置。如果該記憶體位址代表在該局部記憶體160或260中特定的記憶體位置，則該路由器318可導向該記憶體位址來經由該局部記憶體控制器310存取該局部記憶體160或260。另外，如果該記憶體位址代表在該電腦系統100中不同的記憶體位置，則該路由器318可經由該介面322來導向該記憶體位址。

特別是，該繪圖BLT引擎314可掃描在該局部記憶體160或260處的該來源12，找出所有需要來計算該目標14的來源像素，並傳送一請求來完成複製所有的來源像素到該局部記憶體中160或260。然後該繪圖BLT引擎314可等待一同步寫入，代表該複製已經完成，藉以計算目標14像素，並以參考圖7所述的方式來將該目標14寫在該圖形表面10上。

如前所述，本發明較佳地是提供了在一電腦系統中，具有適當同步化及連貫性地致能兩個圖形控制器來各自平行地執行一單一BLT操作的一部份之機構及方法，特別是當在該BLT操作期間處理重疊的來源及目標區域。

當此處已說明及描述了視為本發明之範例性具體實施例，本技藝的專業人士及技術發展者將可瞭解到，在不背離本發明的真實範圍之下，可進行許多改變及修正，及其亦可用相同的東西來取代其元件。許多的修正已構成來調整本發明的原理到一特殊的狀況，而不會超出其範圍。舉例而言，致能兩個圖形控制器來各自平行執行一單一BLT操作部份之機構也可用軟體模組，或綜合的硬體/軟體模組來實施，其具有一驅動器軟體用來在各自的圖形控制器中

六、申請專利範圍

年 月 日

修正
補充

1. 一種繪圖機構，其包含：

第一及第二圖形控制器，用於共用繪圖及視訊功能，其包含各自平行執行一區塊轉換“BLT”操作部份來由一來源轉移一區塊的像素資料到一顯示螢幕的圖形表面上的一目標；

一連接到該第一及第二圖形控制器之記憶體裝置，其用於以一指定的圖案來儲存在該圖形表面上該來源的像素資料，其係配置給該第一圖形控制器及該第二圖形控制器；及

刻寫板，其各自用於在請求來執行該BLT操作時，儲存位在由其它圖形控制器所控制區域中，並由該記憶體裝置所複製的該來源之所有像素資料。

2. 如申請專利範圍第1項之繪圖機構，其中該記憶體裝置包含：

一第一局部記憶體，其連接到該第一圖形控制器，並用來以一指定的圖案來儲存在該圖形表面上該來源的像素資料，其係配置給該第一圖形控制器；及

一第二局部記憶體，其連接到該第二圖形控制器，並用來以該指定的圖案來儲存在該圖形表面上該來源的像素資料，其係配置給該第二圖形控制器。

3. 如申請專利範圍第2項之繪圖機構，其中該刻寫板係包含在各自的第一及第二局部記憶體中，用以在請求來執行BLT操作時儲存在由其它圖形控制器所控制的區域中，及由其它局部記憶體複製的該來源之所有像素資

六、申請專利範圍

料。

4. 如申請專利範圍第1項之繪圖機構，其中該BLT操作包含對該來源的像素資料之邏輯運算，及其它的運算元，以取得在該圖形表面上的該目標之像素資料。
5. 如申請專利範圍第2項之繪圖機構，其中該BLT操作包含對該來源的像素資料之邏輯運算，及其它的運算元，以取得在該圖形表面上的該目標之像素資料。
6. 如申請專利範圍第1項之繪圖機構，其中該第一圖形控制器被整合在一晶片組中，而該第二圖形控制器係嵌入在先進繪圖應用之擴充卡中。
7. 如申請專利範圍第6項之繪圖機構，其中該第一及第二圖形控制器每個皆包含一BLT繪圖引擎，其用來執行BLT及相關的操作。
8. 如申請專利範圍第6項之繪圖機構，其中每個該第一及第二圖形控制器首先複製由其它圖形控制器所控制區域中的該來源之所有像素資料到各自的刻寫板，進行一同步寫入到其它的圖形控制器來代表已經完成該複製，並在接收到來自其它圖形控制器之同步寫入時，開始更新為其它圖形控制器的來源之該目標的任何像素資料。
9. 如申請專利範圍第8項之繪圖機構，其中該第一及第二圖形控制器的任何一個可在任何時間更新不為其它圖形控制器之來源的該目標之任何像素資料。
10. 如申請專利範圍第8項之繪圖機構，其中該第一及第二圖形控制器皆可計算該目標之一新值，其使用在該指定

六、申請專利範圍

圖案中該來源的像素資料，其係分別配置給該第一及第二圖形控制器，或被複製的該來源之像素資料，並將該目標寫到該指定圖案的圖形表面上。

11. 如申請專利範圍第8項之繪圖機構，其中該第一及第二圖形控制器各自皆包含：

一局部記憶體控制器，其控制存取到各自的局部記憶體；

一3D(紋路映射)引擎，其執行不同的3D繪圖功能，其包含由3D的物件代表產生一光柵式2D顯示影像；

一繪圖BLT引擎，其執行2D功能，其包含BLT及相關的操作來在一圖形表面上的記憶體位置之間轉移像素資料；

一顯示引擎，其控制視訊或圖形影像的視覺顯示；

一路由器，其耦合於該局部記憶體控制器，該3D引擎，該繪圖BLT引擎，及該顯示引擎，其與一作業系統(OS)互動，以轉移請求到局部記憶體的記憶體位址，用以執行該BLT操作；

一指令解碼器，其解碼使用者指令，其包含BLT指令，並進行控制線程到該局部記憶體控制器，該3D引擎，該繪圖BLT引擎，及該顯示引擎；及

一介面，其提供通訊或信號介面到一或多個處理器，或由一或多個處理器接收。

12. 如申請專利範圍第1項之繪圖機構，其中該圖形表面的該指定圖案對應於具有該棋盤的1/2之棋盤，其配置給

六、申請專利範圍

該第一圖形控制器，而該棋盤的另外1/2則配置給該第二圖形控制器。

13. 一種電腦系統，其包含：

一或多個處理器；

一具有一顯示螢幕的顯示監視器；

一連接到該一或多個處理器之晶片組，並包含一內部圖形控制器，其處理在該顯示監視器上的一視覺顯示之視訊資料，及一附著於該內部圖形控制器之局部記憶體；及

一外部圖形控制器，及經由一擴充卡耦合於該晶片組之一局部記憶體，用來與該晶片組的該內部圖形控制器共用繪圖及視訊功能，其包含平行執行一區塊轉換"BLT"操作部份來由一來源轉移一區塊的像素資料到該顯示螢幕的一圖形表面上的目標；

其中該內部及外部圖形控制器之每個局部記憶體係用來以一指定的圖案儲存該圖形表面上該來源的像素資料，其係配置給各自的圖形控制器，並包含一刻寫板，其在請求來執行該BLT操作時用以儲存由其它圖形控制器控制的區域中，並由其它局部記憶體複製的該來源之所有像素資料。

14. 如申請專利範圍第13項之電腦系統，其中該BLT操作包含對該來源的像素資料之邏輯運算，及其它的運算元，以取得在該圖形表面上的該目標之像素資料。

15. 如申請專利範圍第13項之電腦系統，其中該內部及外部

六、申請專利範圍

圖形控制器各自皆包含一BLT繪圖引擎，其用來執行BLT及相關的操作。

16. 如申請專利範圍第13項之電腦系統，其中該內部及外部圖形控制器各自首先複製由其它圖形控制器所控制區域中的該來源之所有像素資料到各自的刻寫板，進行一同步寫入到其它的圖形控制器來代表已經完成該複製，並在接收到來自其它圖形控制器之同步寫入時，開始更新為其它圖形控制器的來源之該目標的任何像素資料。
17. 如申請專利範圍第16項之電腦系統，其中該內部及外部個圖形控制器的任何一個可更新在任何時間不為其它圖形控制器之來源的該目標之任何像素資料。
18. 如申請專利範圍第17項之電腦系統，其中該內部及外部個圖形控制器的任何一個皆可計算該目標的一新值，其使用在該指定圖案中該來源的像素資料，其係分別配置給該內部及外部圖形控制器，或被複製的該來源之像素資料，並將該目標寫到該指定圖案的圖形表面上。
19. 如申請專利範圍第18項之電腦系統，其中該內部及外部圖形控制器各自皆包含：
 - 一局部記憶體控制器，其控制存取到各自的局部記憶體；
 - 一3D（紋路映射）引擎，其執行不同的3D繪圖功能，其包含由3D的物件代表產生一光柵式2D顯示影像；
 - 一繪圖BLT引擎，其執行2D功能，其包含BLT及相關的操作來在一圖形表面上的記憶體位置之間轉移像素資

六、申請專利範圍

料；

一顯示引擎，其控制視訊或圖形影像的視覺顯示；

一路由器，其耦合於該局部記憶體控制器，該3D引擎，該繪圖BLT引擎，及該顯示引擎，其與一作業系統(OS)互動，以轉移請求到局部記憶體的記憶體位址，用以執行該BLT操作；

一指令解碼器，其解碼使用者指令，其包含BLT指令，並進行控制線程到該局部記憶體控制器，該3D引擎，該繪圖BLT引擎，及該顯示引擎；及

一介面，其提供通訊或信號介面到一或多個處理器，或由一或多個處理器接收。

20. 如申請專利範圍第13項之電腦系統，其中該圖形表面的該指定圖案對應於具有該棋盤的1/2之棋盤，其配置給該內部圖形控制器，而該棋盤的另外1/2則配置給該外部圖形控制器。

21. 一種在一電腦系統中執行多個圖形控制器來平行執行一區塊轉換“BLT”操作部份之方法，其包含：

致能每個圖形控制器，在接收到一請求來執行該BLT操作時，即由一來源轉移一區塊的像素資料到一指定圖案的圖形表面上之目標，用以複製由其它圖形控制器所控制區域中的所有來源像素到一局部記憶體；

致能每個圖形控制器來進行一同步寫入，以代表已完成該複製；及

致能每個圖形控制器在由其它圖形控制器接收該同步

六、申請專利範圍

寫入時，以更新其它圖形控制器的來源之任何的目標像素，並執行該BLT操作。

22. 如申請專利範圍第21項之方法，其中該BLT操作包含對該來源的像素資料之邏輯運算，及其它的運算元，以取得在該圖形表面上的該目標之像素資料。
23. 如申請專利範圍第21項之方法，其中該多個圖形控制器之任何一個可在任何時間更新不為其它圖形控制器之來源的該目標之任何像素資料。
24. 如申請專利範圍第21項之方法，其中該圖形表面的該指定圖案對應於具有該棋盤的1/2之棋盤，其配置給一個圖形控制器，而該棋盤的另外1/2則配置給另一圖形控制器。