

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5608317号
(P5608317)

(45) 発行日 平成26年10月15日(2014.10.15)

(24) 登録日 平成26年9月5日(2014.9.5)

(51) Int.Cl.

F I

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 5 1

H O 1 L 27/108 (2006.01)

H O 1 G 4/12 4 2 4

H O 1 G 4/12 (2006.01)

H O 1 G 4/12 4 2 7

C 2 3 C 16/40 (2006.01)

H O 1 G 4/12 4 3 0

C 2 3 C 16/40

請求項の数 12 (全 19 頁)

(21) 出願番号 特願2008-57719(P2008-57719)
 (22) 出願日 平成20年3月7日(2008.3.7)
 (65) 公開番号 特開2009-218263(P2009-218263A)
 (43) 公開日 平成21年9月24日(2009.9.24)
 審査請求日 平成22年11月15日(2010.11.15)

(73) 特許権者 513192281
 ビーエスフォー ルクスコ エスエイアー
 ルエル
 P S 4 L u x c o S . a . r . l .
 ルクセンブルク大公国エルー 2 1 2 1、ル
 クセンブルク、ヴァル デ ボン マラデ
 ス 2 0 8
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (72) 発明者 清村 貴利
 東京都中央区八重洲 2 - 2 - 1 エルピー
 ダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 キャパシタ用電極及びその製造方法、半導体装置

(57) 【特許請求の範囲】

【請求項 1】

互いに対向する第 1 面及び第 2 面を有するキャパシタ用電極を備えたキャパシタであって、

前記第 1 面は誘電体膜に接し、

前記キャパシタ用電極は $SrRuO_3$ 膜から構成され、第 1 面からその厚み方向に所定の距離だけ離れた位置から第 2 面側の領域中に、10 at m % 以下の 3 価の元素を含有することを特徴とするキャパシタ。

【請求項 2】

前記 3 価の元素が La であることを特徴とする請求項 1 に記載のキャパシタ。

10

【請求項 3】

前記所定の距離が 0.5 ~ 2 nm の範囲であることを特徴とする請求項 1 又は 2 に記載のキャパシタ。

【請求項 4】

請求項 1 ~ 3 の何れか 1 項に記載のキャパシタを備えた半導体装置であって、

前記キャパシタは、

キャパシタ用電極を 2 つと、

2 つの前記キャパシタ用電極間に、各キャパシタ用電極の前記第 1 面に接するように設けられた誘電体膜と、

を備えたことを特徴とする半導体装置。

20

【請求項 5】

前記誘電体膜の比誘電率が 40 以上であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記誘電体膜は、 SrTiO_3 、 TiO_2 、 La_2O_3 、 Y_2O_3 、 HfO_2 、 ZrO_2 及び(Ba , Sr) TiO_3 からなる群から選択された少なくとも一種の酸化物を含むことを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 7】

前記キャパシタに保持されている電荷の状態によってデータの記憶を行うことを特徴とする請求項 4 ~ 6 の何れか 1 項に記載の半導体装置。

10

【請求項 8】

下記工程 (a) および (b) によりキャパシタ用電極を形成する工程と、

(a) ALD 法を用いて、10 atm% 以下の濃度の 3 価の元素を含有する SrRuO_3 膜を形成する工程と、

(b) 前記 3 価の元素を含有する SrRuO_3 膜上に、ALD 法を用いて 3 価の元素を含有しない SrRuO_3 膜を形成する工程と、

前記 SrRuO_3 膜に接するように、キャパシタ用電極中の 3 価の元素を含有しない誘電体膜を形成する工程と、

を有することを特徴とする キャパシタ の製造方法。

20

【請求項 9】

前記 (a) 工程の 3 価の元素が La であることを特徴とする請求項 8 に記載の キャパシタ の製造方法。

【請求項 10】

前記 (b) 工程で形成する 3 価の元素を含有しない SrRuO_3 膜の膜厚が 0.5 ~ 2 nm であることを特徴とする請求項 8 又は 9 に記載の キャパシタ の製造方法。

【請求項 11】

キャパシタ の製造方法であって、

下記工程 (1) および (2) によりキャパシタ用電極を形成する工程と、

(1) ALD 法を用いた下記 (A) ~ (L) の一連の工程を複数回、繰り返すことにより、10 atm% 以下の濃度の 3 価の元素を含有する SrRuO_3 膜を形成する工程と

30

(2) 前記工程 (1) の後に、ALD 法を用いた下記 (A) ~ (H) の一連の工程を複数回、繰り返すことにより、3 価の元素を含有しない SrRuO_3 膜を形成する工程と

前記 SrRuO_3 膜に接するように、キャパシタ用電極中の 3 価の元素を含有しない誘電体膜を形成する工程と、

を有することを特徴とする キャパシタ の製造方法。

(A) Ru 原料ガスを供給して Ru 膜を成膜する工程、

(B) 前記 Ru 原料ガスをパージする工程、

(C) O_2 ガス及び O_3 ガスのうち少なくとも一方からなるガス A を供給して前記 Ru 膜の熱酸化処理を行う工程、

40

(D) 前記ガス A をパージする工程、

(E) Sr 原料ガスを供給して Sr 膜を成膜する工程、

(F) 前記 Sr 原料ガスをパージする工程、

(G) O_2 ガス及び O_3 ガスのうち少なくとも一方からなるガス B を供給して前記 Sr 膜の熱酸化処理を行う工程、

(H) 前記ガス B をパージする工程、

(I) La 原料ガスを供給して La 膜を成膜する工程、

(J) 前記 La 原料ガスをパージする工程、

(K) O_2 ガス及び O_3 ガスのうち少なくとも一方からなるガス C を供給して前記 La 膜の熱酸化処理を行う工程、

50

(L) 前記ガスCをパージする工程。

【請求項12】

前記工程(2)で形成する3価の元素を含有しない SrRuO_3 膜の膜厚が $0.5 \sim 2 \text{ nm}$ であることを特徴とする請求項11に記載のキャパシタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャパシタ用電極及びその製造方法、並びにキャパシタを備えた半導体装置に関する。

【背景技術】

10

【0002】

近年、半導体デバイスでは微細化が進んでおり、例えば、F値 40 nm 世代(設計ルール 40 nm 以降の世代)のDRAMでは、キャパシタ用の誘電体膜として高誘電率膜が必要となっている。そこで、現在、その有力候補として SrTiO_3 等が提案されている。

【0003】

一方、従来から、キャパシタ用電極として TiN/Ti 電極が使用されているが、誘電体膜として上記のような高誘電率膜を使用すると、誘電体の伝導帯と電極のフェルミエネルギー間のバンドオフセットが小さくなる。このため、ショットキー伝導によりリーク電流が増大してしまうという問題があり、 TiN/Ti 電極を、高誘電率膜を有するキャパシタへ使用することは困難であった。

20

【0004】

そこで、高誘電率膜を有するキャパシタ用電極としては仕事関数の高い電極が必要とされ、近年、電極材料の検討が行われている。例えば、仕事関数の最も高い材料としてPtを挙げることができる。しかし、Ptは加工性に乏しいためDRAM等の半導体デバイスを作製する上で実用性に乏しく、電極材料としては加工性に富んだ材料を用いる必要がある。このため、近年、Pt以外の他の電極材料の開発が行われている。

【0005】

非特許文献1には、電極材料としてRu(ルテニウム)を用い、 $\text{Ru}/\text{SrTiO}_3/\text{Ru}$ の、MIM構造(Metal-Insulator-Metal; 上下の電極を金属膜で形成したキャパシタ構造)を有するキャパシタが開示されている。この非特許文献1のキャパシタでは、 $\text{Ru}/\text{SrTiO}_3/\text{Ru}$ のMIM構造を作製後、熱処理を行うことにより、誘電体膜(SrTiO_3)の結晶性を向上させてリーク電流値を減少させている。

30

【0006】

しかしながら、非特許文献1で使用されている電極材料のRuは酸化しやすい材料であり、熱処理により抵抗率及び仕事関数が変動して不安定な(熱耐性が悪い)ものとなっていた。従って、キャパシタ用電極としてRu単膜を用いる限り、リーク電流値の低減には限界があり、仕事関数が高く安定な電極材料が要望されていた。

【0007】

そこで、他の電極材料として、非特許文献2にはSr(ストロンチウム)とRuを含有する SrRuO_3 膜の電極を用いた例が開示されている。この SrRuO_3 膜の結晶構造は、高誘電率の SrTiO_3 などと同じペロブスカイト構造となっている。この SrRuO_3 膜を用いることによりエピタキシャル的に高誘電体膜を成長させることができ、結晶性を向上できるという利点を有する。このため、 SrRuO_3 を用いると他の電極材料と比べて誘電率の高い良質の膜を得ることができると共に、この SrRuO_3 は仕事関数が高いため、リーク電流値の低減についても有望な材料として注目されている。しかしながら、この SrRuO_3 は導電性を示す反面、Ruなどの金属の単層膜と比べると抵抗率が高いという欠点があった。

40

【非特許文献1】C. M. Chu, et. al., Symp. On. VLSI Tech, Dig., 2001, T4B-3

50

【非特許文献2】Joon Seop Sim et. al., J. Electrochem. Soc., 153(11) C777-C789 (2006)

【発明の開示】

【発明が解決しようとする課題】

【0008】

高誘電率膜を用いたキャパシタを備えるDRAM等の半導体装置を形成する場合にはリーク電流が小さく、かつ、キャパシタ用電極の電気抵抗値を低くすることが重要である。しかしながら、従来のルテニウムを用いたキャパシタ用電極では、それを両立するのが難しかった。従って、微細化に対応した高性能な半導体装置を形成するのが困難であった。

【0009】

そこで、本発明者は上記課題を克服すべく、鋭意、検討を行った結果、ルテニウムを用いて、電気抵抗値が低く、リーク電流を抑制することも可能なキャパシタ用電極を得た。すなわち、本発明は、キャパシタ用電極として電気抵抗値が小さく、高誘電率膜をキャパシタ用の絶縁体として使用した場合にリーク電流の増加を抑制することが可能なキャパシタ用電極を提供することを目的とする。

【課題を解決するための手段】

【0010】

互いに対向する第1面及び第2面を有するキャパシタ用電極であって、

SrRuO₃膜から構成され、

第1面からその厚み方向に所定の距離だけ離れた位置から第2面側の領域中に、10atm%以下の3価の元素を含有することを特徴とするキャパシタ用電極に関する。

【0011】

本発明の他の実施形態は、

(a) ALD法を用いて、10atm%以下の濃度の3価の元素を含有するSrRuO₃膜を形成する工程と、

(b) 前記3価の元素を含有するSrRuO₃膜上に、ALD法を用いて3価の元素を含有しないSrRuO₃膜を形成する工程と、

を有することを特徴とするキャパシタ用電極の製造方法に関する。

【0012】

また、本発明の他の実施形態は、

キャパシタ用電極の製造方法であって、

(1) ALD法を用いた下記(A)~(L)の一連の工程を複数回、繰り返すことにより、10atm%以下の濃度の3価の元素を含有するSrRuO₃膜を形成する工程と

(2) 前記工程(1)の後に、ALD法を用いた下記(A)~(H)の一連の工程を複数回、繰り返すことにより、3価の元素を含有しないSrRuO₃膜を形成する工程と、

を有することを特徴とするキャパシタ用電極の製造方法に関する。

(A) Ru原料ガスを供給してRu膜を成膜する工程、

(B) 前記Ru原料ガスをパージする工程、

(C) O₂ガス及びO₃ガスのうち少なくとも一方からなるガスAを供給して前記Ru膜の熱酸化処理を行う工程、

(D) 前記ガスAをパージする工程、

(E) Sr原料ガスを供給してSr膜を成膜する工程、

(F) 前記Sr原料ガスをパージする工程、

(G) O₂ガス及びO₃ガスのうち少なくとも一方からなるガスBを供給して前記Sr膜の熱酸化処理を行う工程、

(H) 前記ガスBをパージする工程、

(I) La原料ガスを供給してLa膜を成膜する工程、

(J) 前記La原料ガスをパージする工程、

(K) O₂ガス及びO₃ガスのうち少なくとも一方からなるガスCを供給して前記La膜の熱酸化処理を行う工程、

(L) 前記ガス C をパージする工程。

【発明の効果】

【 0 0 1 3 】

本発明のキャパシタ用電極は仕事関数が高いため、高誘電率膜と組み合わせた場合でもリーク電流値の増加を抑制することができる。また、電気抵抗が低いキャパシタ用電極を形成することができる。更に、本発明のキャパシタ用電極を備えることで、高性能の半導体装置を容易に形成することができる。

【発明を実施するための最良の形態】

【 0 0 1 4 】

1. キャパシタ用電極

本発明のキャパシタ用電極は、キャパシタ用の誘電体膜に接する第 1 面と、この第 1 面に対向する反対側の第 2 面とを有する。また、このキャパシタ用電極は、 SrRuO_3 (ストロンチウム・ルテニウム・オキサイド) 膜から構成されている。そして、第 1 面からその厚み方向に所定の距離だけ離れた位置から第 2 面側の領域 A 中に、 $10 \text{ at m} \%$ 以下の 3 価の元素を含有する。

【 0 0 1 5 】

本発明のキャパシタ用電極は、このように領域 A 中に $10 \text{ at m} \%$ 以下の 3 価の元素を含有することにより、仕事関数を高く保ったままで、低抵抗なものとすることができる。この結果、リーク電流値が低く、微細化を図った場合にも安定してキャパシタ用電極として動作することが可能となる。また、 SrRuO_3 膜の結晶構造はペロブスカイト構造であるため、同じくペロブスカイト構造の高誘電体膜をキャパシタ用の絶縁膜として使用する場合には、良質の絶縁膜を形成するのが容易である。

【 0 0 1 6 】

図 7 は、本発明のキャパシタ用電極の一例を模式的に示したものである。このキャパシタ用電極 3 は、キャパシタの誘電体膜に接する第 1 面 2 とこの第 1 面 1 に対向する反対側の第 2 面 1 とを有する。そして、全体が SrRuO_3 膜から構成されている。また、この第 1 面 2 からその厚み方向 (図 7 中の矢印 5 の方向) に所定の距離だけ離れた位置から第 2 面側の領域 A (図 7 中の斜線部分 6) 中に、 $10 \text{ at m} \%$ 以下の 3 価の元素を含有する。

【 0 0 1 7 】

なお、本発明のキャパシタ用電極は、複数の層から構成すると共に各層の組成を調節することによって上記のような特性を有するようにしても良い。本発明のキャパシタ用電極は、上記領域 A を有する単一の層から構成しても良い。また、領域 A は、第 1 面からその厚み方向に所定の距離だけ離れた位置から第 2 面側に所定の膜厚を有するように存在していれば良い。すなわち、領域 A は、第 1 面からその厚み方向に所定の距離だけ離れた位置から第 2 面までの領域の全てを構成しても、一部を構成しても良い。

【 0 0 1 8 】

「 SrRuO_3 」は、Sr 原子、Ru 原子、O 原子の原子数比が厳密に $1 : 1 : 3$ でなくても良く、この組成から若干、Sr 原子、Ru 原子、O 原子の原子数比がずれたものであっても良い。

【 0 0 1 9 】

また、3 価の元素は、膜内での領域 A と領域 A 以外の界面近傍を除き、領域 A の厚み方向の全体にわたってなるべく均一に存在していることが抵抗値の上昇を抑制する点から好ましい。また、領域 A 中に存在する 3 価の元素の濃度は、最も濃度の濃い部分でも $10 \text{ at om} \%$ 以下となっている必要がある。領域 A 中の 3 価の元素の濃度は、RBS (Rutherford Backscattering Spectrometry: ラザフォード後方散乱法) を用い、He イオンを測定試料に照射して、散乱されたイオンを偏向磁場エネルギー分析器によって検出することで測定することができる。

【 0 0 2 0 】

SrRuO_3 膜の導電性は、 SrRuO_3 中の金属元素である Sr (2 価) よりも多価数

10

20

30

40

50

の金属元素を導入し、膜中の電子生成を制御することで改善することができる。本発明では、キャパシタ用電極中にSr（価数2）よりも価数の大きな3価の元素を適切な濃度で含有させることにより、 SrRuO_3 のSrサイトを3価の元素で置換して電子を生成させ、 SrRuO_3 膜の低抵抗化を図ることが可能となる。また、この電子生成の有無は添加する元素の価数によって決定されるため、3価の元素の種類は特に限定されるわけではない。この3価の元素としては、例えば、B（ホウ素）、Al（アルミニウム）、Ga（ガリウム）、In（インジウム）、Tl（タリウム）及びLa（ランタン）からなる群から選択された少なくとも一種の元素を使用できる。なお、3価の元素の中ではLaはSrサイトへの置換性が高く、キャパシタ用電極中に所望の濃度のLaを含有させることが容易なため、Laを選択することが好ましい。

10

【0021】

図1は、3価の元素としてLa（ランタン）を使用し、2nmの厚さを有するキャパシタ用電極の、厚み方向のLaの組成分布の一例を示したものである。図1（a）はキャパシタ用電極の断面図、図1（b）はこのキャパシタ用電極の膜厚方向のLaの濃度分布を表す図である。なお、図1（b）において、膜厚0nmの位置はキャパシタ用電極が誘電体膜と接する第1面、膜厚2nmの位置はキャパシタ用電極の第2面を表す。図1より、このキャパシタ用電極は、膜厚が0～0.5nm未満の位置にはLaが存在せず、膜厚が0.5～2nmの位置にのみLaが存在することが分かる。また、膜厚が約0.5～1nmの領域ではLaの濃度が徐々に増加し、第2面の近傍ではLaの濃度が約10atom%でほぼ一定となっていることが分かる。

20

【0022】

以下に、3価の元素としてLaを用い、第1面からその厚み方向に所定の距離だけ離れた一例として0.5nm離れた位置から第2面側の領域A中に10atom%の濃度でLaが存在することによる効果を説明する。

【0023】

（第1面からその厚み方向に0.5nm以上、離れた位置に3価の元素が存在することによる効果）

図2は、600℃で10分間、熱処理を行った際の、キャパシタ用電極中のLa（3価の元素）の、キャパシタを構成する誘電体膜（ SrTiO_3 ）中への拡散の有無を表す図である。図2中の横軸は、熱処理前のキャパシタ用電極の第1面からその厚み方向に向かってLaが存在し始める位置を表し、0nmの位置は第1面を表す。

30

【0024】

また、図2中の縦軸は、熱処理後の誘電体膜内のLaが拡散した位置を表し、0nmの位置はキャパシタ用電極の第1面と誘電体膜との界面を表す。また、縦軸中のマイナスの位置はキャパシタ用電極内にLaが存在することを表し、プラスの位置は誘電体膜内にLaが存在することを表す。

【0025】

図2より、横軸が0.5nm未満の場合（熱処理前に、キャパシタ用電極の第1面からその厚み方向にLaが存在する位置が0.5nm未満の場合）には、縦軸がプラスの位置となる。すなわち、この場合、熱処理後に、Laが誘電体膜内にまで拡散してしまう。このように熱処理時に、La（3価の元素）が誘電体膜中にまで拡散すると、リーク電流が大きい値となる。この理由は、Laが SrTiO_3 のSrサイトに置換することにより、誘電体膜の伝導帯より深い準位にLaの準位ができ、これがトラップ準位として存在してショットキー式から算出されるリーク電流値が大きな値となるためと考えられる。

40

【0026】

これに対して、横軸が0.5nm以上の場合（熱処理前に、キャパシタ用電極の第1面からその厚み方向にLaが存在する位置が0.5nm以上の場合）には、縦軸がマイナスの位置となる。すなわち、熱処理を行っても、Laが誘電体膜内にまで拡散することがない。このため、Laを、キャパシタ用電極の第1面からその厚み方向に0.5nm以上の領域中に存在するようにすれば、熱処理によっても誘電体膜中へLaが拡散せず、リーク

50

電流値を低減できることが分かる。

【0027】

なお、図2では第1面から0.5nm未満のLaが誘電体膜中に拡散する例を示したが、Laの拡散距離は熱処理条件（温度、時間等）によって影響される。このため、使用する熱処理条件に応じてLaが誘電体膜中まで拡散しないように、Laの存在する領域Aをキャパシタ用電極の第1面から離す距離の設定を行えば良い。すなわち、本発明のキャパシタ用電極においては、最終的に誘電体膜と接触する第1面の近傍にLaが存在しない領域を有するものである。

【0028】

また、図2では、3価の元素としてLaを用いた例を示したが、他の3価の元素を用いた場合であっても、熱処理によって誘電体膜中にまで3価の元素が拡散してしまうとリーク電流が増加する原因となる。このため、キャパシタ用電極の第1面から所定の距離だけ離れた領域A中にのみ3価の元素を含有することによって、リーク電流を低減することができる。

10

【0029】

（第1面からその厚み方向の位置に3価の元素が存在することによる抵抗値への影響）

図3は、同一の膜厚を有するSrRuO₃膜について、その抵抗率への、La（3価の元素）の位置の影響を表す図である。図3中の横軸はキャパシタ用電極の第1面からその厚み方向にLaが存在し始める位置を表し、0nmの位置は第1面を表す。また、図3中の縦軸は、キャパシタ用電極膜の抵抗率を表す。抵抗率は公知の手段である4端子法により測定し、縦軸の値は、横軸0nmの位置における抵抗率によって規格化して表示した。

20

【0030】

図3より、横軸の値が大きくなるにつれて、すなわち、キャパシタ用電極の第1面からその厚み方向にLaが存在し始める位置が長くなるにつれて、キャパシタ用電極の抵抗率が大きくなっていることが分かる。この理由は、Laを含有する領域の体積が減少するに従って、SrRuO₃膜全体の導電性が悪くなるためである。図3において、縦軸の破線で示した抵抗率値Sは、DRAM等のメモリセルとして使用するキャパシタ用電極に所望される抵抗率を示している。この場合、横軸の値が2nmを超えると、キャパシタ用電極の表面抵抗値が実デバイスとして要求される値を超えるものとなっていることが分かる。これに対して、横軸が2nm以下の場合には、キャパシタ用電極の表面抵抗値が実デバイスとして要求される範囲に入っていることが分かる。

30

【0031】

なお、図3において、特性値Sの設定は使用するデバイスに要求される性能に応じて変更可能である。従って、キャパシタ用電極に必要とされる抵抗値に応じて、Laを導入する開始位置を決定することができる。このため、先に説明したリーク電流値の観点と併せて、Laの開始位置として最適となる位置を選定すればよい。

【0032】

また、図3では、3価の元素としてLaを用いた例を示したが、他の3価の元素を用いた場合であっても同様に、3価の元素を導入する領域の開始位置がキャパシタ用電極の第1面から遠くなるほど、抵抗値が上昇する。従って、キャパシタ用電極に必要とされる抵抗値に応じて、3価の元素を導入する領域の開始位置を決定すればよい。

40

【0033】

（領域A中の3価の元素の濃度が10atom%以下であることによる効果）

領域A中に添加する3価の元素濃度が濃くなり過ぎると、SrRuO₃膜の導電性を逆に阻害してしまう。図4は、キャパシタ用電極の抵抗率への、キャパシタ用電極中のLa（3価の元素）濃度の影響を表す図である。図4中の横軸はキャパシタ用電極中のLaの最大濃度を表し、縦軸はキャパシタ用電極の抵抗率を表す。図4より、キャパシタ用電極中のLa濃度が約5～10atom%の時に、キャパシタ用電極の抵抗値は低い値を示すことが分かる。一方、La濃度が10%を超えると、抵抗率が上昇してしまう。

【0034】

50

また、図 4 では、3 価の元素として La を用いた例を示したが、他の 3 価の元素を用いた場合であっても同様に、3 価の元素の導入量が多くなると抵抗率が上昇してしまう。従って、領域 A 中に 3 価の元素を 10 atom% 以下の濃度で含有することによりキャパシタ用電極の抵抗率を低くすることができる。添加する 3 価の元素濃度の下限値については、所望するキャパシタ用電極の抵抗値に応じて決定すればよい。

【0035】

2. キャパシタ用電極の製造方法

本発明のキャパシタ用電極の製造方法の一例は、以下の工程を有する。

- (1) ALD (Atomic Layer Deposition) 法を用いた下記 (A) ~ (L) の一連の工程を複数回、繰り返すことにより、領域 A を形成する工程、
- (2) 工程 (1) の後に、ALD (Atomic Layer Deposition) 法を用いた下記 (A) ~ (H) の一連の工程を複数回、繰り返すことにより、領域 A 上に 3 価の元素を含有しない SrRuO_3 膜を形成する工程。
- (A) Ru 原料ガスを供給して Ru 膜を成膜する工程、
- (B) Ru 原料ガスをパージする工程、
- (C) O_2 ガス及び O_3 ガスのうち少なくとも一方からなるガス A を供給して Ru 膜の熱酸化処理を行う工程、
- (D) ガス A をパージする工程、
- (E) Sr 原料ガスを供給して Sr 膜を成膜する工程、
- (F) Sr 原料ガスをパージする工程、
- (G) O_2 ガス及び O_3 ガスのうち少なくとも一方からなるガス B を供給して Sr 膜の熱酸化処理を行う工程、
- (H) ガス B をパージする工程、
- (I) 3 価の元素を含む原料ガスを供給して 3 価の元素を含む膜を成膜する工程、
- (J) 3 価の元素を含む原料ガスをパージする工程、
- (K) O_2 ガス及び O_3 ガスのうち少なくとも一方からなるガス C を供給して、3 価の元素を含む膜に熱酸化処理を行う工程、
- (L) ガス C をパージする工程。

【0036】

図 6 は、本発明の製造方法の一例として、3 価の元素として La を用いた場合について模式的に示したものである。

本発明の製造方法は、図 6 (A) に示されるように、(A) ~ (D) の工程を 1 サイクルとして実施することにより RuO_x 膜が成膜される。図 6 (B) に示されるように、(E) ~ (H) の工程を 1 サイクルとして実施することにより SrO 膜を成膜すると共に、(A) ~ (D) の工程に引き続いて (E) ~ (H) の工程を行うことにより、 RuO_x 膜上に形成された SrO 膜の熱拡散により SrRuO_3 膜が成膜される。また、図 6 (C) に示されるように、(I) ~ (L) の工程を 1 サイクルとして実施することにより LaO 膜を成膜すると共に、(A) ~ (H) の工程に引き続いて (I) ~ (L) の工程を行うことにより、 SrRuO_3 膜上に形成された LaO 膜の熱拡散により La を含有する SrRuO_3 膜を成膜する。

【0037】

従って、上記工程 (1) では、ALD (Atomic Layer Deposition) 法を用いた (A) ~ (L) の一連の工程を複数回、実施することにより、所望の厚さの、La を含有する SrRuO_3 膜を形成することができる。

【0038】

また、次に、上記工程 (2) では、ALD (Atomic Layer Deposition) 法を用いた (A) ~ (H) の一連の工程を複数回、実施することにより、La を含有する SrRuO_3 膜上に、所望の厚さの、La を含有しない SrRuO_3 膜を形成することができる。

【0039】

Laが存在し始める位置を、SrRuO₃膜の第1面から例えば0.5nmの位置としたい場合には、工程(2)における一連の工程の実施回数を調節し、Laを含有したSrRuO₃膜上に0.5nmの厚さのLaを含有しないSrRuO₃膜を堆積すればよい。

【0040】

なお、「ALD(Atomic Layer Deposition)法」とは、原料ガスの供給・成膜、原料ガスのパージ、反応ガスの供給・反応、反応ガスのパージを1サイクルとして行い、1サイクルごとに1原子又は1分子の層を形成する方法である。

【0041】

Ru原料ガスとしては、下記ガスからなる群から選択された少なくとも一種のガスを使用できる。

2,4-(dimethylpentadienyl)(ethylcyclopentadienyl)Ru

Ru(C₇H₁₁)(C₇H₉)

Ru(C₁₁H₁₉O₂)₃[Ru(thd)₃]

Ru(C₅H₅)₂[Ru(Cp)₂]

Ru(C₂H₅C₅H₄)₂[Ru(EtCp)₂]

Ru₃(CO)₁₂

Sr原料ガスとしては、下記ガスからなる群から選択された少なくとも一種のガスを使用できる。

Sr(METHD)₂

Sr(C₅iPr₃H₂)₂

Sr(CP*)₂(DEM:Bis(pentamethylcyclopentadienyl)Strontium)

1,2-Dimethoxythane adduct.

【0042】

3価の元素としてLaを使用する場合、原料ガスとしては、下記ガスからなる群から選択された少なくとも一種のガスを使用できる。

La(THD)₃(Tris(2,2,6,6-tetramethyl-3,5-heptadionato)-lanthanum)

La(iPrCp)₃(Tris(iso-propylcyclopentadienyl)-lanthanum)

La(sBuCp)₃Tris(sec-butylcyclopentadienyl)-lanthanum

La(EDMDD)₃Tris(6-ethyl-2,2-dimethyl-3,5-decanedionato)-lanthanum.

【0043】

(第1実施例)

3価の元素としてLaを使用する場合の具体的な製造方法について、以下に説明する。
工程(1):

(A) 温度を300 に加熱した基板上に、Ru原料ガスを20ms未満から1sまでの範囲の時間、供給してRu膜を成膜する。

(B) Ru原料ガスをパージする。

(C) 温度を300 に保持した状態で、1ccあたり100gのO₂又はO₃を含有するガスAを2秒間供給し、Ru膜の熱酸化処理を行う。

(D) ガスAをパージする。

(E) 温度を300 に保持した状態で、Sr原料ガスを20ms未満から1sまでの範囲の時間、供給してSr膜を成膜する。

(F) Sr原料ガスをパージする。

(G) 温度を300 に保持した状態で、1ccあたり100gのO₂又はO₃を含有するガスBを2秒間供給し、Sr膜の熱酸化処理を行う。

(H) ガスBをパージする。

(I) 温度を300 に保持した状態で、La原料ガスを20ms未満から1sまでの範囲の時間、供給してLa膜を成膜する。

(J) La原料ガスをパージする。

(K) 温度を300 に保持した状態で、1ccあたり100gのO₂又はO₃を含有するガスCを2秒間供給し、La膜の熱酸化処理を行う。

(L) ガスCをパージする。

【0044】

上記工程(A)～(D)、(E)～(H)、(I)～(L)ではそれぞれ、約0.1nmの膜厚の膜が成膜される。上記工程(A)～(L)を連続して行うことを繰り返し、約8nmの膜厚を有する、Laを含有したSrRuO₃膜(領域A)を形成する。

【0045】

工程(2)：

(A) 温度を300 に加熱した基板の上に、Ru原料ガスを20ms未満から1sまでの範囲の時間、供給してRu膜を成膜する。

(B) Ru原料ガスをパージする。

(C) 温度を300 に保持した状態で、1ccあたり100gのO₂又はO₃を含有するガスAを2秒間供給し、Ru膜の熱酸化処理を行う。

(D) ガスAをパージする。

(E) 温度を300 に保持した状態で、Sr原料ガスを20ms未満から1sまでの範囲の時間、供給してSr膜を成膜する。

(F) Sr原料ガスをパージする。

(G) 温度を300 に保持した状態で、1ccあたり100gのO₂又はO₃を含有するガスBを2秒間供給し、Sr膜の熱酸化処理を行う。

(H) ガスBをパージする。

【0046】

上記工程(A)～(D)、(E)～(H)ではそれぞれ、約0.1nmの膜厚の膜が成膜される。上記工程(A)～(H)を連続して行うことを繰り返し、約2nmの膜厚を有する、Laを含有しないSrRuO₃膜を、上記工程(1)で形成したSrRuO₃膜上に形成する。工程(1)の後に工程(2)を行うことにより、約10nmの膜厚のSrRuO₃膜が得られる。この膜の上面(第1面)から厚み方向に約2nmの距離まではLaが含有されておらず、上面(第1面)から厚み方向に約2～10nmの距離まではLaが含有された膜となっている。

【0047】

3. キャパシタ

本発明のキャパシタは、2つのキャパシタ用電極と、この2つのキャパシタ用電極間に、2つのキャパシタ用電極の第1面に接するように設けられた誘電体膜と、を備える。すなわち、第一のキャパシタ用電極、第一のキャパシタ用電極の第1面に接するように設けられた誘電体膜、誘電体膜上に第1面が接するように設けられた第二のキャパシタ用電極、をこの順に備える。

【0048】

図8は、本発明のキャパシタの一例を模式的に示したものである。このキャパシタは、2つのキャパシタ用電極3と、この2つのキャパシタ用電極3間に誘電体膜4が設けられている。そして、各キャパシタ用電極3は、その第1面2が誘電体膜4に接するように配置されている。

【0049】

図5は、本発明と比較例のキャパシタのリーク電流を測定した結果を表す図である。横軸は印加電圧で、縦軸は単位面積あたりのリーク電流値を示している。なお、比較例のキャパシタは、キャパシタ用電極がその厚み方向の全体にわたってLaを含有している。また、誘電体膜としてはSrTiO₃膜を使用した。図5より、本発明のキャパシタではリ

10

20

30

40

50

ーク電流が $1 \times 10^{-8} \text{ A/cm}^2$ 以下の低い値に抑えられているのに対して、比較例のキャパシタではリーク電流が $1 \times 10^{-8} \text{ A/cm}^2$ を超える大きな値となっていることが分かる。

【0050】

また、表1に、本発明のキャパシタと、キャパシタ用電極中にLaを含有しないキャパシタ（比較例1）及びキャパシタ用電極の厚み方向の全体にわたってLaを含有するキャパシタ（比較例2）について、キャパシタ用電極の仕事関数及び抵抗率、並びにキャパシタのリーク電流値を測定した結果を示す。なお、誘電体膜としてはSrTiO₃膜を使用した。本発明のキャパシタ用電極は、Laを含有するSrRuO₃膜（領域A）上に、2nmの膜厚のLaを含有しないSrRuO₃膜を有している。また、La濃度は10atm%以下となるようにした。

【0051】

【表1】

表1 本発明と比較例の特性比較

	上部電極	誘電体	下部電極	仕事関数 (eV)	抵抗率 ($\Omega \text{ cm}$)	リーク電流値 (A/cm^2)1V
本発明	(La,Sr)RuO ₃ 領域AにのみLa	SrTiO ₃	(La,Sr)RuO ₃ 領域AにのみLa	5.3	6e-5	7e-9
比較例2	(La,Sr)RuO ₃ 全体にLa含有	SrTiO ₃	(La,Sr)RuO ₃ 全体にLa含有	5.1	5e-5	2e-7
比較例1	SrRuO ₃	SrTiO ₃	SrRuO ₃	5.2	5e-4	2e-8

【0052】

表1に示されているように、本発明のキャパシタ用電極の仕事関数が5.3eVと大きく、その抵抗率が $6 \times 10^{-5} \cdot \text{cm}$ と低い値となっていることが分かる。また、本発明

のキャパシタは1 Vにおけるリーク電流値が $7 \times 10^{-9} \text{ A / cm}^2$ と低い値になっていることが分かる。

【0053】

これに対して、比較例2のキャパシタ用電極の抵抗率は本発明のキャパシタ用電極とほとんど変わらないものの、リーク電流値は、 $2 \times 10^{-7} \text{ A / cm}^2$ と大きな値になっていることが分かる。これは、キャパシタ用電極の厚み方向の全体にわたってLaを含有しているため、誘電体膜(SrTiO_3)に拡散したLaの影響によるものである。

【0054】

また、比較例1のキャパシタ用電極の抵抗率は本発明のキャパシタ用電極よりも大きく、 $5 \times 10^{-4} \cdot \text{cm}$ となっている。これはLaを含有しないために導電性が悪いことを示している。

【0055】

以上、説明したように、 SrTiO_3 膜のような比誘電率が40以上となるような高誘電率膜を用いる場合においても、本発明のキャパシタ用電極と組み合わせることにより、微細化に対応可能な、低抵抗でありながらリーク電流の抑制されたキャパシタを形成することができる。なお、誘電体膜の種類は特に限定されないが、 SrTiO_3 、 TiO_2 、 La_2O_3 、 Y_2O_3 、 HfO_2 、 ZrO_2 及び $(\text{Ba}, \text{Sr})\text{TiO}_3$ からなる群から選択された少なくとも一種の酸化物を含むことが好ましい。また、これらの中でも、好ましくは SrTiO_3 から構成される高誘電率の誘電体膜を用いると、高性能のキャパシタを容易に形成することができる。

【0056】

また、本発明を用いて形成したキャパシタと、MOS型トランジスタを公知の手段で接続することにより、高性能のDRAM用メモリセルを容易に形成することが可能となる。

【0057】

図9及び10は、本発明のキャパシタを有するDRAMのメモリセルの一例を説明する図である。図9は、DRAMのメモリセルを上面から見た平面図を模式的に表したものであり、簡略化のため、キャパシタより下の部分の構造のみを記載している。また、図10(a)、(b)は、図9のA-A線、B-B線にそれぞれ沿った断面図である。

【0058】

図9の楕円で囲まれた部分11はメモリセル領域に規則的に配置した電界効果型トランジスタのソース/ドレイン領域を表す。また、ビットコンタクトプラグ14及びキャパシタ用のコンタクトプラグ17は、それぞれビット線及びキャパシタと電気接続されている。

【0059】

図10では、28はMOS型トランジスタのゲート電極を表し、DRAMのワード線として機能する。ゲート電極(ワード線)28の両側に位置するソース/ドレイン領域20は不純物がドーピングされている。そして、隣接するソース/ドレイン領域の間は、STI(Shallow Trench Isolation)法を用いて形成した素子分離領域21で絶縁されている。

【0060】

ゲート電極28の両側のソース/ドレイン領域20上には、導電体を埋め込んで形成したキャパシタ用コンタクトプラグ26、及びビットコンタクトプラグ29が形成されている。より具体的には、絶縁層27内をソース/ドレイン領域まで貫通するように、ビットコンタクトプラグ29が設けられている。このビットコンタクトプラグ29には、ビット線25が電気接続されている。また、キャパシタ用コンタクトプラグ26は絶縁層27内をソース/ドレイン領域20まで貫通するように設けられている。このキャパシタ用コンタクトプラグ26は、キャパシタとソース/ドレイン領域20とを電気接続している。

【0061】

そして、このキャパシタは、順に形成された下部電極24、誘電体膜22、上部電極23から構成されている。誘電体膜22は、下部電極24の第1面及び上部電極23の第1

10

20

30

40

50

面を介して、下部電極 2 4 及び上部電極 2 3 に接するように配置されている。

【 0 0 6 2 】

なお、図 1 0 では、素子分離領域上ではなく半導体領域上に設けられた 1 つのゲート電極と、このゲート電極を挟んだ両側に設けられたソース/ドレイン領域、ソース/ドレイン領域の一方に電気接続されたビットコンタクトプラグ 2 9、ソース/ドレイン領域の他方に電気接続されたキャパシタ用コンタクトプラグ 2 6、キャパシタ等から 1 つのメモリセルが構成されている。従って、図 1 0 (b) では、2 つのメモリセルが示されていることとなり、この 2 つのメモリセルの間でビットコンタクトプラグ 2 9 は共通化されている。同様にして、図 9 では、2 つのキャパシタ用コンタクトプラグ 1 7 と 1 つのビットコンタクトプラグ 1 4 と 2 つのゲート電極等で構成される部分 (楕円で囲まれた部分 1 1 及びその上に設けられた構造) が、2 つのメモリセルを構成することとなる。

10

【 0 0 6 3 】

各メモリセルに備えられたキャパシタに保持されている電荷の状態を、MOS 型トランジスタを介して判定することにより、記憶されているデータの読み出しを行うことができる。また、MOS 型トランジスタを介して各メモリセルに備えられたキャパシタに電荷を保持させることにより、記憶させたいデータの書き込みを行うことができる。

【 0 0 6 4 】

本発明のキャパシタを用いて DRAM のメモリセルを形成すると、キャパシタ用電極の電気抵抗値が低くキャパシタのリーク電流が小さいことから、メモリセルにおけるデータの保持特性 (リフレッシュ特性) に優れた高性能の DRAM を容易に形成することができる。また、本発明のキャパシタは、DRAM 以外にもキャパシタを使用する半導体デバイスであれば、特に限定されることなく適用することが可能である。

20

【図面の簡単な説明】

【 0 0 6 5 】

【図 1】本発明のキャパシタ用電極の膜厚方向の L a の分布を表す図である。

【図 2】本発明のキャパシタ用電極中の、熱処理前の L a の存在位置と熱処理後の L a の拡散位置との関係を表す図である。

【図 3】本発明のキャパシタ用電極中の L a の存在位置と表面抵抗値との関係を表す図である。

【図 4】本発明のキャパシタ用電極の低効率と L a 濃度との関係を表す図である。

30

【図 5】本発明と比較例のキャパシタの電気的特性を表す図である。

【図 6】本発明のキャパシタ用電極の製造工程の一例を表す図である。

【図 7】本発明のキャパシタ用電極の一例を表す図である。

【図 8】本発明のキャパシタの一部を表す図である。

【図 9】本発明のキャパシタを有する DRAM の一部を表す図である。

【図 10】本発明のキャパシタを有する DRAM の一部を表す図である。

【符号の説明】

【 0 0 6 6 】

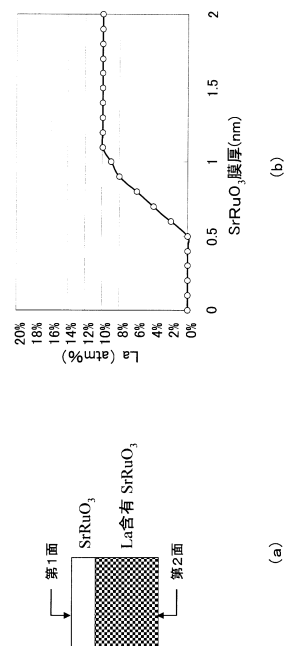
- 1 第 2 面
- 2 第 1 面
- 3 キャパシタ用電極
- 4 誘電体膜
- 5 厚み方向
- 6 領域 A
- 1 2 ワード線 (ゲート電極)
- 1 4 ビットコンタクトプラグ
- 1 5 ビット線
- 1 7 キャパシタ用コンタクトプラグ
- 2 0 ソース/ドレイン領域
- 2 1 素子分離領域

40

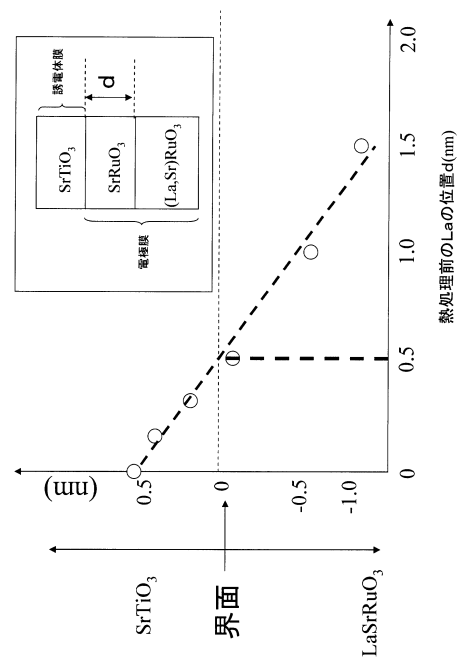
50

- 2 2 誘電体膜
- 2 3 上部電極
- 2 4 下部電極
- 2 5 ビット線
- 2 6 キャパシタ用コンタクトプラグ
- 2 7 層間絶縁膜
- 2 8 ゲート電極
- 2 9 ビットコンタクトプラグ

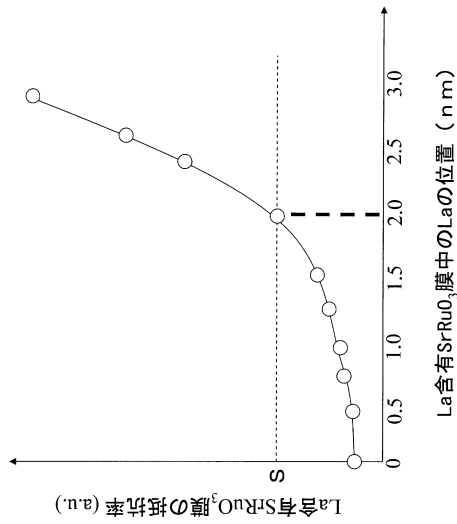
【図 1】



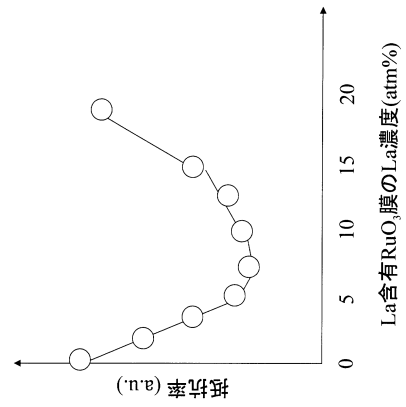
【図 2】



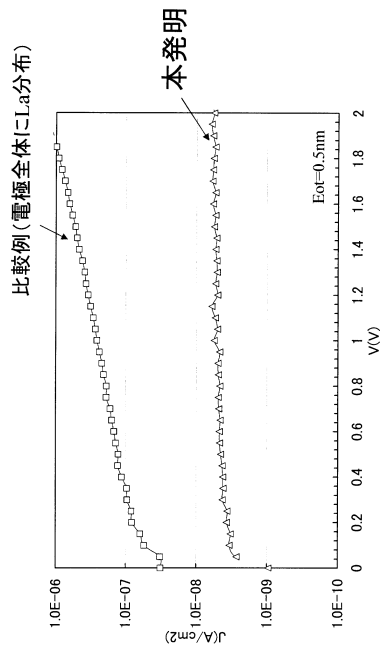
【図 3】



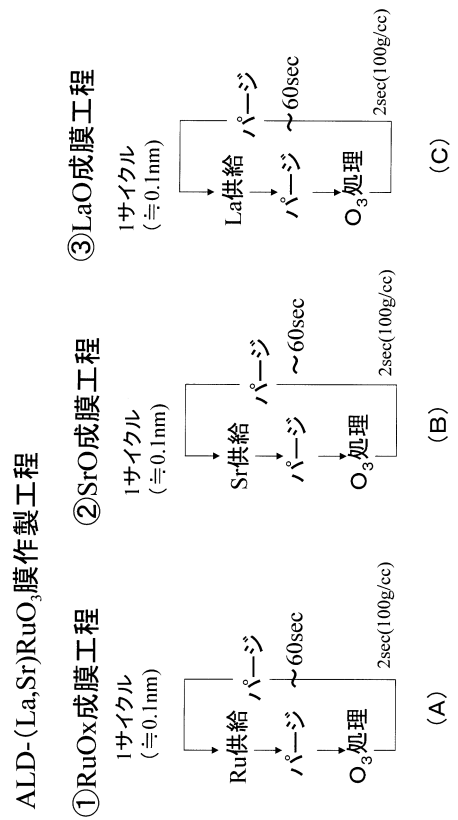
【図 4】



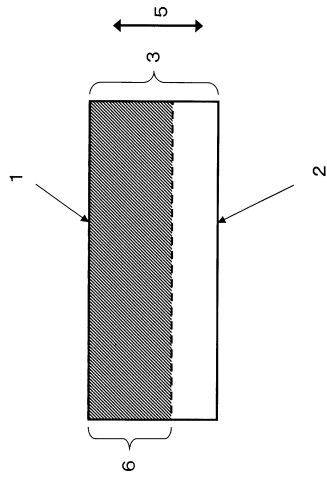
【図 5】



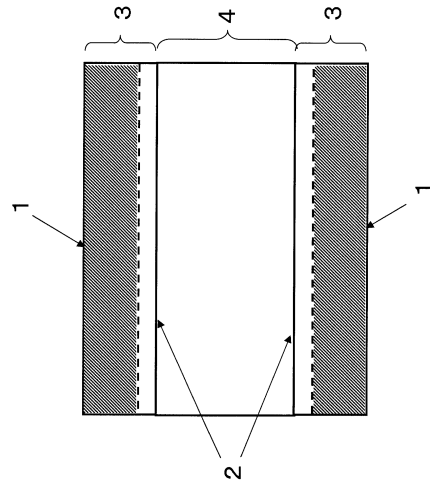
【図 6】



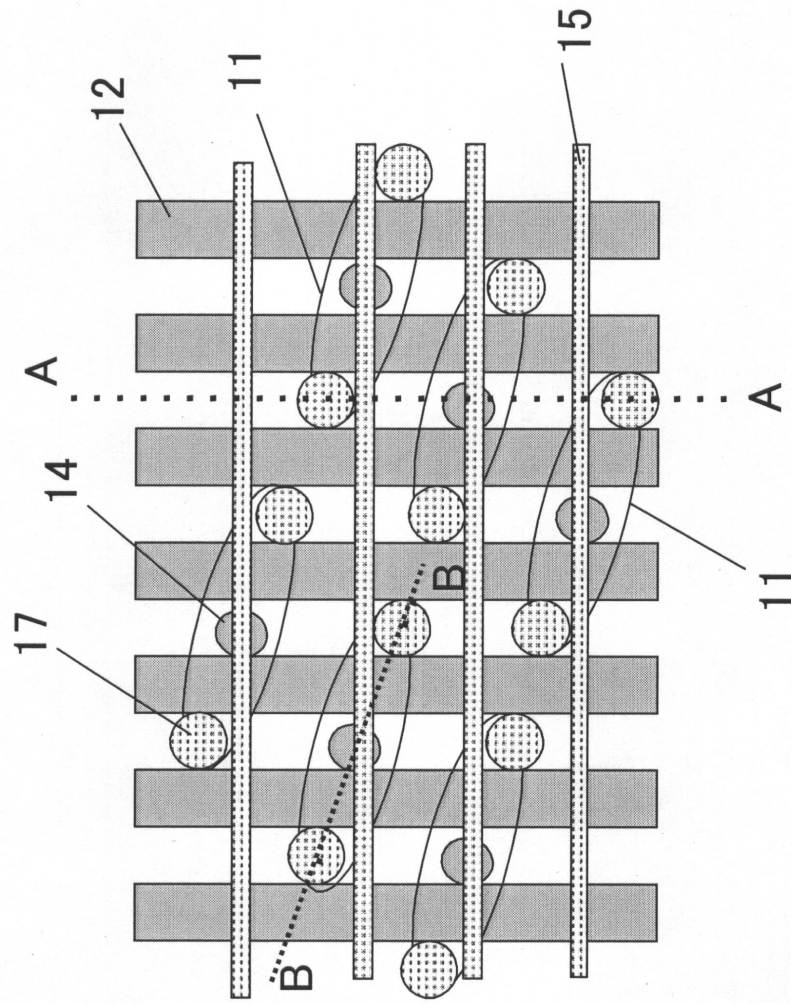
【図 7】



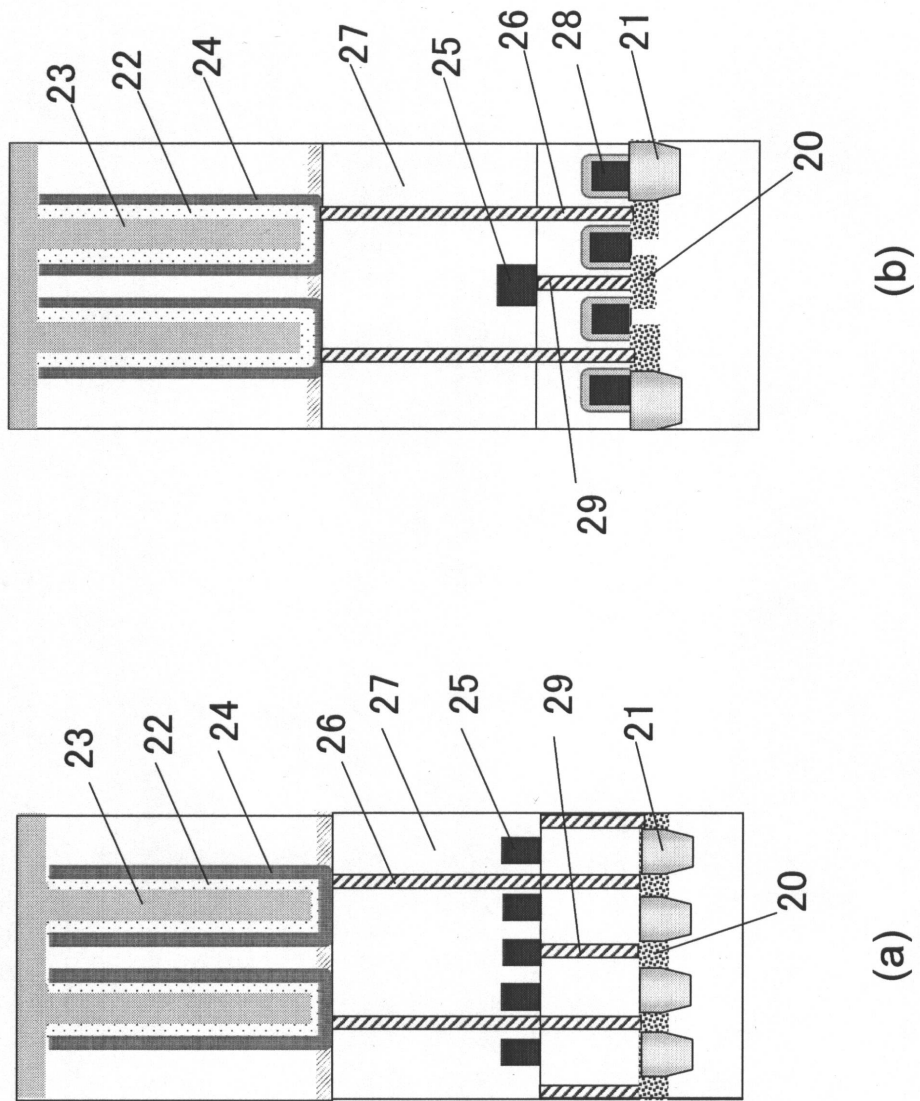
【図 8】



【図 9】



【図 10】



フロントページの続き

審査官 境 周一

- (56)参考文献 特開平11-053935(JP,A)
特開2005-317787(JP,A)
特開2002-060944(JP,A)
特開2007-027739(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/10 - 27/118
H01L 29/78 - 29/788
G11C 16/00 - 17/18