

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200410102332.7

G02F 1/136 (2006.01)

G02F 1/133 (2006.01)

H01L 29/786 (2006.01)

H01L 21/027 (2006.01)

[45] 授权公告日 2007 年 10 月 3 日

[11] 授权公告号 CN 100340914C

[22] 申请日 2004. 8. 25

[21] 申请号 200410102332. 7

[30] 优先权

[32] 2003. 8. 25 [33] JP [31] 2003 - 300467

[32] 2003. 8. 25 [33] JP [31] 2003 - 300476

[32] 2003. 12. 18 [33] JP [31] 2003 - 421026

[32] 2004. 5. 20 [33] JP [31] 2004 - 150826

[73] 专利权人 东芝松下显示技术有限公司

地址 日本东京

[72] 发明人 中村卓 多田典生 多田正浩

[56] 参考文献

US20030067007A1 2003. 4. 10

CN1220409A 1999. 6. 23

US20020125410A1 2002. 9. 12

审查员 周庆成

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 张 鑫

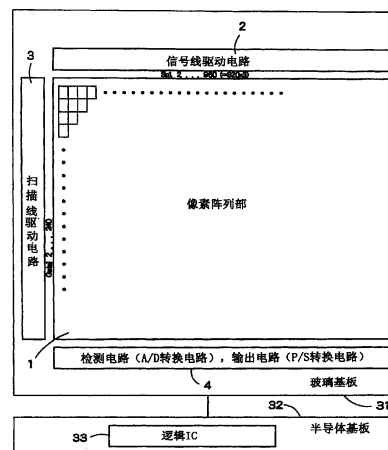
权利要求书 3 页 说明书 23 页 附图 31 页

[54] 发明名称

显示装置以及光电变换元件

[57] 摘要

本发明揭示一种显示装置，包括在纵横方向上排列设置的信号线和扫描线的各个交点附近形成的各像素的内部设置的显示元件，以及光电变换元件，其中前述光电变换元件具有在基板的水平方向上依次相邻配置的第 1、第 2 以及第 3 半导体区域，与前述第 1 半导体区域连接的第 1 电极，与前述第 3 半导体区域连接的第 2 电极，仅以第 1 剂量注入第 1 导电型杂质而形成前述第 1 半导体区域，仅以第 2 剂量注入第 2 导电型杂质而形成前述第 3 半导体区域，仅以比前述第 1 剂量少量的第 3 剂量注入第 1 导电型杂质而形成前述第 2 半导体区域。



1. 一种显示装置，其特征在于，包括
在纵横方向上排列设置的信号线和扫描线的各个交点附近形成的各像素的内部设置的显示元件，以及光电变换元件，
所述光电变换元件具有
在基板的水平方向上依次相邻配置的第1、第2以及第3半导体区域，所述第1、第2以及第3半导体区域由多晶硅形成，
与所述第1半导体区域连接的第1电极，以及
与所述第3半导体区域连接的第2电极，
仅以第1剂量注入第1导电型杂质而形成所述第1半导体区域，
仅以第2剂量注入第2导电型杂质而形成所述第3半导体区域，
仅以比所述第1剂量少量的第3剂量注入第1导电型杂质而形成所述第2半导体区域，
所述第2半导体区域，比所述第1以及第3半导体区域在基板水平方向的尺寸大。

2. 一种显示装置，其特征在于，包括
在纵横方向上排列设置的信号线和扫描线的各个交点附近形成的各像素的内部设置的显示元件，以及光电变换元件，
所述光电变换元件具有
在基板的水平方向上依次相邻配置的第1、第2以及第3半导体区域，所述第1、第2以及第3半导体区域由多晶硅形成，
与所述第1半导体区域连接的第1电极，以及
与所述第3半导体区域连接的第2电极，
仅以第1剂量注入第1导电型杂质而形成所述第1半导体区域，
仅以第2剂量注入第2导电型杂质而形成所述第3半导体区域，
仅以比所述第2剂量少量的第3剂量注入第2导电型杂质而形成所述第2半导体区域，
所述第2半导体区域，比所述第1以及第3半导体区域在基板水平方向的尺寸大。

3. 一种光电变换元件，其特征在于，包括
形成在绝缘基板上的并在基板水平方向上依次相邻配置的第1、第2以及第3半导体区域，所述第1、第2以及第3半导体区域由多晶硅形成，
形成在第1、第2以及第3半导体区域的上面的第1绝缘层，
形成在所述第1绝缘层的上面的一部分的门电极，
形成在所述第1绝缘层和所述门电极的上面的第2绝缘层，以及
通过形成在所述第1以及第2绝缘层的一部分上的导体与所述第1以及第3半导体区域连接的电极层，

仅以第1剂量注入第1导电型杂质而形成所述第1半导体区域，
仅以第2剂量注入第2导电型杂质而形成所述第3半导体区域，
仅以比所述第1剂量少量的第3剂量注入第1导电型杂质而形成所述第2半导体区域，

所述第2半导体区域，比所述第1以及第3半导体区域在基板水平方向的尺寸大。

4. 如权利要求3所述的光电变换元件，其特征在于，
在所述电极层上施加正的偏电压，而且设定所述门电极为0V。

5. 如权利要求3所述的光电变换元件，其特征在于，
在所述电极层上施加正的偏电压，而且在所述门电极上施加负的门电压。

6. 如权利要求3所述的光电变换元件，其特征在于，
在所述电极层上施加正的偏电压，而且随着所述门电极的温度的升高施加降低的门电压。

7. 如权利要求3所述的光电变换元件，其特征在于，
使得所述电极层上施加的偏电压和所述门电极上施加的门电压相等。

8. 一种光电变换元件，其特征在于，包括
在绝缘基板水平方向上依次相邻配置的第1、第2以及第3半导体区域，
所述第1、第2以及第3半导体区域由多晶硅形成，
形成在第1、第2以及第3半导体区域的上面的第1绝缘层，
形成在所述第1绝缘层的上面的一部分的门电极，
形成在所述第1绝缘层和所述门电极的上面的第2绝缘层，以及
通过形成在所述第1以及第2绝缘层的一部分上的导体与所述第1以及第

3 半导体区域连接的电极层,

仅以第1剂量注入第1导电型杂质而形成所述第1半导体区域,

仅以第2剂量注入第2导电型杂质而形成所述第3半导体区域,

仅以比所述第2剂量少量的第3剂量注入第2导电型杂质而形成所述第2半导体区域,

所述第2半导体区域,比所述第1以及第3半导体区域在基板水平方向的尺寸大。

显示装置以及光电变换元件

发明背景

发明领域

本发明，涉及具有图像获取机能的显示装置。

相关技术

液晶显示装置，具有排列设置了信号线，扫描线以及像素 TFT 的阵列基板，和驱动线信号线和扫描线的驱动电路。由于近来的集成电路技术的进步和发展，将驱动电路的一部分形成在阵列基板上的处理技术得到实用化。这样，能够使得液晶显示装置整体轻薄化和小型化，能够广泛的作为变携电话和笔记本型电脑等的各种变携式机器的显示装置利用。

已经提出了在阵列基板上配置用来进行图像获取的紧密附着型的面积传感器（光电变换元件）的具备图像获取机能的显示装置的技术方案（例如，参照日本申请 2001-292276 号公报，日本申请 2001-339640 号公报）。

在这种具备图像获取机能的在先的显示装置中，与光电变换元件连接的电容的电荷量根据光电变换元件中的接收光量进行变化，通过检测出在电容两端的电压，进行图像获取。

近来，由于用多晶硅处理将图像 TFT 和驱动电路形成在同一玻璃基板上的技术的进步，通过将上述的光电变换元件也采用多晶硅处理来形成，能够容易的形成在各个像素内。

但是，利用多晶硅的光电变换元件难于得到充足的光电流。从在先技术来看，已知的有使用无定型硅形成光电变换元件的技术，由于除了用多晶硅形成像素 TFT 和驱动电路之外，不得不设置无定形硅处理，存在消耗制造成本的缺点。

本发明鉴于上述问题，其目的在于提供一种不需花费制造成本并且能够得到充足的光电流的显示装置。

发明简述

根据本发明的一个方面的显示装置，备有在纵横方向上排列设置的信号线

和扫描线的各个交点附近形成的各个像素的内部设置的显示元件以及光电变换元件，其中前述光电变换元件具有在基板的水平方向上依次相邻配置的第1、第2以及第3半导体区域，所述第1、第2以及第3半导体区域由多晶硅形成，与前述第1半导体区域连接的第1电极，和与前述第3半导体区域连接的第2电极；其中通过仅注入第1剂量的第1导电型杂质来形成前述第1半导体区域，通过仅注入第2剂量的第2导电型杂质来形成前述第3半导体区域，通过仅注入比所注入的前述第1剂量还要少量的第3剂量的第1导电型杂质来形成前述第2半导体区域，所述第2半导体区域，比所述第1以及第3半导体区域在基板水平方向的尺寸大。

根据本发明的又一个方面的显示装置，备有在纵横方向上排列设置的信号线和扫描线的各个交点附近形成的各个像素的内部设置的显示元件，以及光电变换元件，其中前述光电变换元件具有在基板的水平方向上依次相邻配置的第1、第2以及第3半导体区域，所述第1、第2以及第3半导体区域由多晶硅形成，与前述第1半导体区域连接的第1电极，和与前述第3半导体区域连接的第2电极；其中通过仅注入第1剂量的第1导电型杂质来形成前述第1半导体区域，仅注入第2剂量的第2导电型杂质来形成前述第3半导体区域，仅注入比所注入的前述第2剂量还要少量的第3剂量的第2导电型杂质来形成前述第2半导体区域，所述第2半导体区域，比所述第1以及第3半导体区域在基板水平方向的尺寸大。

根据本发明的又一个方面的形成在绝缘基板上的光电变换元件，它备有沿着基板的水平方向相邻的配置的第1、第2以及第3半导体区域，所述第1、第2以及第3半导体区域由多晶硅形成；在前述第1、第2以及第3半导体区域的上面形成的第1绝缘层；前述第1绝缘层的上面的一部分上形成的门电极；前述第1绝缘层和前述门电极的上面形成的第2绝缘层；通过形成在前述第1以及第2绝缘层的一部分上的导体将前述第1以及第3半导体区域连接的电极层；其中通过仅注入第1剂量的第1导电型杂质来形成前述第1半导体区域，仅注入第2剂量的第2导电型杂质来形成前述第3半导体区域，仅注入比所注入的前述第1剂量还要少量的第3剂量的第1导电型杂质来形成前述第2半导体区域，所述第2半导体区域，比所述第1以及第3半导体区域在基板水平方向的尺寸大。

根据本发明的又一个方面的形成在绝缘基板上的光电变换元件，它备有沿着基板的水平方向相邻的配置的第1、第2以及第3半导体区域，所述第1、第2以及第3半导体区域由多晶硅形成；在前述第1、第2以及第3半导体区域的上面形成的第1绝缘层；前述第1绝缘层的上面的一部分上形成的门电极；前述第1绝缘层和前述门电极的上面形成的第2绝缘层；通过形成在前述第1以及第2绝缘层的一部分上的导体将前述第1以及第3半导体区域连接的电极层；其中通过仅注入第1剂量的第1导电型杂质来形成前述第1半导体区域，仅注入第2剂量的第2导电型杂质来形成前述第3半导体区域，仅注入比所注入的前述第2剂量还要少量的第3剂量的第2导电型杂质来形成前述第2半导体区域，所述第2半导体区域，比所述第1以及第3半导体区域在基板水平方向的尺寸大。

附图简述

图1是根据本发明的显示装置的第1实施形式的概略结构图。

图2是示出像素阵列部1的一部分的方块图。

图3是详细示出图2的一部分的电路图。

图4是示出SRAM的内部结构的电路图。

图5是示出图像获取的样子的图。

图6是示出图3中所示的光电二极管D1,D2的结构截面图。

图7是光电二极管D1,D2的上视图。

图8是光电二极管D1,D2的透视图。

图9是示出形成在光电二极管D1,D2内的空乏层的样子的图。

图10是设置n-区域来代替p-区域的光电二极管的截面图。

图11是示出光电二极管D1,D2的电特性的图。

图12是示出光电二极管D1,D2的电特性的图。

图13是示出图6所示的p+区域46，p-区域47以及n+区域48构成的光电二极管D1,D2的电特性的图。

图14是示出用于比较的所示的p+区域46，p-区域47以及n+区域48构成的光电二极管D1,D2的电特性的图。

图15是示出光电二极管D1,D2的制造工序的图。

图16是示出n沟道TFT的制造工序的图。

图 17 是示出 p 沟道 TFT 的制造工序的图。

图 18 是示出 $V_{gp}=V_{np}$ 的场合的光电二极管的 I-V 特性的图。

图 19 是示出显示装置的截面构造的截面图。

图 20 是示出本实施形式的显示装置的截面构造的截面图。

图 21 是本实施形式的显示装置的平面图。

图 22 是阵列基板 21 和对置基板 24 之间的位置关系在与图 6 相反的场合的截面图。

图 23 是阵列基板 21 和对置基板 24 之间的位置关系在与图 6 相反的场合的平面图。

图 24 是在光电二极管 D1,D2 的下方配置由金属膜构成的遮光层 20 的图。

图 25 是示出光电二极管 D1,D2 的制造工序的图。

图 26 是示出本发明的液晶显示装置的第 3 实施形式的截面图。

图 27 是示出图 26 的液晶显示装置的光传感器的上视图。

图 28 是示出图 26 的液晶显示装置的透光性基板上形成的半晶体半导体膜的状态的截面图。

图 29 是示出图 27 的液晶显示装置的制造工序的工序截面图。

图 30 是延续图 29 的工序截面图。

图 31 是延续图 30 的工序截面图。

图 32 是延续图 31 的工序截面图。

图 33 是延续图 32 的工序截面图。

图 34 是延续图 33 的工序截面图。

图 35 是延续图 34 的工序截面图。

图 36 是延续图 35 的工序截面图。

图 37 是延续图 36 的工序截面图。

图 38 是示出光电变换元件的 p 型电极部和门电极之间的电压为 0V 的场合的动作的透视图。

图 39 是示出光电变换元件的 p 型电极部和门电极之间的电压为 -5V 的场合的动作的透视图。

图 40 是示出遮光层 145 的具体的形成场所的第 1 例子的设计图。

图 41 是示出遮光层 145 的具体的形成场所的第 2 例子的设计图。

图 42 是示出遮光部的电位和光电流之间的关系图。

发明详述

下面，对于根据本发明的显示装置以及光电变换元件，参照图一并进行具体的说明。

图 1 是根据本发明的显示装置的第 1 实施形式的概略结构图。图 1 的显示装置具备图像获取机能，由玻璃基板 31 和半导体基板 32 构成。玻璃基板 31 上，设有排列设置了信号线和扫描线的像素阵列部 1，驱动信号线的信号线驱动电路 2，驱动扫描线的扫描驱动电路 3，获取图像的输出的检测输出电路 4。这些电路，例如由多晶硅 TFT 形成。信号线驱动电路 2，具有将数字像素数据变换成适于显示元件的驱动的模拟电压的图中未示出的 D/A 变换电路。D/A 变换电路用公知的结构。半导体基板 32 上，安装有进行显示控制以及图像获取控制的逻辑 IC33。玻璃基板 31 和半导体基板 32，通过比如 FPC 进行各种信号的发送接收。

图 2 是示出像素阵列部 1 的一部分的方块图。图 2 的像素阵列部 1，具有在纵横方向上排列设置的信号线和扫描线的各个交点附近形成的像素 TFT11，连接在像素 TFT11 的一端和 Cs 线之间的液晶电容 C1 以及辅助电容 C2，在每个像素 TFT11 上设置两个图像获取用的传感器 12a,12b。传感器 12a,12b，与图中未示出的电源线以及控制线连接。

虽然图 2 中，示出为了提高图像获取的分辨率在每个像素上设置两个传感器 12a,12b 的例子，但是传感器的数量没有特别的限制。

图 3 是详细示出图 2 的一部分的电路图。如图 3 所示，传感器 12a，具有光电传感器 D1 和传感器切换用晶体管 Q1。传感器 12b，具有光电传感器 D2 和传感器切换用晶体管 Q2。光电二极管 D1,D2，根据接收的光的光量输出电子信号。传感器切换用晶体管 Q1,Q2，对 1 个像素内的多个光电二极管 D1,D2 任何一个进行交替的选择。

各个像素具有，2 个传感器 12a,12b，同一个像素内的 2 个传感器 12a,12b 共用的电容 C3，与电容 C3 的积蓄电荷相应的 2 值数据输出到检测线的缓冲器 (BUF) 13，对缓冲器 13 的写入进行控制的晶体管 Q3，对缓冲器 13 以及电容 C3 进行初始化的重置用晶体管 Q4。

缓冲器 13，通过静态 RAM (SRAM) 构成，比如图 4 中所示的那样，具

有串联连接的2个倒相器IV1,IV2,后面的倒相器IV2的输出端子和前面的倒相器IV1的输入端子之间配置的晶体管Q5,与后面的倒相器的输出端子连接的输出用晶体管Q6。

信号SPOLB处于高级别的时候,晶体管Q5导通,2个倒相器IV1,IV2进行保持动作。信号OUT_i处于高级别的时候,将保持的数据输出到检测线。

本实施形式的显示装置,能够进行通常的显示动作,还能够进行与扫描仪同样的图像获取。在进行通常的显示动作的场合,晶体管Q3设定为截止状态,缓冲器13上不保存有效的数据。该场合,在信号线中,供给来自信号线驱动电路的信号线电压,进行与该信号线电压相应的显示。

一方面,在进行图像获取的场合,如图5所示的那样在阵列基板21的上面一侧上配置图像获取的对象物体(比如,纸)22,将来自背光装置23的光通过对置基板24和阵列基板21照射到纸22上。通过纸22反射的光在阵列基板21上的传感器12a,12b中进行光接收和图像获取。此时,用于图像获取的动作不会对显示产生影响。

获取的图像数据,如图3所示的那样保存在缓冲器13中之后,通过检测线,输送到图1所示的逻辑IC33。该逻辑IC33接受本实施形式的显示装置输出的数字信号,进行数据的并行转换和数据中的噪音除去等的运算处理。

图6是示出图3所示的光电二极管D1,D2的构造的截面图,图7是光电二极管D1,D2的上视图,图8是光电二极管D1,D2的透视图,图9是示出形成在光电二极管D1,D2内的空乏层的样子的图。如图6-8所示,光电二极管D1,D2,具有形成在玻璃基板21上的大约150nm厚的硅膜41,形成在该硅膜41上的大约50nm厚的半导体层42,形成在该半导体层42的上面的大约50-150nm厚的氧化硅膜(第1绝缘膜)43,形成在该氧化硅膜43上的大约300nm厚的门电极44,形成在该门电极44以及氧化硅膜43的上面的氧化硅膜45。

硅膜43,比如用等离子CVD法,氮化硅,氧化硅或者这些的叠层膜来形成。半导体层42具有,用多晶硅(多晶硅)作为材料形成的,沿着基板的水平方向依次相邻配置的P+区域46,p-区域47以及n+区域48。P+区域46中,比如注入 $1 \times 10^{19} \text{atm/cm}^3$ 程度的高浓度的硼离子。n+区域48中,比如注入 $1 \times 10^{19} \text{atm/cm}^3$ 程度的高浓度的磷离子。p-区域47中,比如注入 $1 \times 10^{15} \text{atm/cm}^3$ 程度的低浓度的硼离子。n+区域48和p-区域47的浓度比在两倍以上,最好确保

在4倍的程度。不过,使得p-区域47的杂质浓度过低,不利的是产生了同时形成的TFT的性能(比如移动度)的极端的恶化的坏处。

门电极44用比如MoW(钼·钨)合金形成。在氧化硅膜43的上面,形成通过导体49与n+区域48连接的正电极50,通过导体51与p+区域46连接的负电极52。正电极50和负电极52,由Mo(钼)和Al(铝)的叠层膜构成,其前端部具有大约600nm的膜厚。为了遮住来自背光装置的直接光,正电极50的布线必须遮住p-区域47。

向正电极50供给缓冲电压 V_{np} (=+5V:n相对于p为高电位),负电极52接地,向门电极44供给门电压 V_{gp} (=-5V:g相对于p为低电位)。

本实施形式的光电二极管D1,D2,形成在p+区域46,p-区域47以及n+区域48中。以下称为PPN构造。图6中,p-区域47的基板水平方向长度,比p+区域46和n+区域48的基板水平方向的长度要长。这样,如图9所示那样,在p+区域46和n+区域48之间形成的空乏层53a沿着p-区域46侧广阔延伸,使得光-电流的转换效率提高。

还可以设置如图10所示那样的n-区域54,来代替p-区域47。该场合下,空乏层53a沿着n-层延伸,同样能够使得光-电流的转换效率良好。

其中,为了使得光-电流的转换效率变好,p-区域47和n+区域48之间也可以不设置n-区域。p-区域47和n+区域48的杂质浓度比高的情况,朝向p-区域47的空乏层53a的延伸是好的。相反的,光-电流的转换效率不必需要这么高程度的场合,可以设置n-区域。

图11以及图12是示出光电二极管D1,D2的电特性的图。图11示出,向正电极50施加缓冲电压 V_{np} (=+5V:n相对于p为高电位), V_{gp} =-5V的场合的p-区域47的基板水平方向长度(微米)(横轴)与光电二极管D1,D2中流过的电流(对数值)(纵轴)之间的关系。图12示出,向正电极50施加缓冲电压 V_{np} (=5V),场合的门电压 V_{gp} (横轴)与光电二极管D1,D2中流过的电流(对数值)(纵轴)之间的关系。

在图11中,示出光照射时的曲线和光非照射时的曲线,相对于光非照射时的电流与p-区域47的长度不相应的大致一定的情况,光照射时的电流随着p-区域47的基板水平方向的长度变长而增加。其是,光电二极管D1,D2内形成的空乏层53a延伸的原因。由此,涉及光-电流转换的效率,p-区域47的基板水平

方向长度越长,可知光电二极管 D1,D2 更好。

另外,如图 12 所示那样,门电极超过 0V 左右,由于光电二极管 D1,D2 的电流减小,各个光电二极管 D1,D2 的工艺不同产生的电流不稳定变大。光照射的时候的电流多,而且暗电流减少的场合中最好使得门电压在 0V 以下。

一方面,门电压为负,光电二极管 D1,D2 的电流不稳定减少。没有光照射的时候电流降低的场合中,可知期望门电压为负电压。特别是其使得在周围温度高的场合中也能有效的进行正常的操作。其是因为温度增高而且没有光照射的时候的电流的上升会损害 S/N 比,具体的说,在室温 5 摄氏度中使用的时候,门电压为 0V,如果在室温 40 摄氏度中也能操作的话,门电压设为-5V 比较好。该调节可以是手动也可以自动的。

图 13 是示出图 6 所示的 p+区域 46, p-区域 47 以及 n+区域 48 构成的光电二极管 D1,D2 的电特性的图。图 14 是示出用于比较的所示的 p+区域 46, p-区域 47 以及 n+区域 48 构成的光电二极管 D1,D2 的电特性的图。在图 13 和图 14 中示出,表示 p-区域 47 的长度变化的场合的光电流的变化的曲线,表示暗电流的变化的曲线,表示光电流/暗电流的变化的曲线。

一般的,光电流较多的情况,能够使得光电二极管 D1,D2 小型化,各个像素的开口率提高。暗电流较小的情况, S/N 比较好。

如这些图中所示,图 6 的光电二极管 D1,D2,与 p+区域 46, p-区域 47, n-区域 54 以及 n+区域 48 的光电二极管 D1,D2 相比,光电流和光电流/暗电流的值的任何一个都大一些,可知其电特性较好。

然后,依次说明在显示装置上用低温多晶硅处理形成的光电二极管 D1,D2, n 沟道 TFT 和 p 沟道 TFT 的制造工序。而且,这些光电二极管 D1,D2, n 沟道 TFT 和 p 沟道 TFT,是同时并行的形成的。

图 15 是示出光电二极管 D1,D2 的制造工序的图。首先,玻璃基板 21 上,通过 CVD 法,形成 SiNx 和 SiOx 等形成的底层 51。然后,用 PECVD 和溅射法等,在底层 51 上形成非晶体硅膜。接下来,对非晶体硅膜照射激光的结晶化,形成多晶硅膜 52。接下来,在多晶硅膜 52 上形成图案,在它的上面通过 PECVD 法和 ECR-CVD 法等,形成 SiOx 膜构成的第 1 绝缘膜 43。然后,在多晶硅膜 52 的光电二极管 D1,D2 的形成区域的附近,注入低浓度的硼离子,形成 p-区域 52 (图 15 (a))。

然后,用抗蚀剂 53 等作为掩膜,在多晶硅膜的一部分上注入磷离子,形成 n+区域 48 (图 15 (b))。然后,在多晶硅膜的一部分上注入硼离子的形成 p+区域 46 (图 15 (c))。

接下来,在第 1 绝缘层 43 的上面形成第 1 金属层的膜,对它图案成形的形成第 1 门电极 44。然后,用抗蚀剂作为掩膜,在光电二极管 D1,D2 形成区域中注入作为杂质的硼离子,在多晶硅膜的一部分上形成 p+区域 46 (图 15 (d))。

然后,用抗蚀剂作为掩膜在 n 沟道 TFT 的一部分的多晶硅膜中注入低浓度的磷离子。此时,PPN 元件由于用保护层作为掩膜,不会形成 n-区域。

接下来连续的,进行 p-区域 47 的氢化。其中,所谓氢化,就是将基板在氢的等离子体中漂洗的工序。该工序,使用 CVD 装置来进行。通过氢化,能够将多晶硅膜中形成的 TFT 的沟道区域中的悬垂键作为终端,抑制 TFT 的漏电流。基板漂洗在氢的等离子体中的时候,氢由于门电极 44 的遮挡,从没有门电极 44 的部分在多晶硅膜中循环混合。

然后,在第 1 绝缘层 43 的上面形成第 2 绝缘层 45。其后,为了形成光电二极管 D1,D2 的电极形成接触孔的露出 p+区域 46 和 n+区域 48,该露出的区域上形成第 2 金属层的膜,对它进行预定形状的图案成形 (图 15 (e))。

一方面,图 16 示出 n 沟道 TFT 的制造工序的图,图 17 示出 p 沟道 TFT 的制造工序的图。下面,基于图 16 和图 17 对 n 沟道 TFT 和 p 沟道 TFT 的制造工序进行说明。

首先,在玻璃基板 21 上,通过 CVD 法形成 SiNx 和 SiOx 等构成的底层 51。然后,用 PECVD 和溅射法等,在底层 51 上形成无定形硅膜,对该无定形硅膜进行激光照射的使其结晶化,形成多晶硅膜 52。然后,在对多晶硅膜 52 进行图案成形之后,在它的上面通过 PECVD 法和 ECR-CVD 法等形成 SiOx 膜构成的第 1 绝缘层 43。然后,在多晶硅膜 52 的 n 沟道 TFT 形成区域和 p 沟道 TFT 形成区域上,注入作为杂质的低浓度的硼离子,形成 p-区域 (图 16 (a), 图 17 (a))。

然后,用抗蚀剂 53 作为掩膜,在 n 沟道 TFT 形成区域上注入磷离子,在多晶硅膜的一部分上形成 n+区域 54 (图 16 (b))。在 p 沟道 TFT 形成区域中,通过保护层 53 进行磷离子的注入 (图 17 (b))。

然后,用 Mo-Ta 和 Mo-W 等,在 p 沟道 TFT 形成区域的第 1 绝缘层 43 的上面形成第 1 金属层的膜,对它进行图案成形的形成门电极 55。然后,用门电

极 55 作为掩膜，在 p 沟道 TFT 形成区域上注入作为杂质的硼离子，形成 p+ 区域 57 (图 17 (c))。此时，将 n 沟道 TFT 形成区域用第 1 金属层 56 覆盖，进行硼离子的注入 (图 16 (c))。

接下来，在 n 沟道 TFT 形成区域上形成门电极 55 之后，用该门电极 55 作为掩膜，在 n 沟道 TFT 形成区域上注入低浓度的磷离子，形成 n-区域 59。在用保护层 58 作为掩膜的地方的正下方的位置的多晶硅膜作为 p-区域 52 (图 16 (d))。

然后，在 CVD 装置内进行上述的氢化，将多晶硅膜中的 TFT 的沟道形成区域的悬垂键作为终端，希望抑制 TFT 的漏电流。

接下来，在同一个 CVD 装置内，在 SiO_x 构成的第 1 绝缘膜 43 的上面形成第 2 绝缘层 60。然后，在 n 沟道 TFT 的电极形成区域和 p 沟道 TFT 的电极形成区域上分别形成接触孔，在该接触孔内形成第 2 金属层的膜。接下来，对第 2 金属层进行图案成形，形成源电极 61 和漏电极 62。最后，作为钝化膜，用 SiN 形成膜，完成 n 沟道 TFT 和 p 沟道 TFT (图 16 (e)，图 17 (e))。

这样，本实施形式中，在构成光电二极管 D1, D2 的 p+ 区域 46 和 n+ 区域 48 之间，形成 p-区域 47 或者 n-区域构成的低浓度区域，因为该低浓度区域的基板水平方向的长度比 p+ 区域 46 和 n+ 区域 48 还要长，p+ 区域 46 和 n+ 区域 48 之间形成的空乏层 53 向低浓度区域延伸的很长，其结果是，增加光电流的同时，提高了光电变换效率的同时，提高了 S/N 比。

而且，上述实施形式中，虽然是以光电变换元件用光电二极管构成的例子来进行说明，但是用 TFT 来构成也可以。此场合，使得构成光电变换元件的 TFT 的门极长度，比其它的 TFT (像素显示用的驱动电路的 TFT 等) 还要长，能够得到与上述的实施形式同样的效果。

光电二极管的偏电压 V_{np} 和门电压 V_{gp} 设置为 $V_{gp}=V_{np}$ ，能够减小电流不稳定。具体的，门电极与 n+ 侧电极连接。图 18 示出 $V_{gp}=V_{np}$ 的场合的光电二极管的 I-V 特性。图 18 的粗线表示 $V_{gp}=V_{np}$ 的特性曲线。

(第 2 实施形式)

第 2 实施形式，其特征在于在图像获取用的光电二极管上不流过光漏电流的配置遮光层。

图 19 是示出根据本发明的第 2 实施形式的显示装置的截面结构的截面图。

如图所示, 该显示装置, 将背光装置 (B/L) 22 配置在阵列基板 21 的下方, 将对置基板 24 以夹持住液晶层 23 的方式配置在阵列基板 21 的上方, 将图像获取的对象物体 25 (比如, 纸) 配置在对置基板 24 的上方。

来自背光装置 22 的光, 通过阵列基板 21 和对置基板 24 照射到图像获取的对象物体 25。来自图像获取对象物体 25 的反射光, 通过阵列基板 21 上的光电二极管 D1,D2 来接收光而进行图像的获取。此时, 不用担心图像获取的动作会影响显示。

获取得到的图像数据, 如图 3 所示那样的保存在缓冲器 13 之后, 通过检测线, 传送到图 1 中示出的逻辑 IC33。该逻辑 IC33, 接受本实施形式的显示装置输出的数字信号, 进行数据的并行转换和数据中的噪音的除去等的运算处理。

本实施形式中, 阵列基板 21 内形成的光电二极管 D1,D2 接收来自背光装置 22 的直接光, 为了使得在光电二极管 D1,D2 中不流过光漏电流, 在光电二极管 D1,D2 的下面侧上配置遮光层 20。

可是, 在容易受到便携电话等的外部光的环境中使用的电子仪器用的显示装置, 为了即使在外部光强烈的状态下, 也能够使得显示装置的辨认性良好, 设置有反射外部光的反射电极。具有反射电极的本实施形式的显示装置的截面结构如图 20 所示, 该场合的平面图如图 21 所示。

图 20 以及图 21 所示那样, 反射电极 26 配置的位置是与阵列基板 21 上的透明电极 27 的一端连接的并且比透明电极 27 还要高的位置。图 21 的平面图所示那样, 反射电极 26 沿着像素内的外周部形成。外部光透过对置基板 24 在反射电极 26 上反射。该场合中, 各个像素的辉度与[外部光的强度]和[液晶层的透过率]的积成比例。液晶层的透过率根据该像素电极上施加的电压而变化。根据每个像素上朝像素电极施加的电压的变化能够显示任意的图案。

一方面, 图 22 是阵列基板 21 和对置基板 24 之间的关系与图 20 中相反的场合的截面图。图 23 是它的平面图。在该场合, 反射电极 26 配置在对置基板 24 侧。更详细的说, 如图 23 的平面图所示那样, 由于在像素的中央附近设置反射电极 26, 恶化了开口率。与图 23 相比图 21 的方法, 开口率更高。

在本实施形式中, 使用多晶硅处理形成 TFT (像素显示用和驱动电路用) 和光电二极管, 在形成光电二极管的时候, 与通常的 TFT 相比, 由多晶硅构成的半导体层的结晶性如所意料的那样被恶化。理由是, 与期望的进行多晶硅膜

中的结晶化使得 TFT 的导通电流变大相对的, 光电二极管在不进行多晶硅膜中的结晶化的方法中能够吸收广阔的波谱, 所以提高了光电变换效率。换句话说, 光漏电流, 在比预定的能隙 E_g 还大的能量的光入射的时候, 产生在正孔发生中的电子, 在没有进行结晶化的状态中大多存在各种能隙, 所以即使对应各种波长的光也能进行光电变换。

另外, 如图 24 放大所示的那样, 本实施形式中, 光电二极管 D1,D2 的下方配置有金属膜构成的遮光层 20。因此, 对光电二极管 D1,D2 的形成区域内的无定形硅照射激光的形成多晶硅的时候, 由于来自无定形硅的激光的能量通过遮光层 20 逃逸, 与没有遮光层 20 的场合相比, 无定形硅的结晶化的进行困难。由此, 即使特别的在制造上进行加工, 在本实施形式中, 光电二极管的半导体层的结晶性比 TFT 还要恶劣。

而且, 结晶性恶劣的话, 结晶规格的不稳定变大, 导致缺陷密度更多。

然后, 依次说明在显示装置上通过多晶硅处理形成的光电二极管 D1,D2, n 沟道 TFT 以及 p 沟道 TFT 的制造工序。而且, 这些光电二极管 D1,D2, n 沟道 TFT 以及 p 沟道 TFT 是同时处理形成的。

图 25 是示出光电二极管 D1,D2 的制造工序的图。首先, 在玻璃基板 21 上, 形成遮光层 20 之后, 通过 CVD 法, 形成 SiN_x 和 SiO_x 等构成的底层 51。然后, 通过 PECVD 和溅射法等, 在底层 51 上形成无定形硅膜。接下来, 对无定形硅膜进行激光照射使其结晶化, 形成多晶硅膜 52。此时, 根据上述那样的, 由于存在遮光层 20, 即使不特别在 TFT 部和光电二极管部中变更激光的照射条件, 激光的能量也通过遮光层 20 逃逸, 使得无定形硅膜的结晶化的进行困难。

接下来, 图案成形该多晶硅膜 52, 在它的上面通过 PECVD 法和 ECR-CVD 法等, 形成 SiO_x 膜构成的第 1 绝缘层 43。然后, 在光电二极管 D1,D2 形成区域的附近, 注入低浓度的硼离子, 形成 p-区域 52 (图 25 (a))。

然后, 用抗蚀剂 53 等作为掩膜, 在多晶硅膜的一部分上注入磷离子, 形成 n+区域 48 (图 25 (b))。接下来, 在多晶硅膜的一部分上注入硼离子的形成 p+区域 46 (图 25 (c))。

然后, 在第 1 绝缘层 43 的上面形成第 1 金属层的膜, 对它图案成形的形成第 1 门电极 44。接下来, 用保护层作为掩膜在 n 沟道 TFT 的一部分的多晶硅膜中注入低浓度的磷离子, 形成 n-区域 49。

接下来连续的,进行p-区域52的氢化。其中,所谓氢化,就是将基板在氢的等离子体中漂洗的工序。该工序,使用CVD装置来进行。通过氢化,能够将多晶硅膜中形成的TFT的沟道区域中的悬垂键作为终端,抑制TFT的漏电流。基板漂洗在氢的等离子体中的时候,氢由于门电极44的遮挡,从没有门电极44的部分在多晶硅膜中循环混合。

然后,在第1绝缘层43的上面形成第2绝缘层45。其后,为了形成光电二极管D1,D2的电极,形成接触孔并露出p+区域46和n+区域48,该露出的区域上形成第2金属层的膜,对它进行预定形状的图案成形形成正电极50和负电极52(图25(e))。

这样,在本实施形式中,将被光装置22配置在阵列基板21的下方,由于将遮光层20设在阵列基板21内的光电二极管D1,D2的下面侧上,不用担心来自背光装置22的直接光入射到光电二极管D1,D2,能够抑制光漏电流。

另外,由于构成光电二极管的多晶硅构成的半导体层的结晶性有意的恶化,使得能够吸收广阔的波谱的光,提高了光电变换效率。

上述本实施形式中,虽然仅以具有p+区域46,p-区域52,n-区域49和n+区域48的光电二极管D1,D2的形成的例子进行说明,但是形成没有p-区域52和n-区域49的结构的光电二极管也可以。比如,在p+区域46,p-区域52和n+区域48构成光电二极管的场合,通过使得p-区域52比其它区域46,45长,扩大了p-区域52内的空乏层,能够提高光电变换效率的同时,改善S/N比。

而且,上述实施形式中,虽然仅以用光电二极管构成光电变换元件的例子进行说明,但是也可以用TFT来构成。该场合,通过使得构成光电变换元件的TFT的门极长,比其它TFT(像素显示用和驱动电路用TFT等)长,能够得到与上述实施形式同样的效果。

(第3实施形式)

第3实施形式,是使得用于对来自背光装置的直接光进行遮光的遮光层的面积更小的方案。

图26是根据本发明的第3实施形式的显示装置的截面图。图26示出作为显示装置的一个例子的液晶显示装置101的截面结构。图26的液晶显示装置101,具备图像获取机能。该液晶显示装置101,备有作为电路板的大约矩形的平板状的有源矩阵型的阵列基板102。该阵列基板102,具有是大约透明的矩

形平板状的绝缘基板的玻璃基板（透明性基板）103。该玻璃基板 103 的一个主面上，形成有由硅氮化膜（SiN_x）和氧化硅膜（SiO_x）等构成的底层 104。该底层 104，防止朝向玻璃基板 103 上形成的各个元件的杂质的扩散。

底层 104 上，矩阵状的形成有像素显示用的 n 沟道（n-ch）型的薄膜晶体管（TFT）105，像素显示用的 p 沟道（p-ch）型的薄膜晶体管 106，图像获取用的光电变换元件（光传感器）7。

这些薄膜晶体管 105, 106 分别具有，底层 104 上形成的 p-区域的活性层（半导体层）111。该活性层 111，用多结晶半导体（多晶硅）形成。活性层 111 的多晶硅，通过对无定形硅进行激光照射的使其结晶化的形成。

活性层 111 的中央部上，形成沟道区域 112。该沟道区域 112 的两侧上，对置的配置了 n+区域或者 p+区域构成的源区域 113 和漏区域 114。n 沟道型的薄膜晶体管 105 的沟道区域 112 和源区域 113 以及漏区域 114 之间，形成 n-区域的 LDD（轻掺杂漏漏极）区域 115, 116。

这些沟道区域 112，源区域 113，漏区域 114 以及 LDD 区域 115, 116 的分别含有的底层 104 上，形成具有绝缘性的门绝缘膜（氧化硅膜）117。

与各个沟道区域 112 相对的门绝缘膜 117 上，形成用第 1 金属形成的门电极 118。这些门电极 118，通过门绝缘膜 117 与各个薄膜晶体管 105, 106 的沟道区域 112 对置，具有与这些沟道区域 112 的宽度尺寸大约相等的宽度尺寸。

一方面，底层 104 上，与薄膜晶体管 106 相邻的，形成 PIN 型的光传感器 107。该光传感器 107，用与各个薄膜晶体管 105, 106 同样的制造工序形成，与玻璃基板 103 上的薄膜晶体管 105, 106 同一个平面形状的配置。

该光传感器 107，具备用无定形硅形成的光电变换部的 I 层的光接收部 121。该光接收部 121，用与各个薄膜晶体管 105, 106 的活性层 111 同样的工序形成，在底层 104 上叠层。该光接收部 121，分别具备在 p-区域构成的第 1 光接收部 122 和第 2 光接收部 123 之间。

图 27 是光接收部 121 的周围的上视图。第 1 光接收部 122 以及第 2 光接收部 123 分别，如图 27 所示，形成为大约相等大小的细长矩形平板状，相互的相适应的宽度方向的各个边连接的进行电连接。

夹持第 1 光接收部 122 的第 2 光接收部 123 的相反侧上，设置有用多晶硅形成的作为 n 型电极区域作用的 n+区域 124。该 n+区域 124，备有具有与第 1

光接收部122的长轴尺寸大约相等的长轴尺寸的细长矩形平板状的连接部124a。该连接部124a的长轴方向，与第1光接收部122的长轴方向大约平行，连接部124a的宽度方向的端部与第1光接收部122的宽度方向的端部连接的进行电连接。

连接部124a的宽度方向的其它端部上，设置有沿着连接部124a的宽度方向延伸的细长矩形状的导通部124b。该导通部124b，从连接部124a的宽度方向的其它端部，沿着该连接部124a的宽度方向突出。该导通部124b，靠近连接部124a的长轴方向的一端的设置。

夹持第2光接收部123的第1光接收部122的相反侧上，设置有用多晶硅形成的作为p型电极区域作用的p+区域125。该p+区域125，备有具有与第2光接收部123的长轴尺寸大约相等的长轴尺寸的细长矩形平板状的连接部125a。该连接部125a的长轴方向，与第2光接收部123的长轴方向大约平行，连接部125a的宽度方向的端部与第2光接收部123的宽度方向的端部连接的进行电连接。

连接部125a的宽度方向的其它端部上，设置有沿着连接部125a的宽度方向延伸的细长矩形状的导通部125b。该导通部125b，从连接部125a的宽度方向的其它端部，沿着该连接部125a的宽度方向突出。该导通部125b，设置在连接部125a的长轴方向的其它端部上。

其中，n+区域124以及p+区域125分别，作为光传感器107的一对电极部适用。这些n+区域124以及p+区域125分别形成在，分别与第1光接收部122和第2光接收部123同一层的底层104上。

如图26所示，第1光接收部122，第2光接收部123，n+区域124以及p+区域125，和底层104之间的上表面上，形成门绝缘膜117。与第2光接收部123相对的门绝缘膜117上，形成用与薄膜晶体管105，106的门电极118相同的工序在同一层上形成的门电极126。该门电极126，具有与第2光接收部123的宽度尺寸大约相等的宽度尺寸，用第1金属形成。换句话说，该门电极126，通过门绝缘膜117设置在第2光接收部123的上方，覆盖该第2光接收部123。

在分别含有门电极126和各个薄膜晶体管105，106的门电极118的绝缘膜117上，形成作为第2绝缘层的层间绝缘膜（氧化硅膜）131。然后，在这些层间绝缘膜131和门绝缘膜117上，设置分别贯穿这些层间绝缘膜131和门绝缘

膜 117 的多个接触孔 132, 133, 134, 135, 136, 137。

接触孔 132, 133 分别设置在, n 沟道型的薄膜晶体管 105 的门电极 118 的两侧配置的源区域 113 和漏区域 114 上。接触孔 132, 与 n 沟道型的薄膜晶体管 105 的源区域 113 连通的开口。接触孔 133, 与 n 沟道型的薄膜晶体管 105 的漏区域 114 连通的开口。

接触孔 134, 135 分别设置在, p 沟道型的薄膜晶体管 106 的门电极 118 的两侧配置的源区域 113 和漏区域 114 上。接触孔 134, 与 p 沟道型的薄膜晶体管 106 的源区域 113 连通的开口。接触孔 135, 与 p 沟道型的薄膜晶体管 106 的漏区域 114 连通的开口。

接触孔 136, 137, 设置在光传感器 107 的光接收部 121 的两侧配置的 n+ 区域 124 和 p+ 区域 125 上。接触孔 136, 与沿着 n+ 区域 124 的导通部 125b 的长轴方向的前端部宽度方向的中间部连通的开口。接触孔 137, 与沿着 p+ 区域 125 的导通部 125b 的长轴方向的前端部宽度方向的中间部连通的开口。

与各个薄膜晶体管 105, 106 的源区域 113 连通的接触孔 132, 134 上, 分别设置作为信号线的源电极 141。这些源电极 141, 用第 2 金属形成, 通过接触孔 132, 134 与薄膜晶体管 105, 106 的源区域 113 电连接的导通。

与各个薄膜晶体管 105, 106 的漏区域 114 连通的接触孔 133, 135 上, 设置与信号线连接的漏电极 142。这些漏电极 142, 用第 2 金属形成, 通过接触孔 133, 135 与薄膜晶体管 105, 106 的漏区域 114 电连接的导通。

与光传感器 107 的 n+ 区域 124 连通的接触孔 136 上, 叠层的设置有用第 2 金属形成的 n 型电极 143。该 n 型电极 143, 通过接触孔 136 与 n+ 区域 124 的导通部 124b 电连接的导通, 作为光传感器 107 的阴极。图 27 中所示那样的, 该 n 型电极 143, 在层间绝缘膜 131 上沿着 n+ 区域 124 的导通部 124b 的长轴方向朝向前端侧突出。

与光传感器 107 的 p+ 区域 125 连通的接触孔 137 上, 叠层的设置有用第 2 金属形成的 p 型电极 144。该 p 型电极 144, 通过接触孔 137 与 p+ 区域 125 的导通部 124b 电连接的导通, 作为光传感器 107 的阳极。该 p 型电极 144, 在层间绝缘膜 131 上沿着 p+ 区域 125 的连接部 125a 的长轴方向朝向其它端侧突出。

在与光传感器 107 的第 1 光接收部 122 相对的层间绝缘膜 131 上, 形成有细长矩形平板状的遮光层 145。该遮光层 145, 设置用来遮挡来自配置在对置极

板 151 的里面侧的图中未示出的背光装置的直接光。

遮光层 145, 能够仅遮挡第 1 光接收部 122 的, 与该第 1 光接收部 122 对置配置。遮光层 145, 沿着第 1 光接收部 122 的长轴方向延伸, 具有比第 1 光接收部 122 的长轴尺寸还大的长轴尺寸。遮光层 145, 具有比第 1 光接收部 122 的宽度尺寸还大的宽度尺寸。换句话说, 该遮光层 145, 以第 1 光接收部 122 为中心, 沿着从 n+区域 124 的第 1 光接收部 122 侧直到第 2 光接收部 123 的第 1 光接收部 122 侧的宽度方向将其覆盖。

换句话说, 该遮光层 145, 分别覆盖了 n+区域 124 的导通部 124b 的长轴方向的基端侧的大约 3 分之 1, 该 n+区域 124 的连接部 124a, 第 1 光接收部 122, 和第 2 光接收部 123 的宽度方向的一侧的大约 2 分之 1。即, 该遮光层 145, 至少露出了第 2 光接收部 123 和 p+区域 125 的一部分。

遮光层 145, 具有比光传感器 107 的门电极 126 的长轴尺寸还大的长轴尺寸。进而, 对于该遮光层 145, 将遮光层 145 的长轴方向的中心定位在, 各个 n+区域 124 的连接部 124a 和第 1 光接收部 122 和第 2 光接收部 123 的长轴方向的中心上。所以, 该遮光层 145, 比各个 n+区域 124 的连接部 124a 和第 1 光接收部 122 和第 2 光接收部 123 的长轴方向的两个端部还要向该第 1 光接收部 122 的长轴方向突出。

即, 该遮光层 145, 为了能够可靠的遮挡贯穿对置极板 151 入射的来自图中未示出的背光装置的直射光的朝向第 1 光接收部 122 的入射光, 以第 1 光接收部 122 为中心的分别覆盖 n+区域 124 和第 2 光接收部 123 的一部分。

换句话说, 遮光层 145, 分别向上方露出了第 2 光接收部 123 的 p+区域 125 侧, 和该 p+区域 125。即, 该遮光层 145, 不能分别覆盖第 2 光接收部 123 的宽度方向的其它侧的大约 2 分之 1 和 p+区域 125, 分别向上方露出了这些第 2 光接收部 123 的宽度方向的其它侧的大约 2 分之 1 和 p+区域 125。

进而, 该遮光层 145, 用和各个 n 型电极 143 以及 p 型电极 144 同样的材料的第 2 金属形成。即, 该遮光层 145, 用和各个 n 型电极 143 以及 p 型电极 144 同样的工序形成。所以, 该遮光层 145, 形成在分别与 n 型电极 143 和 p 型电极 144 的同一层的层间绝缘膜 131 上。

一方面, 在分别含有各个薄膜晶体管 105, 106 的源电极 141 和漏电极 142 以及光传感器 107 的 n 型电极 143, p 型电极 144 和遮光层 145 的层间绝缘膜 131

上, 形成分别覆盖这些薄膜晶体管 105, 106 和光传感器 107 的氮化硅膜构成的钝化膜 146。

该钝化膜 146 上, 设置有贯穿该钝化膜 146 的接触孔 147。该接触孔 147, 与 n 沟道型的薄膜晶体管 105 的源电极 141 连通的开口。

在含有该接触孔 147 的钝化膜 146 上, 形成像素电极 148。该像素电极 148, 通过接触孔 147 与 n 沟道的薄膜晶体管 105 的源电极 141 电连接。

而且, 像素电极 148, 通过 n 沟道型的薄膜晶体管 105 控制。含有该像素电极 148 的钝化膜 146 上, 形成导向膜 149。

一方面, 与阵列基板 102 相对的设置作为公共基板作用的矩形平板状的对置基板 151。该对置基板 151, 备有大约透明的矩形平板状的玻璃基板 152。在与该玻璃基板 152 的阵列基板 102 相对的一侧的一个主面上, 设置有作为公共电极的对置电极 153。该对置电极 153 上形成有导向膜 154。该对置基板 151 的导向膜 154 阵列基板 102 的导向膜 149 之间, 插入的密封有液晶 155。

在与阵列基板 102 的对置基板 151 相对的设置侧的相反侧上, 相对的设置有作为背面光源的图中未示出的背光装置。该背光装置, 将面状的光入射到阵列基板 102, 通过该阵列基板 102 上的薄膜晶体管 105, 106 来控制像素电极 148 的, 使得能够用眼睛观察到该阵列基板 102 上显示的图像。

图 29-图 37 是示出根据第 3 实施形式的液晶显示装置的制造工序的图。下面, 参照这些图, 说明本实施形式的液晶显示装置的制造方法。首先, 如图 28 所示那样, 作为等离子 CVD 工序, 在玻璃基板 103 上通过等离子 CVD (化学汽相沉积) 法形成由氮化硅膜 (SiN_x) 和氧化硅膜 (SiO_x) 等构成的底层 104。

然后, 通过根据 PE(等离子强化)-CVD 法的 PE-CVD 工序或者根据溅射法的溅射工序等, 在玻璃基板 103 上堆积 50 埃程度的非晶体半导体层的无定形硅膜 161。

此后, 作为激光照射工序, 如图 29 所示, 对无定形硅膜 161 照射准分子激光束而进行激光退火, 使得该无定形硅膜 161 结晶化的形成多晶硅膜 62。

然后, 如图 30 所示那样, 作为干性蚀刻工序, 通过干性蚀刻将多晶硅膜 162 形成岛状的形状。

此后, 作为第 1 离子掺杂工序, 在这些成形的各个岛状的多晶硅膜 162 的整个表面上进行低浓度的硼(B)离子掺杂, 将这些各个岛状的多晶硅膜 162 作为

p-区域，形成光传感器 107 的光接收部 121 和各个薄膜晶体管 105，106 的沟道区域 112。

然后，作为门绝缘膜形成工序，如图 31 所示的那样，在含有这些岛状的多晶硅膜 162 的底层 104 上，通过 PE-CVD 法和 ECR(Electro n-Cyclotron Resonance)-CVD 法等，形成氧化硅膜 (SiO_x) 构成的门绝缘膜 117。

此后，作为第 1 抗蚀剂形成工序，如图 32 所示的那样，分别在光传感器 107 的光接收部 121 和构成 p+区域 125 的多晶硅膜 162 上，和构成 p 沟道型的薄膜晶体管 106 的活性层 111 的多晶硅膜 162 上，以及构成 n 沟道型的薄膜晶体管 105 的沟道区域 112 和构成 LDD 区域 115，116 的多晶硅膜 162 上形成保护层 163。

这种状态中，作为第 2 离子掺杂工序，用该抗蚀剂层 163 作为掩膜，在构成光传感器 107 的 n+区域 124 的多晶硅膜 162 上，和构成 n 沟道型的薄膜晶体管 105 的源区域 113 以及漏区域 114 的多晶硅膜 162 上分别进行高浓度的磷(P)离子掺杂的作为 n+层，分别形成这些光传感器 107 的 n+区域 124 和 n 沟道型的薄膜晶体管 105 的源区域 113 以及漏区域 114。

然后，如图 33 所示的那样，除去抗蚀剂层 163 之后，作为第 1 金属形成工序，在门绝缘膜 117 上用钼-钽合金 (Mo-Ta) 和钼-钨合金 (Mo-W) 等形成膜而形成第 1 金属层 164。

此后，如图 34 所示的那样，作为第 1 图案成型工序，对该第 1 金属层 164 进行图案成形，分别对构成光传感器 107 的 p+区域 125 的部分和构成 p 沟道型的薄膜晶体管 106 的源区域 113 以及漏区域 114 的部分进行开口。

该状态中，作为第 3 离子掺杂工序，用该图案成形的第 1 金属层 164 作为掩膜，将分别进行了高浓度的硼 (B) 离子掺杂的构成光传感器 107 的 p+区域 125 部分的多晶硅膜 162，以及构成 p 沟道型的薄膜晶体管 106 的源区域 113 和漏区域 114 部分的多晶硅膜 162 作为 p+层，形成光传感器 107 的 p+区域 125。

此时，该 p 沟道型的薄膜晶体管 106 中，图案成形的第 1 金属层 164 构成门电极 118。

进而，如图 35 所示那样，作为第 2 图案成型工序，该第 1 金属层 164 进一步图案成形，对构成光传感器 107 的 n+区域 124 和第 1 光接收部 122 的部分，和构成 n 沟道型的薄膜晶体管 105 的源区域 113，漏区域 114 以及 LDD 区域 115，

116 的部分进一步开口。

此后,作为第2抗蚀剂层形成工序,在含有构成光传感器107的门电极126的第1金属层164的门绝缘膜117上形成抗蚀剂层掩膜165的,将该抗蚀剂层掩膜165覆盖在构成光传感器107的n+区域124,光接收部121和p+区域125的多晶硅膜162上。

该状态中,作为第4离子掺杂工序,将该图案成形的第1金属层164和抗蚀剂层掩膜165分别作为掩膜,分别在构成p沟道型的薄膜晶体管106的源区域113以及漏区域114的部分,和构成n沟道型的薄膜晶体管105的源区域113,漏区域114以及LDD区域115,116的部分上进行低浓度的磷离子掺杂的作为n-层,分别形成n沟道型的薄膜晶体管105的源区域113,漏区域114以及LDD区域115,116,和p沟道型的薄膜晶体管106的源区域113和漏区域114。

此时,n沟道型的薄膜晶体管105和光传感器107分别是,由图案成形的第1金属层164形成门电极118,126。进而,光传感器107的光接收部121,通过p-区域的低浓度杂质注入区域构成的变成PIN型。

接下来,作为热活性化工序,为了使得在第1至第4离子掺杂工序中掺杂的各个杂质活性化,分别以500摄氏度的程度对光传感器107的光接收部121,n+区域124和p+区域125,p沟道型的薄膜晶体管106的源区域113和漏区域114,n沟道型的薄膜晶体管105的源区域113,漏区域114和LDD区域115,116进行退火。

此后,作为氢化工序,将分别形成有这些光传感器107的光接收部121,n+区域124和p+区域125,各个薄膜晶体管105,106的活性层111的玻璃基板103插入图中未示出的等离子CVD装置,将该玻璃基板103在氢的等离子体中漂洗的进行氢化。

此后,如图36所示的那样,作为等离子CVD工序,在与该氢化的等离子CVD装置相同的等离子CVD装置内,在含有光传感器107和各个薄膜晶体管105,106的门电极118,126的门绝缘膜117上形成氧化硅等的膜的形成层间绝缘膜131。

然后,如图37所示的那样,在该层间绝缘膜131上形成接触孔132,133,134,135,136,137,分别露出光传感器107的n+区域124和p+区域125,p沟道型的薄膜晶体管106和n沟道型的薄膜晶体管105的源区域113和漏区域

114。

此后，作为第2金属层形成工序，在含有这些接触孔132，133，134，135，136，137的层间绝缘膜131上的整个表面上形成第2金属层166的膜。

然后，对该第2金属层166的进行图案成形，分别形成光传感器107的n型电极143，p型电极144和遮光层145，p沟道型的薄膜晶体管106的源电极141和漏电极142，n沟道型的薄膜晶体管105的源电极141和漏电极142。

接下来，作为钝化膜形成工序，在含有这些光传感器107的n型电极143，p型电极144和遮光层145，p沟道型的薄膜晶体管106的源电极141和漏电极142，n沟道型的薄膜晶体管105的源电极141和漏电极142的层间绝缘膜131上形成氮化硅(SiN)膜的钝化膜146，完成各个薄膜晶体管105，106和光传感器107。

此后，如图26所示的那样，在该钝化膜146上形成接触孔147，露出n沟道型的薄膜晶体管105的漏电极142。

该状态中，含有该接触孔147的钝化膜146上形成像素电极148之后，在含有该像素电极148的钝化膜146上形成导向膜149的完成阵列基板102。

然后，在该阵列基板102的导向膜149侧，对置的安装对置基板151的导向膜154侧之后，通过将液晶155注入并密封在这些阵列基板102的导向膜149和对置基板151的导向膜154之间的完成液晶显示装置101。

此后，夹持该液晶显示装置101的对置基板151的在阵列基板102的相反侧安装背光装置。

如上所述，在光传感器107中产生光电流的空乏层168，从光接收部121和n+区域124之间的界面，就这么随着这些光接收部121和n+区域124延伸，延伸的比杂质浓度低的光接收部121还要长，不怎么延伸出杂质浓度高的n+区域124侧。

另外，在p+区域125和门电极126之间施加的电压(V_{gp})为0V的场合，如图38所示的那样，朝向光接收部121侧的空乏层168的延伸不止到第1光接收部122而是直到第2光接收部123的中间部。该场合，该空乏层168的光接收部121侧通过门电极126进行遮光，该空乏层168的n+区域124侧通过遮光层145进行遮光。

一方面，在p+区域125和门电极126之间施加的电压(V_{gp})为-5V的场

合,如图39所示的那样,第2光接收部123中的电压变成与p型电极144相等(类似p+),由于光接收部121中的空乏层168仅到光接收部122,该空乏层168的光接收部121侧和n+区域124侧分别通过遮光层145进行遮光。

结果是,不必通过该遮光层145覆盖p+区域125,不通过该遮光层145覆盖p+区域125,通过露出该p+区域125,能够减小遮光层145的面积。所以,由于能够防止该遮光层145导致的各个像素的开口率的降低,能够制造内部分别具备具有高质量的显示和高性能的获取机能的液晶显示装置101。

进而,通过将该遮光层145用与n型电极143和p型电极144相同的材料以同样的工序的形成,能够简化制造工序。

图40是示出遮光层145的具体形成场所的第1例子的设计图。图40中,利用与薄膜晶体管105,106电连接的信号线171形成遮光层145。该场合,光传感器107对置的设置在各个信号线171的下方。

图40的遮光层145,与在同一层中形成的信号线171一体的形成,而且与n型电极143和p型电极144用同样的材料同样的工序形成。该遮光层145,形成为在信号线171的一部分的两侧朝向宽度方向宽度扩大的细长矩形平板状。另外,该遮光层145,沿着信号线171的长轴方向延伸,设置在信号线171的中央部。正交于这些信号线171的多条辅助电容线172,扫描线173和传感器控制线174相互平行的隔开的布线。

图41是示出遮光层145的具体的形成场所的第2例子的设计图。图41中,利用给光传感器107供给电压的传感器控制线174形成遮光层145。该场合,光传感器107对置的设置在各个传感器控制线174的下方。

这些各个光传感器107的遮光层145,与传感器控制线174一体的形成,而且以与n型电极143和p型电极144同样的材料同样的工序形成。

图41的遮光层145,形成为在传感器控制线174的一部分的两侧朝向宽度方向宽度扩大的细长矩形平板状。另外,该遮光层145,具有沿着传感器控制线174的长轴方向的长轴方向,设置在该传感器控制线174的中央部。

对于图41,在各个信号线171与传感器控制线174交叉的部分上,分别形成有沿着信号线171的宽度方向以预定的间隔分开的断开部175。通过该断开部175在各个信号线171的长轴方向的各个端部上,形成接触孔176。这些接触孔176,与各个信号线171的端部导通的开口。这些接触孔176上,形成将用断开

部 175 隔开的各个信号线 171 间电连接的导通的连接布线部 177。该连接布线部 177，将用断开部 175 隔开的各个信号线 171 沿着长轴方向连接。另外，该连接布线部 177，形成为与信号线 171 形成的层不同的层。

这样，在图 40 和图 41 中，利用信号线 171 或者传感器控制线 174，将光传感器 107 的遮光层 145，通过与这些信号线 171 或者传感器控制线 174 一体的形成，能够抑制该遮光层 145 引起的各个像素的开口率的降低。由此，能够提高显示置量和获取性能。

液晶显示装置 101 的各个光传感器 107 的 n+ 区域 124 上施加 5V 的电压的场合 ($V_{np}=5V$) 中，如图 42 所示的那样，这些各个光传感器 107 的遮光层 145 的电位大约为 2V 以上，这些光传感器 107 的光接收部 121 中的光电流很高。与此相对，使得各个光传感器 107 的遮光层 145 的电位比大约 2V 还要低，降低了这些光传感器 107 的光接收部 121 中的光电流。

此时，在这些光传感器 107 成为实际的装置的场合中，这些各个光传感器 107 的 n+ 区域 124 的电位在 2.5V 以上 5V 以下的范围内变动。这些各个光传感器 107 的遮光层 145 的电位在 n+ 区域 124 的电位的变动范围内的话，能够防止这些光传感器 107 的感光度的下降。

同时，通过使得这些光传感器 107 的遮光层 145 的电位，与这些光传感器 107 的 n+ 区域 124 的电位相同的，能够不必设置在这些光传感器 107 的遮光层 145 上施加的电荷与其它电源不同的场合中所必须的新的电源布线。由此，能够避免设置这些新的电源布线所引起的开口率的降低，能够抑制阵列基板 102 的各个像素的开口率的降低。这些的结果是，由于能够避免开口率降低防止感光度的降低，能够实现具备高性能的获取机能和高质量的显示的液晶显示装置 101。

上述的各个实施形式中，虽然仅对液晶显示装置 101 所用的阵列基板 102 进行说明，但是即使是有机 EL（电致发光）元件用的电路基板，它也能够对应的使用。

上述各个实施形式中，在阵列基板 102 上形成的 TFT 是作为所谓的顶浇型（在阵列基板的上面按照沟道，门绝缘膜，门电极的这个顺序依次形成的 TFT）的部分记载的，也可以相对于适用于底浇型 TFT（在阵列基板的上面按照门电极，门绝缘膜，沟道的这个顺序依次形成的 TFT）作适当的变形。

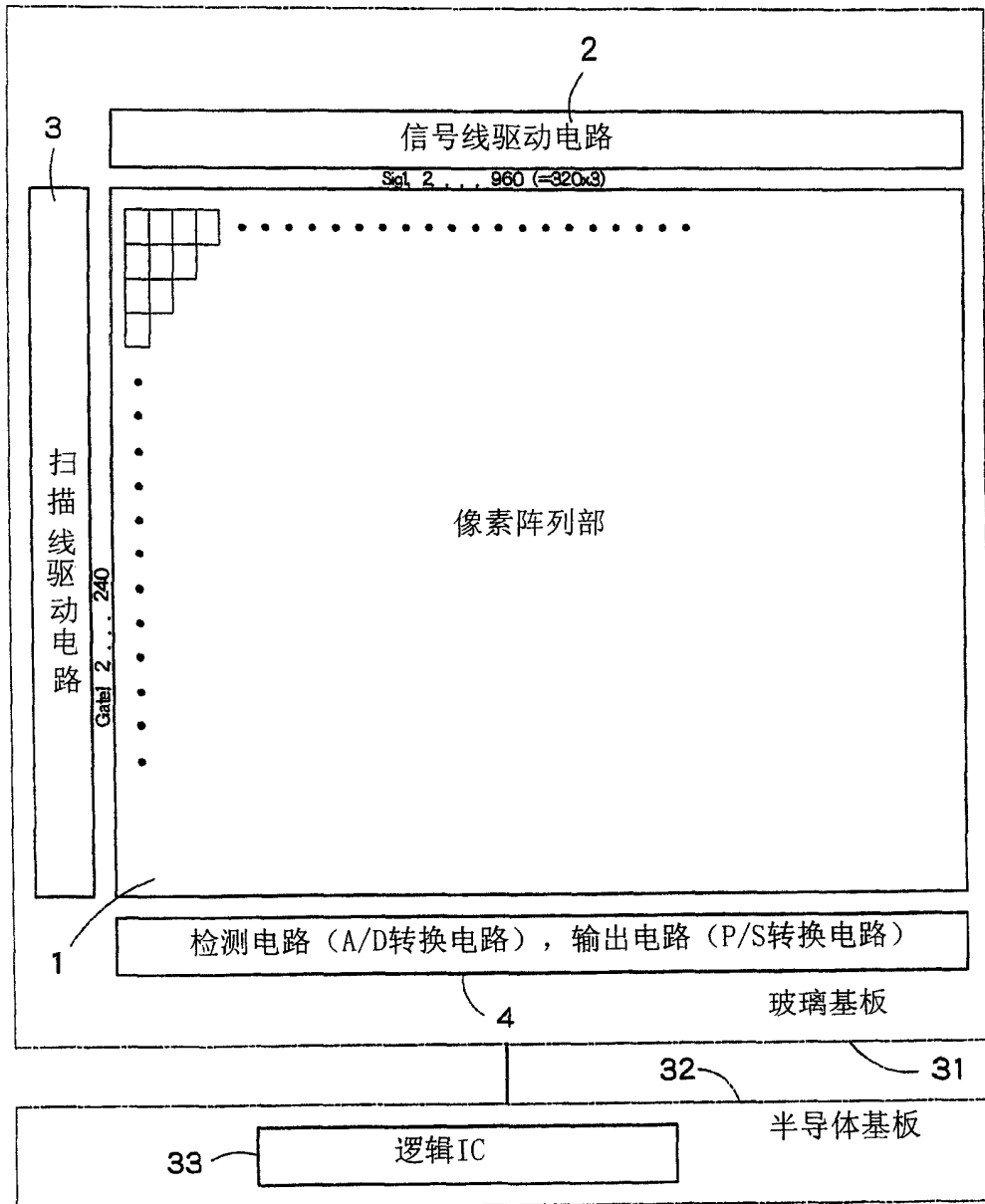


图 1

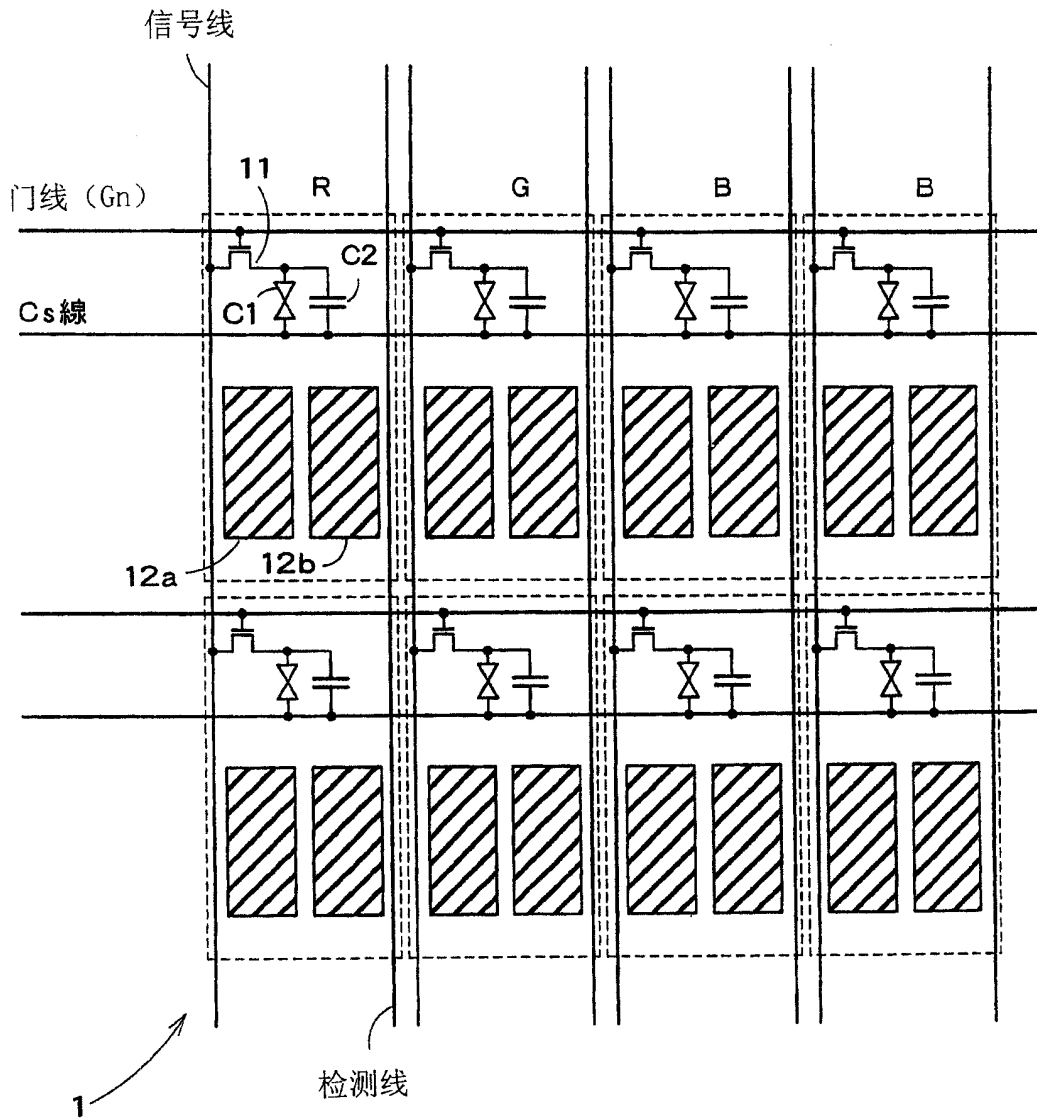


图 2

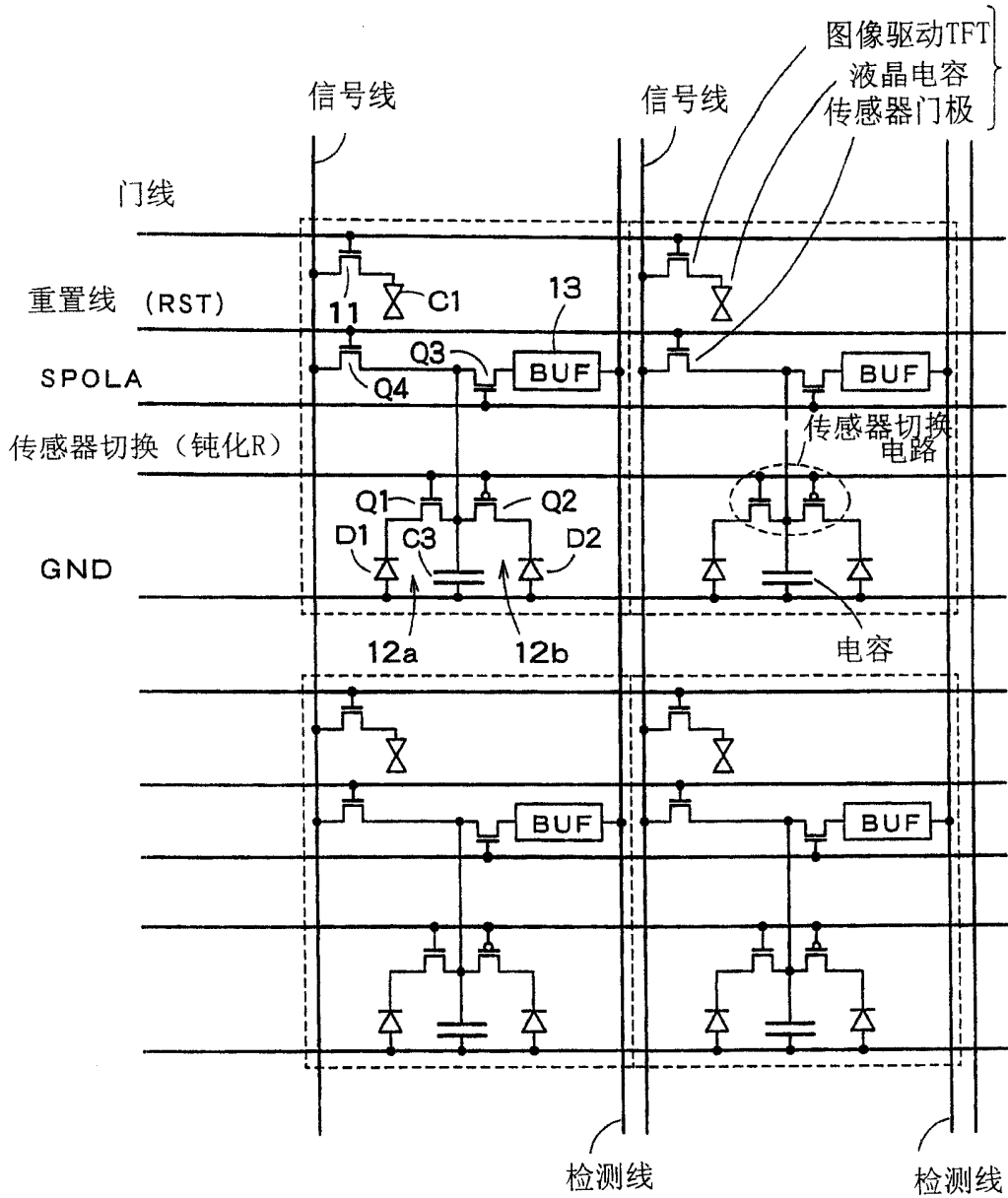


图 3

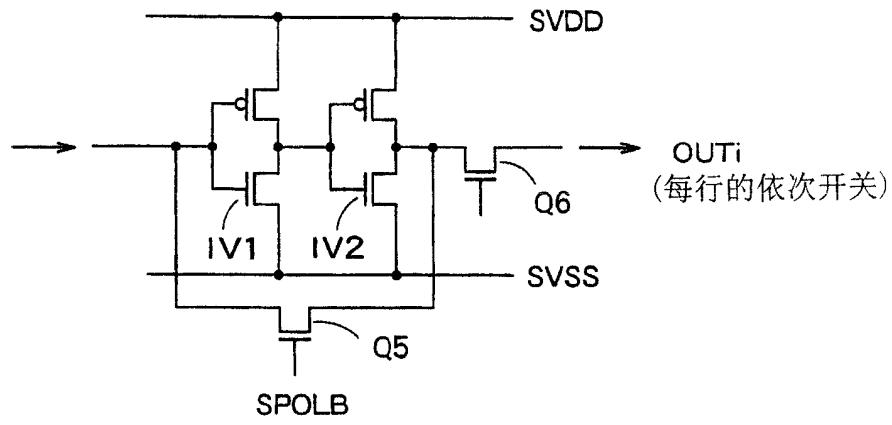


图 4

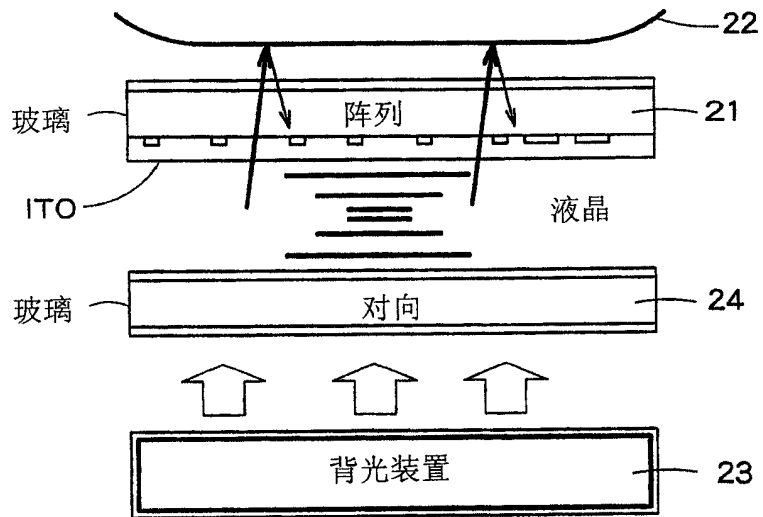


图 5

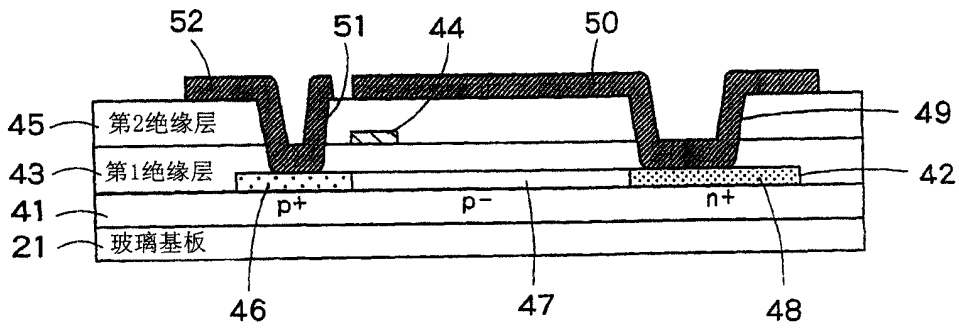


图 6

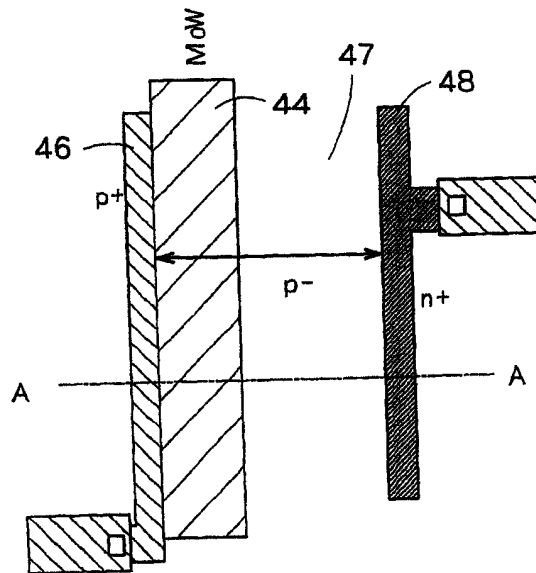


图 7

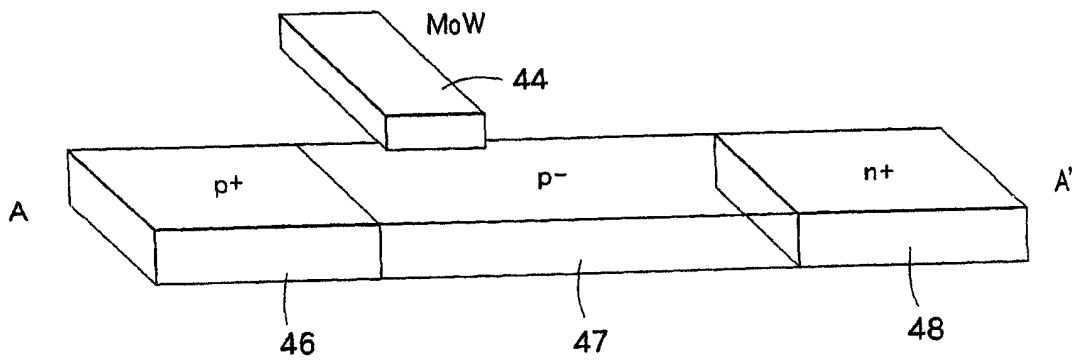


图 8

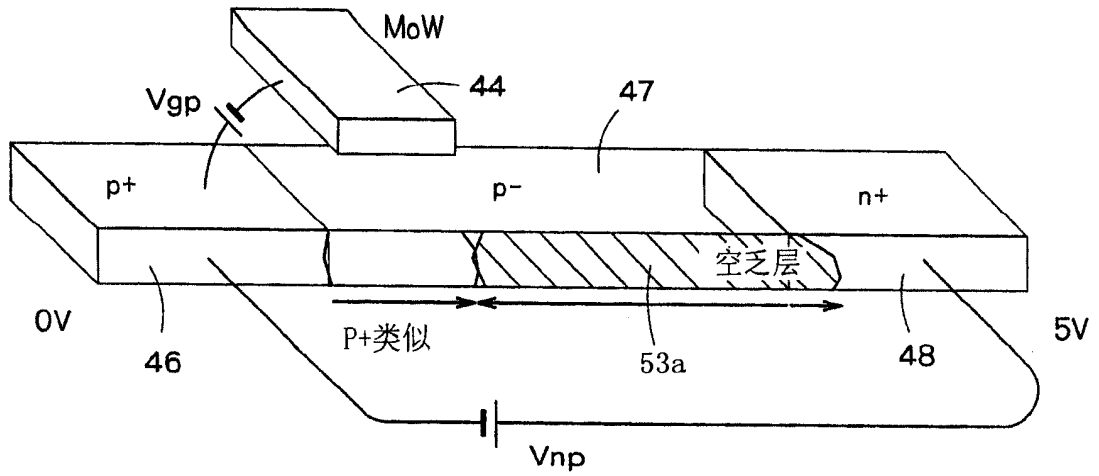


图 9

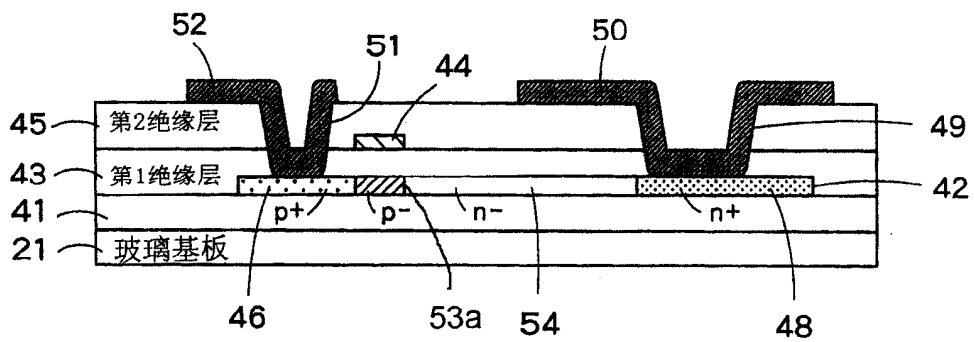


图 10

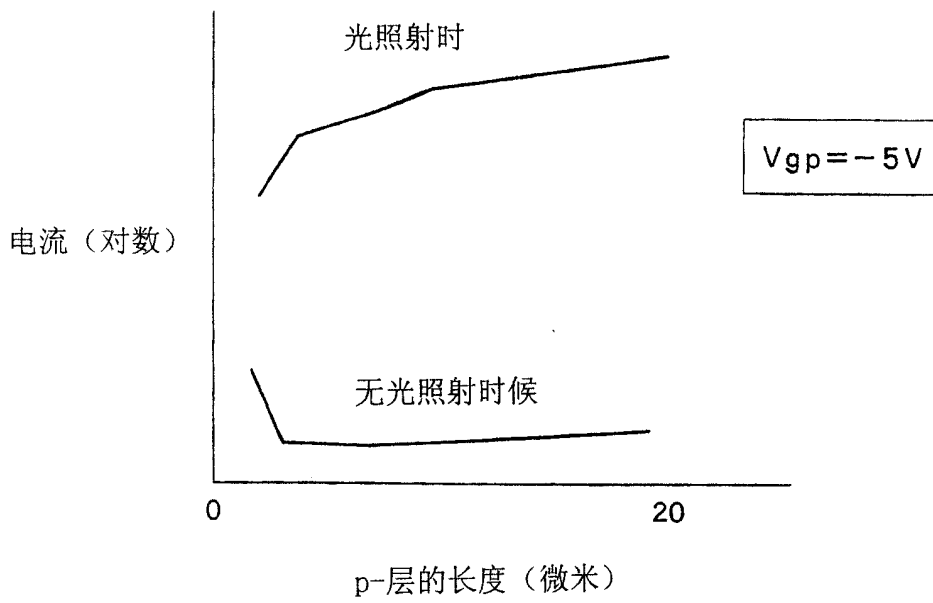


图 11

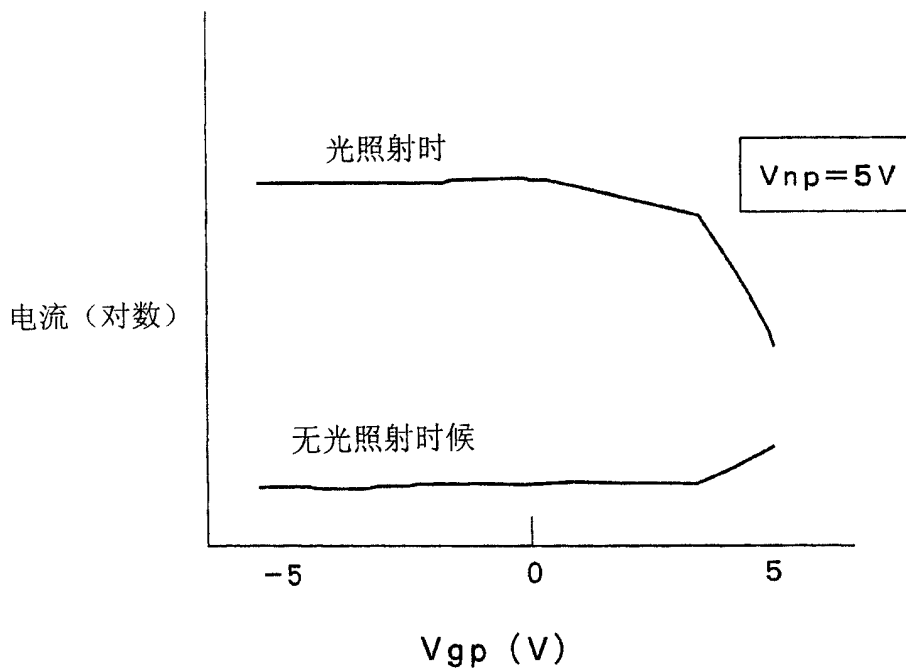


图 12

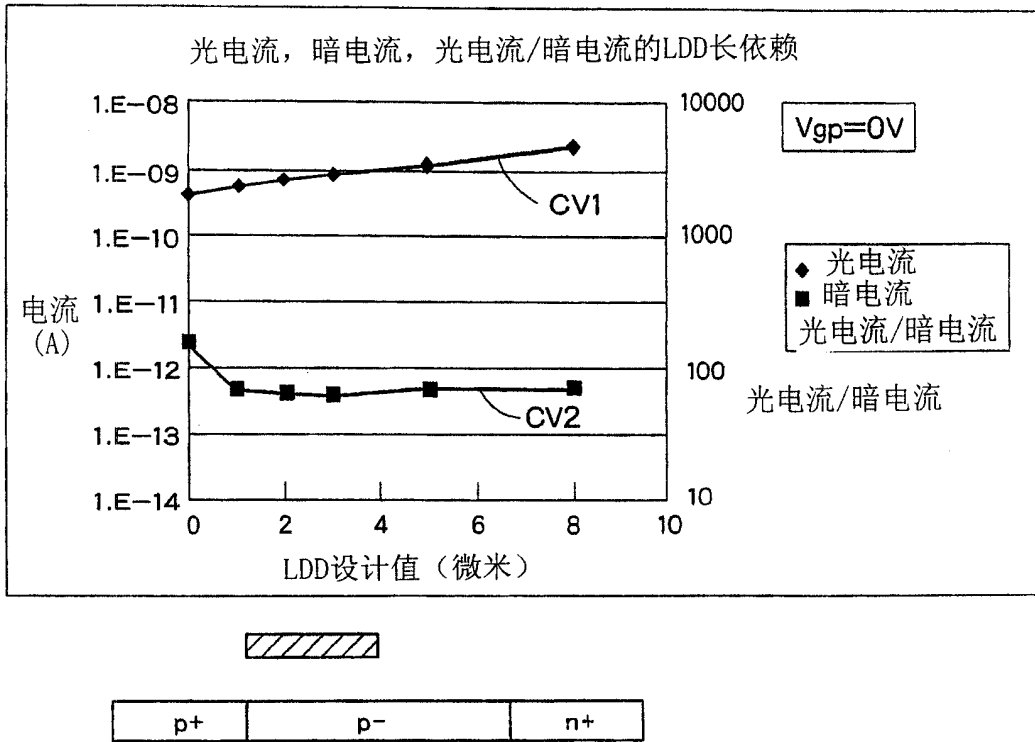


图 13

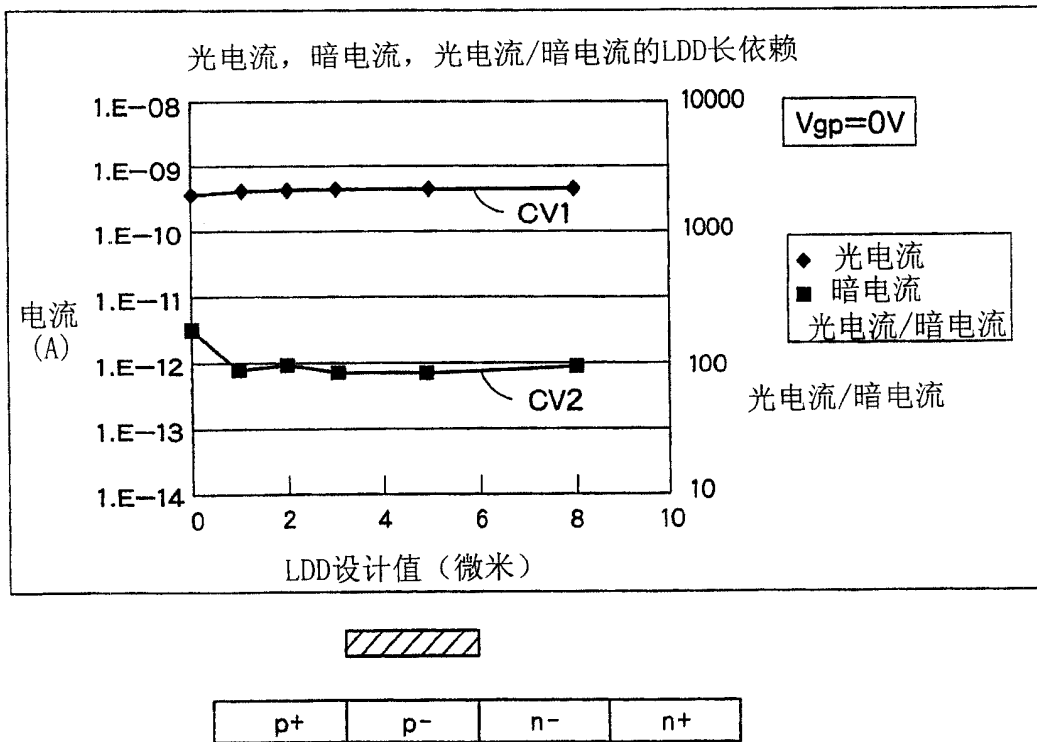


图 14

光电二极管的制造工序

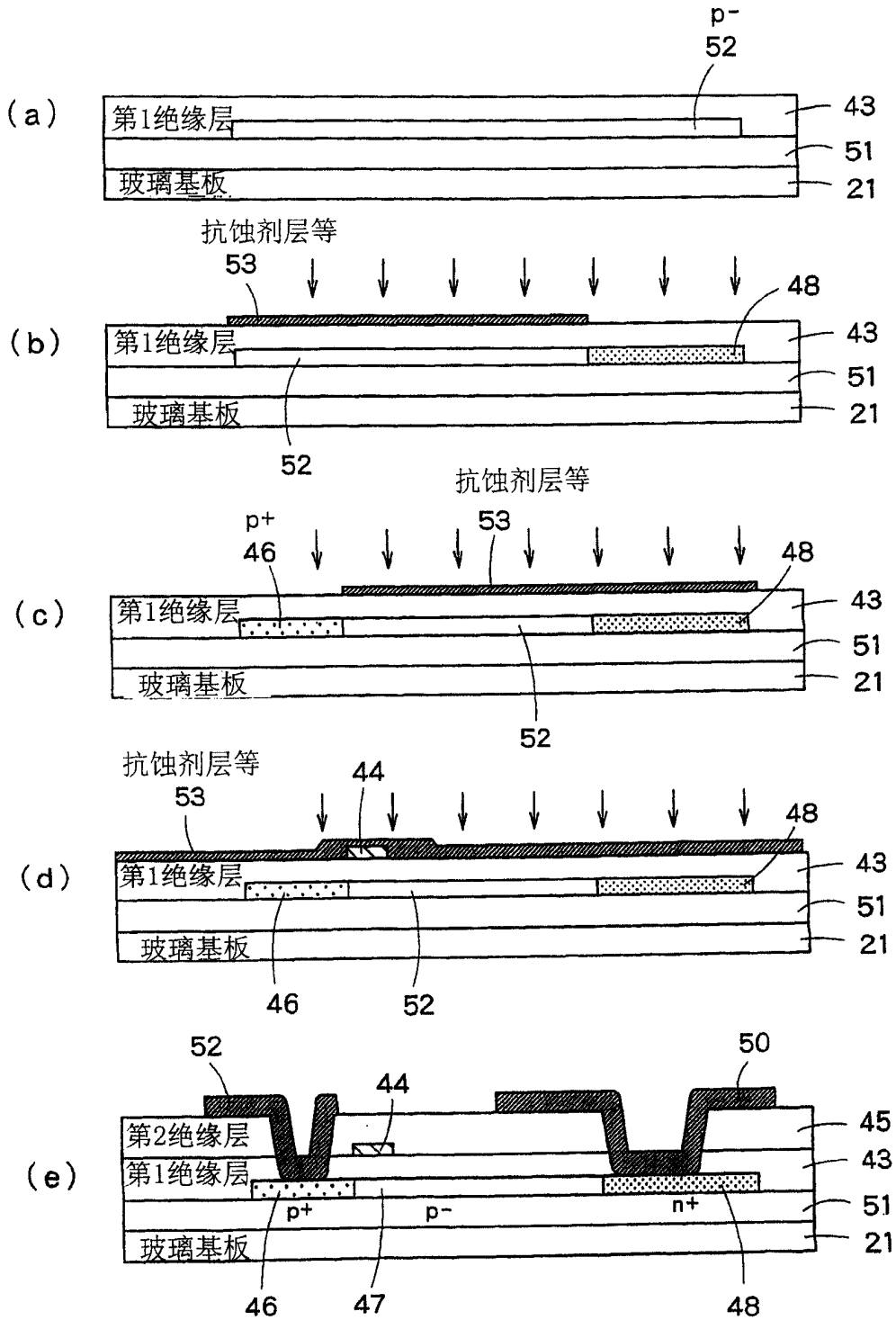


图 15

n-ch TFT的制造工序

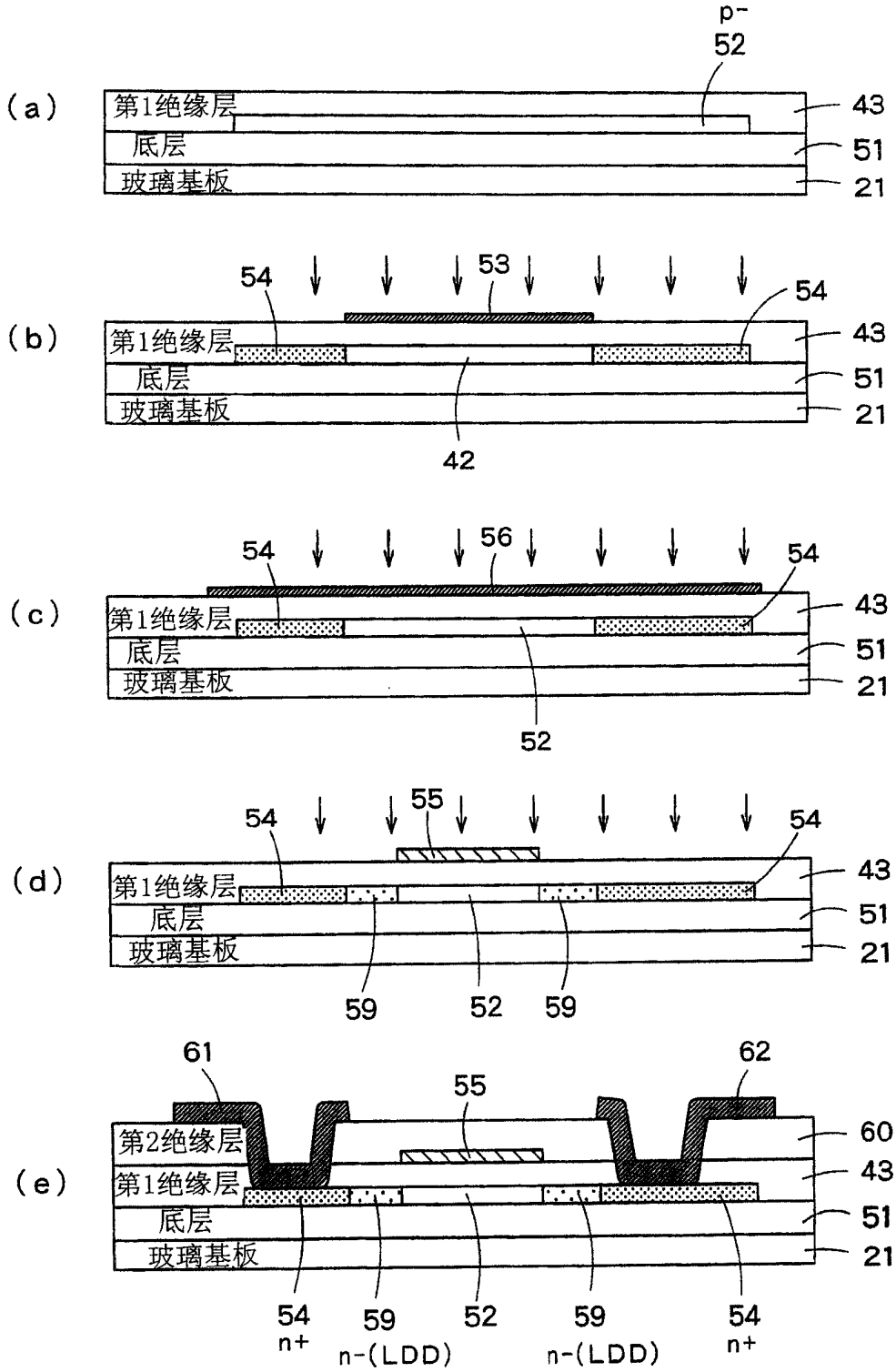


图 16

n-ch TFT的制造工序

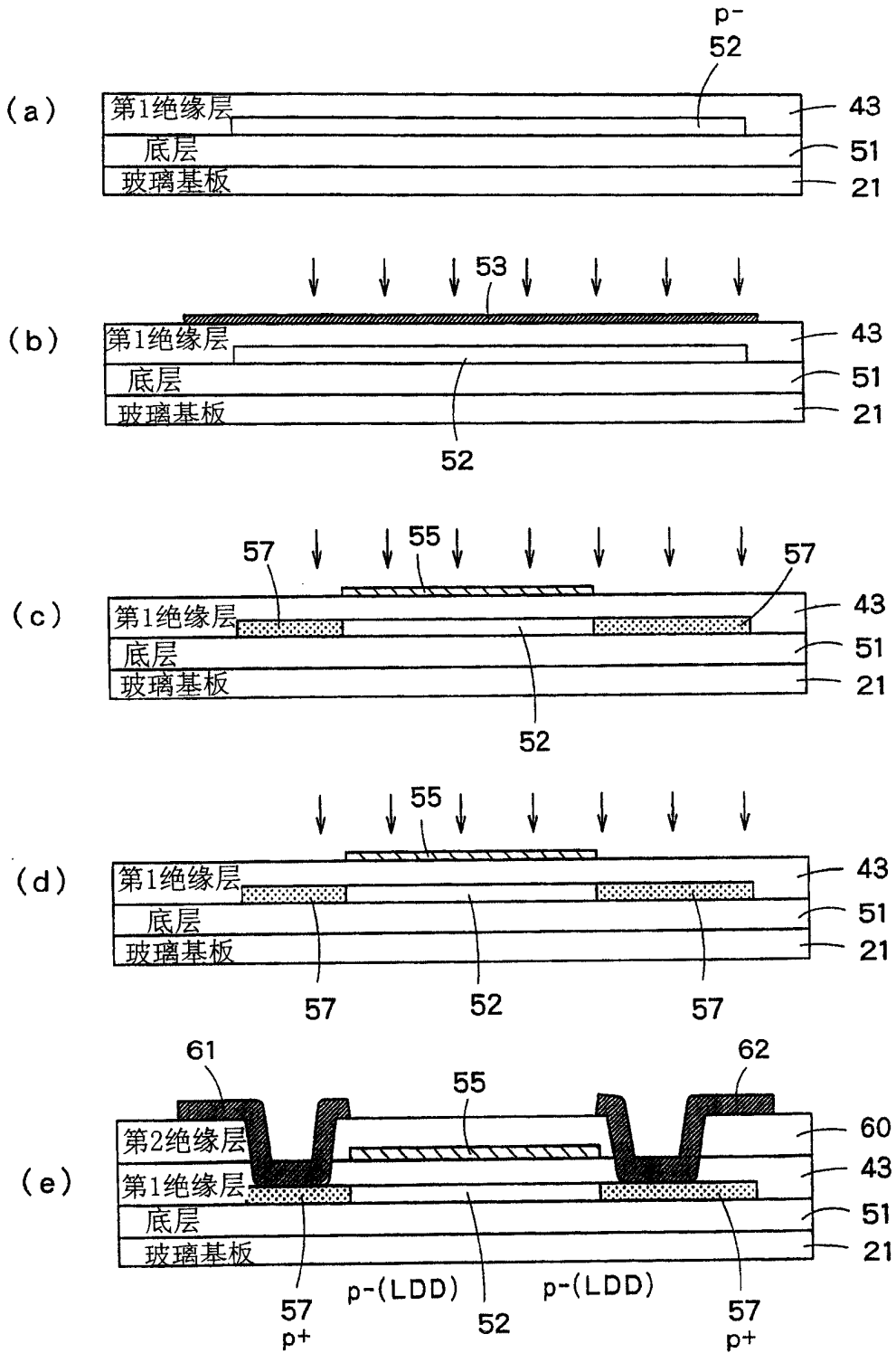


图 17

PIN光传感器元件I-V特性, 不稳定的改善

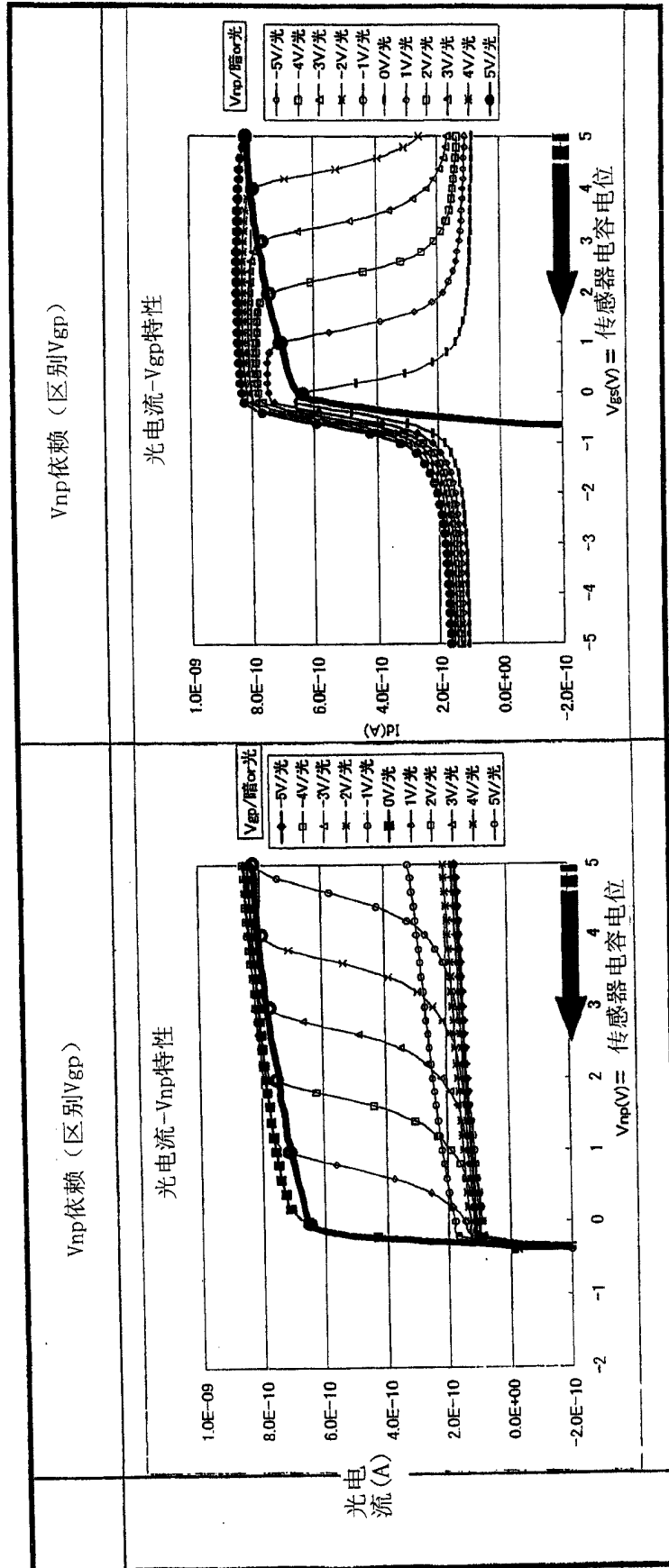


图 18

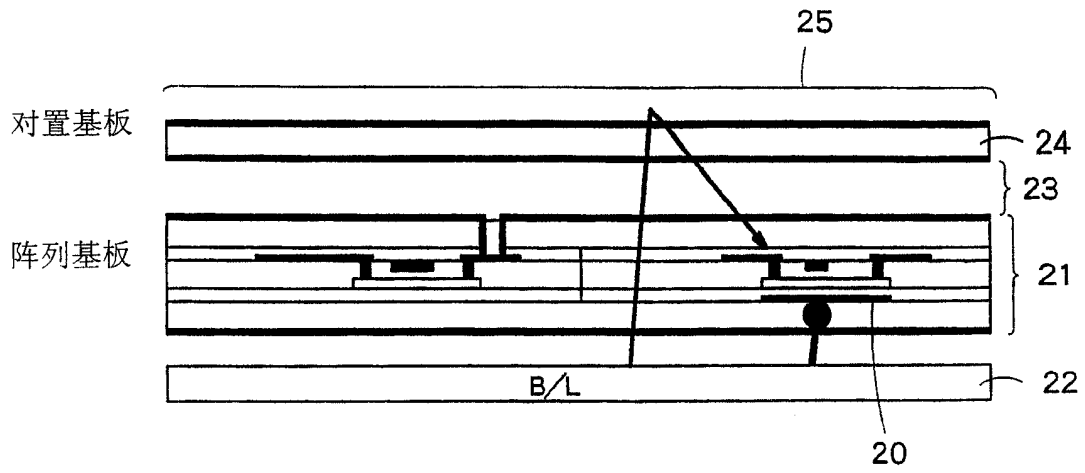


图 19

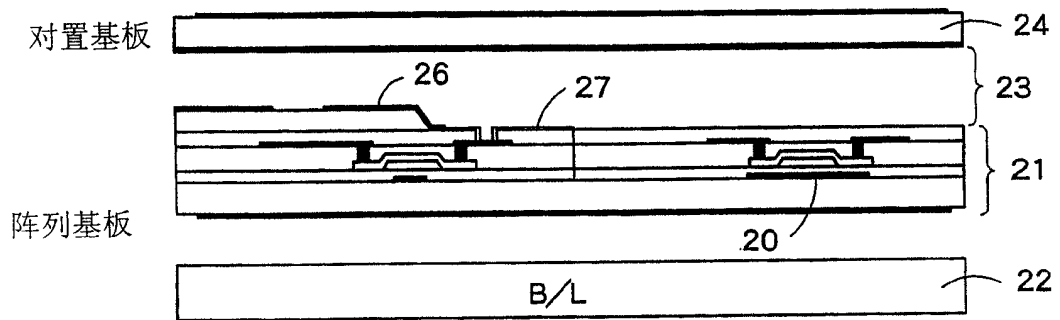


图 20

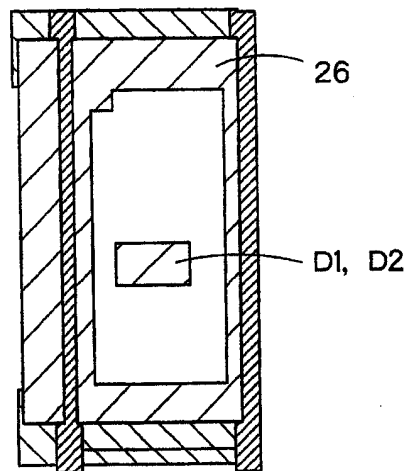


图 21

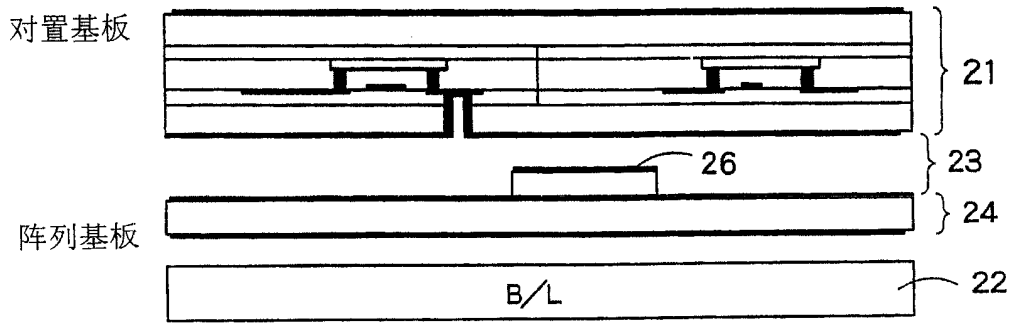


图 22

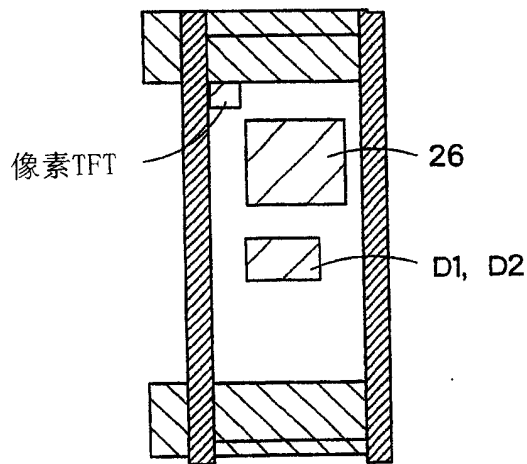


图 23

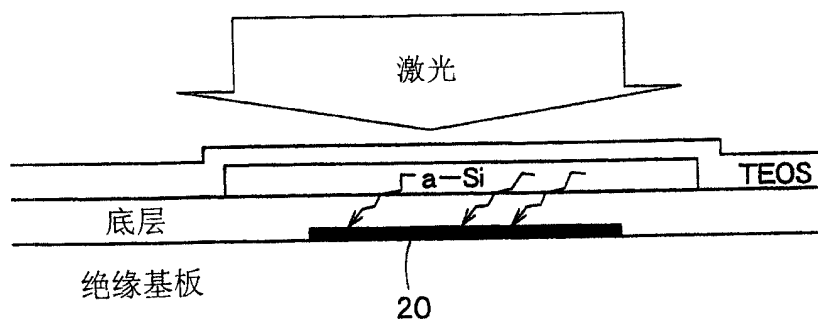


图 24

PIN元件形成

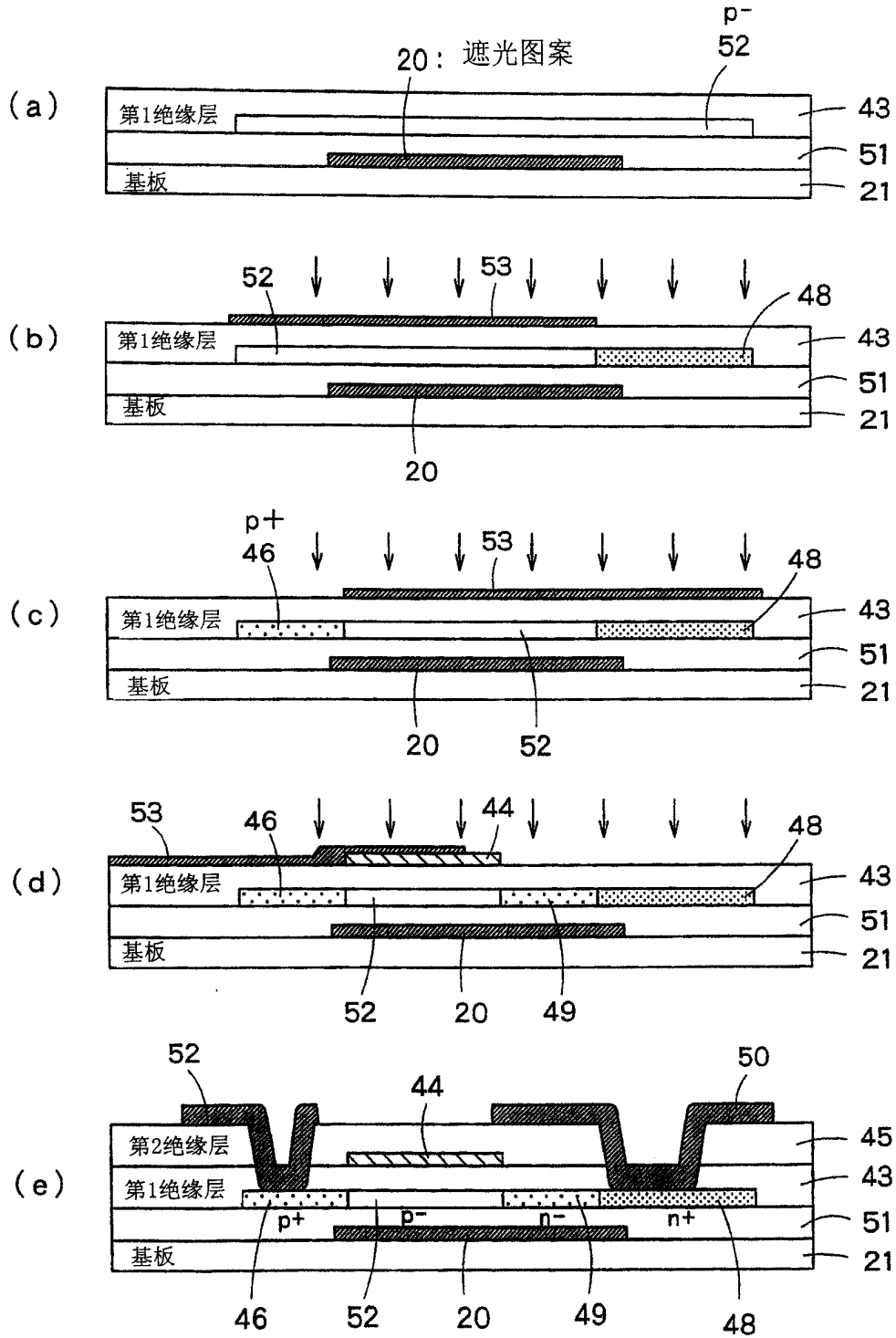


图 25

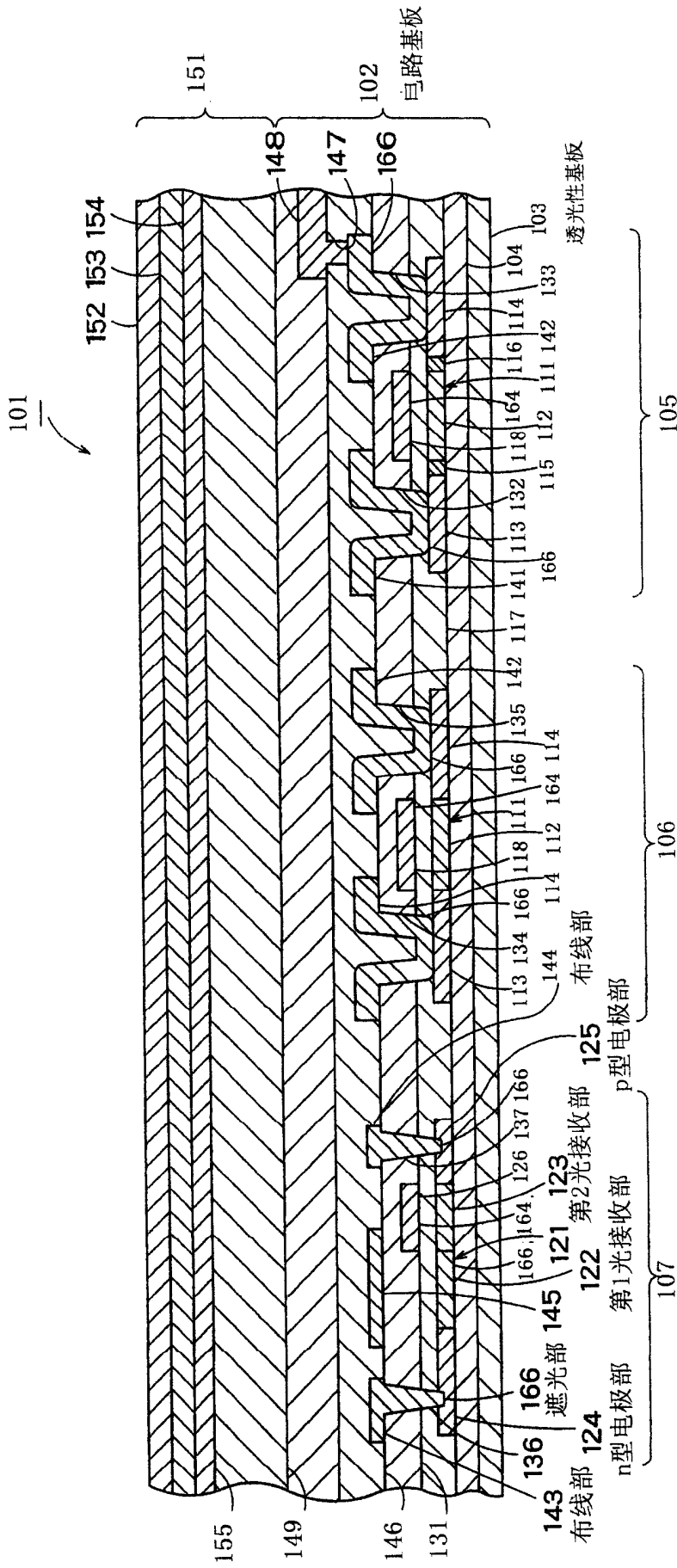


图 26

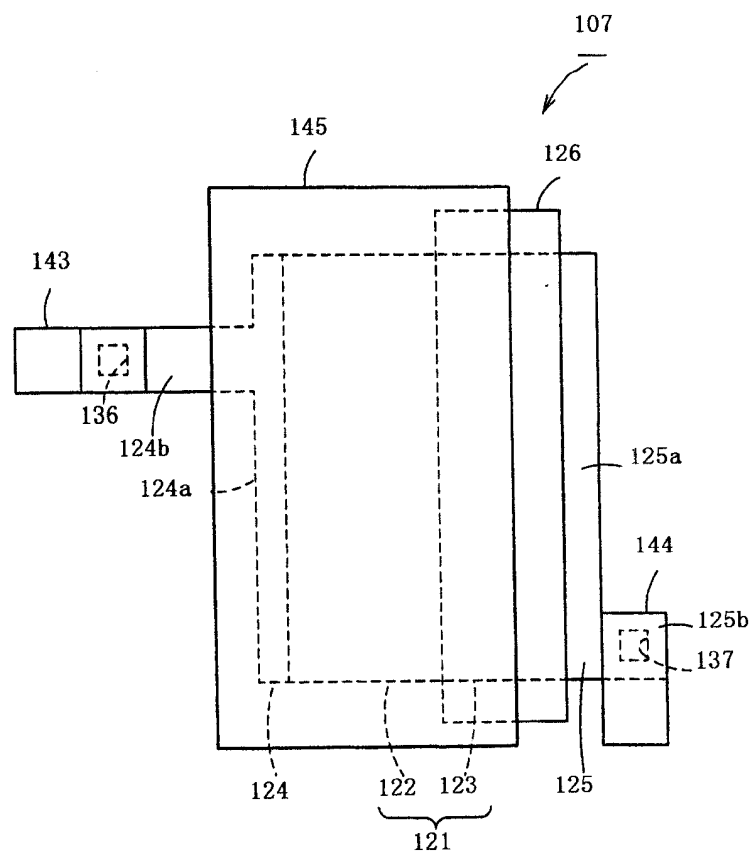


图 27

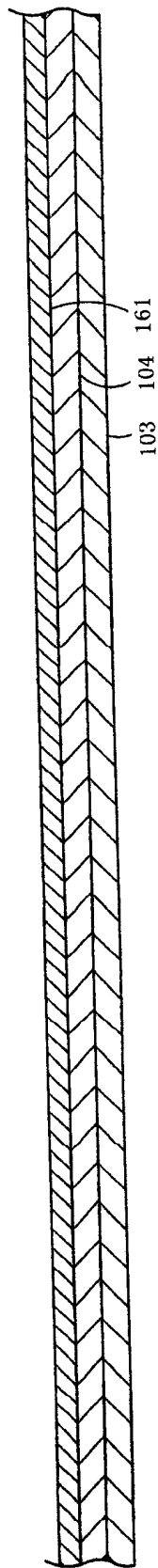


图 28

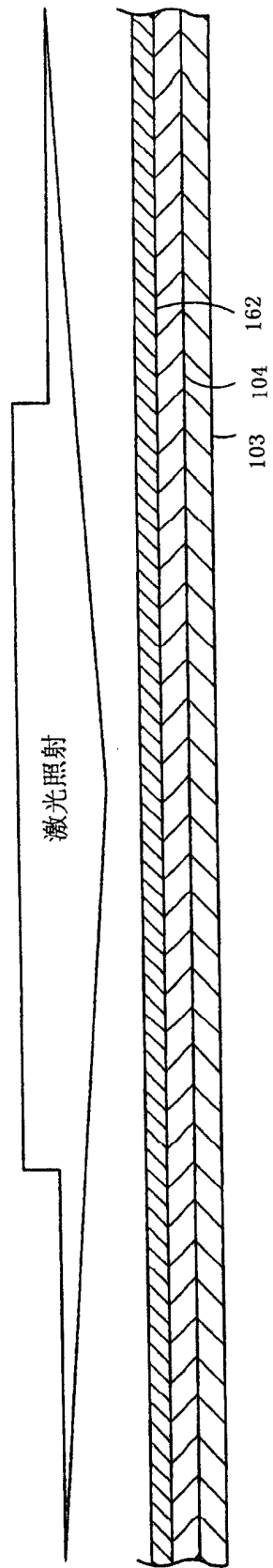


图 29

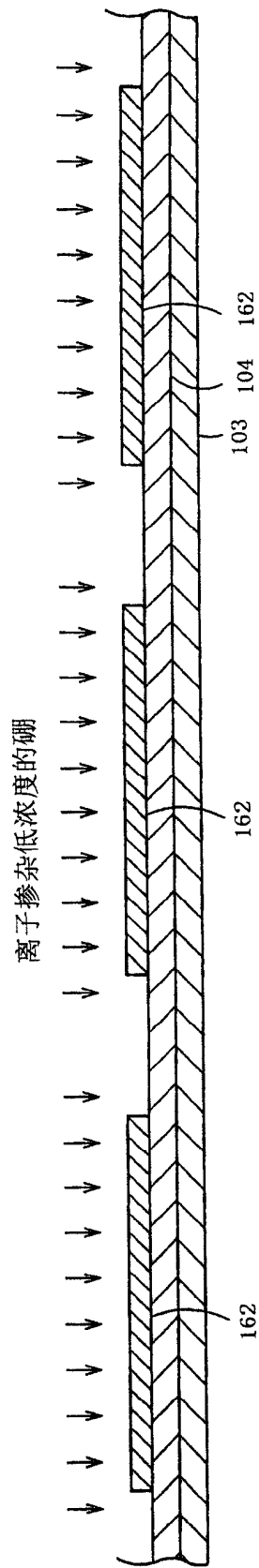


图 30

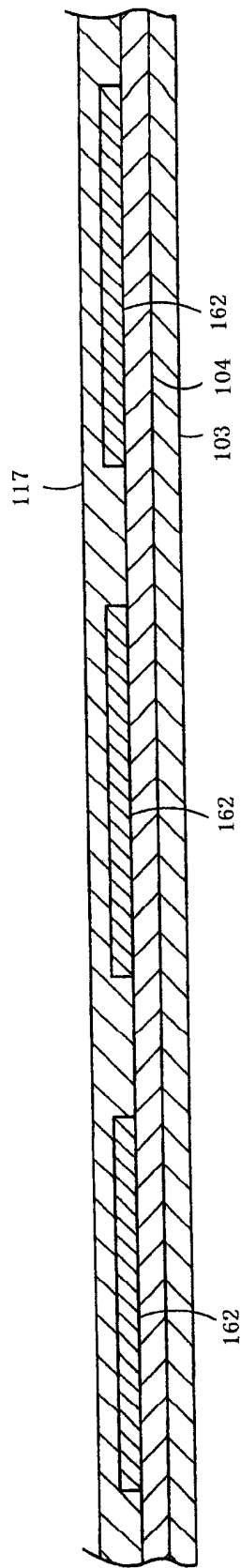


图 31

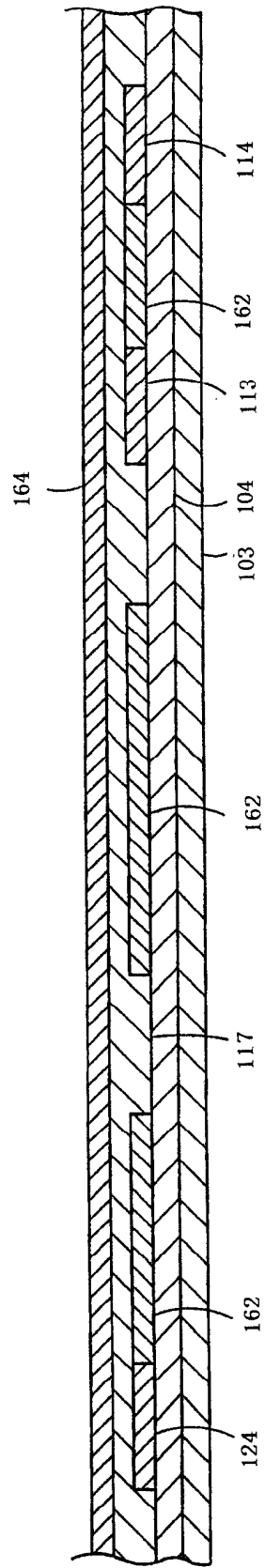


图 33

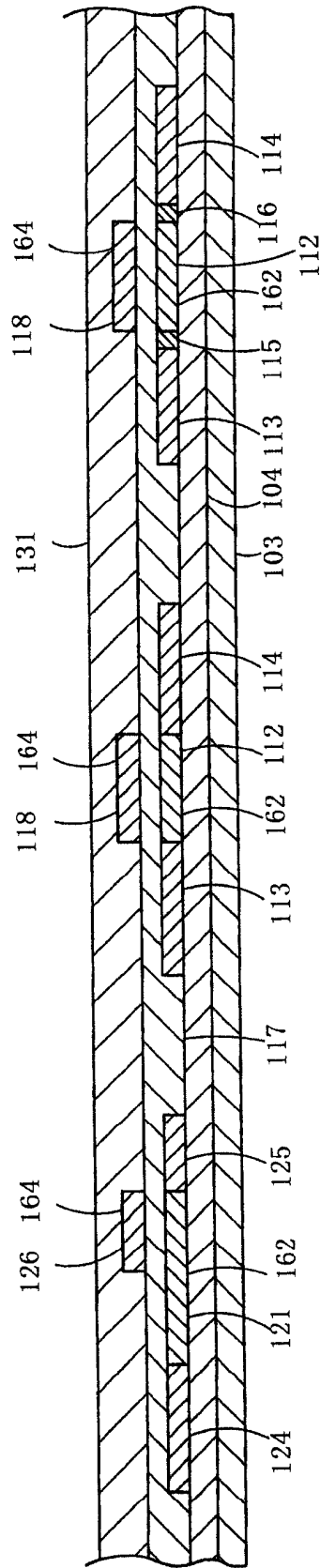


图 36

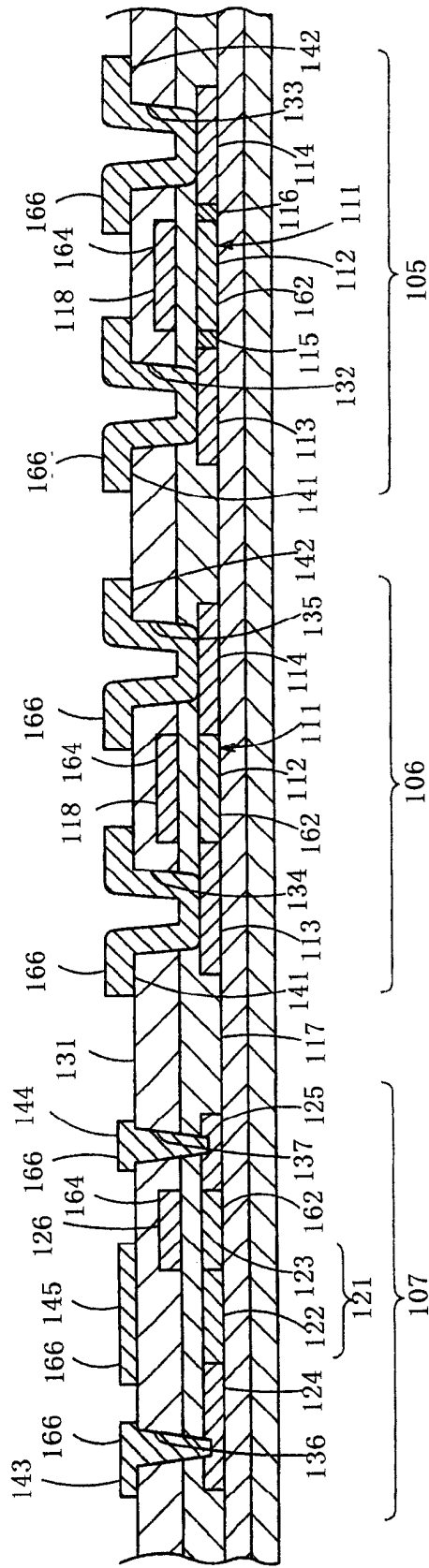


图 37

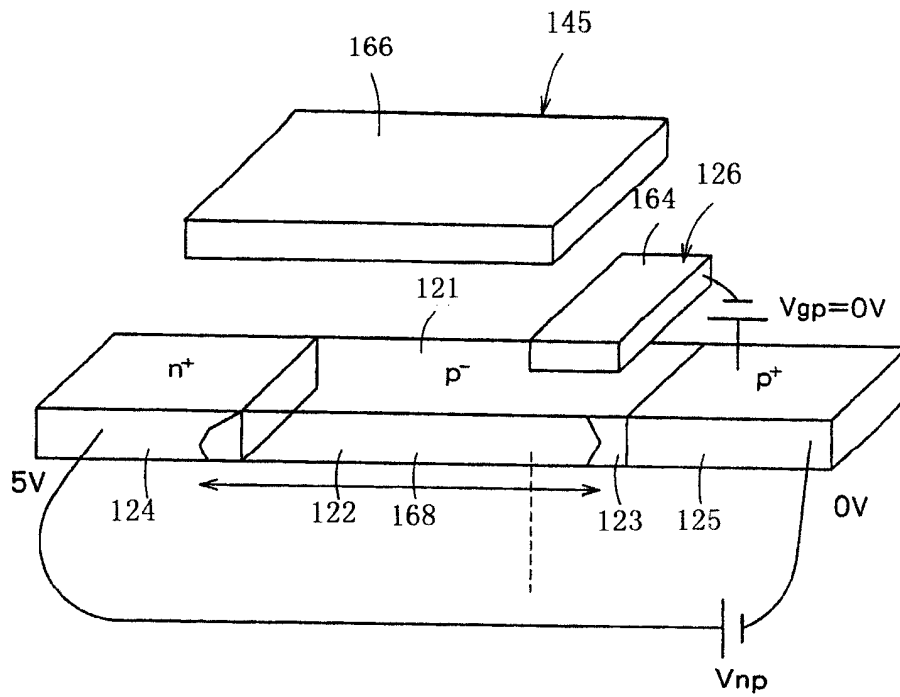


图 38

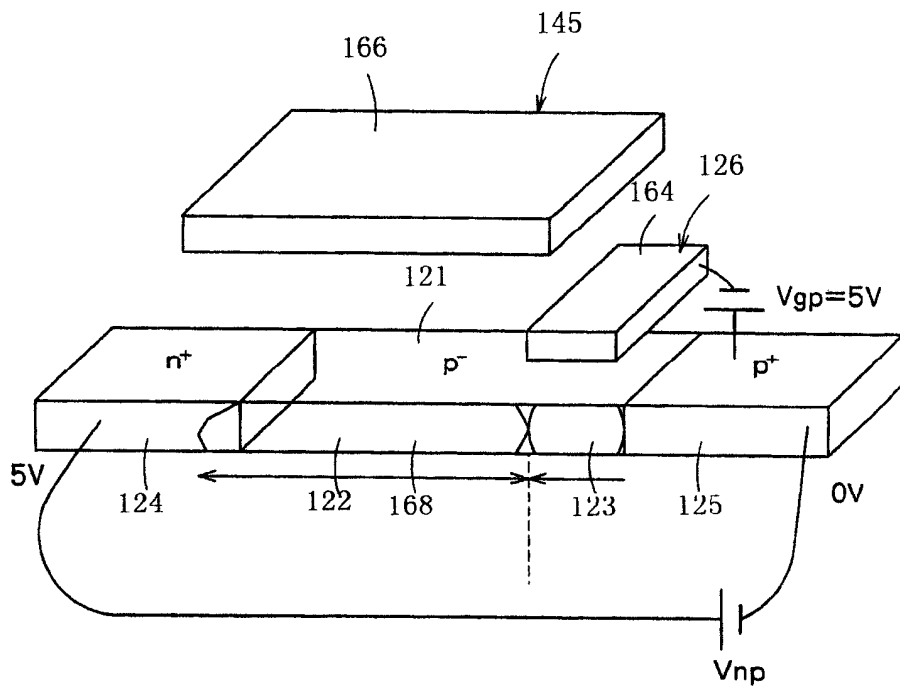


图 39

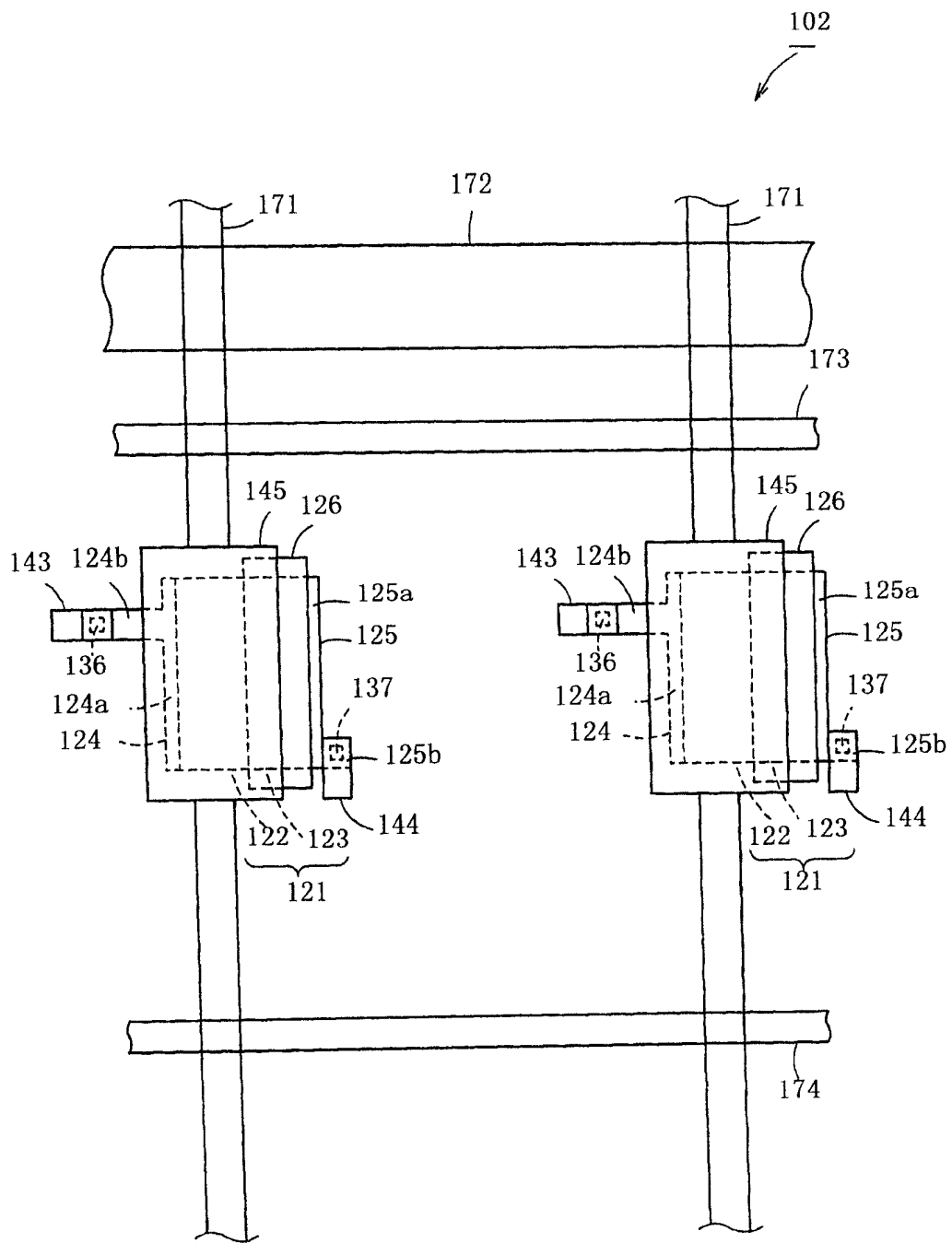


图 40

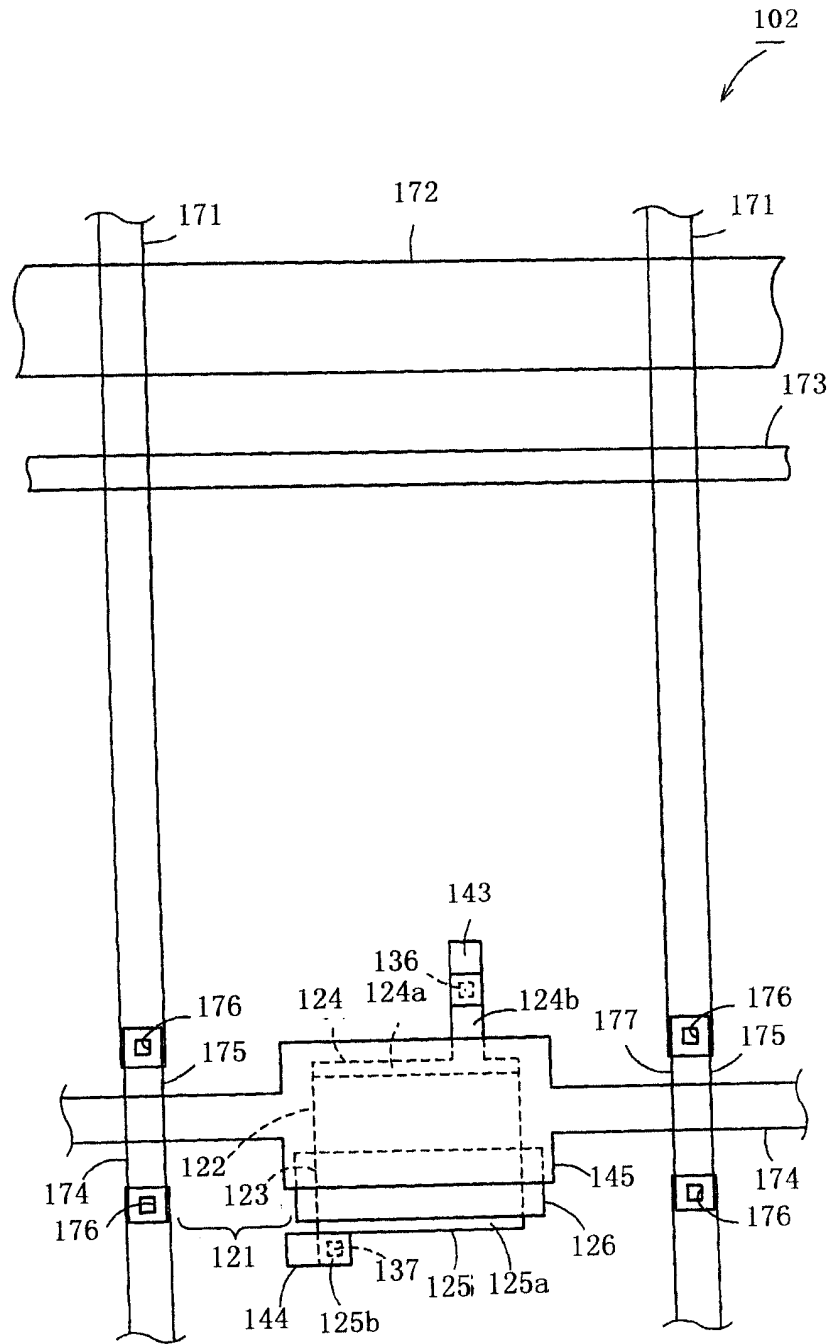


图 41

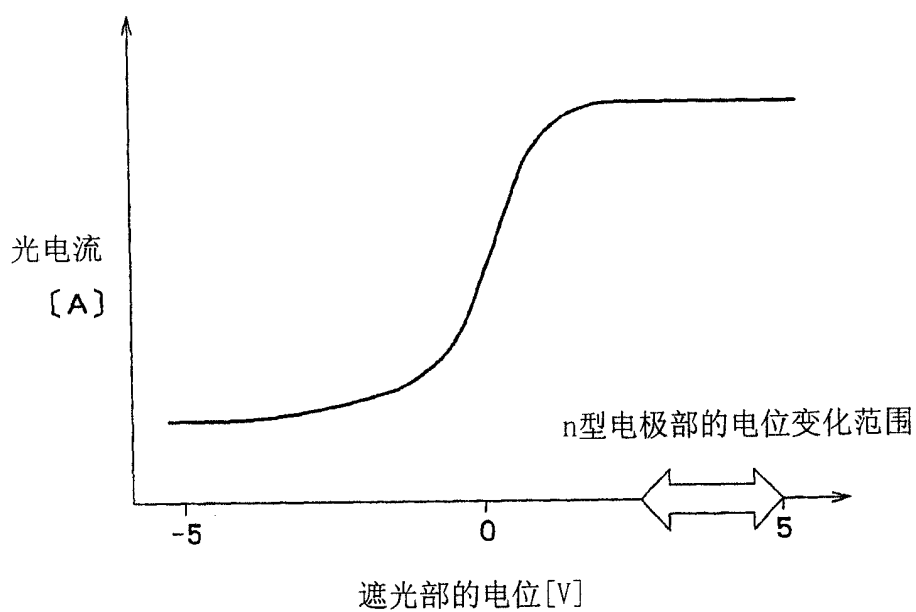


图 42