

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G06F 13/42

H04L 29/08



[12] 发明专利说明书

[21] ZL 专利号 01103728.8

[45] 授权公告日 2004 年 10 月 6 日

[11] 授权公告号 CN 1170234C

[22] 申请日 2001.2.12 [21] 申请号 01103728.8

[30] 优先权

[32] 2000.2.22 [33] EP [31] 00250058.5

[71] 专利权人 汤姆森多媒体公司

地址 法国布洛里

[72] 发明人 吴镇根

审查员 马晓亚

[74] 专利代理机构 中科专利商标代理有限责任公司

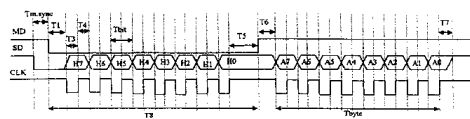
代理人 朱海波

权利要求书 3 页 说明书 9 页 附图 2 页

[54] 发明名称 串行数据传输的方法以及用于该方法中的总线终端

[57] 摘要

本发明关于一种用于两个电子部件(从机, 主机)之间通过 3 线总线连接进行数据串行传送的新总线协议。根据一种已有的总线协议, 每个数据位的传送伴随着握手信号, 使得数据传送变慢。根据本发明的总线协议没有用于每个数位的握手信号。每个数据字同步地从发送器传送到接收器。一条总线(CLK)专用于时钟信号。另两条总线(SD, MD)用于传送数据信号和控制信号。通过对两个传送方向分配两条不同的剩余总线(SD, MD), 可以容易地解决总线冲突。



ISSN 1008-4274

5 1. 一种用于在两个电子总线终端之间通过三线总线连接进行数据的串行传输的方法，其中第一线路（CLK）专用于时钟信号，第二和第三线路（SD，MD）专用于数据信号或控制信号，包括如下步骤：

 i) 通过在所述第二线路（SD）上从发送终端向接收终端发送第一边缘信号而启动在第一方向中的数据传输；

 ii) 响应第一边缘信号，在从所述第一边缘信号出现开始经过第一时间量（ $T_{m.sync}$ ）之后，把第三线路（MD）从空闲状态切换到运行状态；以及

 iii) 在从第三线路（MD）出现运行状态开始，经过第二时间量（ T_1 ）之后，通过所述第二和第一线路（SD，CLK）开始同步数据发送。

 2. 根据权利要求1所述的方法，其特征在于在与第一方向相反的第二方向上的数据传输是通过如下步骤完成的：

 i) 在所述第三线路（MD）上从发送终端向接收终端发送第二边缘信号；

 ii) 响应第二边缘信号，在从所述第二边缘信号出现开始经过第三时间量（ $T_{s.sync}$ ）之后，把第二线路（SD）从空闲状态切换到运行状态；以及

 iii) 在从第二线路（SD）出现运行状态开始，经过第四时间量（ T_2 ）之后，通过所述第三和第一线路（MD，CLK）开始同步数据发送。

 3. 根据权利要求1或2所述的方法，其特征在于，在所述同步数据传输过程中，传送预定长度的数据字。

 4. 根据权利要求3所述的方法，其特征在于，同步数据传输被分为两个传输阶段，两个阶段之间具有一个中断，并且每个阶段传

输所述数据字的一部分。

5. 根据权利要求4所述的方法，其特征在于，在第一传输阶段结束之后，第三或第二线路（MD，SD）在第五时间量（T5）之后切换回空闲状态，并且第二传输阶段在第六时间量（T6）之后开始。

5 6. 根据权利要求1或2所述的方法，其特征在于，对于特定时间周期量，给出如下典型数值和容限范围数值：

	Min(μ S)	Typ(μ S)	Max (μ S)
Tm.sync	10	300	4mS
Ts.sync	10	50	200
Tbit	2	30	200
Tbyte	16	240	500
T1	20	15	300
T2	0	10	300
T3	1	15	300
T4	1	15	300
T5	100	100	300
T6	0	2	300
T7	0	2	300
T8	116	300	600
Ttotal	126	850	4600
Ttimeout	50	-	-
Tsetup	0.1	15	300
Thold	0.1	15	300

10 7. 一种用于根据上述任何一项权利要求中所述的方法中的总线终端，其中所述总线连接的三条线路（CLK，SD，MD）连接到总线终端的相应输入端，其特征在于，第二线路（SD）或第三线（MD）还连接到总线终端的外部中断输入端（Ext Int），每条线路专用于数字信号。

8. 根据权利要求7所述的总线终端，其特征在于总线终端是消费电子设备的一个部件。

9. 一种具有包括根据权利要求7所述的总线终端的装置。

5 串行数据传输的方法以及用于该方法中的总线终端

技术领域

本发明涉及一种用于在两个电子总线终端之间的串行数据传输以及用于所述方法中的总线终端。

10

背景技术

电子消费产品通常被分为前端和后端两个部分。具有这种结构的电子消费产品的例子是所有类型的光盘播放器，例如CD播放器（压缩光盘）、MD播放器（微型光盘）、DVD播放器（通用数字光盘）以及它们的所有派生产品，例如视频CD播放器、CD记录器等等。由前端通过按键输入或者遥控设备接收用户命令。该命令被传送到后端部分，在此执行以获得相关的控制操作。具有前端和后端的两部分结构的优点在于两个部分可以独立开发。当然，需要在两个部分之间具有接口。然后该接口被用于各种应用中。

20 用于两个电子单元之间的数据交换的已知接口是来自菲利普公司的“视频6001 DSA接口7003”。串行总线接口用于两个电子部件之间的数据串行传输。通常，在每个电子单元中，具有接口电子器件，其在内侧与内部地址、数据和控制总线相连接，在外侧与串行总线连接的总线相连接。根据菲利普DSA总线标准，需要三条总线用于串行数据传输。一条线专用于数据信号，第二条线STB和第三条线SCK用于控制的目的。特别地，这些线用于握手信号。如果发送器要发送一些数据，它首先对该数据线清零，以表明它需要发送数据。然后它等待由接收器在ACK线上设置的低电平。在此之后，发送器把该数据线设置为高电平，并且等待来自接收器的在ACK线
25
30 上的高电平，该信号表示启动同步的结束。

在此之后，发送器通过DATA线把其数据发送到接收器。数据以每个发送阶段中的16位数据字为单位发送。发送器根据被发送的数位设置数据线。当DATA线变得稳定时，发送器对STB线清零，以告诉接收器在DATA线上的信息是有效的。接收器识别出在STB线上的低电平状态之后读取DATA线。然后接收器对ACK线清零，以让发送器知道该数位被读取。发送器把STB线设置为高电平，并且等待ACK线的高电平状态。当ACK线变为高电平时，一个数据位传输完成。

如上文所述，在飞利浦的DSA总线协议中，每个数据传输的数位被用在STB和ACK线上的握手信号声明有效并确认。这是使得总线传输相对较慢的第一个原因。另外，对于每16位数据传输需要完成相当长的启动同步处理。这是使得数据传输率较小的第二原因。

发明内容

在认识到这些缺点之后，本发明的一个目的是提供一种改进的总线协议，通过它可以获得较高的数据传输速率而不用增加总线的数目。

根据本发明的一个方面，所述目的由一种用于在两个电子总线终端之间通过三线总线连接进行数据串行传输的方法实现，其中第一线路（CLK）专用于时钟信号，第二和第三线路（SD，MD）专用于数据信号或控制信号，包括如下步骤：通过在所述第二线路上从发送终端向接收终端发送第一边缘信号而启动在第一方向中的数据传输；响应第一边缘信号，在从所述第一边缘信号出现开始经过第一时间量之后，把第三线路从空闲状态切换到运行状态；以及在从第三线路出现运行状态开始，经过第二时间量之后，通过所述第二和第一线路开始同步数据发送。

根据本发明的另一方面，在与第一方向相反的第二方向上的数据传输是通过如下步骤完成的：在所述第三线路上从发送终端向接收终端发送第二边缘信号；响应第二边缘信号，在从所述第二边缘信号出现开始经过第三时间量之后，把第二线路从空闲状态切换到

运行状态；以及在从第二线路出现运行状态开始，经过第四时间量之后，通过所述第三和第一线路开始同步数据发送。

本发明的新的总线协议基于异步和同步串行数据传输的结合。一个数据字的数位从发送器同步地传送到接收器。这意味着没有伴随着每个数位的传输的握手信号。取而代之的是，发送器 / 接收器
5 产生在并行的专用总线上传送的数据传输时钟。因此，用于接收器的采样点由该时钟信号以众所周知的同步串行数据传输模式预先确定。用这种类型的同步数据传输可以获得非常高的数据传输速率。

在该总线协议中，规定从主机到子机的数据传输是通过在总线上发送边缘信号而通知的，该总线被设置为用于主机的数据线。另一条总线设置为用于从主机发送到子机的控制线。对于从子机到主机的数据传输，一条不同的总线被设置为用于子机的数据线，并且另一条总线被设置为用于从子机到主机的传输的控制线。在此有一条总线仅仅专用于传输时钟信号。根据应用，该信号对从主机到子机以及从子机到主机的两个传输方向有效。通过这种总线结构，在
10 两个总线终端试图在相同的时间点同时访问总线的情况中的总线冲突可以容易地正在进行的传输中解决，而不需要重复传输。

在这种情况下，由于专用于两个终端的启动边缘信号是在不同的总线上发送的，因此容易造成主机总是在该冲突中获胜，并且子机将在与来自主机的启动边缘信号相关的时间周期内把其状态改变为接收模式。然后，主机将把其与由子机所启动的控制线上的边缘信号相同步，使得能够产生同步数据传输。由于已经在启动数位的时间周期过程中执行重新配置，因此可以指定相对较短的用于同步的固定延迟时间，即，选择在发送器 / 接收器中产生的时钟信号的整相位。在该时间周期之后，开始在数据线和时钟线上的数据传输。
25

如果8位控制器用于该总线终端中，则在从主机到子机或从子机到主机分两块传输16位数据字是有利的。内部数据总线通常仅仅是8位电路板，从而16位数据需要以两个不同的总线周期传输到存储器。另一个优点是一种字节握手协议保证每个字节被正确地传输。
30

例如，如果在第一传输阶段出现错误，则可以立即中断数据传输，这使得数据传输能够更快恢复。

对于用在根据本发明的方法中的总线终端，其优点是把专用于信号的总线连接到数据输入端之外，还连接到外部中断输入端，以保证对由另一个总线终端发送的启动边缘信号作出立即反应。这对子机总线终端特别有利。通过这种方式，总线冲突可以在正在进行的传输中立即解决，而不需要停止传输并等待恢复。

附图说明

- 下面将参照附图描述本发明的实施例，如图中所示：
- 图1为用于从子机到主机的数据传输的信号图；
 - 图2为用于从主机到子机的数据传输的信号图；
 - 图3为示出从主机到子机的多次数据传输的信号图；
 - 图4为示出用于数据位的传输的启动和保持时间周期的信号图；
 - 图5为示出总线如何连接到主机和子机的输入端的第一实例；以及
 - 图6为示出总线如何连接到主机和子机的输入端的第二实例。

具体实施方式

下面通过两个实例说明根据本发明的总线协议。

首先，将描述从子机到主机的数据传输。图1示出在用于传输操作的三条总线上的信号。在数据传输之前，所有三条总线保持在空闲状态，其在本例中为“高”电平状态。当然，在另一个实例中，空闲状态可以在总线上为“低”状态，并且运行状态为“高”状态。从子机到主机的数据传输是通过从子机到主机经总线SD发送边缘信号而启动的，其中SD表示“子机数据”。为了发生边缘信号，总线SD被设为运行状态。随后是一个用于同步的时间周期 $T_{m.sync}$ 。主机将检测在总线SD上的边缘信号并相应地作出反应。特别地，它将响应启动数位的检测而切换到接收模式。这意味着它在下一个数据传输周期中保持在接收模式，并且即使当从应用微控制器获得发送

请求时也不访问总线。在主机中完成接收模式的准备之后，主机将把总线MD设置为从空闲到运行状态，其中MD表示主机数据。如此产生的边缘信号把主机准备接收数据的情况通知子机。在总线MD上的边缘信号之后具有一个特征时间周期P1，其中主机选择内部产生的自由运转时钟信号的整相位来用于数据传输。这可以通过可控制的延迟线来完成，该延迟线接收自由运转的时钟信号作为输入。在总线MD上的边缘信号被用作为参考信号。这种可控制延迟线的例子公开在欧洲专利EP-A-0 303 494中。对于该可控制延迟线的公开特别参照该文件。在该实施例中，主机产生时钟信号，而不是作为发送器的子机产生。因此，时钟信号由接收器提供。

在经过时间T1之后，时钟信号以整相位出现在数据线CLK上。随着时钟信号的开始，第一数据位H7被设置在总线SD上。在所传送的时钟信号的上升沿，每个数位在主机中被估计。该操作对第一传输阶段的8个数位H7至H0的每个数位重复进行。在数位H0的传输之后：第一传输阶段以暂停时间周期T5为结束。总线CLK在该阶段中被设置为空闲状态，这给主机单元一定的时间来在8位接收位移寄存器中把数据传输到存储器。

数据传输操作的第二传输阶段以总线MD上的上升沿为开始。因此，对于第二阶段，主机把总线MD设置为空闲状态。从而，它把准备接收第二数据字节的情况通知给子机。在从总线MD上的上升沿开始经过时间段T6之后，时钟信号和第二传输阶段的第一数位出现在总线CLK和SD上。时间周期T6也与时间周期T1一样是非常短的时间周期。在该时间周期过程中，由上述的可控制延迟线执行自由运转时钟信号的重新同步。

数位A7至A0与时钟信号同步地在总线SD上传输。在每次时钟信号的上升沿处执行数据的估计。在最后数位A0的估计之后，数据传输停止，并且所有数据线被设置为空闲状态。时间周期T7表示数据A0的最后保持时间。

请注意图1没有正确地按比例示出，因此时间周期的长度不能够直接地在图1中比较。为此目的，在下文的描述中将提供具有用于

不同时间周期的确切数值的表格。

接着，将描述从主机到子机的数据传输。参照图2，对于与图1中相同的部分使用相同的参考标号。一个与图1明显不同之处在于使用总线MD用于从主机到子机的数据位传输，并且总线SD用于传输阶段的表示和同步的目的。总线CLK再次用于传送从主机到子机的时钟信号。

另一个不同之处在于时间周期Ts.sync具有与时间周期Tm.sync不同的长度。实施周期Ts.sync被指定为比时钟周期Tm.sync更短，其优点是解决当主机和子机都尝试在同一时间访问总线时的总线冲突，这将在下文中说明。

在图2中的时间周期T2与相应的时间周期T1略有不同。但是在另一个实施例中，它也可以与时间周期T1相同。因此该不同与本发明的公开的目的无关。

从主机到子机的数据传输还以两个阶段进行，在每个阶段中有8个数据点并且在第一阶段之后重新同步。对此参照图1。

接着，更加具体地描述两个总线终端对总线访问进行仲裁的情况。当仅仅有两个总线终端时，冲突可以相对容易地解决。主机通过在总线MD上发送边缘信号而表明其总线访问的意图。子机通过在总线SD上发送边缘信号而表明其总线访问的意图。主机被指定为占优势地位的，因此它在该仲裁阶段获胜。这是通过指定当子机通过总线SD发送启动数位时监控总线MD而保证的。在子机于最小同步时间周期Tm.sync、Ts.sync（在下表中给出的例子中为10微秒）内检测到在总线MD上的运行状态的情况下，它停止数据传输并且把其自身立即重新设置为接收模式。该任务是在时间周期Ts.sync中完成的，使得不需要中断主机到子机的数据传输。因此总线冲突在启动时间周期Ts.sync中解决。主机不需要在该最小时间周期内监视总线SD，因为它比子机具有优势并且不能被中断。

规定时间周期Tm.sync比时间周期Ts.sync更长，保证MB在总线冲突解决之前不能被子机所驱动。这避免了由于总线的过载而导致硬件故障。

图3示出从主机到子机的一系列数据传输。其中示出在两次传输之间没有暂停时间。相应的时间周期具有参考标志Ttimeout。该暂停时间保证接收器已经把最后接收的数据写入到存储器，并且接收位移寄存器将在下一个传输周期内被清零。在发送器中需要进行类似的操作。在此，发送位移寄存器也需要被清零，并且下8位数据字需要被装载到发送位移寄存器中。当然，如果已经从应用微控制器接收发送请求，则仅仅完成发送位移寄存器的重新装载。如果主机不需要发送数据，则没有发送位移寄存器的重新装载，但是接收位移寄存器需要被清零，以准备从子机到主机的可能数据传输。相应地，如果已经在子机总线接口单元中接收发送请求，则发送位移寄存器需要在该时间周期内被装载。

另一个实施例的一种可能变型是在每个总线终端仅仅有一个8位移寄存器的情况。在此，在从接收模式重新设置为发送模式或者从发送模式重新设置为接收模式的过程中，需要各个位移寄存器的输出被从一条总线切换到另一条总线。相应地需要实现对应的控制逻辑。

图4示出用于相对于时钟信号的数据位传输的设置和保持时间周期。

在下表中，列出用于上述和在图中所示的各种时钟周期的典型数值和容限范围。

	Min(μ S)	Typ(μ S)	Max (μ S)
Tm.sync	10	300	4mS
Ts.sync	10	50	200
Tbit	2	30	200
Tbyte	16	240	500
T1	20	15	300
T2	0	10	300
T3	1	15	300
T4	1	15	300
T5	100	100	300
T6	0	2	300
T7	0	2	300
T8	116	300	600
Ttotal	126	850	4600
Ttimeout	50	-	-
Tsetup	0.1	15	300
Thold	0.1	15	300

对于时间周期Ttimeout，没有给出典型和最大数值，因为这与应用情况高度相关，因此没有理由给出一些数值。

- 5 在图5中示出3条总线如何连接到主机和子机的输入 / 输出端。在该实例中，总线SD连接到子机的SO端子和主机的MI端子。总线CLK连接到子机的SCLK端子和主机的MCLK端子。总线MD连接到子机的SI端子和主机的MO端子。另外，总线MD连接到子机的外部终端输入端Ext Int。总线MD与子机中的外部终端输入端的连接对于
- 10 仲裁阶段是有利的，在该阶段需要子机对总线MD上的下降沿作出立即响应。这种立即响应在主机是不必要的，因为如上文所述它总是在该仲裁阶段获胜。作为一种变形，子机的外部终端输入端与总线MD的连接可以在子机内部进行。在优选实施例中，如图5中所示，

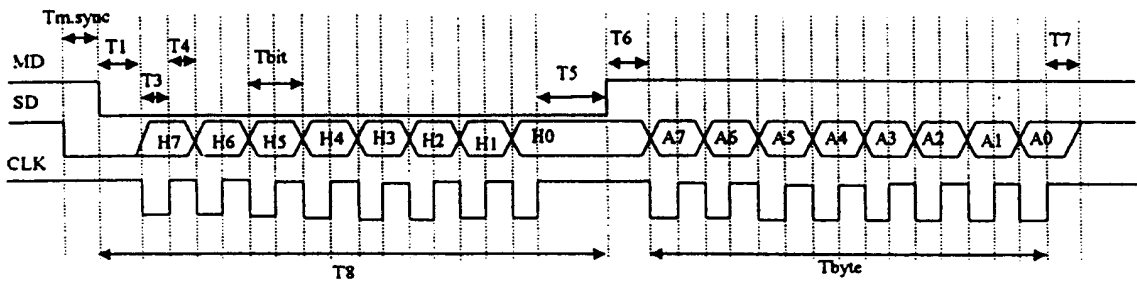


图 1

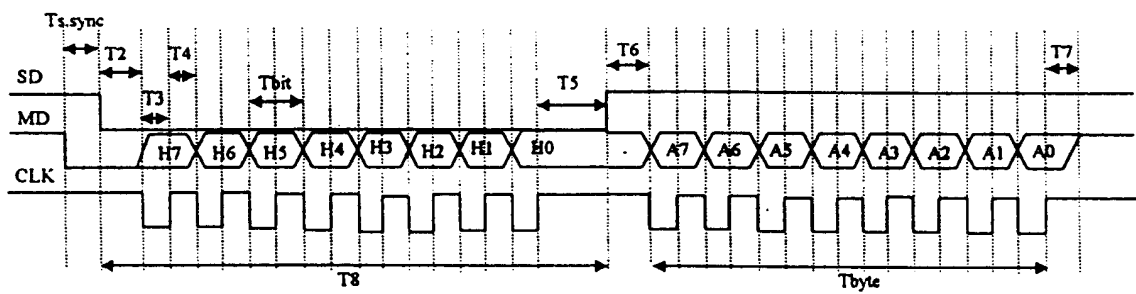


图 2

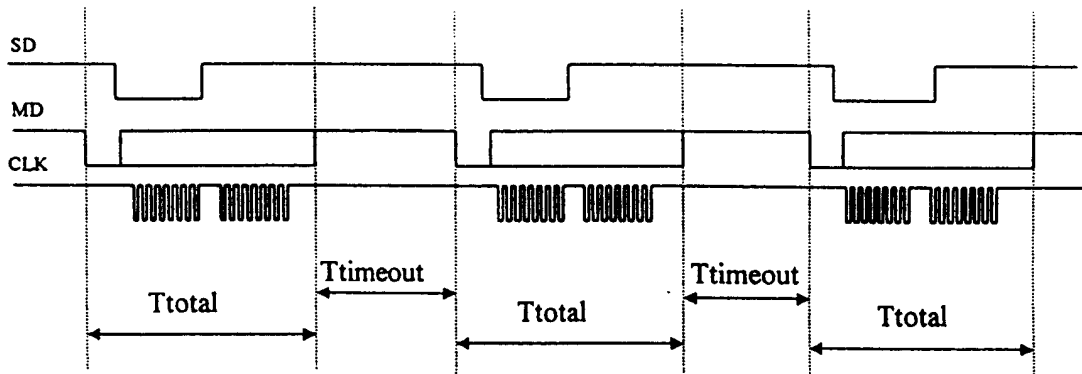


图 3

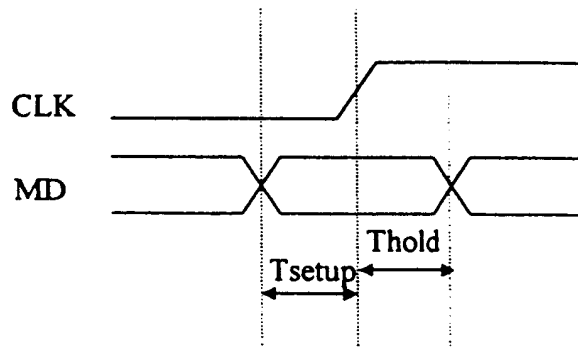


图 4

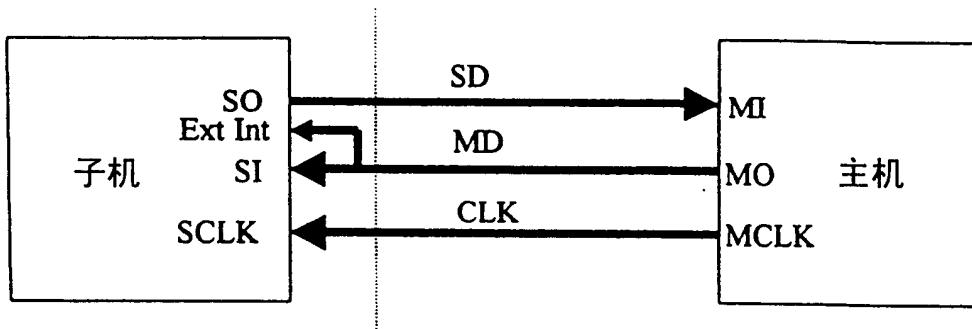


图 5

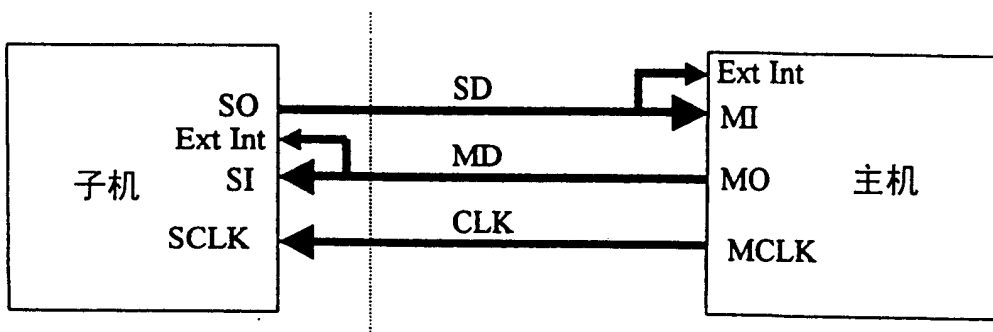


图 6