

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200480024191.X

H01L 21/20 (2006.01)
H01L 21/324 (2006.01)
H01L 21/8238 (2006.01)
H01L 29/04 (2006.01)
H01L 31/036 (2006.01)

[45] 授权公告日 2009年3月4日

[11] 授权公告号 CN 100466175C

[22] 申请日 2004.6.25

[21] 申请号 200480024191.X

[30] 优先权

[32] 2003.6.26 [33] US [31] 10/604,116

[86] 国际申请 PCT/US2004/020552 2004.6.25

[87] 国际公布 WO2005/001904 英 2005.1.6

[85] 进入国家阶段日期 2006.2.22

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 B·A·安德森 E·J·诺瓦克

B·雷尼

[56] 参考文献

US6475869B1 2002.11.5

US5328810A 1994.7.12

US5581101A 1996.12.3

US6413802B1 2002.7.2

US6365445B1 2002.4.2

US5795830A 1998.8.18

审查员 杨丽丽

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 李峥

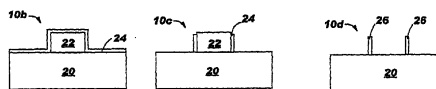
权利要求书 3 页 说明书 7 页 附图 3 页

[54] 发明名称

形成独立半导体层的方法

[57] 摘要

一种在常规 SOI 或体衬底硅器件上提供独立半导体层(26)的方法,包括在单晶基础结构(20)上形成无定形或多晶心轴(22)。然后在心轴(22)上和基础结构(20)上形成保形多晶半导体层(24),其中所述多晶层(24)接触所述基础结构(20)。然后重结晶所述多晶半导体层(24),以使它具有与所述基础结构(20)基本相似的结晶性。这样,形成了对其厚度和高度具有高度控制并保持厚度一致性的独立半导体层(26)。



1. 一种形成独立半导体层的方法，包括以下步骤：
 - a1) 提供绝缘层；
 - a2) 在所述绝缘层上形成单晶基础结构；
 - a3) 在所述绝缘层和所述基础结构上淀积非单晶心轴；
 - a4) 平面化所述心轴到所述基础结构；以及
 - a5) 从所述绝缘层选择性除去一部分所述心轴和所述基础结构；
 - b) 在所述心轴的至少一个侧壁上形成保形多晶半导体层，所述多晶半导体层接触所述基础结构；以及
 - c) 重结晶所述多晶半导体层，以具有与所述基础结构相同的结晶性。
2. 根据权利要求1的方法，其中步骤b)还包括以下步骤：
 - b1) 在所述基础结构和所述心轴上淀积所述多晶半导体层；以及
 - b2) 选择性除去一部分所述多晶半导体层，其中所述多晶半导体层的剩余部分接触所述心轴的至少一个侧壁和所述基础结构。
3. 根据权利要求1的方法，其中步骤b)还包括以下步骤：
 - b1) 在所述基础结构和所述心轴上生长所述多晶半导体层；以及
 - b2) 选择性除去一部分所述多晶半导体层。
4. 根据权利要求1的方法，其中步骤c)还包括以下步骤：
 - c1) 除去所述心轴；以及
 - c2) 通过退火重结晶所述多晶半导体层。
5. 根据权利要求1的方法，其中步骤c)还包括以下步骤：
 - c1) 通过退火重结晶所述多晶半导体层；以及
 - c2) 除去所述心轴。
6. 根据权利要求1的方法，其中所述绝缘层和所述基础结构形成绝缘体上硅晶片。
7. 一种半导体器件，包括：
 - 绝缘层；

单晶基础结构，在所述绝缘层上；
非单晶心轴，在所述绝缘层上并与所述基础结构接触；以及
保形单晶独立半导体层，在所述心轴的至少一个侧壁上并接触所述基础结构，所述独立半导体层具有与所述基础结构相同的结晶性。

8. 一种形成具有至少一个独立半导体层的场效应晶体管方法，包括以下步骤：

a) 在单晶基础结构上形成非单晶心轴；

b) 在所述心轴的至少一个侧壁上形成保形多晶半导体层，所述多晶半导体层接触所述单晶基础结构；

c) 重结晶所述多晶半导体层，以具有与所述基础结构相同的结晶性；

d) 除去所述心轴；以及

e) 穿过所述独立半导体层形成栅极结构。

9. 根据权利要求8的方法，其中步骤b)还包括以下步骤：

b1) 在所述基础结构和所述心轴上淀积所述多晶半导体层；以及

b2) 选择性除去一部分所述多晶半导体层，其中所述多晶半导体层的剩余部分接触所述心轴的至少一个侧壁和所述基础结构。

10. 根据权利要求8的方法，其中步骤b)还包括以下步骤：

b1) 在所述基础结构和所述心轴上生长所述多晶半导体层；以及

b2) 选择性除去一部分所述多晶半导体层。

11. 根据权利要求8的方法，其中步骤a)还包括以下步骤：

a1) 提供绝缘层；

a2) 在所述绝缘层上形成所述基础结构；

a3) 在所述绝缘层和所述基础结构上淀积所述心轴；

a4) 平面化所述心轴到所述基础结构；以及

a5) 从所述绝缘层选择性除去一部分所述心轴和所述基础结构。

12. 根据权利要求8的方法，其中步骤a)还包括以下步骤：

a1) 提供绝缘层；

a2) 在所述单晶基础结构上形成所述绝缘层；

a4) 在所述绝缘层中形成至少一个孔; 以及

a4) 在所述绝缘层和所述基础结构上形成所述非单晶心轴, 其中所述心轴通过所述至少一个孔接触所述基础结构。

形成独立半导体层的方法

技术领域

本发明通常涉及半导体器件，尤其涉及半导体器件上形成的独立半导体层。

背景技术

在 CMOS 技术中，例如在场效应晶体管 (FET) 的设计和制造中，集成电路密度不断增长而且继续以显著速率增加。为了推动器件密度的增加，不断需要新方法以允许减小这些半导体器件的特征尺寸。

普遍认为 FinFET 是 65 纳米 (nm) 范围以上的 CMOS 技术的主要备选。制造用于 FinFET 的鳍片 (fin)，也公知为独立半导体层的方法通常集中围绕使用一些形式的掩膜或蚀刻停止、或电子束、常规光刻、或侧壁图像转移，利用这些方法从绝缘体上硅 (SOI) 或体衬底硅晶体中蚀刻薄硅独立半导体层。用于形成独立半导体层的常规材料和其掩蔽工艺可能很昂贵，并可能仍不够精确的足以提供一致厚度的独立半导体层，而这在制造具有可靠和精确性能的 FET 中是很重要的。

因此，该技术的一个挑战是提供非常薄的硅独立半导体层，并具有对其厚度的高度控制。另一个挑战是从独立半导体层的顶部到底部保持一致的厚度。而且，该技术的挑战是提供在常规 SOI 或体衬底硅器件上形成薄的、一致的独立半导体层的精确且便宜的方法。

因此，在本领域内产生了对在常规 SOI 或体衬底硅器件上形成独立半导体层的方法的需求，所述方法提供对其厚度和高度的高度控制并从独立半导体层的顶部到底部保持一致的厚度。

发明内容

本发明提供了在常规 SOI 或体衬底硅器件上形成独立半导体层的方法，此方法将提供对其厚度和高度的高度控制，并维持独立半导体层的厚度的一致性。

通常，本发明的第一方面针对形成独立半导体层的方法，包括以下步骤：在单晶基础结构上形成非单晶心轴；在所述心轴的至少一个侧壁上形成保形多晶半导体层，所述多晶半导体层接触所述单晶基础结构；以及重结晶所述多晶半导体层，以具有与所述基础结构基本上相同的结晶性。

另外，本发明的第二方面提供了半导体器件，包括单晶基础结构；以及保形单晶独立半导体层，接触所述单晶基础结构，所述独立半导体层具有与所述基础结构基本上相同的结晶性。

本发明还提供了形成具有至少一个独立半导体层的场效应晶体管方法，包括以下步骤：在单晶基础结构上形成非单晶心轴；在所述心轴的至少一个侧壁上形成保形多晶半导体层，所述多晶半导体层接触所述单晶基础结构；重结晶所述多晶半导体层，以具有与所述基础结构基本上相同的结晶性；除去所述心轴；以及在所述半导体层上形成栅极结构。

从下面如附图中所示的本发明的实施例的更加具体的描述中，将明显看出本发明的上述和其它特征。

附图说明

在下文中将结合附图描述本发明的实施例，其中类似标号代表类似元素，并且其中：

图 1、2、3、4 和 5 为体衬底硅半导体晶片的截面图，示出了可以用于根据本发明的第一实施例形成独立半导体层的一组步骤；

图 6 为图 5 的平面图；

图 7、8、9 和 10 为绝缘体上硅 (SOI) 半导体晶片的截面图，示出了可以用于根据本发明的第二实施例形成独立半导体层的一组步骤；

图 11、12、13、14 和 15 为 SOI 半导体晶片的截面图，示出了可以用于根据本发明的第三实施例形成独立半导体层的一组步骤；以及

图 16 为如图 11、12、13、14 和 15 中所示形成的独立半导体层的平面图。

具体实施方式

图 1-6 示出了用于在截面图 (图 1-5) 和平面图 (图 6) 中所示的常规硅基体衬底硅半导体晶片 (即, 基础结构 20) 上根据本发明的第一实施例形成独立半导体层 26 的步骤。如从图 1 中看到的, 第一步骤 10a 为在基础结构 20 上形成心轴 22。此实施例中的基础结构 20 为体衬底硅晶片, 所述晶片为例如硅 (Si) 的单晶材料。通过构图和蚀刻在基础结构 20 上淀积或生长的材料, 在基础结构 20 上形成心轴 22。心轴 22 可以由无定形材料、或例如二氧化硅 (SiO_2) 或氮化硅 (Si_3N_4) 的多晶材料、或其它本领域内公知的类似材料构成。

图 2 中, 第二步骤 10b 包括在心轴 22 和基础结构 20 上形成保形半导体层 24。在基础结构 20 和心轴 22 的至少一个侧壁上以保形的方式外延生长或淀积半导体层 24。如果半导体层 24 是外延生长的, 那么接触基础结构 20 的半导体层 24 的微结构将呈现基础结构 20 的晶体取向。这样, 半导体层 24 和基础结构 20 之间的接触允许便宜且有效的用于半导体层 24 部分的重结晶工艺, 而且因此, 一旦除去心轴 22 就会形成独立半导体层 26 (图 4)。如果半导体层 24 是淀积的, 那么半导体层 24 最初将由例如多晶硅的多晶材料构成。然后, 当通过退火 (约 600°C) 加热, 或通过本领域内其它公知的重结晶方法重结晶时, 半导体层 24 将呈现基础结构 20 的晶体取向。在多数情况下, 重结晶将在对应于图 3 的步骤 10c 后出现, 但也可以在对应于图 4 的步骤 10d 后出现。

如图 3 中所看到的, 形成独立半导体层中的下一步骤 10c 为选择性除去半导体层 24 的预定部分。在此具体实施例中, 除去不是在心轴 22 的侧壁上淀积或生长的半导体层 24 的部分, 尽管本发明不限制于此。可以选择性地各向异性蚀刻, 或平面化然后蚀刻半导体层 24, 以允许形成高的、薄的独立半导体层 26 (图 4)。

图 4 示出了下一步骤 10d, 其中从基础结构 20 除去心轴 22, 以留下独立半导体层 26。由于心轴 22 不包括与独立半导体层 26 相同的材料, 所以通过蚀刻或类似方法除去心轴 22 不会影响独立半导体层 26 的结构。而且, 不需要蚀刻停止限定去除边界。因此, 独立半导体层 26 的厚度由多晶硅的外延生长、或淀积来确定, 而高度由心轴 22 的厚度来确定。这样, 独立半导体层 26 为一致地薄和高, 并呈现基础结构 20 的晶体取向。

图 5 和 6 示出了步骤 10e, 在基础结构 20 上形成掺杂多晶硅的栅极结构 28, 其中图 5 示出了该工艺的截面图, 而图 6 示出了平面图。通过构图和蚀刻淀积的多晶硅(未示出)形成栅极结构 28。也形成穿过独立半导体层 26 的栅极结构 28(图 6), 并由此接触独立半导体层 26。然后通过形成延伸、晕圈和源极与漏极区(未示出)来制造例如 FET 的晶体管, 这些工艺在本领域内是公知的。

图 7-10 示出了根据本发明的第二实施例, 在截面示出的常规绝缘体上硅(SOI)半导体晶片(包括底部层 40 和绝缘层 46)上形成独立半导体层 51(图 10)的步骤。

如图 7 中看到的, 第一步骤 30a 为在绝缘层 46 上形成基础结构 44 和心轴材料 42, 其中也在基础结构 44 的侧壁上形成心轴材料 42。通过构图蚀刻 SOI 晶片的有源硅, 然后将硅构图并蚀刻为预定形状, 在绝缘层 46 上形成基础结构 44。这样, 剩余的基础结构 44 为单晶半导体。然后通过基础结构 44 和绝缘层 46 之上淀积或生长无定形或多晶材料来形成心轴材料 42, 然后平面化心轴材料 42 到基础结构 44。构图并蚀刻心轴材料 42 和基础结构 44 以形成包括心轴材料 42 和基础结构 44 的第二心轴。在此具体实施例中, 心轴材料 42 由 Si_3N_4 构成, 但不限制于此。

图 8 中, 第二步骤 30b 包括在心轴材料 42、基础结构 44 和绝缘层 46 上形成保形半导体层 48。在绝缘层 46、基础结构 44 和心轴材料 42 的至少一个侧壁上, 以保形方式外延生长或淀积半导体层 48。如果是淀积的, 那么半导体层 48 最初将由例如多晶硅的多晶材料构成。如果半导体层 48 是外延生长的, 那么没有接触基础结构 44 的半导体层 48 的部分最初将是多

晶,而接触基础结构 44 的半导体层 48 的部分最初将呈现基础结构 44 的晶体取向。在任何情况下,当通过退火(约 600℃)加热,或通过本领域内其它公知的重结晶方法重结晶时,整个半导体层 48 呈现基础结构 44 的晶体取向。

如图 9 中看到的,下一步骤 30c 为通过选择性除去半导体层 48(图 8)形成独立半导体层 51(图 10)。可以通过各向异性蚀刻、或平面化并接着蚀刻,选择性蚀刻半导体层 48,以允许形成高的、薄的半导体层 52 和 49。如前所述,如果半导体层 48 是外延生长的,那么与基础结构 44 接触的半导体层 52 将呈现基础结构 44 的晶体取向;而没有与基础结构 44 接触的半导体层 49 将继续为多晶材料,至少到重结晶。如果半导体层 48 是淀积的,半导体层 52 和半导体层 49 将为多晶材料,直到重结晶。

另外,由于图 9 示出了半导体层 52 和 49、基础结构 44 和心轴材料 42 的截面,在此具体实施例中,应该理解地是,虽然没有示出,但是基础结构 44 仍接触心轴材料的至少一个侧壁而半导体层 52 和 49 仍接触蚀刻之后心轴材料 42 的剩余侧壁。就是说,半导体层 52 和半导体层 49 是一个连续层,在心轴材料 42 和基础结构 44 周围形成薄的、高的矩形或类似形状。虽然在此具体实施例中,半导体层 52 和半导体层 49 为一个连续层,但是本发明不会限制于此,而是可以形成多于一层。

图 10 示出了下一步骤 30d,其中从基础结构 44 和绝缘层 46 除去心轴材料 42,以留下独立半导体层 51 和基础结构 44。由于心轴材料 42 不包括与独立半导体层 51 和基础结构 44 相同的材料,通过选择性蚀刻或类似方法除去心轴材料 42 不影响独立半导体层 51 的结构。而且,不需要蚀刻停止限定去除边界。与本发明第一实施例一样,独立半导体层 51 的厚度由多晶硅的外延生长、或淀积来确定,而高度由心轴材料 42 的厚度来确定。独立半导体层 51 呈现基础结构 44 的晶体取向。

图 11-16 示出了根据本发明的第三实施例,在截面(图 11-15)和平面图(图 16)中示出的常规 SOI 半导体晶片(具有基础结构 70 和绝缘层 64)上形成独立半导体层 74(图 16)的步骤。如图 11 中看到的,第一

步骤 60a 为蚀刻穿过绝缘层 64 到基础结构 70 的孔 66。本实施例中的基础结构 70 为 SOI 半导体晶片，所述晶片为例如硅 (Si) 的单晶材料。虽然图 11 中只示出了一个孔 66，但是本发明并不限制于此。可以形成穿过绝缘层 64 的其它孔，用于基础结构 70 和心轴 68 (图 13) 或半导体层 72 (图 13) 的多个接触。

图 12 示出了在绝缘层 64 和基础结构 70 上形成心轴 68 的下一步骤 60b，其中心轴 68 通过孔 66 接触基础结构 70。在此实施例中，孔 66 的宽度大于心轴 68 的宽度，以允许在基础结构 70 上形成的心轴 68 的每个侧面上接触到基础结构 70。可以通过构图并蚀刻绝缘层 64 和基础结构 70 上淀积或生长的材料，在绝缘层 64 和基础结构 70 上形成心轴 68。心轴 68 包括例如 Si_3N_4 的无定形或多晶材料，或本领域内公知的其它类似材料。

图 13 中，第三步骤 60c 包括在绝缘层 64、心轴 68 和基础结构 70 (穿过孔 66) 上形成保形半导体层 72。在绝缘层 64、基础结构 70 和心轴 68 的至少一个侧壁上，以保形方式外延生长或淀积半导体层 72。如果是淀积的，那么半导体层 72 最初将由例如多晶硅的多晶材料构成。如果半导体层 72 是外延生长的，那么在心轴 68 的每个侧面上通过孔 66 接触基础结构 70 的半导体层 72 的微结构将呈现基础结构 70 的晶体取向。这样，半导体层 72 和基础结构 70 之间的接触允许便宜且有效的重结晶工艺用于半导体层 72 部分。在两种情况下，不管是淀积或外延生长，当通过退火 (约 600°C) 加热，或通过本领域内其它公知的重结晶方法重结晶时，半导体层 72 基本上呈现基础结构 70 的晶体取向。在多数情况下，重结晶将在对应于图 14 的步骤 60d 后出现，但也可以在对应于图 15 的步骤 60e 后出现。

如图 14 中所看到的，下一步骤 60d 为通过选择性除去半导体层 72 形成独立半导体层 74 (图 16)。在此具体实施例中，除去不是在心轴 68 的侧壁上淀积或生长的半导体层 72 的部分，尽管本发明不限制于此。可以选择性地各向异性蚀刻，或平面化然后蚀刻半导体层 72，以允许形成高的、薄的独立半导体层 74 (图 15)。

图 15 示出了下一步骤 60e，其中从基础结构 70 除去心轴 68，以留下

独立半导体层 74。由于心轴 68 不包括与独立半导体层 74 相同的材料，所以通过蚀刻或类似方法除去心轴 68 不会影响独立半导体层 74 的结构。而且，不需要蚀刻停止限定去除边界。如前所述，独立半导体层 74 的厚度由多晶硅的外延生长、或淀积来确定，而高度由心轴 68 的厚度来确定。这样，独立半导体层 74 为一致地薄和高，并呈现基础结构 70 的晶体取向。

图 16 以平面图示出了步骤 60f，其中在绝缘层 64 上和穿过独立半导体层 74 形成掺杂多晶硅的栅极结构 76。通过构图和蚀刻淀积的多晶硅(未示出)形成栅极结构 76。然后通过形成延伸、晕圈和源极与漏极区(未示出)来制造晶体管，这些工艺在本领域内是公知的。

这样，本发明提供了在常规 SOI 或体衬底硅晶片上形成独立半导体层的方法，此方法将提供对其厚度和高度的高度控制，并维持独立半导体层的厚度的一致性。

尽管参考其具体实施例具体示出和描述了本发明，然而本领域内的技术人员可以理解地是，在不脱离本发明的精神和范围的情况下，可以在形式和细节上对其进行上述和其它改变。

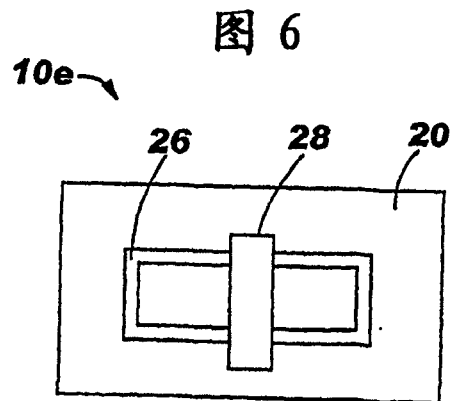
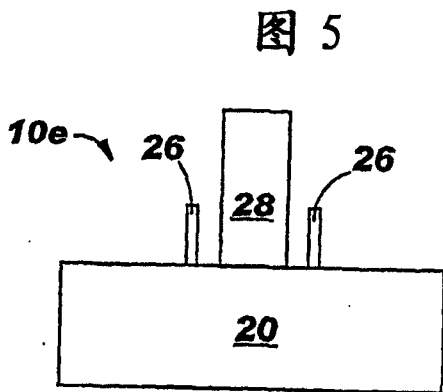
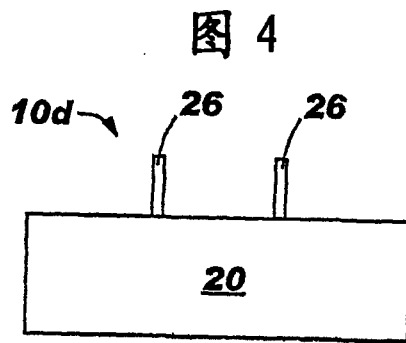
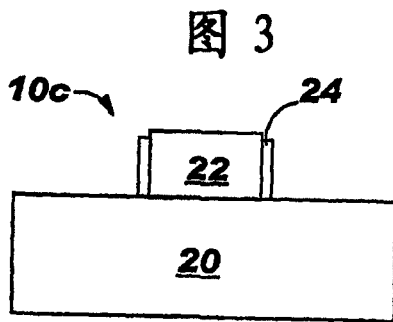
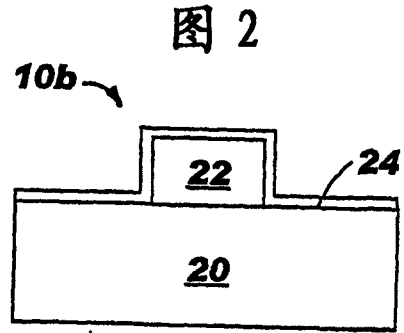
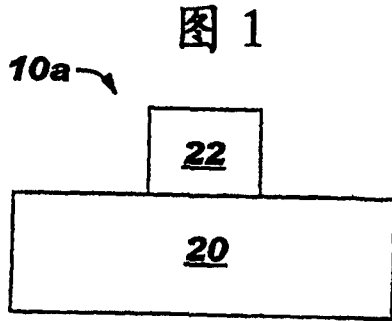


图 7

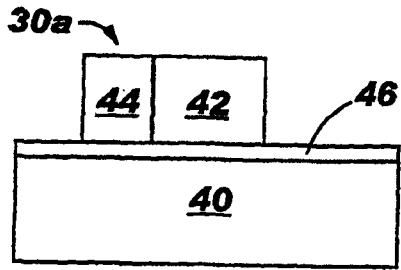


图 8

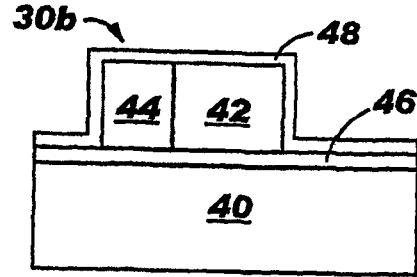


图 9

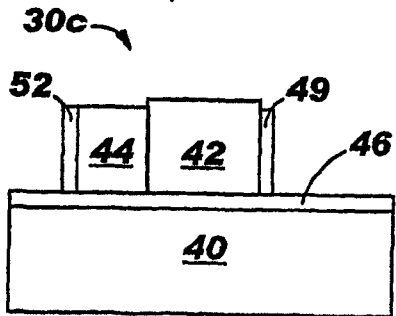


图 10

