



KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

tance counter electrode (15C) which is positioned on the side of the auxiliary capacitance electrode opposite to the first auxiliary capacitance counter electrode, and which faces the auxiliary capacitance electrode with another dielectric layer (11) therebetween.

(57) 要約: TFT基板(106)は、誘電体基板(1)と、誘電体基板上に配列された複数のアンテナ単位領域(U)とを有する。複数のアンテナ単位領域のそれぞれは、TFT(10)と、TFTのドレイン電極(7D)に電氣的に接続されたパッチ電極(15)と、ドレイン電極と電氣的に接続された補助容量電極(7C)と、誘電体層(4)を介して補助容量電極と対向する第1補助容量対向電極(3C)と、補助容量電極の第1補助容量対向電極と反対側に位置し、他の誘電体層(11)を介して補助容量電極と対向する第2補助容量対向電極(15C)とを有する。

明 細 書

発明の名称： T F T 基板および T F T 基板を備えた走査アンテナ
技術分野

[0001] 本発明は、走査アンテナに関し、特に、アンテナ単位（「素子アンテナ」ということもある。）が液晶容量を有する走査アンテナ（「液晶アレイアンテナ」ということもある。）、およびそのような走査アンテナに用いられる T F T 基板に関する。

背景技術

[0002] 移動体通信や衛星放送用のアンテナは、ビームの方向を変えられる（「ビーム走査」または「ビームステアリング」と言われる。）機能を必要とする。このような機能を有するアンテナ（以下、「走査アンテナ（scanned antenna）」という。）として、アンテナ単位を備えるフェイズドアレイアンテナが知られている。しかしながら、従来のフェイズドアレイアンテナは高価であり、民生品への普及の障害となっている。特に、アンテナ単位の数が増えると、コストが著しく上昇する。

[0003] そこで、液晶材料（ネマチック液晶、高分子分散液晶を含む）の大きな誘電異方性（複屈折率）を利用した走査アンテナが提案されている（特許文献 1～5 および非特許文献 1）。液晶材料の誘電率は周波数分散を有するので、本明細書において、マイクロ波の周波数帯における誘電率（「マイクロ波に対する誘電率」ということもある。）を特に「誘電率 $M(\epsilon_M)$ 」と表記することにする。

[0004] 特許文献 3 および非特許文献 1 には、液晶表示装置（以下、「LCD」という。）の技術を利用することによって低価格な走査アンテナが得られると記載されている。

先行技術文献

特許文献

[0005] 特許文献 1：特開 2007-116573 号公報

特許文献2：特開2007-295044号公報

特許文献3：特表2009-538565号公報

特許文献4：特表2013-539949号公報

特許文献5：国際公開第2015/126550号

非特許文献

[0006] 非特許文献1：R. A. Stevenson et al., "Rethinking Wireless Communications: Advanced Antenna Design using LCD Technology", SID 2015 DIGEST, pp. 827-830.

非特許文献2：M. ANDO et al., "A Radial Line Slot Antenna for 12GHz Satellite TV Reception", IEEE Transactions of Antennas and Propagation, Vol. AP-33, No. 12, pp. 1347-1353 (1985).

発明の概要

発明が解決しようとする課題

[0007] 上述したように、LCD技術を適用することによって低価格な走査アンテナを実現するというアイデアは知られてはいるものの、LCD技術を利用した走査アンテナの構造、その製造方法、およびその駆動方法を具体的に記載した文献はない。

[0008] そこで、本発明は、従来のLCDの製造技術を利用して量産することが可能な走査アンテナ、およびそのような走査アンテナに用いられるTF T基板を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の実施形態によるTF T基板は、誘電体基板と、前記誘電体基板上

に配列された複数のアンテナ単位領域とを有し、前記複数のアンテナ単位領域のそれぞれは、T F Tと、前記T F Tのドレイン電極に電氣的に接続されたパッチ電極と、前記ドレイン電極と電氣的に接続された補助容量電極と、誘電体層を介して前記補助容量電極と対向する第1補助容量対向電極と、前記補助容量電極の前記第1補助容量対向電極と反対側に位置し、他の誘電体層を介して前記補助容量電極と対向する第2補助容量対向電極とを有する。

[0010] ある実施形態において、前記第1補助容量対向電極または前記第2補助容量対向電極は、前記パッチ電極を含む導電層から形成されている。

[0011] ある実施形態において、前記第1補助容量対向電極または前記第2補助容量対向電極は、透明導電層を含む。

[0012] ある実施形態において、前記第1補助容量対向電極および前記第2補助容量対向電極には、共通の電圧が供給される。

[0013] ある実施形態において、前記第2補助容量対向電極は、前記第1補助容量対向電極を含む導電層よりも上の導電層に含まれ、前記第2補助容量対向電極のエッジは、前記誘電体基板の法線方向から見たとき、前記補助容量電極の内側にある部分を含む。

[0014] ある実施形態において、前記補助容量電極のエッジは、前記誘電体基板の法線方向から見たとき、前記第1補助容量対向電極の内側にある部分を含む。

[0015] ある実施形態において、前記誘電体層および前記他の誘電体層には、前記第1補助容量対向電極に達するコンタクトホールが形成されており、前記第2補助容量対向電極は、前記コンタクトホール内で前記第1補助容量対向電極と電氣的に接続されている。

[0016] ある実施形態において、前記T F T基板は、前記誘電体基板に支持され、前記T F Tのゲート電極を含むゲートメタル層と、前記誘電体基板に支持され、前記T F Tのソース電極を含むソースメタル層と、前記ゲートメタル層と前記ソースメタル層との間に形成されたゲート絶縁層とを有し、前記補助容量電極は、前記ソースメタル層に含まれ、前記第1補助容量対向電極は、

前記ゲートメタル層に含まれ、前記誘電体層は、前記ゲート絶縁層である。

[0017] ある実施形態において、前記TFT基板は、前記ゲートメタル層および前記ソースメタル層の上に形成された第1絶縁層と、前記第1絶縁層上に形成され、前記パッチ電極を含むパッチメタル層とをさらに有する。

[0018] ある実施形態において、前記第2補助容量対向電極は、前記パッチメタル層に含まれ、前記他の誘電体層は、前記第1絶縁層である。

[0019] ある実施形態において、前記TFT基板は、前記第1絶縁層と前記パッチメタル層との間に形成された下部導電層をさらに有する。

[0020] ある実施形態において、前記第2補助容量対向電極は、前記下部導電層に含まれ、前記他の誘電体層は、前記第1絶縁層である。

[0021] ある実施形態において、前記TFT基板は、前記パッチメタル層上に形成された第2絶縁層と、前記第2絶縁層上に形成された上部導電層とをさらに有する。

[0022] ある実施形態において、前記第2補助容量対向電極は、前記上部導電層に含まれ、前記他の誘電体層は、前記第1絶縁層および前記第2絶縁層を含む。

[0023] ある実施形態において、前記上部導電層は、透明導電層を含む第1上部導電層と、前記第1上部導電層の下に形成され、Ti層、MoNb層、MoNbNi層、MoW層、W層およびTa層からなる群から選択される少なくとも1つの層から形成されている第2上部導電層とを含む。

[0024] ある実施形態において、前記ゲートメタル層は、前記TFTの前記ゲート電極に接続されたゲートバスラインをさらに含み、前記ソースメタル層は、前記TFTの前記ソース電極に接続されたソースバスラインをさらに含み、前記ソースバスラインは、前記誘電体基板の法線方向から見たとき、前記ゲートバスラインと重なる部分の幅が、前記ゲートバスラインと重ならない部分の幅よりも小さくなるように形成されている。

[0025] ある実施形態において、前記ゲートバスラインは、前記誘電体基板の法線方向から見たとき、前記ソースバスラインと重なる部分の幅が、前記ソース

バスラインと重ならない部分の幅よりも小さくなるように形成されている。

[0026] ある実施形態において、前記ゲートメタル層は、前記第1補助容量対向電極および前記第2補助容量対向電極に電氣的に接続されたCSバスラインをさらに含み、前記ソースバスラインは、前記誘電体基板の法線方向から見たとき、前記CSバスラインと重なる部分の幅が、前記CSバスラインと重ならない部分の幅よりも小さくなるように形成されている。

[0027] ある実施形態において、前記CSバスラインは、前記誘電体基板の法線方向から見たとき、前記ソースバスラインと重なる部分の幅が、前記ソースバスラインと重ならない部分の幅よりも小さくなるように形成されている。

[0028] 本発明の実施形態による走査アンテナは、上記のいずれかのTF基板と、前記TF基板と対向するように配置されたスロット基板と、前記TF基板と前記スロット基板との間に設けられた液晶層と、前記スロット基板の前記液晶層と反対側の表面に誘電体層を介して対向するように配置された反射導電板とを備え、前記スロット基板は、他の誘電体基板と、前記他の誘電体基板の前記液晶層側の表面に形成されたスロット電極とを有し、前記スロット電極は複数のスロットを有し、前記複数のスロットは、前記TF基板の前記複数のアンテナ単位領域における前記パッチ電極に対応して配置されている。

発明の効果

[0029] 本発明のある実施形態によると、従来のLCDの製造技術を利用して量産することが可能な走査アンテナ、およびそのような走査アンテナに用いられるTF基板が提供される。

図面の簡単な説明

[0030] [図1]第1の実施形態の走査アンテナ1000の一部を模式的に示す断面図である。

[図2] (a) および (b) は、それぞれ、走査アンテナ1000におけるTF基板101およびスロット基板201を示す模式的な平面図である。

[図3] (a) および (b) は、それぞれ、TF基板101のアンテナ単位領

域Uを模式的に示す断面図および平面図である。

[図4] (a) ~ (c) は、それぞれ、T F T基板101のゲート端子部G T、ソース端子部S Tおよびトランスファー端子部P Tを模式的に示す断面図である。

[図5] T F T基板101の製造工程の一例を示す図である。

[図6] スロット基板201におけるアンテナ単位領域Uおよび端子部I Tを模式的に示す断面図である。

[図7] T F T基板101およびスロット基板201におけるトランスファー部を説明するための模式的な断面図である。

[図8] (a) ~ (c) は、それぞれ、第2の実施形態におけるT F T基板102のゲート端子部G T、ソース端子部S Tおよびトランスファー端子部P Tを示す断面図である。

[図9] T F T基板102の製造工程の一例を示す図である。

[図10] (a) ~ (c) は、それぞれ、第3の実施形態におけるT F T基板103のゲート端子部G T、ソース端子部S Tおよびトランスファー端子部P Tを示す断面図である。

[図11] T F T基板103の製造工程の一例を示す図である。

[図12] T F T基板103およびスロット基板203におけるトランスファー部を説明するための模式的な断面図である。

[図13] (a) は、ヒーター用抵抗膜68を有するT F T基板104の模式的な平面図であり、(b) はスロット57およびパッチ電極15のサイズを説明するための模式的な平面図である。

[図14] (a) および(b) は、抵抗加熱構造80aおよび80bの模式的な構造と電流の分布を示す図である。

[図15] (a) ~ (c) は、抵抗加熱構造80c~80eの模式的な構造と電流の分布を示す図である。

[図16] (a) は、ヒーター用抵抗膜68を有する液晶パネル100Paの模式的な断面図であり、(b) は、ヒーター用抵抗膜68を有する液晶パネル

100Pbの模式的な断面図である。

[図17]本発明の実施形態による走査アンテナの1つのアンテナ単位の等価回路を示す図である。

[図18](a)～(c)、(e)～(g)は、実施形態の走査アンテナの駆動に用いられる各信号の波形の例を示す図であり、(d)は、ドット反転駆動を行っているLCDパネルの表示信号の波形を示す図である。

[図19](a)～(e)は、実施形態の走査アンテナの駆動に用いられる各信号の波形の他の例を示す図である。

[図20](a)～(e)は、実施形態の走査アンテナの駆動に用いられる各信号の波形のさらに他の例を示す図である。

[図21](a)～(c)は、第4の実施形態におけるTF T基板105を例示する模式的な平面図である。

[図22](a)～(d)は、TF T基板105の模式的な断面図である。

[図23](a)～(d)は、TF T基板105の模式的な断面図である。

[図24](a)～(c)は、第5の実施形態におけるTF T基板106を例示する模式的な平面図である。

[図25](a)～(e)は、TF T基板106の模式的な断面図である。

[図26](a)～(d)は、TF T基板106の模式的な断面図である。

[図27](a)～(c)は、第5の実施形態の変形例1のTF T基板106aを例示する模式的な平面図である。

[図28](a)～(c)は、TF T基板106aの模式的な断面図である。

[図29](a)～(c)は、第5の実施形態の変形例2のTF T基板106bを例示する模式的な平面図である。

[図30](a)～(c)は、TF T基板106bの模式的な断面図である。

[図31](a)～(c)は、第5の実施形態の変形例3のTF T基板106cを例示する模式的な平面図である。

[図32](a)～(c)は、TF T基板106cの模式的な断面図である。

[図33](a)～(e)は、TF T基板106の製造方法の一例を示す工程断

面図である。

[図34] (a) ~ (e) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図35] (a) ~ (d) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図36] (a) ~ (d) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図37] (a) ~ (c) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図38] (a) ~ (c) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図39] (a) および (b) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図40] (a) および (b) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図41] (a) および (b) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図42] (a) および (b) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図43] (a) ~ (c) は、T F T基板 1 0 6 a の製造方法の一例を示す工程断面図である。

[図44] (a) および (b) は、T F T基板 1 0 6 a の製造方法の一例を示す工程断面図である。

[図45] (a) および (b) は、T F T基板 1 0 6 a の製造方法の一例を示す工程断面図である。

[図46] T F T基板 1 0 6 b の製造方法の一例を示す工程断面図である。

[図47] (a) および (b) は、T F T基板 1 0 6 b の製造方法の一例を示す工程断面図である。

[図48] (a) および (b) は、TFT基板106bの製造方法の一例を示す工程断面図である。

[図49] (a) ~ (c) は、TFT基板106cの製造方法の一例を示す工程断面図である。

[図50] (a) および (b) は、TFT基板106cの製造方法の一例を示す工程断面図である。

[図51] (a) および (b) は、TFT基板106cの製造方法の一例を示す工程断面図である。

[図52] (a) は、従来のLCD900の構造を示す模式図であり、(b) はLCDパネル900aの模式的な断面図である。

発明を実施するための形態

[0031] 以下、図面を参照して、本発明の実施形態による走査アンテナおよびその製造方法を説明する。以下の説明においては、まず、公知のTFT型LCD（以下、「TFT-LCD」という。）の構造および製造方法を説明する。ただし、LCDの技術分野で周知の事項については説明を省略することがある。TFT-LCDの基本的な技術については、例えば、Liquid Crystals, Applications and Uses, Vol. 1-3 (Editor: Birenda Bahadur, Publisher: World Scientific Pub Co Inc)などを参照されたい。参考のために、上記の文献の開示内容の全てを本明細書に援用する。

[0032] 図52 (a) および (b) を参照して、典型的な透過型のTFT-LCD（以下、単に「LCD」という。）900の構造および動作を説明する。ここでは、液晶層の厚さ方向に電圧を印加する縦電界モード（例えば、TNモードや垂直配向モード）のLCD900を例示する。LCDの液晶容量に印加される電圧のフレーム周波数（典型的には極性反転周波数の2倍）は例えば4倍速駆動でも240Hzであり、LCDの液晶容量の誘電体層としての液晶層の誘電率 ϵ は、マイクロ波（例えば、衛星放送やKuバンド（12～

18GHz)、Kバンド(18~26GHz)、Kaバンド(26~40GHz))に対する誘電率 $M(\epsilon_M)$ と異なる。

[0033] 図52(a)に模式的に示すように、透過型のLCD900は、液晶表示パネル900aと、制御回路CNTLと、バックライト(不図示)と、電源回路(不図示)などを備えている。液晶表示パネル900aは、液晶表示セルLCCと、ゲートドライバGDおよびソースドライバSDを含む駆動回路とを含む。駆動回路は、例えば、液晶表示セルLCCのTFT基板910に実装されてもよいし、駆動回路の一部または全部は、TFT基板910に一体化(モノリシック化)されてもよい。

[0034] 図52(b)に、LCD900が有する液晶表示パネル(以下、「LCDパネル」という。)900aの模式的に断面図を示す。LCDパネル900aは、TFT基板910と、対向基板920と、これらの間に設けられた液晶層930とを有している。TFT基板910および対向基板920は、いずれもガラス基板などの透明基板911、921を有している。透明基板911、921としては、ガラス基板の他、プラスチック基板が用いられることもある。プラスチック基板は、例えば、透明な樹脂(例えばポリエステル)とガラス繊維(例えば不織布)で形成される。

[0035] LCDパネル900aの表示領域DRは、マトリクス状に配列された画素Pによって構成されている。表示領域DRの周辺には表示に寄与しない額縁領域FRが形成されている。液晶材料は表示領域DRを包囲するように形成されたシール部(不図示)によって表示領域DR内に封止されている。シール部は、例えば、紫外線硬化性樹脂とスペーサ(例えば樹脂ビーズまたはシリカビーズ)とを含むシール材を硬化させることによって形成され、TFT基板910と対向基板920とを互いに接着、固定する。シール材中のスペーサは、TFT基板910と対向基板920との間隙、すなわち液晶層930の厚さを一定に制御する。液晶層930の厚さの面内ばらつきを抑制するために、表示領域DR内の遮光される部分(例えば配線上)に、柱状スペーサが紫外線硬化性樹脂を用いて形成される。近年、液晶テレビやスマートフ

オン用のLCDパネルに見られるように、表示に寄与しない額縁領域FRの幅は非常に狭くなっている。

[0036] TFT基板910では、透明基板911上に、TFT912、ゲートバスライン（走査線）GL、ソースバスライン（表示信号線）SL、画素電極914、補助容量電極（不図示）、CSバスライン（補助容量線）（不図示）が形成されている。CSバスラインはゲートバスラインと平行に設けられる。あるいは、次段のゲートバスラインをCSバスラインとして用いることもある（CSオンゲート構造）。

[0037] 画素電極914は、液晶の配向を制御する配向膜（例えばポリイミド膜）に覆われている。配向膜は、液晶層930と接するように設けられる。TFT基板910はバックライト側（観察者とは反対側）に配置されることが多い。

[0038] 対向基板920は、液晶層930の観察者側に配置されることが多い。対向基板920は、透明基板921上に、カラーフィルタ層（不図示）と、対向電極924と、配向膜（不図示）とを有している。対向電極924は、表示領域DRを構成する複数の画素Pに共通に設けられるので、共通電極とも呼ばれる。カラーフィルタ層は、画素P毎に設けられるカラーフィルタ（例えば、赤フィルタ、緑フィルタ、青フィルタ）と、表示に不要な光を遮光するためのブラックマトリクス（遮光層）とを含む。ブラックマトリクスは、例えば、表示領域DR内の画素Pの間、および額縁領域FRを遮光するように配置される。

[0039] TFT基板910の画素電極914と、対向基板920の対向電極924と、これらの間の液晶層930が、液晶容量C_lcを構成する。個々の液晶容量が画素に対応する。液晶容量C_lcに印加された電圧を保持するために（いわゆる電圧保持率を高くするために）、液晶容量C_lcと電氣的に並列に接続された補助容量CSが形成されている。補助容量CSは、典型的には、画素電極914と同電位とされる電極と、無機絶縁層（例えばゲート絶縁層（SiO₂層））と、CSバスラインに接続された補助容量電極とで構成さ

れる。CSバスラインからは、典型的には、対向電極924と同じ共通電圧が供給される。

[0040] 液晶容量 C_{lc} に印加された電圧（実効電圧）が低下する要因としては、（１）液晶容量 C_{lc} の容量値 C_{clc} と、抵抗値 R との積である CR 時定数に基づくもの、（２）液晶材料中に含まれるイオン性不純物に起因する界面分極、および／または、液晶分子の配向分極などがある。これらのうち、液晶容量 C_{lc} の CR 時定数による寄与が大きく、液晶容量 C_{lc} に電氣的に並列に接続された補助容量 CS を設けることによって、 CR 時定数を大きくすることができる。なお、液晶容量 C_{lc} の誘電体層である液晶層930の体積抵抗率は、汎用されているネマチック液晶材料の場合、 $10^{12} \Omega \cdot cm$ のオーダーを超えている。

[0041] 画素電極914に供給される表示信号は、ゲートバスライン GL にゲートドライバ GD から供給される走査信号によって選択された $TFT912$ がオン状態となったときに、その $TFT912$ に接続されているソースバスライン SL に供給されている表示信号である。したがって、あるゲートバスライン GL に接続されている $TFT912$ が同時にオン状態となり、その時に、その行の画素 P のそれぞれの $TFT912$ に接続されているソースバスライン SL から対応する表示信号が供給される。この動作を、１行目（例えば表示面の最上行）から m 行目（例えば表示面の最下行）まで順次に行うことによって、 m 行の画素行で構成された表示領域 DR に１枚の画像（フレーム）が書き込まれ、表示される。画素 P が m 行 n 列にマトリクス状に配列されているとすると、ソースバスライン SL は各画素列に対応して少なくとも１本、合計で少なくとも n 本設けられる。

[0042] このような走査は線順次走査と呼ばれ、１つの画素行が選択されて、次の行が選択されるまでの時間は水平走査期間（ $1H$ ）と呼ばれ、ある行が選択され、再びその行が選択されるまでの時間は垂直走査期間（ $1V$ ）またはフレームと呼ばれる。なお、一般に、 $1V$ （または１フレーム）は、 m 本の画素行を全て選択する期間 $m \cdot H$ に、ブランキング期間を加えたものとなる。

[0043] 例えば、入力映像信号がNTSC信号の場合、従来のLCDパネルの1V (= 1フレーム) は、 $1/60 \text{ sec}$ (16.7 msec) であった。NTSC信号はインターレース信号であり、フレーム周波数は30Hzで、フィールド周波数は60Hzであるが、LCDパネルにおいては各フィールドで全ての画素に表示信号を供給する必要があるので、 $1V = (1/60) \text{ sec}$ で駆動する (60Hz駆動)。なお、近年では、動画表示特性を改善するために、2倍速駆動 (120Hz駆動、 $1V = (1/120) \text{ sec}$) で駆動されるLCDパネルや、3D表示のために4倍速 (240Hz駆動、 $1V = (1/240) \text{ sec}$) で駆動されるLCDパネルもある。

[0044] 液晶層930に直流電圧が印加されると実効電圧が低下し、画素Pの輝度が低下する。この実効電圧の低下には、上記の界面分極および/または配向分極の寄与があるので、補助容量CSを設けても完全に防止することは難しい。例えば、ある中間階調に対応する表示信号を全ての画素にフレーム毎に書き込むと、フレーム毎に輝度が変動し、フリッカーとして観察される。また、液晶層930に長時間にわたって直流電圧が印加されると液晶材料の電気分解が起こることがある。また、不純物イオンが片側の電極に偏析し、液晶層に実効的な電圧が印加されなくなり、液晶分子が動かなくなることもある。これらを防止するために、LCDパネル900aはいわゆる、交流駆動される。典型的には、表示信号の極性を1フレーム毎 (1垂直走査期間毎) に反転する、フレーム反転駆動が行われる。例えば、従来のLCDパネルでは、 $1/60 \text{ sec}$ 毎に極性反転が行われている (極性反転の周期は30Hz)。

[0045] また、1フレーム内においても印加される電圧の極性の異なる画素を均一に分布させるために、ドット反転駆動またはライン反転駆動などが行われている。これは、正極性と負極性とで、液晶層に印加される実効電圧の大きさを完全に一致させることが難しいからである。例えば、液晶材料の体積抵抗率が $10^{12} \Omega \cdot \text{cm}$ のオーダー超であれば、 $1/60 \text{ sec}$ 毎に、ドット反転またはライン反転駆動を行えば、フリッカーはほとんど視認されない。

[0046] LCDパネル900aにおける走査信号および表示信号は、制御回路CNTLからゲートドライバGDおよびソースドライバSDに供給される信号に基づいて、ゲートドライバGDおよびソースドライバSDからゲートバスラインGLおよびソースバスラインSLにそれぞれ供給される。例えば、ゲートドライバGDおよびソースドライバSDは、それぞれ、TFT基板910に設けられた対応する端子に接続されている。ゲートドライバGDおよびソースドライバSDは、例えば、ドライバICとしてTFT基板910の額縁領域FRに実装されることもあるし、TFT基板910の額縁領域FRにモノリシックに形成されることもある。

[0047] 対向基板920の対向電極924は、トランスファー（転移）と呼ばれる導電部（不図示）を介して、TFT基板910の端子（不図示）に電氣的に接続される。トランスファーは、例えば、シール部と重なるように、あるいは、シール部の一部に導電性を付与することによって形成される。額縁領域FRを狭くするためである。対向電極924には、制御回路CNTLから、直接または間接的に共通電圧が供給される。典型的には、共通電圧は、上述したように、CSバスラインにも供給される。

[0048] [走査アンテナの基本構造]

液晶材料の大きな誘電率 $M(\epsilon_M)$ の異方性（複屈折率）を利用したアンテナ単位を用いた走査アンテナは、LCDパネルの画素に対応付けられるアンテナ単位の各液晶層に印加する電圧を制御し、各アンテナ単位の液晶層の実効的な誘電率 $M(\epsilon_M)$ を変化させることによって、静電容量の異なるアンテナ単位で2次元的なパターンを形成する（LCDによる画像の表示に対応する。）。アンテナから出射される、または、アンテナによって受信される電磁波（例えば、マイクロ波）には、各アンテナ単位の静電容量に応じた位相差が与えられ、静電容量の異なるアンテナ単位によって形成された2次元的なパターンに応じて、特定の方向に強い指向性を有することになる（ビーム走査）。例えば、アンテナから出射される電磁波は、入力電磁波が各アンテナ単位に入射し、各アンテナ単位で散乱された結果得られる球面波を、各ア

ンテナ単位によって与えられる位相差を考慮して積分することによって得られる。各アンテナ単位が、「フェイズシフター：phase shifter」として機能していると考えられることもできる。液晶材料を用いた走査アンテナの基本的な構造および動作原理については、特許文献１～４および非特許文献１、２を参照されたい。非特許文献２は、らせん状のスロットが配列された走査アンテナの基本的な構造を開示している。参考のために、特許文献１～４および非特許文献１、２の開示内容の全てを本明細書に援用する。

[0049] なお、本発明の実施形態による走査アンテナにおけるアンテナ単位はＬＣＤパネルの画素に類似してはいるものの、ＬＣＤパネルの画素の構造とは異なっているし、複数のアンテナ単位の配列もＬＣＤパネルにおける画素の配列とは異なっている。後に詳細に説明する第１の実施形態の走査アンテナ１０００を示す図１を参照して、本発明の実施形態による走査アンテナの基本構造を説明する。走査アンテナ１０００は、スロットが同心円状に配列されたラジアルインラインスロットアンテナであるが、本発明の実施形態による走査アンテナはこれに限られず、例えば、スロットの配列は、公知の種々の配列であってよい。特に、スロットおよび／またはアンテナ単位の配列について、特許文献５の全ての開示内容を参考のために本明細書に援用する。

[0050] 図１は、本実施形態の走査アンテナ１０００の一部を模式的に示す断面図であり、同心円状に配列されたスロットの中心近傍に設けられた給電ピン７２（図２（ｂ）参照）から半径方向に沿った断面の一部を模式的に示す。

[0051] 走査アンテナ１０００は、ＴＦＴ基板１０１と、スロット基板２０１と、これらの間に配置された液晶層ＬＣと、スロット基板２０１と、空気層５４を介して対向するように配置された反射導電板６５とを備えている。走査アンテナ１０００は、ＴＦＴ基板１０１側からマイクロ波を送受信する。

[0052] ＴＦＴ基板１０１は、ガラス基板などの誘電体基板１と、誘電体基板１上に形成された複数のパッチ電極１５と、複数のＴＦＴ１０とを有している。各パッチ電極１５は、対応するＴＦＴ１０に接続されている。各ＴＦＴ１０は、ゲートバスラインとソースバスラインとに接続されている。

- [0053] スロット基板201は、ガラス基板などの誘電体基板51と、誘電体基板51の液晶層LC側に形成されたスロット電極55とを有している。スロット電極55は複数のスロット57を有している。
- [0054] スロット基板201と、空気層54を介して対向するように反射導電板65が配置されている。空気層54に代えて、マイクロ波に対する誘電率Mが小さい誘電体（例えば、PTFEなどのフッ素樹脂）で形成された層を用いることができる。スロット電極55と反射導電板65と、これらの間の誘電体基板51および空気層54とが導波路301として機能する。
- [0055] パッチ電極15と、スロット57を含むスロット電極55の部分と、これらの間の液晶層LCとがアンテナ単位Uを構成する。各アンテナ単位Uにおいて、1つのパッチ電極15が1つのスロット57を含むスロット電極55の部分と液晶層LCを介して対向しており、液晶容量を構成している。パッチ電極15とスロット電極55とが液晶層LCを介して対向する構造は、図52に示したLCDパネル900aの画素電極914と対向電極924とが液晶層930を介して対向する構造と似ている。すなわち、走査アンテナ1000のアンテナ単位Uと、LCDパネル900aにおける画素Pとは似た構成を有している。また、アンテナ単位は、液晶容量と電氣的に並列に接続された補助容量（図13（a）、図17参照）を有している点でもLCDパネル900aにおける画素Pと似た構成を有している。しかしながら、走査アンテナ1000は、LCDパネル900aと多くの相違点を有している。
- [0056] まず、走査アンテナ1000の誘電体基板1、51に求められる性能は、LCDパネルの基板に求められる性能と異なる。
- [0057] 一般にLCDパネルには、可視光に透明な基板が用いられ、例えば、ガラス基板またはプラスチック基板が用いられる。反射型のLCDパネルにおいては、背面側の基板には透明性が不要なので、半導体基板が用いられることもある。これに対し、アンテナ用の誘電体基板1、51としては、マイクロ波に対する誘電損失（マイクロ波に対する誘電正接を $\tan \delta_w$ と表すことにする。）が小さいことが好ましい。誘電体基板1、51の $\tan \delta_w$ は、概

ね0.03以下であることが好ましく、0.01以下がさらに好ましい。具体的には、ガラス基板またはプラスチック基板を用いることができる。ガラス基板はプラスチック基板よりも寸法安定性、耐熱性に優れ、TFT、配線、電極等の回路要素をLCD技術を用いて形成するのに適している。例えば、導波路を形成する材料が空気とガラスである場合、ガラスの方が上記誘電損失が大きいため、ガラスがより薄い方が導波ロスを減らすことができるとの観点から、好ましくは400 μ m以下であり、300 μ m以下がさらに好ましい。下限は特になく、製造プロセスにおいて、割れることなくハンドリングできればよい。

[0058] 電極に用いられる導電材料も異なる。LCDパネルの画素電極や対向電極には透明導電膜としてITO膜が用いられることが多い。しかしながら、ITOはマイクロ波に対する $\tan \delta$ が大きく、アンテナにおける導電層として用いることができない。スロット電極55は、反射導電板65とともに導波路301の壁として機能する。したがって、導波路301の壁におけるマイクロ波の透過を抑制するためには、導波路301の壁の厚さ、すなわち、金属層(Cu層またはAl層)の厚さは大きいことが好ましい。金属層の厚さが表皮深さの3倍であれば、電磁波は1/20(−26dB)に減衰され、5倍であれば1/150(−43dB)程度に減衰されることが知られている。したがって、金属層の厚さが表皮深さの5倍であれば、電磁波の透過率を1%に低減することができる。例えば、10GHzのマイクロ波に対しては、厚さが3.3 μ m以上のCu層、および厚さが4.0 μ m以上のAl層を用いると、マイクロ波を1/150まで低減することができる。また、30GHzのマイクロ波に対しては、厚さが1.9 μ m以上のCu層、および厚さが2.3 μ m以上のAl層を用いると、マイクロ波を1/150まで低減することができる。このように、スロット電極55は、比較的厚いCu層またはAl層で形成することが好ましい。Cu層またはAl層の厚さに上限は特になく、成膜時間やコストを考慮して、適宜設定され得る。Cu層を用いると、Al層を用いるよりも薄くできるという利点を得られる。比較的

厚いCu層またはAl層の形成は、LCDの製造プロセスで用いられる薄膜堆積法だけでなく、Cu箔またはAl箔を基板に貼り付ける等、他の方法を採用することもできる。金属層の厚さは、例えば、 $2\mu\text{m}$ 以上 $30\mu\text{m}$ 以下である。薄膜堆積法を用いて形成する場合、金属層の厚さは $5\mu\text{m}$ 以下であることが好ましい。なお、反射導電板65は、例えば、厚さが数mmのアルミニウム板、銅板などを用いることができる。

[0059] パッチ電極15は、スロット電極55のように導波路301を構成する訳ではないので、スロット電極55よりも厚さが小さいCu層またはAl層を用いることができる。ただし、スロット電極55のスロット57付近の自由電子の振動がパッチ電極15内の自由電子の振動を誘起する際に熱に変わるロスを避けるために、抵抗が低い方が好ましい。量産性の観点からはCu層よりもAl層を用いることが好ましく、Al層の厚さは例えば $0.3\mu\text{m}$ 以上 $2\mu\text{m}$ 以下が好ましい。

[0060] また、アンテナ単位Uの配列ピッチは、画素ピッチと大きく異なる。例えば、 12GHz (Ku band) のマイクロ波用のアンテナを考えると、波長 λ は、例えば 25mm である。そうすると、特許文献4に記載されているように、アンテナ単位Uのピッチは $\lambda/4$ 以下および/または $\lambda/5$ 以下であるので、 6.25mm 以下および/または 5mm 以下ということになる。これはLCDパネルの画素のピッチと比べて10倍以上大きい。したがって、アンテナ単位Uの長さおよび幅もLCDパネルの画素長さおよび幅よりも約10倍大きいことになる。

[0061] もちろん、アンテナ単位Uの配列はLCDパネルにおける画素の配列と異なり得る。ここでは、同心円状に配列した例（例えば、特開2002-217640号公報参照）を示すが、これに限られず、例えば、非特許文献2に記載されているように、らせん状に配列されてもよい。さらに、特許文献4に記載されているようにマトリクス状に配列してもよい。

[0062] 走査アンテナ1000の液晶層LCの液晶材料に求められる特性は、LCDパネルの液晶材料に求められる特性と異なる。LCDパネルは画素の液晶

層の屈折率変化によって、可視光（波長 $380\text{ nm} \sim 830\text{ nm}$ ）の偏光に位相差を与えることによって、偏光状態を変化させる（例えば、直線偏光の偏光軸方向を回転させる、または、円偏光の円偏光度を変化させる）ことによって、表示を行う。これに対して実施形態による走査アンテナ1000は、アンテナ単位Uが有する液晶容量の静電容量値を変化させることによって、各パッチ電極から励振（再輻射）されるマイクロ波の位相を変化させる。したがって、液晶層は、マイクロ波に対する誘電率 $M(\epsilon_M)$ の異方性（ $\Delta\epsilon_M$ ）が大きいことが好ましく、 $\tan\delta_M$ は小さいことが好ましい。例えば、M. Wittke et al., SID 2015 DIGEST pp. 824-826に記載の $\Delta\epsilon_M$ が4以上で、 $\tan\delta_M$ が0.02以下（いずれも19 GHzの値）を好適に用いることができる。この他、九鬼、高分子55巻8月号 pp. 599-602（2006）に記載の $\Delta\epsilon_M$ が0.4以上、 $\tan\delta_M$ が0.04以下の液晶材料を用いることができる。

[0063] 一般に液晶材料の誘電率は周波数分散を有するが、マイクロ波に対する誘電異方性 $\Delta\epsilon_M$ は、可視光に対する屈折率異方性 Δn と正の相関がある。したがって、マイクロ波に対するアンテナ単位用の液晶材料は、可視光に対する屈折率異方性 Δn が大きい材料が好ましいと言える。LCD用の液晶材料の屈折率異方性 Δn は 550 nm の光に対する屈折率異方性で評価される。ここでも 550 nm の光に対する Δn （複屈折率）を指標に用いると、 Δn が0.3以上、好ましくは0.4以上のネマチック液晶が、マイクロ波に対するアンテナ単位用に用いられる。 Δn に特に上限はない。ただし、 Δn が大きい液晶材料は極性が強い傾向にあるので、信頼性を低下させる恐れがある。信頼性の観点からは、 Δn は0.4以下であることが好ましい。液晶層の厚さは、例えば、 $1\text{ }\mu\text{m} \sim 500\text{ }\mu\text{m}$ である。

[0064] 以下、本発明の実施形態による走査アンテナの構造および製造方法をより詳細に説明する。

[0065] （第1の実施形態）

まず、図1および図2を参照する。図1は詳述した様に走査アンテナ10

〇〇の中心付近の模式的な部分断面図であり、図2（a）および（b）は、それぞれ、走査アンテナ1000におけるTF T基板101およびスロット基板201を示す模式的な平面図である。

[0066] 走査アンテナ1000は2次元に配列された複数のアンテナ単位Uを有しており、ここで例示する走査アンテナ1000では、複数のアンテナ単位が同心円状に配列されている。以下の説明においては、アンテナ単位Uに対応するTF T基板101の領域およびスロット基板201の領域を「アンテナ単位領域」と呼び、アンテナ単位と同じ参照符号Uを付すことにする。また、図2（a）および（b）に示す様に、TF T基板101およびスロット基板201において、2次的に配列された複数のアンテナ単位領域によって画定される領域を「送受信領域R1」と呼び、送受信領域R1以外の領域を「非送受信領域R2」と呼ぶ。非送受信領域R2には、端子部、駆動回路などが設けられる。

[0067] 図2（a）は、走査アンテナ1000におけるTF T基板101を示す模式的な平面図である。

[0068] 図示する例では、TF T基板101の法線方向から見たとき、送受信領域R1はドーナツ状である。非送受信領域R2は、送受信領域R1の中心部に位置する第1非送受信領域R2aと、送受信領域R1の周縁部に位置する第2非送受信領域R2bとを含む。送受信領域R1の外径は、例えば200mm～1500mmで、通信量などに応じて設定される。

[0069] TF T基板101の送受信領域R1には、誘電体基板1に支持された複数のゲートバスラインGLおよび複数のソースバスラインSLが設けられ、これらの配線によってアンテナ単位領域Uが規定されている。アンテナ単位領域Uは、送受信領域R1において、例えば同心円状に配列されている。アンテナ単位領域Uのそれぞれは、TF Tと、TF Tに電氣的に接続されたパッチ電極とを含んでいる。TF Tのソース電極はソースバスラインSLに、ゲート電極はゲートバスラインGLにそれぞれ電氣的に接続されている。また、ドレイン電極は、パッチ電極と電氣的に接続されている。

[0070] 非送受信領域 R 2 (R 2 a、 R 2 b) には、送受信領域 R 1 を包囲するようにシール領域 R s が配置されている。シール領域 R s にはシール材 (不図示) が付与されている。シール材は、 T F T 基板 1 0 1 およびスロット基板 2 0 1 を互いに接着させるとともに、これらの基板 1 0 1、 2 0 1 の間に液晶を封入する。

[0071] 非送受信領域 R 2 のうちシール領域 R s の外側には、ゲート端子部 G T、ゲートドライバ G D、ソース端子部 S T およびソースドライバ S D が設けられている。ゲートバスライン G L のそれぞれはゲート端子部 G T を介してゲートドライバ G D に接続されている。ソースバスライン S L のそれぞれはソース端子部 S T を介してソースドライバ S D に接続されている。なお、この例では、ソースドライバ S D およびゲートドライバ G D は誘電体基板 1 上に形成されているが、これらのドライバの一方または両方は他の誘電体基板上に設けられていてもよい。

[0072] 非送受信領域 R 2 には、また、複数のトランスファー端子部 P T が設けられている。トランスファー端子部 P T は、スロット基板 2 0 1 のスロット電極 5 5 (図 2 (b)) と電氣的に接続される。本明細書では、トランスファー端子部 P T とスロット電極 5 5 との接続部を「トランスファー部」と称する。図示するように、トランスファー端子部 P T (トランスファー部) は、シール領域 R s 内に配置されてもよい。この場合、シール材として導電性粒子を含有する樹脂を用いてもよい。これにより、 T F T 基板 1 0 1 とスロット基板 2 0 1 との間に液晶を封入させるとともに、トランスファー端子部 P T とスロット基板 2 0 1 のスロット電極 5 5 との電氣的な接続を確保できる。この例では、第 1 非送受信領域 R 2 a および第 2 非送受信領域 R 2 b の両方にトランスファー端子部 P T が配置されているが、いずれか一方のみに配置されていてもよい。

[0073] なお、トランスファー端子部 P T (トランスファー部) は、シール領域 R s 内に配置されていなくてもよい。例えば非送受信領域 R 2 のうちシール領域 R s の外側に配置されていてもよい。

- [0074] 図2(b)は、走査アンテナ1000におけるスロット基板201を例示する模式的な平面図であり、スロット基板201の液晶層LC側の表面を示している。
- [0075] スロット基板201では、誘電体基板51上に、送受信領域R1および非送受信領域R2に亘ってスロット電極55が形成されている。
- [0076] スロット基板201の送受信領域R1では、スロット電極55には複数のスロット57が配置されている。スロット57は、TF基板101におけるアンテナ単位領域Uに対応して配置されている。図示する例では、複数のスロット57は、ラジアルインラインスロットアンテナを構成するように、互いに概ね直交する方向に延びる一対のスロット57が同心円状に配列されている。互いに概ね直交するスロットを有するので、走査アンテナ1000は、円偏波を送受信することができる。
- [0077] 非送受信領域R2には、複数の、スロット電極55の端子部ITが設けられている。端子部ITは、TF基板101のトランスファー端子部PT(図2(a))と電氣的に接続される。この例では、端子部ITは、シール領域Rs内に配置されており、導電性粒子を含有するシール材によって対応するトランスファー端子部PTと電氣的に接続される。
- [0078] また、第1非送受信領域R2aにおいて、スロット基板201の裏面側に給電ピン72が配置されている。給電ピン72によって、スロット電極55、反射導電板65および誘電体基板51で構成された導波路301にマイクロ波が挿入される。給電ピン72は給電装置70に接続されている。給電は、スロット57が配列された同心円の中心から行う。給電の方式は、直結給電方式および電磁結合方式のいずれであってもよく、公知の給電構造を採用することができる。
- [0079] 図2(a)および(b)では、シール領域Rsは、送受信領域R1を含む比較的狭い領域を包囲するように設けた例を示したが、これに限られない。特に、送受信領域R1の外側に設けられるシール領域Rsは、送受信領域R1から一定以上の距離を持つように、例えば、誘電体基板1および／または

誘電体基板 5 1 の辺の近傍に設けてもよい。もちろん、非送受信領域 R 2 に設けられる、例えば端子部や駆動回路は、シール領域 R s の外側（すなわち、液晶層が存在しない側）に形成してもよい。送受信領域 R 1 から一定以上の離れた位置にシール領域 R s を形成することによって、シール材（特に、硬化性樹脂）に含まれている不純物（特にイオン性不純物）の影響を受けてアンテナ特性が低下することを抑制することができる。

[0080] 以下、図面を参照して、走査アンテナ 1 0 0 0 の各構成要素をより詳しく説明する。

[0081] < T F T 基板 1 0 1 の構造 >

・ アンテナ単位領域 U

図 3（a）および（b）は、それぞれ、T F T 基板 1 0 1 のアンテナ単位領域 U を模式的に示す断面図および平面図である。

[0082] アンテナ単位領域 U のそれぞれは、誘電体基板（不図示）と、誘電体基板に支持された T F T 1 0 と、T F T 1 0 を覆う第 1 絶縁層 1 1 と、第 1 絶縁層 1 1 上に形成され、T F T 1 0 に電氣的に接続されたパッチ電極 1 5 と、パッチ電極 1 5 を覆う第 2 絶縁層 1 7 とを備える。T F T 1 0 は、例えば、ゲートバスライン G L およびソースバスライン S L の交点近傍に配置されている。

[0083] T F T 1 0 は、ゲート電極 3 G、島状の半導体層 5、ゲート電極 3 G と半導体層 5 との間に配置されたゲート絶縁層 4、ソース電極 7 S およびドレイン電極 7 D を備える。T F T 1 0 の構造は特に限定しない。この例では、T F T 1 0 は、ボトムゲート構造を有するチャネルエッチ型の T F T である。

[0084] ゲート電極 3 G は、ゲートバスライン G L に電氣的に接続されており、ゲートバスライン G L から走査信号を供給される。ソース電極 7 S は、ソースバスライン S L に電氣的に接続されており、ソースバスライン S L からデータ信号を供給される。ゲート電極 3 G およびゲートバスライン G L は同じ導電膜（ゲート用導電膜）から形成されていてもよい。ソース電極 7 S、ドレイン電極 7 D およびソースバスライン S L は同じ導電膜（ソース用導電膜）

から形成されていてもよい。ゲート用導電膜およびソース用導電膜は、例えば金属膜である。本明細書では、ゲート用導電膜を用いて形成された層（レイヤー）を「ゲートメタル層」、ソース用導電膜を用いて形成された層を「ソースメタル層」と呼ぶことがある。

[0085] 半導体層 5 は、ゲート絶縁層 4 を介してゲート電極 3 G と重なるように配置されている。図示する例では、半導体層 5 上に、ソースコンタクト層 6 S およびドレインコンタクト層 6 D が形成されている。ソースコンタクト層 6 S およびドレインコンタクト層 6 D は、それぞれ、半導体層 5 のうちチャンネルが形成される領域（チャンネル領域）の両側に配置されている。半導体層 5 は真性アモルファスシリコン（ $i-a-Si$ ）層であり、ソースコンタクト層 6 S およびドレインコンタクト層 6 D は n^+ 型アモルファスシリコン（ n^+-a-Si ）層であってもよい。

[0086] ソース電極 7 S は、ソースコンタクト層 6 S に接するように設けられ、ソースコンタクト層 6 S を介して半導体層 5 に接続されている。ドレイン電極 7 D は、ドレインコンタクト層 6 D に接するように設けられ、ドレインコンタクト層 6 D を介して半導体層 5 に接続されている。

[0087] 第 1 絶縁層 1 1 は、TFT 1 0 のドレイン電極 7 D に達するコンタクトホール CH 1 を有している。

[0088] パッチ電極 1 5 は、第 1 絶縁層 1 1 上およびコンタクトホール CH 1 内に設けられており、コンタクトホール CH 1 内で、ドレイン電極 7 D と接している。パッチ電極 1 5 は、金属層を含む。パッチ電極 1 5 は、金属層のみから形成された金属電極であってもよい。パッチ電極 1 5 の材料は、ソース電極 7 S およびドレイン電極 7 D と同じであってもよい。ただし、パッチ電極 1 5 における金属層の厚さ（パッチ電極 1 5 が金属電極の場合にはパッチ電極 1 5 の厚さ）は、ソース電極 7 S およびドレイン電極 7 D の厚さよりも大きくなるように設定される。パッチ電極 1 5 における金属層の厚さは、A 1 層で形成する場合、例えば $0.3 \mu m$ 以上に設定される。

[0089] ゲートバスライン GL と同じ導電膜を用いて、CS バスライン CL が設け

られていてもよい。CSバスラインCLは、ゲート絶縁層4を介してドレイン電極（またはドレイン電極の延長部分）7Dと重なるように配置され、ゲート絶縁層4を誘電体層とする補助容量CSを構成してもよい。

[0090] ゲートバスラインGLよりも誘電体基板側に、アライメントマーク（例えば金属層）21と、アライメントマーク21を覆う下地絶縁膜2とが形成されていてもよい。アライメントマーク21は、1枚のガラス基板から例えばm枚のTFТ基板を作製する場合において、フォトマスク枚がn枚（ $n < m$ ）であると、各露光工程を複数回に分けて行う必要が生じる。このようにフォトマスクの枚数（n枚）が1枚のガラス基板1から作製されるTFТ基板101の枚数（m枚）よりも少ないとき、フォトマスクのアライメントに用いられる。アライメントマーク21は省略され得る。

[0091] 本実施形態では、ソースメタル層とは異なる層内にパッチ電極15を形成する。これにより、次のようなメリットが得られる。

[0092] ソースメタル層は、通常金属膜を用いて形成されることから、ソースメタル層内にパッチ電極を形成することも考えられる。しかしながら、パッチ電極は、電子の振動を阻害しない程度に低抵抗であることが好ましく、例えば、厚さが0.3 μm 以上の比較的厚いA1層で形成される。アンテナ性能の観点からは、パッチ電極は厚い方が好ましい。しかしながら、TFТの構成にも依存するが、例えば1 μm を超える厚さを有するパッチ電極をソースメタル層で形成すると、所望のパターニング精度が得られないという問題が生じることがある。例えば、ソース電極とドレイン電極との間隙（TFТのチャネル長に相当）を高い精度で制御できないという問題が生じることがある。これに対し、本実施形態では、ソースメタル層とは別個にパッチ電極15を形成するので、ソースメタル層の厚さとパッチ電極15の厚さとを独立して制御できる。したがって、ソースメタル層を形成する際の制御性を確保しつつ、所望の厚さのパッチ電極15を形成できる。

[0093] 本実施形態では、パッチ電極15の厚さを、ソースメタル層の厚さとは別個に、高い自由度で設定できる。なお、パッチ電極15のサイズは、ソース

バスラインSL等ほど厳密に制御される必要がないので、パッチ電極15を厚くすることによって線幅シフト（設計値とのずれ）が大きくなっても構わない。なお、パッチ電極15の厚さとソースメタル層の厚さが等しい場合を排除するものではない。

[0094] パッチ電極15は、主層としてCu層またはAl層を含んでもよい。走査アンテナの性能はパッチ電極15の電気抵抗と相関があり、主層の厚さは、所望の抵抗が得られるように設定される。電気抵抗の観点から、Cu層の方がAl層よりもパッチ電極15の厚さを小さくできる可能性がある。

[0095] ・ゲート端子部GT、ソース端子部STおよびトランスファー端子部PT
図4(a)～(c)は、それぞれ、ゲート端子部GT、ソース端子部STおよびトランスファー端子部PTを模式的に示す断面図である。

[0096] ゲート端子部GTは、誘電体基板上に形成されたゲートバスラインGL、ゲートバスラインGLを覆う絶縁層、およびゲート端子用上部接続部19gを備えている。ゲート端子用上部接続部19gは、絶縁層に形成されたコンタクトホールCH2内で、ゲートバスラインGLと接している。この例では、ゲートバスラインGLを覆う絶縁層は、誘電体基板側からゲート絶縁層4、第1絶縁層11および第2絶縁層17を含む。ゲート端子用上部接続部19gは、例えば、第2絶縁層17上に設けられた透明導電膜から形成された透明電極である。

[0097] ソース端子部STは、誘電体基板上（ここではゲート絶縁層4上）に形成されたソースバスラインSL、ソースバスラインSLを覆う絶縁層、およびソース端子用上部接続部19sを備えている。ソース端子用上部接続部19sは、絶縁層に形成されたコンタクトホールCH3内で、ソースバスラインSLと接している。この例では、ソースバスラインSLを覆う絶縁層は、第1絶縁層11および第2絶縁層17を含む。ソース端子用上部接続部19sは、例えば、第2絶縁層17上に設けられた透明導電膜から形成された透明電極である。

[0098] トランスファー端子部PTは、第1絶縁層11上に形成されたパッチ接続

部 15 p と、パッチ接続部 15 p を覆う第 2 絶縁層 17 と、トランスファー端子用上部接続部 19 p とを有している。トランスファー端子用上部接続部 19 p は、第 2 絶縁層 17 に形成されたコンタクトホール CH4 内で、パッチ接続部 15 p と接している。パッチ接続部 15 p は、パッチ電極 15 と同じ導電膜から形成されている。トランスファー端子用上部接続部（上部透明電極ともいう。）19 p は、例えば、第 2 絶縁層 17 上に設けられた透明導電膜から形成された透明電極である。本実施形態では、各端子部の上部接続部 19 g、19 s および 19 p は、同じ透明導電膜から形成されている。

[0099] 本実施形態では、第 2 絶縁層 17 を形成した後のエッチング工程により、各端子部のコンタクトホール CH2、CH3、CH4 を同時に形成することができるという利点がある。詳細な製造プロセスは後述する。

[0100] <TF T 基板 101 の製造方法>

TF T 基板 101 は、例えば以下の方法で製造され得る。図 5 は、TF T 基板 101 の製造工程を例示する図である。

[0101] まず、誘電体基板上に、金属膜（例えば Ti 膜）を形成し、これをパターニングすることにより、アライメントマーク 21 を形成する。誘電体基板としては、例えばガラス基板、耐熱性を有するプラスチック基板（樹脂基板）などを用いることができる。次いで、アライメントマーク 21 を覆うように、下地絶縁膜 2 を形成する。下地絶縁膜 2 として、例えば SiO₂ 膜を用いる。

[0102] 続いて、下地絶縁膜 2 上に、ゲート電極 3 G およびゲートバスライン GL を含むゲートメタル層を形成する。

[0103] ゲート電極 3 G は、ゲートバスライン GL と一体的に形成され得る。ここでは、誘電体基板上に、スパッタ法などによって、図示しないゲート用導電膜（厚さ：例えば 50 nm 以上 500 nm 以下）を形成する。次いで、ゲート用導電膜をパターニングすることにより、ゲート電極 3 G およびゲートバスライン GL を得る。ゲート用導電膜の材料は特に限定しない。アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）

、クロム（Cr）、チタン（Ti）、銅（Cu）等の金属またはその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。ここでは、ゲート用導電膜として、MoN（厚さ：例えば50nm）、Al（厚さ：例えば200nm）およびMoN（厚さ：例えば50nm）をこの順で積層した積層膜を形成する。

[0104] 次いで、ゲートメタル層を覆うようにゲート絶縁層4を形成する。ゲート絶縁層4は、CVD法等によって形成され得る。ゲート絶縁層4としては、酸化珪素（SiO₂）層、窒化珪素（SiN_x）層、酸化窒化珪素（SiO_xN_y； $x > y$ ）層、窒化酸化珪素（SiN_xO_y； $x > y$ ）層等を適宜用いることができる。ゲート絶縁層4は積層構造を有していてもよい。ここでは、ゲート絶縁層4として、SiN_x層（厚さ：例えば410nm）を形成する。

[0105] 次いで、ゲート絶縁層4上に半導体層5およびコンタクト層を形成する。ここでは、真性アモルファスシリコン膜（厚さ：例えば125nm）およびn⁺型アモルファスシリコン膜（厚さ：例えば65nm）をこの順で形成し、パターニングすることにより、島状の半導体層5およびコンタクト層を得る。半導体層5に用いる半導体膜はアモルファスシリコン膜に限定されない。例えば、半導体層5として酸化物半導体層を形成してもよい。この場合には、半導体層5とソース・ドレイン電極との間にコンタクト層を設けなくてもよい。

[0106] 次いで、ゲート絶縁層4上およびコンタクト層上にソース用導電膜（厚さ：例えば50nm以上500nm以下）を形成し、これをパターニングすることによって、ソース電極7S、ドレイン電極7DおよびソースバスラインSLを含むソースメタル層を形成する。このとき、コンタクト層もエッチングされ、互いに分離されたソースコンタクト層6Sとドレインコンタクト層6Dとが形成される。

[0107] ソース用導電膜の材料は特に限定しない。アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、

チタン (Ti)、銅 (Cu) 等の金属またはその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。ここでは、ソース用導電膜として、MoN (厚さ：例えば30nm)、Al (厚さ：例えば200nm) およびMoN (厚さ：例えば50nm) をこの順で積層した積層膜を形成する。なお、代わりに、ソース用導電膜として、Ti (厚さ：例えば30nm)、MoN (厚さ：例えば30nm)、Al (厚さ：例えば200nm) およびMoN (厚さ：例えば50nm) をこの順で積層した積層膜を形成してもよい。

[0108] ここでは、例えば、スパッタ法でソース用導電膜を形成し、ウェットエッチングによりソース用導電膜のパターニング (ソース・ドレイン分離) を行う。この後、例えばドライエッチングにより、コンタクト層のうち、半導体層5のチャネル領域となる領域上に位置する部分を除去してギャップ部を形成し、ソースコンタクト層6Sおよびドレインコンタクト層6Dとに分離する。このとき、ギャップ部において、半導体層5の表面近傍もエッチングされる (オーバーエッチング)。

[0109] なお、例えばソース用導電膜としてTi膜およびAl膜をこの順で積層した積層膜を用いる場合には、例えばリン酸酢酸硝酸水溶液を用いて、ウェットエッチングでAl膜のパターニングを行った後、ドライエッチングでTi膜およびコンタクト層 (n^+ 型アモルファスシリコン層) 6を同時にパターニングしてもよい。あるいは、ソース用導電膜およびコンタクト層を一括してエッチングすることも可能である。ただし、ソース用導電膜またはその下層とコンタクト層6とを同時にエッチングする場合には、基板全体における半導体層5のエッチング量 (ギャップ部の掘れ量) の分布の制御が困難となる場合がある。これに対し、上述したように、ソース・ドレイン分離とギャップ部の形成と別個のエッチング工程で行うと、ギャップ部のエッチング量をより容易に制御できる。

[0110] 次に、TFOTを覆うように第1絶縁層11を形成する。この例では、第1絶縁層11は、半導体層5のチャネル領域と接するように配置される。

また、公知のフォトリソグラフィにより、第1絶縁層11に、ドレイン電極7Dに達するコンタクトホールCH1を形成する。

[0111] 第1絶縁層11は、例えば、酸化珪素(SiO_2)膜、窒化珪素(SiN_x)膜、酸化窒化珪素(SiO_xN_y ; $x > y$)膜、窒化酸化珪素(SiN_xO_y ; $x > y$)膜等の無機絶縁層であってもよい。ここでは、第1絶縁層11として、例えばCVD法により、厚さが例えば330nmの SiN_x 層を形成する。

[0112] 次に、第1絶縁層11上およびコンタクトホールCH1内にパッチ用導電膜を形成し、これをパターニングする。これにより、送受信領域R1にパッチ電極15を形成し、非送受信領域R2にパッチ接続部15pを形成する。パッチ電極15は、コンタクトホールCH1内でドレイン電極7Dと接する。なお、本明細書では、パッチ用導電膜から形成された、パッチ電極15、パッチ接続部15pを含む層を「パッチメタル層」と呼ぶことがある。

[0113] パッチ用導電膜の材料として、ゲート用導電膜またはソース用導電膜と同様の材料が用いられ得る。ただし、パッチ用導電膜は、ゲート用導電膜およびソース用導電膜よりも厚くなるように設定される。これにより、パッチ電極のシート抵抗を低減させることで、パッチ電極内の自由電子の振動が熱に変わるロスを低減させることが可能になる。パッチ用導電膜の好適な厚さは、例えば、 $0.3\mu\text{m}$ 以上である。これよりも薄いと、シート抵抗が $0.10\Omega/\square$ 以上となり、ロスが大きくなるという問題が生じる可能性がある。パッチ用導電膜の厚さは、例えば $3\mu\text{m}$ 以下、より好ましくは $2\mu\text{m}$ 以下である。これよりも厚いとプロセス中の熱応力により基板の反りが生じる場合がある。反りが大きいと、量産プロセスにおいて、搬送トラブル、基板の欠け、または基板の割れなどの問題が発生することがある。

[0114] ここでは、パッチ用導電膜として、MoN（厚さ：例えば50nm）、Al（厚さ：例えば1000nm）およびMoN（厚さ：例えば50nm）をこの順で積層した積層膜（MoN/Al/MoN）を形成する。なお、代わりに、Ti（厚さ：例えば50nm）、MoN（厚さ：例えば50nm）、

Al（厚さ：例えば2000nm）およびMoN（厚さ：例えば50nm）をこの順で積層した積層膜（MoN／Al／MoN／Ti）を形成してもよい。あるいは、代わりに、Ti（厚さ：例えば50nm）、MoN（厚さ：例えば50nm）、Al（厚さ：例えば500nm）およびMoN（厚さ：例えば50nm）をこの順で積層した積層膜（MoN／Al／MoN／Ti）を形成してもよい。または、Ti膜、Cu膜およびTi膜をこの順で積層した積層膜（Ti／Cu／Ti）、あるいは、Ti膜およびCu膜をこの順で積層した積層膜（Cu／Ti）を用いてもよい。

[0115] 次いで、パッチ電極15および第1絶縁層11上に第2絶縁層（厚さ：例えば100nm以上300nm以下）17を形成する。第2絶縁層17としては、特に限定されず、例えば酸化珪素（SiO₂）膜、窒化珪素（SiN_x）膜、酸化窒化珪素（SiO_xN_y；x>y）膜、窒化酸化珪素（SiN_xO_y；x>y）膜等を適宜用いることができる。ここでは、第2絶縁層17として、例えば厚さ200nmのSiN_x層を形成する。

[0116] この後、例えばフッ素系ガスを用いたドライエッチングにより、無機絶縁膜（第2絶縁層17、第1絶縁層11およびゲート絶縁層4）を一括してエッチングする。エッチングでは、パッチ電極15、ソースバスラインSLおよびゲートバスラインGLはエッチストップとして機能する。これにより、第2絶縁層17、第1絶縁層11およびゲート絶縁層4に、ゲートバスラインGLに達するコンタクトホールCH2が形成され、第2絶縁層17および第1絶縁層11に、ソースバスラインSLに達するコンタクトホールCH3が形成される。また、第2絶縁層17に、パッチ接続部15pに達するコンタクトホールCH4が形成される。

[0117] この例では、無機絶縁膜を一括してエッチングするため、得られたコンタクトホールCH2の側壁では、第2絶縁層17、第1絶縁層11およびゲート絶縁層4の側面が整合し、コンタクトホールCH3の側壁では、第2絶縁層17および第1絶縁層11の側壁が整合する。なお、本明細書において、コンタクトホール内において、異なる2以上の層の「側面が整合する」とは

、これらの層におけるコンタクトホール内に露出した側面が、垂直方向に面一である場合のみでなく、連続してテーパ形状などの傾斜面を構成する場合をも含む。このような構成は、例えば、同一のマスクを用いてこれらの層をエッチングする、あるいは、一方の層をマスクとして他方の層のエッチングを行うこと等によって得られる。

[0118] 次に、第2絶縁層17上、およびコンタクトホールCH2、CH3、CH4内に、例えばスパッタ法により透明導電膜（厚さ：50nm以上200nm以下）を形成する。透明導電膜として、例えばITO（インジウム・錫酸化物）膜、IZO膜、ZnO膜（酸化亜鉛膜）などを用いることができる。ここでは、透明導電膜として、厚さが例えば100nmのITO膜を用いる。

[0119] 次に、透明導電膜をパターニングすることにより、ゲート端子用上部接続部19g、ソース端子用上部接続部19sおよびトランスファー端子用上部接続部19pを形成する。ゲート端子用上部接続部19g、ソース端子用上部接続部19sおよびトランスファー端子用上部接続部19pは、各端子部で露出した電極または配線を保護するために用いられる。このようにして、ゲート端子部GT、ソース端子部STおよびトランスファー端子部PTが得られる。

[0120] <スロット基板201の構造>

次いで、スロット基板201の構造をより具体的に説明する。

[0121] 図6は、スロット基板201におけるアンテナ単位領域Uおよび端子部ITを模式的に示す断面図である。

[0122] スロット基板201は、表面および裏面を有する誘電体基板51と、誘電体基板51の表面に形成された第3絶縁層52と、第3絶縁層52上に形成されたスロット電極55と、スロット電極55を覆う第4絶縁層58とを備える。反射導電板65が誘電体基板51の裏面に誘電体層（空気層）54を介して対向するように配置されている。スロット電極55および反射導電板65は導波路301の壁として機能する。

- [0123] 送受信領域 R 1 において、スロット電極 5 5 には複数のスロット 5 7 が形成されている。スロット 5 7 はスロット電極 5 5 を貫通する開口である。この例では、各アンテナ単位領域 U に 1 個のスロット 5 7 が配置されている。
- [0124] 第 4 絶縁層 5 8 は、スロット電極 5 5 上およびスロット 5 7 内に形成されている。第 4 絶縁層 5 8 の材料は、第 3 絶縁層 5 2 の材料と同じであってもよい。第 4 絶縁層 5 8 でスロット電極 5 5 を覆うことにより、スロット電極 5 5 と液晶層 L C とが直接接触しないので、信頼性を高めることができる。スロット電極 5 5 が C u 層で形成されていると、C u が液晶層 L C に溶出することがある。また、スロット電極 5 5 を薄膜堆積技術を用いて A l 層で形成すると、A l 層にボイドが含まれることがある。第 4 絶縁層 5 8 は、A l 層のボイドに液晶材料が侵入するのを防止することができる。なお、A l 層をアルミ箔を接着材により誘電体基板 5 1 に貼り付け、これをパターニングすることによってスロット電極 5 5 を作製すれば、ボイドの問題を回避できる。
- [0125] スロット電極 5 5 は、C u 層、A l 層などの主層 5 5 M を含む。スロット電極 5 5 は、主層 5 5 M と、それを挟むように配置された上層 5 5 U および下層 5 5 L とを含む積層構造を有していてもよい。主層 5 5 M の厚さは、材料に応じて表皮効果を考慮して設定され、例えば $2\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であってもよい。主層 5 5 M の厚さは、典型的には上層 5 5 U および下層 5 5 L の厚さよりも大きい。
- [0126] 図示する例では、主層 5 5 M は C u 層、上層 5 5 U および下層 5 5 L は T i 層である。主層 5 5 M と第 3 絶縁層 5 2 との間に下層 5 5 L を配置することにより、スロット電極 5 5 と第 3 絶縁層 5 2 との密着性を向上できる。また、上層 5 5 U を設けることにより、主層 5 5 M (例えば C u 層) の腐食を抑制できる。
- [0127] 反射導電板 6 5 は、導波路 3 0 1 の壁を構成するので、表皮深さの 3 倍以上、好ましくは 5 倍以上の厚さを有することが好ましい。反射導電板 6 5 は、例えば、削り出しによって作製された厚さが数 mm のアルミニウム板、銅

板などを用いることができる。

[0128] 非送受信領域 R 2 には、端子部 I T が設けられている。端子部 I T は、スロット電極 5 5 と、スロット電極 5 5 を覆う第 4 絶縁層 5 8 と、上部接続部 6 0 とを備える。第 4 絶縁層 5 8 は、スロット電極 5 5 に達する開口を有している。上部接続部 6 0 は、開口内でスロット電極 5 5 に接している。本実施形態では、端子部 I T は、シール領域 R s 内に配置され、導電性粒子を含有するシール樹脂によって、T F T 基板におけるトランスファー端子部と接続される（トランスファー部）。

[0129] ・トランスファー部

図 7 は、T F T 基板 1 0 1 のトランスファー端子部 P T と、スロット基板 2 0 1 の端子部 I T とを接続するトランスファー部を説明するための模式的な断面図である。図 7 では、図 1 ～図 4 と同様の構成要素には同じ参照符号を付している。

[0130] トランスファー部では、端子部 I T の上部接続部 6 0 は、T F T 基板 1 0 1 におけるトランスファー端子部 P T のトランスファー端子用上部接続部 1 9 p と電氣的に接続される。本実施形態では、上部接続部 6 0 とトランスファー端子用上部接続部 1 9 p とを、導電性ビーズ 7 1 を含む樹脂（シール樹脂）7 3（「シール部 7 3」ということもある。）を介して接続する。

[0131] 上部接続部 6 0、1 9 p は、いずれも、I T O 膜、I Z O 膜などの透明導電層であり、その表面に酸化膜が形成される場合がある。酸化膜が形成されると、透明導電層同士の電氣的な接続が確保できず、コンタクト抵抗が高くなる可能性がある。これに対し、本実施形態では、導電性ビーズ（例えば A u ビーズ）7 1 を含む樹脂を介して、これらの透明導電層を接着させるので、表面酸化膜が形成されていても、導電性ビーズが表面酸化膜を突き破る（貫通する）ことにより、コンタクト抵抗の増大を抑えることが可能である。導電性ビーズ 7 1 は、表面酸化膜だけでなく、透明導電層である上部接続部 6 0、1 9 p をも貫通し、パッチ接続部 1 5 p およびスロット電極 5 5 に直接接していてもよい。

[0132] トランスファ部は、走査アンテナ1000の中心部および周縁部（すなわち、走査アンテナ1000の法線方向から見たとき、ドーナツ状の送受信領域R1の内側および外側）の両方に配置されていてもよいし、いずれか一方のみに配置されていてもよい。トランスファ部は、液晶を封入するシール領域R_s内に配置されていてもよいし、シール領域R_sの外側（液晶層と反対側）に配置されていてもよい。

[0133] <スロット基板201の製造方法>

スロット基板201は、例えば以下の方法で製造され得る。

[0134] まず、誘電体基板上に第3絶縁層（厚さ：例えば200nm）52を形成する。誘電体基板としては、ガラス基板、樹脂基板などの、電磁波に対する透過率の高い（誘電率 ϵ_M および誘電損失 $\tan \delta_M$ が小さい）基板を用いることができる。誘電体基板は電磁波の減衰を抑制するために薄い方が好ましい。例えば、ガラス基板の表面に後述するプロセスでスロット電極55などの構成要素を形成した後、ガラス基板を裏面側から薄板化してもよい。これにより、ガラス基板の厚さを例えば500 μ m以下に低減できる。

[0135] 誘電体基板として樹脂基板を用いる場合、TFE等の構成要素を直接、樹脂基板上に形成してもよいし、転写法を用いて樹脂基板上に形成してもよい。転写法によると、例えば、ガラス基板上に樹脂膜（例えばポリイミド膜）を形成し、樹脂膜上に後述するプロセスで構成要素を形成した後、構成要素が形成された樹脂膜とガラス基板とを分離させる。一般に、ガラスよりも樹脂の方が誘電率 ϵ_M および誘電損失 $\tan \delta_M$ が小さい。樹脂基板の厚さは、例えば、3 μ m～300 μ mである。樹脂材料としては、ポリイミドの他、例えば、液晶高分子を用いることもできる。

[0136] 第3絶縁層52としては、特に限定しないが、例えば酸化珪素（SiO₂）膜、窒化珪素（SiN_x）膜、酸化窒化珪素（SiO_xN_y； $x > y$ ）膜、窒化酸化珪素（SiN_xO_y； $x > y$ ）膜等を適宜用いることができる。

[0137] 次に、第3絶縁層52の上に金属膜を形成し、これをパターニングすることによって、複数のスロット57を有するスロット電極55を得る。金属

膜としては、厚さが $2\mu\text{m}\sim 5\mu\text{m}$ のCu膜（またはAl膜）を用いてもよい。ここでは、Ti膜、Cu膜およびTi膜をこの順で積層した積層膜を用いる。なお、代わりに、Ti（厚さ：例えば 50nm ）およびCu（厚さ：例えば 5000nm ）をこの順で積層した積層膜を形成してもよい。

[0138] この後、スロット電極55上およびスロット57内に第4絶縁層（厚さ：例えば 100nm または 200nm ）58を形成する。第4絶縁層58の材料は、第3絶縁層の材料と同じであってもよい。この後、非送受信領域R2において、第4絶縁層58に、スロット電極55に達する開口部を形成する。

[0139] 次に、第4絶縁層58上および第4絶縁層58の開口部内に透明導電膜を形成し、これをパターニングすることにより、開口部内でスロット電極55と接する上部接続部60を形成する。これにより、端子部ITを得る。

[0140] <TF T10の材料および構造>

本実施形態では、各画素に配置されるスイッチング素子として、半導体層5を活性層とするTF Tが用いられる。半導体層5はアモルファスシリコン層に限定されず、ポリシリコン層、酸化物半導体層であってもよい。

[0141] 酸化物半導体層を用いる場合、酸化物半導体層に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0142] 酸化物半導体層は、2層以上の積層構造を有していてもよい。酸化物半導体層が積層構造を有する場合には、酸化物半導体層は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが

好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0143] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開 2014-007399 号公報に記載されている。参考のために、特開 2014-007399 号公報の開示内容の全てを本明細書に援用する。

[0144] 酸化物半導体層は、例えば、In、Ga および Zn のうち少なくとも 1 種の金属元素を含んでもよい。本実施形態では、酸化物半導体層は、例えば、In-Ga-Zn-O 系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O 系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、Ga および Zn の割合（組成比）は特に限定されず、例えば In : Ga : Zn = 2 : 2 : 1、In : Ga : Zn = 1 : 1 : 1、In : Ga : Zn = 1 : 1 : 2 等を含む。このような酸化物半導体層は、In-Ga-Zn-O 系の半導体を含む酸化物半導体膜から形成され得る。

[0145] In-Ga-Zn-O 系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 In-Ga-Zn-O 系の半導体としては、c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。

[0146] なお、結晶質 In-Ga-Zn-O 系の半導体の結晶構造は、例えば、上述した特開 2014-007399 号公報、特開 2012-134475 号公報、特開 2014-209727 号公報などに開示されている。参考のために、特開 2012-134475 号公報および特開 2014-209727 号公報の開示内容の全てを本明細書に援用する。In-Ga-Zn-O 系半導体層を有する TFT は、高い移動度（a-SiTFT に比べ 20 倍超）および低いリーク電流（a-SiTFT に比べ 100 分の 1 未満）を有しているので、駆動 TFT（例えば、非送受信領域に設けられる駆動回路に含まれる TFT）および各アンテナ単位領域に設けられる TFT として好適に用

いられる。

[0147] 酸化物半導体層は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ； InSnZnO ）を含んでもよい。 In-Sn-Zn-O 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、酸化物半導体層は、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドミウム）、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体、 Al-Ga-Zn-O 系半導体、 Ga-Zn-O 系半導体などを含んでいてもよい。

[0148] 図3に示す例では、 TFT10 は、ボトムゲート構造を有するチャネルエッチ型の TFT である。「チャネルエッチ型の TFT 」では、チャネル領域上にエッチストップ層が形成されておらず、ソースおよびドレイン電極のチャネル側の端部下面は、半導体層の上面と接するように配置されている。チャネルエッチ型の TFT は、例えば半導体層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。ソース・ドレイン分離工程において、チャネル領域の表面部分がエッチングされる場合がある。

[0149] なお、 TFT10 は、チャネル領域上にエッチストップ層が形成されたエッチストップ型 TFT であってもよい。エッチストップ型 TFT では、ソースおよびドレイン電極のチャネル側の端部下面は、例えばエッチストップ層上に位置する。エッチストップ型の TFT は、例えば半導体層のうちチャネル領域となる部分を覆うエッチストップ層を形成した後、半導体層およびエッチストップ層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。

[0150] また、 TFT10 は、ソースおよびドレイン電極が半導体層の上面と接す

るトップコンタクト構造を有するが、ソースおよびドレイン電極は半導体層の下面と接するように配置されていてもよい（ボトムコンタクト構造）。さらに、TFT10は、半導体層の誘電体基板側にゲート電極を有するボトムゲート構造であってもよいし、半導体層の上方にゲート電極を有するトップゲート構造であってもよい。

[0151] （第2の実施形態）

図面を参照しながら、第2の実施形態の走査アンテナを説明する。本実施形態の走査アンテナにおけるTFT基板は、各端子部の上部接続部となる透明導電層が、TFT基板における第1絶縁層と第2絶縁層との間に設けられている点で、図2に示すTFT基板101と異なる。

[0152] 図8（a）～（c）は、それぞれ、本実施形態におけるTFT基板102のゲート端子部GT、ソース端子部STおよびトランスファー端子部PTを示す断面図である。図4と同様の構成要素には同じ参照符号を付し、説明を省略する。なお、アンテナ単位領域Uの断面構造は前述の実施形態（図3）と同様であるので図示および説明を省略する。

[0153] 本実施形態におけるゲート端子部GTは、誘電体基板上に形成されたゲートバスラインGL、ゲートバスラインGLを覆う絶縁層、およびゲート端子用上部接続部19gを備えている。ゲート端子用上部接続部19gは、絶縁層に形成されたコンタクトホールCH2内で、ゲートバスラインGLと接している。この例では、ゲートバスラインGLを覆う絶縁層は、ゲート絶縁層4および第1絶縁層11を含む。ゲート端子用上部接続部19gおよび第1絶縁層11上には第2絶縁層17が形成されている。第2絶縁層17は、ゲート端子用上部接続部19gの一部を露出する開口部18gを有している。この例では、第2絶縁層17の開口部18gは、コンタクトホールCH2全体を露出するように配置されていてもよい。

[0154] ソース端子部STは、誘電体基板上（ここではゲート絶縁層4上）に形成されたソースバスラインSL、ソースバスラインSLを覆う絶縁層、およびソース端子用上部接続部19sを備えている。ソース端子用上部接続部19

sは、絶縁層に形成されたコンタクトホールCH3内で、ソースバスラインSLと接している。この例では、ソースバスラインSLを覆う絶縁層は、第1絶縁層11のみを含む。第2絶縁層17は、ソース端子用上部接続部19sおよび第1絶縁層11上に延設されている。第2絶縁層17は、ソース端子用上部接続部19sの一部を露出する開口部18sを有している。第2絶縁層17の開口部18sは、コンタクトホールCH3全体を露出するように配置されていてもよい。

[0155] トランスファー端子部PTは、ソースバスラインSLと同じ導電膜（ソース用導電膜）から形成されたソース接続配線7pと、ソース接続配線7p上に延設された第1絶縁層11と、第1絶縁層11上に形成されたトランスファー端子用上部接続部19pおよびパッチ接続部15pとを有している。

[0156] 第1絶縁層11には、ソース接続配線7pを露出するコンタクトホールCH5およびCH6が設けられている。トランスファー端子用上部接続部19pは、第1絶縁層11上およびコンタクトホールCH5内に配置され、コンタクトホールCH5内で、ソース接続配線7pと接している。パッチ接続部15pは、第1絶縁層11上およびコンタクトホールCH6内に配置され、コンタクトホールCH6内でソース接続配線7pと接している。トランスファー端子用上部接続部19pは、透明導電膜から形成された透明電極である。パッチ接続部15pは、パッチ電極15と同じ導電膜から形成されている。なお、各端子部の上部接続部19g、19sおよび19pは、同じ透明導電膜から形成されていてもよい。

[0157] 第2絶縁層17は、トランスファー端子用上部接続部19p、パッチ接続部15pおよび第1絶縁層11上に延設されている。第2絶縁層17は、トランスファー端子用上部接続部19pの一部を露出する開口部18pを有している。この例では、第2絶縁層17の開口部18pは、コンタクトホールCH5全体を露出するように配置されている。一方、パッチ接続部15pは、第2絶縁層17で覆われている。

[0158] このように、本実施形態では、ソースメタル層に形成されたソース接続配

線 7 p によって、トランスファー端子部 P T のトランスファー端子用上部接続部 1 9 p と、パッチ接続部 1 5 p とを電氣的に接続している。図示していないが、前述の実施形態と同様に、トランスファー端子用上部接続部 1 9 p は、スロット基板 2 0 1 におけるスロット電極と、導電性粒子を含有するシール樹脂によって接続される。

[0159] 前述した実施形態では、第 2 絶縁層 1 7 の形成後に、深さが異なるコンタクトホール C H 1 ～ C H 4 を一括して形成する。例えばゲート端子部 G T 上では、比較的厚い絶縁層（ゲート絶縁層 4、第 1 絶縁層 1 1 および第 2 絶縁層 1 7）をエッチングするのに対し、トランスファー端子部 P T では、第 2 絶縁層 1 7 のみをエッチングする。このため、浅いコンタクトホールの下地となる導電膜（例えばパッチ電極用導電膜）がエッチング時に大きなダメージを受ける可能性がある。

[0160] これに対し、本実施形態では、第 2 絶縁層 1 7 を形成する前にコンタクトホール C H 1 ～ 3、C H 5、C H 6 を形成する。これらのコンタクトホールは第 1 絶縁層 1 1 のみ、または第 1 絶縁層 1 1 およびゲート絶縁層 4 の積層膜に形成されるので、前述の実施形態よりも、一括形成されるコンタクトホールの深さの差を低減できる。したがって、コンタクトホールの下地となる導電膜へのダメージを低減できる。特に、パッチ電極用導電膜に A I 膜を用いる場合には、I T O 膜と A I 膜とを直接接触させると良好なコンタクトが得られないことから、A I 膜の上層に M o N 層などのキャップ層を形成することがある。このような場合に、エッチングの際のダメージを考慮してキャップ層の厚さを大きくする必要がないので有利である。

[0161] < T F T 基板 1 0 2 の製造方法 >

T F T 基板 1 0 2 は、例えば次のような方法で製造される。図 9 は、T F T 基板 1 0 2 の製造工程を例示する図である。なお、以下では、各層の材料、厚さ、形成方法などが、前述した T F T 基板 1 0 1 と同様である場合には説明を省略する。

[0162] まず、T F T 基板 1 0 2 と同様の方法で、誘電体基板上に、アライメント

マーク、下地絶縁層、ゲートメタル層、ゲート絶縁層、半導体層、コンタクト層およびソースメタル層を形成し、TFTを得る。ソースメタル層を形成する工程では、ソース用導電膜から、ソースおよびドレイン電極、ソースバスラインに加えて、ソース接続配線7pも形成する。

[0163] 次に、ソースメタル層を覆うように第1絶縁層11を形成する。この後、第1絶縁層11およびゲート絶縁層4を一括してエッチングし、コンタクトホールCH1～3、CH5、CH6を形成する。エッチングでは、ソースバスラインSLおよびゲートバスラインGLはエッチストップとして機能する。これにより、送受信領域R1において、第1絶縁層11に、TFTのドレイン電極に達するコンタクトホールCH1が形成される。また、非送受信領域R2において、第1絶縁層11およびゲート絶縁層4に、ゲートバスラインGLに達するコンタクトホールCH2、第1絶縁層11に、ソースバスラインSLに達するコンタクトホールCH3およびソース接続配線7pに達するコンタクトホールCH5、CH6が形成される。コンタクトホールCH5をシール領域Rsに配置し、コンタクトホールCH6をシール領域Rsの外側に配置してもよい。あるいは、両方ともシール領域Rsの外部に配置してもよい。

[0164] 次に、第1絶縁層11上およびコンタクトホールCH1～3、CH5、CH6に透明導電膜を形成し、これをパターニングする。これにより、コンタクトホールCH2内でゲートバスラインGLと接するゲート端子用上部接続部19g、コンタクトホールCH3内でソースバスラインSLと接するソース端子用上部接続部19s、およびコンタクトホールCH5内でソース接続配線7pと接するトランスファー端子用上部接続部19pを形成する。

[0165] 次に、第1絶縁層11上、ゲート端子用上部接続部19g、ソース端子用上部接続部19s、トランスファー端子用上部接続部19p上、およびコンタクトホールCH1、CH6内に、パッチ電極用導電膜を形成し、パターニングを行う。これにより、送受信領域R1に、コンタクトホールCH1内でドレイン電極7Dと接するパッチ電極15、非送受信領域R2に、コンタク

トホールCH6内でソース接続配線7pと接するパッチ接続部15pを形成する。パッチ電極用導電膜のパターニングは、ウェットエッチングによって行ってもよい。ここでは、透明導電膜（ITOなど）とパッチ電極用導電膜（例えばAl膜）とのエッチング選択比を大きくできるエッチャントを用いる。これにより、パッチ電極用導電膜のパターニングの際に、透明導電膜をエッチストップとして機能させることができる。ソースバスラインSL、ゲートバスラインGLおよびソース接続配線7pのうちコンタクトホールCH2、CH3、CH5で露出された部分は、エッチストップ（透明導電膜）で覆われているため、エッチングされない。

[0166] 続いて、第2絶縁層17を形成する。この後、例えばフッ素系ガスを用いたドライエッチングにより、第2絶縁層17のパターニングを行う。これにより、第2絶縁層17に、ゲート端子用上部接続部19gを露出する開口部18g、ソース端子用上部接続部19sを露出する開口部18sおよびトランスファータンデム端子用上部接続部19pを露出する開口部18pを設ける。このようにして、TF基板102を得る。

[0167] （第3の実施形態）

図面を参照しながら、第3の実施形態の走査アンテナを説明する。本実施形態の走査アンテナにおけるTF基板は、透明導電膜からなる上部接続部をトランスファータンデム端子部に設けない点で、図8に示すTF基板102と異なる。

[0168] 図10(a)～(c)は、それぞれ、本実施形態におけるTF基板103のゲート端子部GT、ソース端子部STおよびトランスファータンデム端子部PTを示す断面図である。図8と同様の構成要素には同じ参照符号を付し、説明を省略する。なお、アンテナ単位領域Uの構造は前述の実施形態（図3）と同様であるので図示および説明を省略する。

[0169] ゲート端子部GTおよびソース端子部STの構造は、図8に示すTF基板102のゲート端子部およびソース端子部の構造と同様である。

[0170] トランスファータンデム端子部PTは、第1絶縁層11上に形成されたパッチ接続

部 15 p と、パッチ接続部 15 p 上に積み重ねられた保護導電層 23 とを有している。第 2 絶縁層 17 は、保護導電層 23 上に延設され、保護導電層 23 の一部を露出する開口部 18 p を有している。一方、パッチ電極 15 は、第 2 絶縁層 17 で覆われている。

[0171] <TF T 基板 103 の製造方法>

TF T 基板 103 は、例えば次のような方法で製造される。図 11 は、TF T 基板 103 の製造工程を例示する図である。なお、以下では、各層の材料、厚さ、形成方法などが、前述した TF T 基板 101 と同様である場合には説明を省略する。

[0172] まず、TF T 基板 101 と同様の方法で、誘電体基板上に、アライメントマーク、下地絶縁層、ゲート金属層、ゲート絶縁層、半導体層、コンタクト層およびソース金属層を形成し、TF T を得る。

[0173] 次に、ソース金属層を覆うように第 1 絶縁層 11 を形成する。この後、第 1 絶縁層 11 およびゲート絶縁層 4 を一括してエッチングし、コンタクトホール CH1 ~ 3 を形成する。エッチングでは、ソースバスライン SL およびゲートバスライン GL はエッチストップとして機能する。これにより、第 1 絶縁層 11 に、TF T のドレイン電極に達するコンタクトホール CH1 が形成されるとともに、第 1 絶縁層 11 およびゲート絶縁層 4 に、ゲートバスライン GL に達するコンタクトホール CH2 が形成され、第 1 絶縁層 11 に、ソースバスライン SL に達するコンタクトホール CH3 が形成される。トランスファー端子部が形成される領域にはコンタクトホールを形成しない。

[0174] 次に、第 1 絶縁層 11 上およびコンタクトホール CH1、CH2、CH3 内に透明導電膜を形成し、これをパターニングする。これにより、コンタクトホール CH2 内でゲートバスライン GL と接するゲート端子用上部接続部 19 g、およびコンタクトホール CH3 内でソースバスライン SL と接するソース端子用上部接続部 19 s を形成する。トランスファー端子部が形成される領域では、透明導電膜は除去される。

[0175] 次に、第 1 絶縁層 11 上、ゲート端子用上部接続部 19 g およびソース端

子用上部接続部 19 s 上、およびコンタクトホール CH 1 内にパッチ電極用導電膜を形成し、パターニングを行う。これにより、送受信領域 R 1 に、コンタクトホール CH 1 内でドレイン電極 7 D と接するパッチ電極 15 を形成し、非送受信領域 R 2 に、パッチ接続部 15 p を形成する。前述の実施形態と同様に、パッチ電極用導電膜のパターニングには、透明導電膜（ITO など）とパッチ電極用導電膜とのエッチング選択比を確保できるエッチャントを用いる。

[0176] 続いて、パッチ接続部 15 p 上に保護導電層 23 を形成する。保護導電層 23 として、Ti 層、ITO 層および IZO（インジウム亜鉛酸化物）層など（厚さ：例えば 50 nm 以上 100 nm 以下）を用いることができる。ここでは、保護導電層 23 として、Ti 層（厚さ：例えば 50 nm）を用いる。なお、保護導電層をパッチ電極 15 の上に形成してもよい。

[0177] 次いで、第 2 絶縁層 17 を形成する。この後、例えばフッ素系ガスを用いたドライエッチングにより、第 2 絶縁層 17 のパターニングを行う。これにより、第 2 絶縁層 17 に、ゲート端子用上部接続部 19 g を露出する開口部 18 g、ソース端子用上部接続部 19 s を露出する開口部 18 s、および保護導電層 23 を露出する開口部 18 p を設ける。このようにして、TF T 基板 103 を得る。

[0178] <スロット基板 203 の構造>

図 12 は、本実施形態における、TF T 基板 103 のトランスファー端子部 P T と、スロット基板 203 の端子部 I T とを接続するトランスファー部を説明するための模式的な断面図である。図 12 では、前述の実施形態と同様の構成要素には同じ参照符号を付している。

[0179] まず、本実施形態におけるスロット基板 203 を説明する。スロット基板 203 は、誘電体基板 51 と、誘電体基板 51 の表面に形成された第 3 絶縁層 52 と、第 3 絶縁層 52 上に形成されたスロット電極 55 と、スロット電極 55 を覆う第 4 絶縁層 58 とを備える。反射導電板 65 が誘電体基板 51 の裏面に誘電体層（空気層）54 を介して対向するように配置されている。

スロット電極 55 および反射導電板 65 は導波路 301 の壁として機能する。

[0180] スロット電極 55 は、Cu 層または Al 層を主層 55M とする積層構造を有している。送受信領域 R1 において、スロット電極 55 には複数のスロット 57 が形成されている。送受信領域 R1 におけるスロット電極 55 の構造は、図 6 を参照しながら前述したスロット基板 201 の構造と同じである。

[0181] 非送受信領域 R2 には、端子部 IT が設けられている。端子部 IT では、第 4 絶縁層 58 に、スロット電極 55 の表面を露出する開口が設けられている。スロット電極 55 の露出した領域がコンタクト面 55c となる。このように、本実施形態では、スロット電極 55 のコンタクト面 55c は、第 4 絶縁層 58 で覆われていない。

[0182] トランスファ部では、TF T 基板 103 におけるパッチ接続部 15p を覆う保護導電層 23 と、スロット基板 203 におけるスロット電極 55 のコンタクト面 55c とを、導電性ビーズ 71 を含む樹脂（シール樹脂）を介して接続する。

[0183] 本実施形態におけるトランスファ部は、前述の実施形態と同様に、走査アンテナの中心部および周縁部の両方に配置されていてもよいし、いずれか一方のみに配置されていてもよい。また、シール領域 Rs 内に配置されていてもよいし、シール領域 Rs の外側（液晶層と反対側）に配置されていてもよい。

[0184] 本実施形態では、トランスファ端子部 PT および端子部 IT のコンタクト面に透明導電膜を設けない。このため、保護導電層 23 と、スロット基板 203 のスロット電極 55 とを、導電性粒子を含有するシール樹脂を介して接続させることができる。

[0185] また、本実施形態では、第 1 の実施形態（図 3 および図 4）と比べて、一括形成されるコンタクトホールの深さの差が小さいので、コンタクトホールの下地となる導電膜へのダメージを低減できる。

[0186] <スロット基板 203 の製造方法>

スロット基板203は、次のようにして製造される。各層の材料、厚さおよび形成方法は、スロット基板201と同様であるので、説明を省略する。

[0187] まず、スロット基板201と同様の方法で、誘電体基板上に、第3絶縁層52およびスロット電極55を形成し、スロット電極55に複数のスロット57を形成する。次いで、スロット電極55上およびスロット内に第4絶縁層58を形成する。この後、スロット電極55のコンタクト面となる領域を露出するように、第4絶縁層58に開口部18pを設ける。このようにして、スロット基板203が製造される。

[0188] <内部ヒーター構造>

上述したように、アンテナのアンテナ単位に用いられる液晶材料の誘電異方性 $\Delta \epsilon_M$ は大きいことが好ましい。しかしながら、誘電異方性 $\Delta \epsilon_M$ が大きい液晶材料（ネマチック液晶）の粘度は大きく、応答速度が遅いという問題がある。特に、温度が低下すると、粘度は上昇する。移動体（例えば、船舶、航空機、自動車）に搭載された走査アンテナの環境温度は変動する。したがって、液晶材料の温度をある程度以上、例えば30℃以上、あるいは45℃以上に調整できることが好ましい。設定温度は、ネマチック液晶材料の粘度が概ね10cP（センチポアズ）以下となるように設定することが好ましい。

[0189] 本発明の実施形態の走査アンテナは、上記の構造に加えて、内部ヒーター構造を有することが好ましい。内部ヒーターとしては、ジュール熱を利用する抵抗加熱方式のヒーターが好ましい。ヒーター用の抵抗膜の材料としては、特に限定されないが、例えば、ITOやIZOなど比較的比抵抗の高い導電材料を用いることができる。また、抵抗値の調整のために、金属（例えば、ニクロム、チタン、クロム、白金、ニッケル、アルミニウム、銅）の細線やメッシュで抵抗膜を形成してもよい。ITOやIZOなどの細線やメッシュを用いることもできる。求められる発熱量に応じて、抵抗値を設定すればよい。

[0190] 例えば、直径が340mmの円の面積（約90,000mm²）を100V

交流（ 60 Hz ）で、抵抗膜の発熱温度を 30°C にするためには、抵抗膜の抵抗値を $139\ \Omega$ 、電流を 0.7 A で、電力密度を $800\text{ W}/\text{m}^2$ とすればよい。同じ面積を 100 V 交流（ 60 Hz ）で、抵抗膜の発熱温度を 45°C にするためには、抵抗膜の抵抗値を $82\ \Omega$ 、電流を 1.2 A で、電力密度を $1350\text{ W}/\text{m}^2$ とすればよい。

[0191] ヒーター用の抵抗膜は、走査アンテナの動作に影響を及ぼさない限りどこに設けてもよいが、液晶材料を効率的に加熱するためには、液晶層の近くに設けることが好ましい。例えば、図13（a）に示すTF T基板104に示す様に、誘電体基板1のほぼ全面に抵抗膜68を形成してもよい。図13（a）は、ヒーター用抵抗膜68を有するTF T基板104の模式的な平面図である。抵抗膜68は、例えば、図3に示した下地絶縁膜2で覆われる。下地絶縁膜2は、十分な絶縁耐圧を有するように形成される。

[0192] 抵抗膜68は、開口部68a、68bおよび68cを有することが好ましい。TF T基板104とスロット基板とが貼り合せられたとき、パッチ電極15と対向するようにスロット57が位置する。このときに、スロット57のエッジから距離dの周囲には抵抗膜68が存在しないよう開口部68aを配置する。dは例えば 0.5 mm である。また、補助容量CSの下部にも開口部68bを配置し、TF Tの下部にも開口部68cを配置することが好ましい。

[0193] なお、アンテナ単位Uのサイズは、例えば $4\text{ mm}\times 4\text{ mm}$ である。また、図13（b）に示すように、例えば、スロット57の幅s2は 0.5 mm 、スロット57の長さs1は 3.3 mm 、スロット57の幅方向のパッチ電極15の幅p2は 0.7 mm 、スロットの長さ方向のパッチ電極15の幅p1は 0.5 mm である。なお、アンテナ単位U、スロット57およびパッチ電極15のサイズ、形状、配置関係などは図13（a）および（b）に示す例に限定されない。

[0194] ヒーター用抵抗膜68からの電界の影響をさらに低減するために、シールド導電層を形成してもよい。シールド導電層は、例えば、下地絶縁膜2の上

に誘電体基板 1 のほぼ全面に形成される。シールド導電層には、抵抗膜 68 のように開口部 68 a、68 b を設ける必要はないが、開口部 68 c を設けることが好ましい。シールド導電層は、例えば、アルミニウム層で形成され、接地電位とされる。

[0195] また、液晶層を均一に加熱できるように、抵抗膜の抵抗値に分布を持たせることが好ましい。液晶層の温度分布は、最高温度－最低温度（温度むら）が、例えば 15℃以下となることが好ましい。温度むらが 15℃を超えると、位相差変調が面内でばらつき、良好なビーム形成ができなくなるという不具合が発生することがある。また、液晶層の温度が T_{ni} 点（例えば 125℃）に近づくと、 $\Delta \epsilon_M$ が小さくなるので好ましくない。

[0196] 図 14（a）、（b）および図 15（a）～（c）を参照して、抵抗膜における抵抗値の分布を説明する。図 14（a）、（b）および図 15（a）～（c）に、抵抗加熱構造 80 a～80 e の模式的な構造と電流の分布を示す。抵抗加熱構造は、抵抗膜と、ヒーター用端子とを備えている。

[0197] 図 14（a）に示す抵抗加熱構造 80 a は、第 1 端子 82 a と第 2 端子 84 a とこれらに接続された抵抗膜 86 a とを有している。第 1 端子 82 a は、円の中心に配置され、第 2 端子 84 a は円周の全体に沿って配置されている。ここで円は、送受信領域 R1 に対応する。第 1 端子 82 a と第 2 端子 84 a との間に直流電圧を供給すると、例えば、第 1 端子 82 a から第 2 端子 84 a に放射状に電流 I A が流れる。したがって、抵抗膜 86 a は面内の抵抗値は一定であっても、均一に発熱することができる。もちろん、電流の流れる向きは、第 2 端子 84 a から第 1 端子 82 a に向かう方向でもよい。

[0198] 図 14（b）に抵抗加熱構造 80 b は、第 1 端子 82 b と第 2 端子 84 b とこれらに接続された抵抗膜 86 b とを有している。第 1 端子 82 b および第 2 端子 84 b は円周に沿って互いに隣接して配置されている。抵抗膜 86 b における第 1 端子 82 b と第 2 端子 84 b との間を流れる電流 I A によって発生する単位面積当たりの発熱量が一定になるように、抵抗膜 86 b の抵抗値は面内分布を有している。抵抗膜 86 b の抵抗値の面内分布は、例えば

、抵抗膜 86 を細線で構成する場合、細線の太さや、細線の密度で調整すればよい。

[0199] 図 15 (a) に示す抵抗加熱構造 80 c は、第 1 端子 82 c と第 2 端子 84 c とこれらに接続された抵抗膜 86 c とを有している。第 1 端子 82 c は、円の上側半分の円周に沿って配置されており、第 2 端子 84 c は円の下側半分の円周に沿って配置されている。抵抗膜 86 c を例えば第 1 端子 82 c と第 2 端子 84 c との間を上下に延びる細線で構成する場合、電流 I_A による単位面積あたりの発熱量が面内で一定になるように、例えば、中央付近の細線の太さや密度が高くなるように調整されている。

[0200] 図 15 (b) に示す抵抗加熱構造 80 d は、第 1 端子 82 d と第 2 端子 84 d とこれらに接続された抵抗膜 86 d とを有している。第 1 端子 82 d と第 2 端子 84 d とは、それぞれ円の直径に沿って上下方向、左右方向に延びるように設けられている。図では簡略化しているが、第 1 端子 82 d と第 2 端子 84 d とは互いに絶縁されている。

[0201] また、図 15 (c) に示す抵抗加熱構造 80 e は、第 1 端子 82 e と第 2 端子 84 e とこれらに接続された抵抗膜 86 e とを有している。抵抗加熱構造 80 e は、抵抗加熱構造 80 d と異なり、第 1 端子 82 e および第 2 端子 84 e のいずれも円の中心から上下左右の 4 つの方向に延びる 4 つの部分有している。互いに 90 度を成す第 1 端子 82 e の部分と第 2 端子 84 e の部分とは、電流 I_A が、時計回りに流れるように配置されている。

[0202] 抵抗加熱構造 80 d および抵抗加熱構造 80 e のいずれにおいても、単位面積あたりの発熱量が面内で均一になるように、円周に近いほど電流 I_A が多くなるように、例えば、円周に近い側の細線を太く、密度が高くなるように調整されている。

[0203] このような内部ヒーター構造は、例えば、走査アンテナの温度を検出して、予め設定された温度を下回ったときに自動的に動作するようにしてもよい。もちろん、使用者の操作に呼応して動作するようにしてもよい。

[0204] <外部ヒーター構造>

本発明の実施形態の走査アンテナは、上記の内部ヒーター構造に代えて、あるいは、内部ヒーター構造とともに、外部ヒーター構造を有してもよい。外部ヒーターとしては、公知の種々のヒーターを用いることができるが、ジュール熱を利用する抵抗加熱方式のヒーターが好ましい。ヒーターの内、発熱する部分をヒーター部ということにする。以下では、ヒーター部として抵抗膜を用いる例を説明する。以下でも、抵抗膜は参照符号 68 で示す。

[0205] 例えば、図 16 (a) および (b) に示す液晶パネル 100Pa または 100Pb の様に、ヒーター用の抵抗膜 68 を配置することが好ましい。ここで、液晶パネル 100Pa および 100Pb は、図 1 に示した走査アンテナ 1000 の TFT 基板 101 と、スロット基板 201 と、これらの間に設けられた液晶層 LC とを有し、さらに TFT 基板 101 の外側に、抵抗膜 68 を含む抵抗加熱構造を有している。抵抗膜 68 を TFT 基板 101 の誘電体基板 1 の液晶層 LC 側に形成してよいが、TFT 基板 101 の製造プロセスが煩雑化するので、TFT 基板 101 の外側（液晶層 LC とは反対側）に配置することが好ましい。

[0206] 図 16 (a) に示す液晶パネル 100Pa は、TFT 基板 101 の誘電体基板 1 の外側の表面に形成されたヒーター用抵抗膜 68 と、ヒーター用抵抗膜 68 を覆う保護層 69a とを有している。保護層 69a は省略してもよい。走査アンテナは、例えばプラスチック製のケースに収容されるので、抵抗膜 68 にユーザが直接触れることはない。

[0207] 抵抗膜 68 は、誘電体基板 1 の外側の表面に、例えば、公知の薄膜堆積技術（例えば、スパッタ法、CVD 法）、塗布法または印刷法を用いて形成することができる。抵抗膜 68 は、必要に応じてパターンニングされている。パターンニングは、例えば、フォトリソグラフィプロセスで行われる。

[0208] ヒーター用の抵抗膜 68 の材料としては、内部ヒーター構造について上述したように、特に限定されず、例えば、ITO や IZO など比較的比抵抗の高い導電材料を用いることができる。また、抵抗値の調整のために、金属（例えば、ニクロム、チタン、クロム、白金、ニッケル、アルミニウム、銅）

の細線やメッシュで抵抗膜 68 を形成してもよい。ITO や IZO などの細線やメッシュを用いることもできる。求められる発熱量に応じて、抵抗値を設定すればよい。

[0209] 保護層 69a は、絶縁材料で形成されており、抵抗膜 68 を覆うように形成されている。抵抗膜 68 がパターニングされており、誘電体基板 1 が露出されている部分には保護層 69a を形成しなくてもよい。抵抗膜 68 は、後述するように、アンテナの性能が低下しないようにパターニングされる。保護層 69a を形成する材料が存在することによって、アンテナの性能が低下する場合には、抵抗膜 68 と同様に、パターニングされた保護層 69a を用いることが好ましい。

[0210] 保護層 69a は、ウェットプロセス、ドライプロセスのいずれで形成してもよい。例えば、抵抗膜 68 が形成された誘電体基板 1 の表面に、液状の硬化性樹脂（または樹脂の前駆体）または溶液を付与した後、硬化性樹脂を硬化させることによって形成される。液状の樹脂または樹脂の溶液は、種々の塗布法（例えば、スロットコーター、スピンコーター、スプレーを用いて）または種々の印刷法で、所定の厚さとなるように誘電体基板 1 の表面に付与される。その後、樹脂の種類に応じて、室温硬化、加熱硬化、または光硬化することによって、絶縁性樹脂膜で保護層 69a を形成することができる。絶縁性樹脂膜は、例えば、フォトリソグラフィプロセスでパターニングされ得る。

[0211] 保護層 69a を形成する材料としては、硬化性樹脂材料を好適に用いることができる。硬化性樹脂材料は、熱硬化タイプおよび光硬化タイプを含む。また、熱硬化タイプは、熱架橋タイプおよび熱重合タイプを含む。

[0212] 熱架橋タイプの樹脂材料としては、例えば、エポキシ系化合物（例えばエポキシ樹脂）とアミン系化合物の組合せ、エポキシ系化合物とヒドラジド系化合物の組み合わせ、エポキシ系化合物とアルコール系化合物（例えばフェノール樹脂を含む）の組み合わせ、エポキシ系化合物とカルボン酸系化合物（例えば酸無水物を含む）の組み合わせ、イソシアネート系化合物とアミン

系化合物の組み合わせ、イソシアネート系化合物とヒドラジド系化合物の組み合わせ、イソシアネート系化合物とアルコール系化合物の組み合わせ（例えばウレタン樹脂を含む）、イソシアネート系化合物とカルボン酸系化合物の組み合わせが挙げられる。また、カチオン重合タイプ接着材としては、例えば、エポキシ系化合物とカチオン重合開始剤の組み合わせ（代表的なカチオン重合開始剤、芳香族スルホニウム塩）が挙げられる。ラジカル重合タイプの樹脂材料としては、例えば、各種アクリル、メタクリル、ウレタン変性アクリル（メタクリル）樹脂等のビニル基を含むモノマーおよび／またはオリゴマーとラジカル重合開始剤の組み合わせ（代表的なラジカル重合開始剤：アゾ系化合物（例えば、AIBN（アゾビスイソブチロニトリル）））、開環重合タイプの樹脂材料としては、例えば、エチレンオキシド系化合物、エチレンイミン系化合物、シロキサン系化合物が挙げられる。この他、マレイミド樹脂、マレイミド樹脂とアミンの組合せ、マレイミドとメタクリル化合物の組合せ、ビスマレイミドトリアジン樹脂およびポリフェニレンエーテル樹脂を用いることができる。また、ポリイミドも好適に用いることができる。なお、「ポリイミド」は、ポリイミドの前駆体であるポリアミック酸を含む意味で用いる。ポリイミドは、例えば、エポキシ系化合物またはイソシアネート系化合物と組み合わせて用いられる。

- [0213] 耐熱性、化学的安定性、機械特性の観点から、熱硬化性タイプの樹脂材料を用いることが好ましい。特に、エポキシ樹脂またはポリイミド樹脂を含む樹脂材料が好ましく、機械特性（特に機械強度）および吸湿性の観点から、ポリイミド樹脂を含む樹脂材料が好ましい。ポリイミド樹脂とエポキシ樹脂とを混合して用いることもできる。また、ポリイミド樹脂および／またはエポキシ樹脂に熱可塑性樹脂および／またはエラストマを混合してもよい。さらに、ポリイミド樹脂および／またはエポキシ樹脂として、ゴム変性したものを混合してもよい。熱可塑性樹脂またはエラストマを混合することによって、柔軟性や靱性（タフネス）を向上させることができる。ゴム変性したものをを用いても同様の効果を得ることができる。

- [0214] 光硬化タイプは、紫外線または可視光によって、架橋反応および／または重合反応を起こし、硬化する。光硬化タイプには、例えば、ラジカル重合タイプとカチオン重合タイプがある。ラジカル重合タイプとしては、アクリル樹脂（エポキシ変性アクリル樹脂、ウレタン変性アクリル樹脂、シリコーン変性アクリル樹脂）と光重合開始剤との組み合わせが代表的である。紫外光用ラジカル重合開始剤としては、例えば、アセトフェノン型およびベンゾフェノン型が挙げられる。可視光用ラジカル重合開始剤としては、例えば、ベンジル型およびチオキサントン型を挙げることができる。カチオン重合タイプとしては、エポキシ系化合物と光カチオン重合開始剤との組合せが代表的である。光カチオン重合開始剤は、例えば、ヨードニウム塩系化合物を挙げることができる。なお、光硬化性と熱硬化性とを併せ持つ樹脂材料を用いることもできる。
- [0215] 図16(b)に示す液晶パネル100Pbは、抵抗膜68と誘電体基板1との間に接着層67をさらに有している点で、液晶パネル100Paと異なる。また、保護層69bが予め作製された高分子フィルムまたはガラス板を用いて形成される点異なる。
- [0216] 例えば、保護層69bが高分子フィルムで形成された液晶パネル100Pbは、以下の様にして製造される。
- [0217] まず、保護層69bとなる絶縁性の高分子フィルムを用意する。高分子フィルムとしては、例えば、ポリエチレンテレフタレート、ポリエチレンナフタレート等のポリエステルフィルム、ポリフェニルスルホン、および、ポリイミド、ポリアミド等のスーパーエンジニアリングプラスチックのフィルムが用いられる。高分子フィルムの厚さ（すなわち、保護層69bの厚さ）は、例えば、5 μ m以上200 μ m以下である。
- [0218] この高分子フィルム的一方の表面の上に、抵抗膜68を形成する。抵抗膜68は、上述の方法で形成され得る。抵抗膜68はパターニングされてもよく、高分子フィルムも必要に応じてパターニングされてもよい。
- [0219] 抵抗膜68が形成された高分子フィルム（すなわち、保護層69bと抵抗

膜 6 8 とが一体に形成された部材) を、接着材を用いて、誘電体基板 1 に貼り付ける。接着材としては、上記の保護層 6 9 a の形成に用いられる硬化性樹脂と同様の硬化性樹脂を用いることができる。さらに、ホットメルトタイプの樹脂材料 (接着材) を用いることもできる。ホットメルトタイプの樹脂材料は、熱可塑性樹脂を主成分とし、加熱により熔融し、冷却により固化する。ポリオレフィン系 (例えば、ポリエチレン、ポリプロピレン)、ポリアミド系、エチレン酢酸ビニル系が例示される。また、反応性を有するウレタン系のホットメルト樹脂材料 (接着材) も販売されている。接着性および耐久性の観点からは、反応性のウレタン系が好ましい。

[0220] また、接着層 6 7 は、抵抗膜 6 8 および保護層 (高分子フィルム) 6 9 b と同様にパターニングされてもよい。ただし、接着層 6 7 は、抵抗膜 6 8 および保護層 6 9 b を誘電体基板 1 に固定できればよいので、抵抗膜 6 8 および保護層 6 9 b よりも小さくてもよい。

[0221] 高分子フィルムに代えて、ガラス板を用いて保護層 6 9 b を形成することもできる。製造プロセスは、高分子フィルムを用いる場合と同様であってよい。ガラス板の厚さは、1 mm 以下が好ましく、0.7 mm 以下がさらに好ましい。ガラス板の厚さの下限は特にないが、ハンドリング性の観点から、ガラス板の厚さは 0.3 mm 以上であることが好ましい。

[0222] 図 1 6 (b) に示した液晶パネル 1 0 0 P b では、保護層 (高分子フィルムまたはガラス板) 6 9 b に形成された抵抗膜 6 8 を誘電体基板 1 に接着層 6 7 を介して固定したが、抵抗膜 6 8 を誘電体基板 1 に接触するように配置すればよく、抵抗膜 6 8 および保護層 6 9 b を誘電体基板 1 に固定 (接着) する必要は必ずしもない。すなわち、接着層 6 7 を省略してもよい。例えば、抵抗膜 6 8 が形成された高分子フィルム (すなわち、保護層 6 9 b と抵抗膜 6 8 とが一体に形成された部材) を、抵抗膜 6 8 が誘電体基板 1 に接触するように配置し、走査アンテナを収容するケースで、抵抗膜 6 8 を誘電体基板 1 に押し当てるようにしてもよい。例えば、抵抗膜 6 8 が形成された高分子フィルムを単純に置くだけでは、接触熱抵抗が高くなるおそれがあるので

、押し当てることによって接触熱抵抗を低下させることが好ましい。このような構成を採用すると、抵抗膜 68 および保護層（高分子フィルムまたはガラス板）69b が一体として形成された部材を取り外し可能にできる。

[0223] なお、抵抗膜 68（および保護層 69b）が後述するようにパターンニングされている場合には、アンテナの性能が低下しないように、TF T 基板に対する位置がずれない程度に固定することが好ましい。

[0224] ヒーター用の抵抗膜 68 は、走査アンテナの動作に影響を及ぼさない限りどこに設けてもよいが、液晶材料を効率的に加熱するためには、液晶層の近くに設けることが好ましい。したがって、図 16（a）および（b）に示したように、TF T 基板 101 の外側に設けることが好ましい。また、図 16（a）に示したように、TF T 基板 101 の誘電体基板 1 の外側に直接、抵抗膜 68 を設けた方が、図 16（b）に示したように、接着層 67 を介して抵抗膜 68 を誘電体基板 1 の外側に設けるよりも、エネルギー効率が高く、かつ、温度の制御性も高いので好ましい。

[0225] 抵抗膜 68 は、例えば、図 13（a）に示す TF T 基板 104 に対して、誘電体基板 1 のほぼ全面に設けてもよい。内部ヒーター構造について上述したように、抵抗膜 68 は、開口部 68a、68b および 68c を有することが好ましい。

[0226] 保護層 69a および 69b は、抵抗膜 68 を覆うように全面に形成してもよい。上述したように、保護層 69a または 69b がアンテナ特性に悪影響を及ぼす場合には、抵抗膜 68 の開口部 68a、68b および 68c に対応する開口部を設けてもよい。この場合、保護層 69a または 69b の開口部は、抵抗膜 68 の開口部 68a、68b および 68c の内側に形成される。

[0227] ヒーター用抵抗膜 68 からの電界の影響をさらに低減するために、シールド導電層を形成してもよい。シールド導電層は、例えば、抵抗膜 68 の誘電体基板 1 側に絶縁膜を介して形成される。シールド導電層は、誘電体基板 1 のほぼ全面に形成される。シールド導電層には、抵抗膜 68 のように開口部 68a、68b を設ける必要はないが、開口部 68c を設けることが好まし

い。シールド導電層は、例えば、アルミニウム層で形成され、接地電位とされる。また、液晶層を均一に加熱できるように、抵抗膜の抵抗値に分布を持たせることが好ましい。これらも内部ヒーター構造について上述した通りである。

[0228] 抵抗膜は、送受信領域 R 1 の液晶層 L C を加熱できればよいので、例示したように、送受信領域 R 1 に対応する領域に抵抗膜を設ければよいが、これに限られない。例えば、図 2 に示したように、T F T 基板 1 0 1 が、送受信領域 R 1 を含む矩形の領域を画定することができるような外形を有している場合には、送受信領域 R 1 を含む矩形の領域に対応する領域に抵抗膜を設けてもよい。勿論、抵抗膜の外形は、矩形に限られず、送受信領域 R 1 を含む、任意の形状であってよい。

[0229] 上記の例では、T F T 基板 1 0 1 の外側に抵抗膜を配置したが、スロット基板 2 0 1 の外側（液晶層 L C とは反対側）に、抵抗膜を配置してもよい。この場合にも、図 1 6 (a) の液晶パネル 1 0 0 P a と同様に、誘電体基板 5 1 に直接、抵抗膜を形成してもよいし、図 1 6 (b) の液晶パネル 1 0 0 P b と同様に、接着層を介して、保護層（高分子フィルムまたはガラス板）に形成された抵抗膜を誘電体基板 5 1 に固定してもよい。あるいは、接着層を省略して、抵抗膜が形成された保護層（すなわち、保護層と抵抗膜とが一体に形成された部材）を抵抗膜が誘電体基板 5 1 に接触するように配置してもよい。例えば、抵抗膜が形成された高分子フィルムを単純に置くだけでは、接触熱抵抗が高くなるおそれがあるので、押し当てることによって接触熱抵抗を低下させることが好ましい。このような構成を採用すると、抵抗膜および保護層（高分子フィルムまたはガラス板）が一体として形成された部材を取り外し可能にできる。なお、抵抗膜（および保護層）がパターンニングされている場合には、アンテナの性能が低下しないように、スロット基板に対する位置がずれない程度に固定することが好ましい。

[0230] スロット基板 2 0 1 の外側に抵抗膜を配置する場合には、抵抗膜のスロット 5 7 に対応する位置に開口部を設けることが好ましい。また、抵抗膜はマ

マイクロ波を十分に透過できる厚さであることが好ましい。

[0231] ここでは、ヒーター部として抵抗膜を用いた例を説明したが、ヒーター部として、この他に、例えば、ニクロム線（例えば巻線）、赤外線ヒーター部などを用いることができる。このような場合にも、アンテナの性能を低下させないように、ヒーター部を配置することが好ましい。

[0232] このような外部ヒーター構造は、例えば、走査アンテナの温度を検出して、予め設定された温度を下回ったときに自動的に動作するようにしてもよい。もちろん、使用者の操作に呼応して動作するようにしてもよい。

[0233] 外部ヒーター構造を自動的に動作させるための温度制御装置として、例えば、公知の種々のサーモスタットを用いることができる。例えば、抵抗膜に接続された2つの端子の一方と電源との間に、バイメタルを用いたサーモスタットを接続すればよい。もちろん、温度検出器を用いて、予め設定した温度を下回らないように、外部ヒーター構造に電源から電流を供給するような温度制御装置を用いてもよい。

[0234] <駆動方法>

本発明の実施形態による走査アンテナが有するアンテナ単位のアレイは、LCDパネルと類似した構造を有しているので、LCDパネルと同様に線順次駆動を行う。しかしながら、従来のLCDパネルの駆動方法を適用すると、以下の問題が発生する恐れがある。図17に示す、走査アンテナの1つのアンテナ単位の等価回路図を参照しつつ、走査アンテナに発生し得る問題点を説明する。

[0235] まず、上述したように、マイクロ波領域の誘電異方性 $\Delta \epsilon_{\parallel}$ （可視光に対する複屈折率 Δn ）が大きい液晶材料の比抵抗は低いので、LCDパネルの駆動方法をそのまま適用すると、液晶層に印加される電圧を十分に保持できない。そうすると、液晶層に印加される実効電圧が低下し、液晶容量の静電容量値が目標値に到達しない。

[0236] このように液晶層に印加された電圧が所定の値からずれると、アンテナのゲインが最大となる方向が所望する方向からずれることになる。そうすると

、例えば、通信衛星を正確に追尾できないことになる。これを防止するために、液晶容量 C_{lc} と電氣的に並列に補助容量 C_s を設け、補助容量 C_s の容量値 $C - C_{lc}$ を十分に大きくする。補助容量 C_s の容量値 $C - C_{lc}$ は、液晶容量 C_{lc} の電圧保持率が例えば少なくとも 30%、好ましくは 55% 以上となるように適宜設定することが好ましい。補助容量 C_s の容量値 $C - C_{lc}$ は、電極 $CSE1$ および電極 $CSE2$ の面積および電極 $CSE1$ と電極 $CSE2$ との間の誘電体層の厚さおよび誘電率に依存する。典型的には、電極 $CSE1$ にはパッチ電極 15 と同じ電圧が供給され、電極 $CSE2$ にはスロット電極 55 と同じ電圧が供給される。

[0237] また、比抵抗が低い液晶材料を用いると、界面分極および／または配向分極による電圧低下も起こる。これらの分極による電圧低下を防止するために、電圧降下分を見込んだ十分に高い電圧を印加することが考えられる。しかしながら、比抵抗が低い液晶層に高い電圧を印加すると、動的散乱効果（DS 効果）が起こる恐れがある。DS 効果は、液晶層中のイオン性不純物の対流に起因し、液晶層の誘電率 ϵ_m は平均値 $((\epsilon_{m\parallel} + 2\epsilon_{m\perp}) / 3)$ に近づく。また、液晶層の誘電率 ϵ_m を多段階（多階調）で制御するためには、常に十分に高い電圧を印加することもできない。

[0238] 上記の DS 効果および／または分極による電圧降下を抑制するためには、液晶層に印加する電圧の極性反転周期を十分に短くすればよい。よく知られているように、印加電圧の極性反転周期を短くすると DS 効果が起こるしきい値電圧が高くなる。したがって、液晶層に印加する電圧（絶対値）の最大値が、DS 効果が起こるしきい値電圧未満となるように、極性反転周波数を決めればよい。極性反転周波数が 300 Hz 以上であれば、例えば比抵抗が $1 \times 10^{10} \Omega \cdot cm$ 、誘電異方性 $\Delta\epsilon$ (@ 1 kHz) が -0.6 程度の液晶層に絶対値が 10 V の電圧を印加しても、良好な動作を確保することができる。また、極性反転周波数（典型的にはフレーム周波数の 2 倍と同じ）が 300 Hz 以上であれば、上記の分極に起因する電圧降下も抑制される。極性反転周期の上限は、消費電力などの観点から約 5 kHz 以下であることが好ま

しい。

[0239] 液晶層に印加する電圧の極性反転周波数は、当然に液晶材料（特に比抵抗）に依存する。したがって、液晶材料によっては300Hz未満の極性反転周期で電圧を印加しても上記の問題が生じない。ただし、本発明の実施形態による走査アンテナに用いられる液晶材料はLCDに用いられている液晶材料よりも比抵抗が小さいので、概ね60Hz以上で駆動することが好ましい。

[0240] 上述したように液晶材料の粘度は温度に依存するので、液晶層の温度は適宜制御されることが好ましい。ここで述べた液晶材料の物性および駆動条件は、液晶層の動作温度における値である。逆に言うと、上記の条件で駆動できるように、液晶層の温度を制御することが好ましい。

[0241] 図18(a)～(g)を参照して、走査アンテナの駆動に用いられる信号の波形の例を説明する。なお、図18(d)に、比較のために、LCDパネルのソースバスラインに供給される表示信号 V_s (LCD)の波形を示している。

[0242] 図18(a)はゲートバスラインG-L1に供給される走査信号 V_g の波形、図18(b)はゲートバスラインG-L2に供給される走査信号 V_g の波形、図18(c)はゲートバスラインG-L3に供給される走査信号 V_g の波形を示し、図18(e)はソースバスラインに供給されるデータ信号 V_{da} の波形を示し、図18(f)はスロット基板のスロット電極（スロット電極）に供給されるスロット電圧 V_{idc} の波形を示し、図18(g)はアンテナ単位の液晶層に印加される電圧の波形を示す。

[0243] 図18(a)～(c)に示す様に、ゲートバスラインに供給される走査信号 V_g の電圧が、順次、ローレベル(V_{gL})からハイレベル(V_{gH})に切替わる。 V_{gL} および V_{gH} は、TFTの特性に応じて適宜設定され得る。例えば、 $V_{gL} = -5V \sim 0V$ 、 $V_{gH} = +20V$ である。また、 $V_{gL} = -20V$ 、 $V_{gH} = +20V$ としてもよい。あるゲートバスラインの走査信号 V_g の電圧がローレベル(V_{gL})からハイレベル(V_{gH})に切替わ

る時刻から、その次のゲートバスラインの電圧が V_{gL} から V_{gH} に切替わる時刻までの期間を1水平走査期間(1H)ということにする。また、各ゲートバスラインの電圧がハイレベル(V_{gH})になっている期間を選択期間PSという。この選択期間PSにおいて、各ゲートバスラインに接続されたTFTがオン状態となり、ソースバスラインに供給されているデータ信号 V_{da} のその時の電圧が、対応するパッチ電極に供給される。データ信号 V_{da} は例えば $-15V \sim +15V$ (絶対値が $15V$)であり、例えば、12階調、好ましくは16階調に対応する絶対値の異なるデータ信号 V_{da} を用いる。

[0244] ここでは、全てのアンテナ単位にある中間電圧を印加している場合を例示する。すなわち、データ信号 V_{da} の電圧は、全てのアンテナ単位(m本のゲートバスラインに接続されているとする。)に対して一定であるとする。これはLCDパネルにおいて全面である中間調を表示している場合に対応する。このとき、LCDパネルでは、ドット反転駆動が行われる。すなわち、各フレームにおいて、互いに隣接する画素(ドット)の極性が互いに逆になるように、表示信号電圧が供給される。

[0245] 図18(d)はドット反転駆動を行っているLCDパネルの表示信号の波形を示している。図18(d)に示したように、1H毎に V_s (LCD)の極性が反転している。この波形を有する V_s (LCD)が供給されているソースバスラインに隣接するソースバスラインに供給される V_s (LCD)の極性は、図18(d)に示す V_s (LCD)の極性と逆になっている。また、全ての画素に供給される表示信号の極性は、フレーム毎に反転する。LCDパネルでは、正極性と負極性とで、液晶層に印加される実効電圧の大きさを完全に一致させることが難しく、かつ、実効電圧の差が輝度の差となり、フリッカーとして観察される。このフリッカーを観察され難くするために、各フレームにおいて極性の異なる電圧が印加される画素(ドット)を空間的に分散させている。典型的には、ドット反転駆動を行うことによって、極性が異なる画素(ドット)を市松模様に配列させる。

- [0246] これに対して、走査アンテナにおいては、フリッカー自体は問題とならない。すなわち、液晶容量の静電容量値が所望の値でありさえすればよく、各フレームにおける極性の空間的な分布は問題とならない。したがって、低消費電力等の観点から、ソースバスラインから供給されるデータ信号 V_{da} の極性反転の回数を少なくする、すなわち、極性反転の周期を長くすることが好ましい。例えば、図 18 (e) に示す様に、極性反転の周期を $10H$ ($5H$ 毎に極性反転) にすればよい。もちろん、各ソースバスラインに接続されているアンテナ単位の数（典型的には、ゲートバスラインの本数に等しい。）を m 個とすると、データ信号 V_{da} の極性反転の周期を $2m \cdot H$ ($m \cdot H$ 毎に極性反転) としてもよい。データ信号 V_{da} の極性反転の周期は、2 フレーム（1 フレーム毎に極性反転）と等しくてもよい。
- [0247] また、全てのソースバスラインから供給するデータ信号 V_{da} の極性を同じにしてもよい。したがって、例えば、あるフレームでは、全てのソースバスラインから正極性のデータ信号 V_{da} を供給し、次にフレームでは、全てのソースバスラインから負極性のデータ信号 V_{da} を供給してもよい。
- [0248] あるいは、互いに隣接するソースバスラインから供給するデータ信号 V_{da} の極性を互いに逆極性にしてもよい。例えば、あるフレームでは、奇数列のソースバスラインからは正極性のデータ信号 V_{da} を供給し、偶数列のソースバスラインからは負極性のデータ信号 V_{da} を供給する。そして、次のフレームでは、奇数列のソースバスラインからは負極性のデータ信号 V_{da} を供給し、偶数列のソースバスラインからは正極性のデータ信号 V_{da} を供給する。このような駆動方法は、LCD パネルでは、ソースライン反転駆動と呼ばれる。隣接するソースバスラインから供給するデータ信号 V_{da} を逆極性にすると、フレーム間で供給するデータ信号 V_{da} の極性を反転させる前に、隣接するソースバスラインを互いに接続する（ショートさせる）ことによって、液晶容量に充電された電荷を隣接する列間でキャンセルさせることができる。したがって、各フレームにおいてソースバスラインから供給する電荷の量を少なくできるという利点を得られる。

[0249] スロット電極の電圧 V_{idc} は図 18 (f) に示す様に、例えば、DC 電圧であり、典型的にはグラウンド電位である。アンテナ単位の容量（液晶容量および補助容量）の容量値は、LCD パネルの画素容量の容量値よりも大きい（例えば、20 型程度の LCD パネルと比較して約 30 倍）ので、TFT の寄生容量に起因する引込電圧の影響がなく、スロット電極の電圧 V_{idc} をグラウンド電位として、データ信号 V_{da} をグラウンド電位を基準に正負対称な電圧としても、パッチ電極に供給される電圧は正負対称な電圧となる。LCD パネルにおいては、TFT の引込電圧を考慮して、対向電極の電圧（共通電圧）を調整することによって、画素電極に正負対称な電圧が印加されるようにしているが、走査アンテナのスロット電圧についてはその必要がなく、グラウンド電位であってよい。また、図 18 に図示しないが、CS バスラインには、スロット電圧 V_{idc} と同じ電圧が供給される。

[0250] アンテナ単位の液晶容量に印加される電圧は、スロット電極の電圧 V_{idc} (図 18 (f)) に対するパッチ電極の電圧（すなわち、図 18 (e) に示したデータ信号 V_{da} の電圧）なので、スロット電圧 V_{idc} がグラウンド電位するとき、図 18 (g) に示す様に、図 18 (e) に示したデータ信号 V_{da} の波形と一致する。

[0251] 走査アンテナの駆動に用いられる信号の波形は、上記の例に限られない。例えば、図 19 および図 20 を参照して以下に説明するように、スロット電極の電圧として振動波形を有する V_{iac} を用いてもよい。

[0252] 例えば、図 19 (a) ~ (e) に例示する様な信号を用いることができる。図 19 では、ゲートバスラインに供給される走査信号 V_g の波形を省略しているが、ここでも、図 18 (a) ~ (c) を参照して説明した走査信号 V_g を用いる。

[0253] 図 19 (a) に示す様に、図 18 (e) に示したのと同様に、データ信号 V_{da} の波形が 10H 周期（5H 毎）で極性反転している場合を例示する。ここでは、データ信号 V_{da} として、振幅が最大値 $|V_{da_{max}}|$ の場合を示す。上述したように、データ信号 V_{da} の波形は、2 フレーム周期（1 フレー

ム毎)で極性反転させてもよい。

- [0254] ここで、スロット電極の電圧 V_{iac} は、図 19 (c) に示す様に、データ信号 V_{da} (ON) と極性が逆で、振動の周期は同じ、振動電圧とする。スロット電極の電圧 V_{iac} の振幅は、データ信号 V_{da} の振幅の最大値 $|V_{da_{max}}|$ と等しい。すなわち、スロット電圧 V_{iac} は、データ信号 V_{da} (ON) と極性反転の周期は同じで、極性が逆 (位相が 180° 異なる) で、 $-V_{da_{max}}$ と $+V_{da_{max}}$ との間を振動する電圧とする。
- [0255] アンテナ単位の液晶容量に印加される電圧 V_{lc} は、スロット電極の電圧 V_{iac} (図 19 (c)) に対するパッチ電極の電圧 (すなわち、図 19 (a) に示したデータ信号 V_{da} (ON) の電圧) なので、データ信号 V_{da} の振幅が $\pm V_{da_{max}}$ で振動しているとき、液晶容量に印加される電圧は、図 19 (d) に示す様に、 $V_{da_{max}}$ の 2 倍の振幅で振動する波形となる。したがって、液晶容量に印加される電圧 V_{lc} の最大振幅を $\pm V_{da_{max}}$ とするために必要なデータ信号 V_{da} の最大振幅は、 $\pm V_{da_{max}}/2$ となる。
- [0256] このようなスロット電圧 V_{iac} を用いることによって、データ信号 V_{da} の最大振幅を半分にできるので、データ信号 V_{da} を出力するドライバ回路として、例えば、耐圧が 20 V 以下の汎用のドライバ IC を用いることができるという利点を得られる。
- [0257] なお、図 19 (e) に示す様に、アンテナ単位の液晶容量に印加される電圧 V_{lc} (OFF) をゼロとするとために、図 19 (b) に示す様に、データ信号 V_{da} (OFF) をスロット電圧 V_{iac} と同じ波形にすればよい。
- [0258] 例えば、液晶容量に印加される電圧 V_{lc} の最大振幅を ± 15 V とする場合を考える。スロット電圧として、図 18 (f) に示した V_{idc} を用い、 $V_{idc} = 0$ V とすると、図 18 (e) に示した V_{da} の最大振幅は、 ± 15 V となる。これに対して、スロット電圧として、図 19 (c) に示した V_{iac} を用い、 V_{iac} の最大振幅を ± 7.5 V とすると、図 19 (a) に示した V_{da} (ON) の最大振幅は、 ± 7.5 V となる。
- [0259] 液晶容量に印加される電圧 V_{lc} を 0 V とする場合、図 18 (e) に示し

た V_{da} を $0V$ とすればよく、図 19 (b) に示した V_{da} (OFF) の最大振幅は $\pm 7.5V$ とすればよい。

[0260] 図 19 (c) に示した V_{iac} を用いる場合は、液晶容量に印加される電圧 V_{lc} の振幅は、 V_{da} の振幅とは異なるので、適宜変換する必要がある。

[0261] 図 20 (a) ~ (e) に例示する様な信号を用いることもできる。図 20 (a) ~ (e) に示す信号は、図 19 (a) ~ (e) に示した信号と同様に、スロット電極の電圧 V_{iac} を図 20 (c) に示す様に、データ信号 V_{da} (ON) と振動の位相が 180° ずれた振動電圧とする。ただし、図 20 (a) ~ (c) にそれぞれ示す様に、データ信号 V_{da} (ON)、 V_{da} (OFF) およびスロット電圧 V_{iac} をいずれも $0V$ と正の電圧との間で振動する電圧としている。スロット電極の電圧 V_{iac} の振幅は、データ信号 V_{da} の振幅の最大値 $|V_{da_{max}}|$ と等しい。

[0262] このような信号を用いると、駆動回路は正の電圧だけを出力すればよく、低コスト化に寄与する。このように $0V$ と正の電圧との間で振動する電圧を用いても、図 20 (d) に示すように、液晶容量に印加される電圧 V_{lc} (ON) は、極性反転する。図 20 (d) に示す電圧波形において、+ (正) は、パッチ電極の電圧がスロット電圧よりも高いことを示し、- (負) は、パッチ電極の電圧がスロット電圧よりも低いことを示している。すなわち、液晶層に印加される電界の向き (極性) は、他の例と同様に反転している。液晶容量に印加される電圧 V_{lc} (ON) の振幅は $V_{da_{max}}$ である。

[0263] なお、図 20 (e) に示す様に、アンテナ単位の液晶容量に印加される電圧 V_{lc} (OFF) をゼロとするとために、図 20 (b) に示す様に、データ信号 V_{da} (OFF) をスロット電圧 V_{iac} と同じ波形にすればよい。

[0264] 図 19 および図 20 を参照して説明したスロット電極の電圧 V_{iac} を振動させる (反転させる) 駆動方法は、LCD パネルの駆動方法でいうと、対向電圧を反転させる駆動方法に対応する (「コモン反転駆動」といわれることがある。)。LCD パネルでは、フリッカーを十分に抑制できないことが

ら、コモン反転駆動は採用されていない。これに対し、走査アンテナでは、フリッカーは問題とならないので、スロット電圧を反転させることができる。振動（反転）は、例えば、フレーム毎に行われる（図19および図20における5Hを1V（垂直走査期間またはフレーム）とする）。

[0265] 上記の説明では、スロット電極の電圧 V_{iac} は1つの電圧が印加される例、すなわち、全てのパッチ電極に対して共通のスロット電極が設けられている例を説明したが、スロット電極を、パッチ電極の1行、または、2以上の行に対応して分割してもよい。ここで、行とは、1つのゲートバスラインにTFTを介して接続されたパッチ電極の集合を指す。このようにスロット電極を複数の行部分に分割すれば、スロット電極の各部分の電圧の極性を互いに独立にできる。例えば、任意のフレームにおいて、パッチ電極に印加される電圧の極性を、隣接するゲートバスラインに接続されたパッチ電極間で互いに逆にできる。このように、パッチ電極の1行毎に極性を反転させる行反転（1H反転）だけでなく、2以上の行毎に極性を反転させるm行反転（mH反転）を行うことができる。もちろん、行反転とフレーム反転とは組合せられる。

[0266] 駆動の単純さの観点からは、任意のフレームにおいて、パッチ電極に印加される電圧の極性を全て同じにし、フレーム毎に極性が反転する駆動が好ましい。

[0267] <アンテナ単位の配列、ゲートバスライン、ソースバスラインの接続の例>

本発明の実施形態の走査アンテナにおいて、アンテナ単位は例えば、同心円状に配列される。

[0268] 例えば、m個の同心円に配列されている場合、ゲートバスラインは例えば、各円に対して1本ずつ設けられ、合計m本のゲートバスラインが設けられる。送受信領域R1の外径を、例えば800mmとすると、mは例えば、200である。最も内側のゲートバスラインを1番目とすると、1番目のゲートバスラインには、n個（例えば30個）のアンテナ単位が接続され、m番

目のゲートバスラインには $n \times$ 個（例えば 620 個）のアンテナ単位が接続されている。

[0269] このような配列では、各ゲートバスラインに接続されているアンテナ単位の数異なる。また、最も外側の円を構成する $n \times$ 個のアンテナ単位に接続されている $n \times$ 本のソースバスラインのうち、最も内側の円を構成するアンテナ単位にも接続されている n 本のソースバスラインには、 m 個のアンテナ単位が接続されているが、その他のソースバスラインに接続されているアンテナ単位の数 m よりも小さい。

[0270] このように、走査アンテナにおけるアンテナ単位の配列は、LCD パネルにおける画素（ドット）の配列とは異なり、ゲートバスラインおよび／またはソースバスラインによって、接続されているアンテナ単位の数異なる。したがって、全てのアンテナ単位の容量（液晶容量＋補助容量）を同じにすると、ゲートバスラインおよび／またはソースバスラインによって、接続されている電氣的な負荷が異なることになる。そうすると、アンテナ単位への電圧の書き込みにばらつきが生じるという問題がある。

[0271] そこで、これを防止するために、例えば、補助容量の容量値を調整することによって、あるいは、ゲートバスラインおよび／またはソースバスラインに接続するアンテナ単位の数調整することによって、各ゲートバスラインおよび各ソースバスラインに接続されている電氣的な負荷を略同一にすることが好ましい。

[0272] （第 4 の実施形態）

本実施形態の走査アンテナに用いられる TFT 基板は、非送受信領域にソースゲート接続部を有する。ソースゲート接続部は、各ソースバスラインをゲートメタル層内に形成された接続配線（「ソース下部接続配線」ということがある。）に電氣的に接続する。

[0273] 以下、図 21～図 23 を参照しながら、本実施形態の TFT 基板 105 を説明する。

[0274] 図 21（a）～（c）は、本実施形態の TFT 基板 105 を例示する模式

的な平面図である。

[0275] TFT基板105は、複数のアンテナ単位領域Uが配列された送受信領域R1と、端子部などが設けられた非送受信領域R2とを有している。非送受信領域R2は、送受信領域R1を囲むように設けられたシール領域Rsを含んでいる。シール領域Rsは、例えば、端子部が配置される端子部領域と送受信領域R1との間に位置している。

[0276] 図21(a)は、送受信領域R1のアンテナ単位領域Uを示し、図21(b)は、非送受信領域R2に設けられたトランスファ端子部PT、ゲート端子部GTおよびCS端子部CTを示し、図21(c)は、非送受信領域R2に設けられたソースゲート接続部SGおよびソース端子部STを示している。トランスファ端子部(トランスファ部ともいう)PTは、シール領域Rsに位置する第1トランスファ端子部PT1と、シール領域Rsの外側(液晶層がない側)に設けられた第2トランスファ端子部PT2とを含む。この例では、第1トランスファ端子部PT1は、シール領域Rsに沿って、送受信領域R1を包囲するように延びている。

[0277] 一般に、ゲート端子部GTおよびソース端子部STはそれぞれゲートバスライン毎およびソースバスライン毎に設けられる。ソースゲート接続部SGは、一般に各ソースバスラインに対応して設けられる。図21(b)には、ゲート端子部GTと並べて、CS端子部CTおよび第2トランスファ端子部PT2を図示しているが、CS端子部CTおよび第2トランスファ端子部PT2の個数および配置は、それぞれゲート端子部GTとは独立に設定される。通常、CS端子部CTおよび第2トランスファ端子部PT2の個数は、ゲート端子部GTの個数より少なく、CS電極およびスロット電極の電圧の均一性を考慮して適宜設定される。また、第2トランスファ端子部PT2は、第1トランスファ端子部PT1が形成されている場合には省略され得る。

[0278] 各CS端子部CTは、例えば、各CSバスラインに対応して設けられる。各CS端子部CTは、複数のCSバスラインに対応して設けられていてもよ

い。例えば、各CSバスラインにスロット電圧と同じ電圧が供給される場合、TF T基板105は、CS端子部CTを少なくとも1つ有すればよい。ただし、配線抵抗を下げるためには、TF T基板105は複数のCS端子部CTを有することが好ましい。なお、スロット電圧は、例えばグランド電位である。また、CSバスラインにスロット電圧と同じ電圧が供給される場合、CS端子部CTまたは第2トランスファー端子部PT2のいずれかは省略され得る。

[0279] 図22(a)～(d)および図23(a)～(d)は、それぞれ、TF T基板105の模式的な断面図である。図22(a)は、図21(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図22(b)は、図21(b)中のB-B'線に沿った第1トランスファー端子部PT1の断面を示し、図22(c)は、図21(c)中のC-C'線に沿ったソースゲート接続部SGの断面を示し、図22(d)は、図21(c)中のD-D'線に沿ったソース端子部STの断面を示し、図23(a)は、図21(b)中のE-E'線に沿った第2トランスファー端子部PT2の断面を示し、図23(b)は、図21(b)中のF-F'線に沿った第1トランスファー端子部PT1の断面を示し、図23(c)は、図21(c)中のG-G'線に沿ったソースゲート接続部SGの断面を示し、図23(d)は、図21(c)中のH-H'線に沿ったソースゲート接続部SGおよびソース端子部STの断面を示している。

[0280] ・アンテナ単位領域U

図21(a)および図22(a)に示すように、TF T基板105における各アンテナ単位領域Uは、TF T10と、TF T10のドレイン電極7Dに電氣的に接続されたパッチ電極15とを有する。

[0281] TF T基板105は、図21～図23に示すように、誘電体基板1に支持されたゲートメタル層3と、ゲートメタル層3上に形成されたゲート絶縁層4と、ゲート絶縁層4上に形成されたソースメタル層7と、ソースメタル層7上に形成された第1絶縁層11と、第1絶縁層11上に形成されたパッチ

メタル層 151 と、パッチメタル層 151 上に形成された第 2 絶縁層 17 と、第 2 絶縁層 17 上に形成された上部導電層 19 とを有する。TFT 基板 105 は、第 1 絶縁層 11 とパッチメタル層 151 との間に形成された下部導電層 13 をさらに有する。

[0282] TFT 10 は、ゲート電極 3G と、島状の半導体層 5 と、コンタクト層 6S および 6D と、ゲート電極 3G と半導体層 5 との間に配置されたゲート絶縁層 4 と、ソース電極 7S およびドレイン電極 7D とを備える。各 TFT 10 のゲート電極 3G はゲートバスライン GL に接続され、ソース電極 7S はソースバスライン SL に接続されている。TFT 10 の構成は、図 3 等を参照しながら前述した構成と同様である。

[0283] TFT 基板 105 のアンテナ単位領域 U における構造を具体的に説明する。

[0284] ゲートメタル層 3 は、TFT 10 のゲート電極 3G と、ゲートバスライン GL とを含む。

[0285] ゲート絶縁層 4 は、ゲート電極 3G およびゲートバスライン GL を覆うように形成されている。

[0286] ソースメタル層 7 は、TFT 10 のソース電極 7S およびドレイン電極 7D と、ソースバスライン SL とを含む。

[0287] 第 1 絶縁層 11 は、TFT 10 を覆うように形成されている。第 1 絶縁層 11 は、ドレイン電極 7D またはドレイン電極 7D から延設された部分に達する開口部 11a を有する。

[0288] 下部導電層 13 は、第 1 絶縁層 11 上および開口部 11a 内に形成された接続部 13a を含む。接続部 13a は、開口部 11a 内でドレイン電極 7D またはドレイン電極 7D から延設された部分と接続されている。例えばここでは、接続部 13a は、開口部 11a 内でドレイン電極 7D から延設された部分と接触している。

[0289] パッチメタル層 151 は、パッチ電極 15 と、接続部 15a とを含む。接続部 15a は、接続部 13a 上に形成され、接続部 13a と電氣的に接続さ

れている。例えばここでは、接続部 15 a は、接続部 13 a と直接接触するように形成されている。この例では、パッチ電極 15 とドレイン電極 7 D とは、接続部 13 a および接続部 15 a を介して電氣的に接続されている。

[0290] 第 2 絶縁層 17 は、パッチ電極 15 および接続部 15 a を覆うように形成されている。

[0291] この例では、アンテナ単位領域 U は、上部導電層 19 に含まれる導電部を有しない。

[0292] 下部導電層 13 は、例えば透明導電層（例えば ITO 層）を含む。

[0293] パッチメタル層 15 I は、低抵抗金属層と、低抵抗金属層の下に高融点金属含有層とを有する積層構造を有する。パッチメタル層 15 I は、低抵抗金属層の上に高融点金属含有層をさらに有していてもよい。「高融点金属含有層」は、チタン (Ti)、タングステン (W)、モリブデン (Mo)、タンタル (Ta) およびニオブ (Nb) からなる群から選択される少なくとも 1 つの元素を含む層である。「高融点金属含有層」は積層構造であってもよい。例えば、高融点金属含有層は、Ti、W、Mo、Ta、Nb、これらを含む合金、およびこれらの窒化物、ならびに前記金属または合金と前記窒化物との固溶体のいずれかで形成された層を指す。「低抵抗金属層」は、銅 (Cu)、アルミニウム (Al)、銀 (Ag) および金 (Au) からなる群から選択される少なくとも 1 つの元素を含む層である。「低抵抗金属層」は、積層構造であってもよい。パッチメタル層 15 I の低抵抗金属層を「主層」と呼ぶことがあり、低抵抗金属層の下および上の高融点金属含有層を、それぞれ「下層」および「上層」と呼ぶことがある。

[0294] 例えば、パッチメタル層 15 I は、Ti 層（厚さ：例えば 20 nm）および Cu 層（厚さ：例えば 500 nm）をこの順で含む積層構造 (Cu/Ti) を有する。あるいは、パッチメタル層 15 I は、MoN 層（厚さ：例えば 50 nm）、Al 層（厚さ：例えば 1000 nm）および MoN 層（厚さ：例えば 50 nm）をこの順で積層した積層構造 (MoN/Al/MoN) を有していてもよい。

[0295] ここでは、各アンテナ単位領域は、液晶容量と電氣的に並列に接続された補助容量を有している。この例では、補助容量は、ドレイン電極 7 D と電氣的に接続された上部補助容量電極（「補助容量電極」ということがある。） 7 C と、ゲート絶縁層 4 と、ゲート絶縁層 4 を介して上部補助容量電極 7 C と対向する下部補助容量電極（「補助容量対向電極」または「第 1 補助容量対向電極」ということがある。） 3 C とによって構成される。下部補助容量電極 3 C はゲートメタル層 3 に含まれており、上部補助容量電極 7 C はソースメタル層 7 に含まれている。ゲートメタル層 3 は、下部補助容量電極 3 C に接続された C S バスライン（補助容量線） C L をさらに含む。C S バスライン C L は、例えば、ゲートバスライン G L と略平行に延びている。この例では、下部補助容量電極 3 C は、C S バスライン C L と一体的に形成されている。下部補助容量電極 3 C の幅は、C S バスライン C L の幅よりも大きくてもよい。また、この例では、上部補助容量電極 7 C は、ドレイン電極 7 D から延設されている。上部補助容量電極 7 C の幅は、ドレイン電極 7 D から延設された部分のうち上部補助容量電極 7 C 以外の部分の幅よりも大きくてもよい。なお、補助容量とパッチ電極 1 5 との配置関係は図示する例に限定されない。

[0296] ・ソースゲート接続部 S G

T F T 基板 1 0 5 は、図 2 1（c）に示すように、非送受信領域 R 2 にソースゲート接続部 S G を有する。ソースゲート接続部 S G は、一般に、ソースバスライン S L 毎に設けられる。ソースゲート接続部 S G は、各ソースバスライン S L をゲートメタル層 3 内に形成された接続配線（「ソース下部接続配線」ということがある。）に電氣的に接続する。

[0297] 図 2 1（c）、図 2 2（c）、図 2 3（c）および図 2 3（d）に示すように、ソースゲート接続部 S G は、ソース下部接続配線 3 s g と、ゲート絶縁層 4 に形成された開口部 4 s g 1 と、ソースバスライン接続部 7 s g と、第 1 絶縁層 1 1 に形成された開口部 1 1 s g 1 および開口部 1 1 s g 2 と、ソースバスライン上部接続部 1 3 s g とを有する。

- [0298] ソース下部接続配線 3 s g は、ゲートメタル層 3 に含まれる。ソース下部接続配線 3 s g は、ゲートバスライン G L と電氣的に分離されている。
- [0299] ゲート絶縁層 4 に形成された開口部 4 s g 1 は、ソース下部接続配線 3 s g に達している。
- [0300] ソースバスライン接続部 7 s g は、ソースメタル層 7 に含まれ、ソースバスライン S L に電氣的に接続されている。この例では、ソースバスライン接続部 7 s g は、ソースバスライン S L から延設され、ソースバスライン S L と一体的に形成されている。ソースバスライン接続部 7 s g の幅は、ソースバスライン S L の幅よりも大きくてもよい。
- [0301] 第 1 絶縁層 1 1 に形成された開口部 1 1 s g 1 は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 s g 1 に重なっている。ゲート絶縁層 4 に形成された開口部 4 s g 1 および第 1 絶縁層 1 1 に形成された開口部 1 1 s g 1 は、コンタクトホール C H __ s g 1 を構成する。
- [0302] 第 1 絶縁層 1 1 に形成された開口部 1 1 s g 2 は、ソースバスライン接続部 7 s g に達している。開口部 1 1 s g 2 をコンタクトホール C H __ s g 2 ということがある。
- [0303] ソースバスライン上部接続部 1 3 s g (単に「上部接続部 1 3 s g」ということがある。) は、下部導電層 1 3 に含まれる。上部接続部 1 3 s g は、第 1 絶縁層 1 1 上、コンタクトホール C H __ s g 1 内、およびコンタクトホール C H __ s g 2 内に形成され、コンタクトホール C H __ s g 1 内でソース下部接続配線 3 s g と接続されており、コンタクトホール C H __ s g 2 内でソースバスライン接続部 7 s g と接続されている。例えばここでは、上部接続部 1 3 s g は、ゲート絶縁層 4 に形成された開口部 4 s g 1 内でソース下部接続配線 3 s g と接触しており、第 1 絶縁層 1 1 に形成された開口部 1 1 s g 2 内でソースバスライン接続部 7 s g と接触している。
- [0304] ソース下部接続配線 3 s g の内、開口部 4 s g 1 によって露出されている部分は、上部接続部 1 3 s g で覆われていることが好ましい。ソースバスライン接続部 7 s g の内、開口部 1 1 s g 2 によって露出されている部分は、

上部接続部 13 sg で覆われていることが好ましい。

[0305] この例では、ソースゲート接続部 SG は、パッチメタル層 15 l に含まれる導電部および上部導電層 19 に含まれる導電部を有しない。

[0306] TFT 基板 105 は、ソースゲート接続部 SG に上部接続部 13 sg を有することによって、優れた動作安定性を有する。ソースゲート接続部 SG が上部接続部 13 sg を有することによって、パッチメタル層 15 l を形成するためのパッチ用導電膜をエッチングする工程における、ゲートメタル層 3 および／またはソースメタル層 7 へのダメージが軽減される。この効果について説明する。

[0307] 上述したように、TFT 基板 105 において、ソースゲート接続部 SG はパッチメタル層 15 l に含まれる導電部を有しない。つまり、パッチ用導電膜のパターニング工程において、ソースゲート接続部形成領域のパッチ用導電膜は除去される。ソースゲート接続部 SG が上部接続部 13 sg を有しない場合、コンタクトホール CH__sg 1 内でゲートメタル層 3（ソース下部接続配線 3 sg）が露出されるので、除去されるべきパッチ用導電膜は、コンタクトホール CH__sg 1 内に堆積され、ソース下部接続配線 3 sg に接して形成される。同様に、ソースゲート接続部 SG が上部接続部 13 sg を有しない場合、コンタクトホール CH__sg 2 内でソースメタル層 7（ソースバスライン接続部 7 sg）が露出されるので、除去されるべきパッチ用導電膜は、コンタクトホール CH__sg 2 内に堆積され、ソースバスライン接続部 7 sg に接して形成される。このような場合、ゲートメタル層 3 および／またはソースメタル層 7 がエッチングダメージを受ける可能性がある。パッチ用導電膜をパターニングする工程では、例えばリン酸、硝酸および酢酸を含むエッチング液が用いられる。ソース下部接続配線 3 sg および／またはソースバスライン接続部 7 sg がエッチングダメージを受けると、ソースゲート接続部 SG においてコンタクト不良が生じる可能性がある。

[0308] TFT 基板 105 のソースゲート接続部 SG は、コンタクトホール CH

__s g 1 内およびコンタクトホールCH__s g 2 内に形成された上部接続部 1 3 s g を有する。従って、パッチ用導電膜のパターニング工程における、エッチングによるソース下部接続配線 3 s g および／またはソースバスライン接続部 7 s g へのダメージが軽減される。従って、T F T 基板 1 0 5 は動作安定性に優れている。

[0309] ゲートメタル層 3 および／またはソースメタル層 7 へのエッチングダメージを効果的に軽減する観点からは、ソース下部接続配線 3 s g の内、コンタクトホールCH__s g 1 によって露出されている部分は、上部接続部 1 3 s g で覆われており、ソースバスライン接続部 7 s g の内、開口部 1 1 s g 2 によって露出されている部分は、上部接続部 1 3 s g で覆われていることが好ましい。

[0310] 走査アンテナに用いられる T F T 基板では、比較的厚い導電膜（パッチ用導電膜）を用いてパッチ電極が形成されることがある。この場合、パッチ用導電膜のエッチング時間およびオーバーエッチング時間が、他の層のエッチング工程よりも長くなり得る。このとき、コンタクトホールCH__s g 1 内およびコンタクトホールCH__s g 2 内で、ゲートメタル層 3（ソース下部接続配線 3 s g）およびソースメタル層 7（ソースバスライン接続部 7 s g）が露出されていると、これらのメタル層が受けるエッチングダメージが大きくなる。このように、比較的厚いパッチメタル層を有する T F T 基板においては、ソースーゲート接続部 S G が上部接続部 1 3 s g を有することによって、ゲートメタル層 3 および／またはソースメタル層 7 へのエッチングダメージが軽減される効果が特に大きい。

[0311] 上部導電層 1 9 は、例えば透明導電層（例えば I T O 層）を含む。上部導電層 1 9 は、例えば透明導電層のみから形成されていてもよい。あるいは、上部導電層 1 9 は、透明導電層を含む第 1 上部導電層と、第 1 上部導電層の下に形成された第 2 上部導電層とを含んでもよい。第 2 上部導電層は、例えば、T i 層、M o N b N i 層、M o N b 層、M o W 層、W 層および T a 層からなる群から選択される 1 つの層または 2 以上の層の積層から形成されてい

る。

[0312] 図示する例では、コンタクトホールCH__sg 2は、コンタクトホールCH__sg 1から離間した位置に形成されている。本実施形態はこれに限られず、コンタクトホールCH__sg 1およびコンタクトホールCH__sg 2は、連続していてもよい（すなわち、単一のコンタクトホールとして形成されていてもよい）。コンタクトホールCH__sg 1およびコンタクトホールCH__sg 2は、単一のコンタクトホールとして同じ工程で形成されてもよい。具体的には、ソース下部接続配線3sgおよびソースバスライン接続部7sgに達する単一のコンタクトホールをゲート絶縁層4および第1絶縁層11に形成し、このコンタクトホール内および第1絶縁層11上に上部接続部13sgを形成してもよい。このとき、上部接続部13sgは、ソース下部接続配線3sgおよびソースバスライン接続部7sgの内、コンタクトホールによって露出されている部分を覆うように形成されることが好ましい。

[0313] また、後述するように、ソースゲート接続部SGを設けることによって、ソース端子部STの下部接続部をゲートメタル層3で形成することができる。ゲートメタル層3で形成された下部接続部を有するソース端子部STは、信頼性に優れる。

[0314] ・ソース端子部ST

TF T基板105は、図21(c)に示すように、非送受信領域R2にソース端子部STを有する。ソース端子部STは、一般に、各ソースバスラインSLに対応して設けられる。ここでは、各ソースバスラインSLに対応して、ソース端子部STおよびソースゲート接続部SGが設けられている。

[0315] ソース端子部STは、図21(c)、図22(d)および図23(d)に示すように、ソースゲート接続部SGに形成されたソース下部接続配線3sgに接続されたソース端子用下部接続部3sA（単に「下部接続部3sA」ということもある。）と、ゲート絶縁層4に形成された開口部4sと、第1絶縁層11に形成された開口部11sと、第2絶縁層17に形成された開口部17sと、ソース端子用上部接続部19sA（単に「上部接続部19s

A」ということもある。)とを有している。

[0316] 下部接続部 3 s A は、ゲートメタル層 3 に含まれる。下部接続部 3 s A は、ソースゲート接続部 S G に形成されているソース下部接続配線 3 s g と電氣的に接続されている。この例では、下部接続部 3 s A は、ソース下部接続配線 3 s g から延設され、ソース下部接続配線 3 s g と一体的に形成されている。

[0317] ゲート絶縁層 4 に形成された開口部 4 s は、下部接続部 3 s A に達している。

[0318] 第 1 絶縁層 1 1 に形成された開口部 1 1 s は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 s に重なっている。

[0319] 第 2 絶縁層 1 7 に形成された開口部 1 7 s は、誘電体基板 1 の法線方向から見たとき、第 1 絶縁層 1 1 に形成された開口部 1 1 s に重なっている。ゲート絶縁層 4 に形成された開口部 4 s、第 1 絶縁層 1 1 に形成された開口部 1 1 s、および第 2 絶縁層 1 7 に形成された開口部 1 7 s は、コンタクトホール C H__s を構成する。

[0320] 上部接続部 1 9 s A は、上部導電層 1 9 に含まれる。上部接続部 1 9 s A は、第 2 絶縁層 1 7 上およびコンタクトホール C H__s 内に形成され、コンタクトホール C H__s 内で、下部接続部 3 s A と接続されている。ここでは、上部接続部 1 9 s A は、ゲート絶縁層 4 に形成された開口部 4 s 内で、下部接続部 3 s A と接触している。

[0321] 誘電体基板 1 の法線方向から見たとき、上部接続部 1 9 s A の全ては、下部接続部 3 s A と重なっていてもよい。

[0322] この例では、ソース端子部 S T は、ソースメタル層 7 に含まれる導電部、下部導電層 1 3 に含まれる導電部、およびパッチメタル層 1 5 1 に含まれる導電部を含まない。

[0323] ソース端子部 S T は、ゲートメタル層 3 に含まれる下部接続部 3 s A を有するので、優れた信頼性を有する。

[0324] 端子部、特にシール領域 R s よりも外側（液晶層と反対側）に設けられた

端子部には、大気中の水分（不純物を含み得る。）によって腐食が生じることがある。大気中の水分は、下部接続部に達するコンタクトホールから侵入し、下部接続部に達し、下部接続部に腐食が起こり得る。腐食の発生を抑制する観点からは、下部接続部に達するコンタクトホールが深いことが好ましい。すなわち、コンタクトホールを構成する開口部が形成されている絶縁層の厚さが大きいことが好ましい。

[0325] また、誘電体基板としてガラス基板を有するTF T基板を作製する工程において、ガラス基板の破片や切り屑（カレット）によって、端子部の下部接続部にキズや断線が生じることがある。例えば、1つのマザー基板から複数のTF T基板が作製される。カレットは、例えば、マザー基板を切断する時、マザー基板にスクライブラインを形成する時、等に生じる。端子部の下部接続部のキズや断線を防ぐ観点からは、下部接続部に達するコンタクトホールが深いことが好ましい。すなわち、コンタクトホールを構成する開口部が形成されている絶縁層の厚さが大きいことが好ましい。

[0326] TF T基板105のソース端子部STにおいて、下部接続部3sAはゲートメタル層3に含まれているので、下部接続部3sAに達するコンタクトホールCH__sは、ゲート絶縁層4に形成された開口部4s、第1絶縁層11に形成された開口部11s、および第2絶縁層17に形成された開口部17sを有する。コンタクトホールCH__sの深さは、ゲート絶縁層4の厚さ、第1絶縁層11の厚さ、および第2絶縁層17の厚さの和である。これに対して、例えば下部接続部がソースメタル層7に含まれている場合、下部接続部に達するコンタクトホールは、第1絶縁層11に形成された開口部および第2絶縁層17に形成された開口部のみを有し、その深さは第1絶縁層11の厚さおよび第2絶縁層17の厚さの和であり、コンタクトホールCH__sの深さよりも小さい。ここで、コンタクトホールの深さおよび絶縁層の厚さは、それぞれ、誘電体基板1の法線方向における深さおよび厚さをいう。他のコンタクトホールおよび絶縁層についても特に断らない限り同様である。このように、TF T基板105のソース端子部STは、下部接続部3sがゲ

ートメタル層 3 に含まれているので、例えば下部接続部がソースメタル層 7 に含まれている場合に比べて、優れた信頼性を有する。

[0327] ゲート絶縁層 4 に形成された開口部 4 s は、下部接続部 3 s の一部のみを露出するように形成されている。誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 s は、下部接続部 3 s の内側にある。従って、開口部 4 s 内の全ての領域は、誘電体基板 1 上に下部接続部 3 s および上部接続部 1 9 s を有する積層構造を有する。ソース端子部 S T において、下部接続部 3 s を有しない領域の全ては、ゲート絶縁層 4、第 1 絶縁層 1 1 および第 2 絶縁層 1 7 を有する積層構造を有する。これにより、T F T 基板 1 0 5 のソース端子部 S T は優れた信頼性を有する。優れた信頼性を得る観点からは、ゲート絶縁層 4 の厚さ、第 1 絶縁層 1 1 の厚さおよび第 2 絶縁層 1 7 の厚さの和が大きいことが好ましい。

[0328] 下部接続部 3 s の内、開口部 4 s によって露出されている部分は、上部接続部 1 9 s で覆われている。

[0329] 端子部の上部接続部の厚さが大きい（すなわち上部導電層 1 9 の厚さが大きい）と、下部接続部に腐食が生じることが抑制される。下部接続部に腐食が生じることが効果的に抑制するために、上述したように、上部導電層 1 9 は、透明導電層（例えば I T O 層）を含む第 1 上部導電層と、第 1 上部導電層の下に形成され、T i 層、M o N b N i 層、M o N b 層、M o W 層、W 層および T a 層からなる群から選択される 1 つの層または 2 以上の層の積層から形成されている第 2 上部導電層とを含む積層構造を有してもよい。下部接続部に腐食が生じることがより効果的に抑制するために、第 2 上部導電層の厚さを例えば 1 0 0 n m 超としてもよい。

[0330] ・ゲート端子部 G T

T F T 基板 1 0 5 は、図 2 1 （b）に示すように、非送受信領域 R 2 にゲート端子部 G T を有する。ゲート端子部 G T は、図 2 1 （b）に示すように、ソース端子部 S T と同様の構成を有し得る。ゲート端子部 G T は、一般に、ゲートバスライン G L 毎に設けられる。

[0331] 図21(b)に示すように、この例では、ゲート端子部GTは、ゲート端子用下部接続部3gA（単に「下部接続部3gA」ということもある。）と、ゲート絶縁層4に形成された開口部4gと、第1絶縁層11に形成された開口部11gと、第2絶縁層17に形成された開口部17gと、ゲート端子用上部接続部19gA（単に「上部接続部19gA」ということもある。）とを有している。

[0332] 下部接続部3gAは、ゲートメタル層3に含まれ、ゲートバスラインGLと電氣的に接続されている。この例では、下部接続部3gAは、ゲートバスラインGLから延設され、ゲートバスラインGLと一体的に形成されている。

[0333] ゲート絶縁層4に形成された開口部4gは、下部接続部3gAに達している。

[0334] 第1絶縁層11に形成された開口部11gは、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4gに重なっている。

[0335] 第2絶縁層17に形成された開口部17gは、誘電体基板1の法線方向から見たとき、第1絶縁層11に形成された開口部11gに重なっている。ゲート絶縁層4に形成された開口部4g、第1絶縁層11に形成された開口部11g、および第2絶縁層17に形成された開口部17gは、コンタクトホールCH__gを構成する。

[0336] 上部接続部19gAは、上部導電層19に含まれる。上部接続部19gAは、第2絶縁層17上およびコンタクトホールCH__g内に形成され、コンタクトホールCH__g内で、下部接続部3gAと接続されている。例えば、上部接続部19gAは、ゲート絶縁層4に形成された開口部4g内で、下部接続部3gAと接触している。

[0337] 誘電体基板1の法線方向から見たとき、上部接続部19gAの全ては、下部接続部3gAと重なっていてもよい。

[0338] この例では、ゲート端子部GTは、ソースメタル層7に含まれる導電部、下部導電層13に含まれる導電部、およびパッチメタル層151に含まれる

導電部を有しない。

[0339] ゲート端子部GTは、ゲートメタル層3に含まれる下部接続部3gAを有するので、ソース端子部STと同様に、優れた信頼性を有する。

[0340] ・CS端子部CT

TF T基板105は、図21(b)に示すように、非送受信領域R2にCS端子部CTを有する。CS端子部CTは、ここでは、図21(b)に示すように、ソース端子部STおよびゲート端子部GTと同様の構成を有する。CS端子部CTは、例えば各CSバスラインCLに対応して設けられていてもよい。

[0341] 図21(b)に示すように、CS端子部CTは、CS端子用下部接続部3c(単に「下部接続部3c」ということもある。)と、ゲート絶縁層4に形成された開口部4cと、第1絶縁層11に形成された開口部11cと、第2絶縁層17に形成された開口部17cと、CS端子用上部接続部19c(単に「上部接続部19c」ということもある。)とを有している。

[0342] 下部接続部3cは、ゲートメタル層3に含まれる。下部接続部3cは、CSバスラインCLと電氣的に接続されている。この例では、下部接続部3cは、CSバスラインCLから延設され、CSバスラインCLと一体的に形成されている。

[0343] ゲート絶縁層4に形成された開口部4cは、下部接続部3cに達している。

[0344] 第1絶縁層11に形成された開口部11cは、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4cに重なっている。

[0345] 第2絶縁層17に形成された開口部17cは、誘電体基板1の法線方向から見たとき、第1絶縁層11に形成された開口部11cに重なっている。ゲート絶縁層4に形成された開口部4c、第1絶縁層11に形成された開口部11c、および第2絶縁層17に形成された開口部17cは、コンタクトホールCH__cを構成する。

[0346] 上部接続部19cは、上部導電層19に含まれる。上部接続部19cは、

第2絶縁層17上およびコンタクトホールCH__c内に形成され、コンタクトホールCH__c内で、下部接続部3cと接続されている。例えば、上部接続部19cは、ゲート絶縁層4に形成された開口部4c内で、下部接続部3cと接触している。

[0347] 誘電体基板1の法線方向から見たとき、上部接続部19cの全ては、下部接続部3cと重なっていてもよい。

[0348] この例では、CS端子部CTは、ソースメタル層7に含まれる導電部、下部導電層13に含まれる導電部、およびパッチメタル層15lに含まれる導電部を有しない。

[0349] CS端子部CTは、ゲートメタル層3に含まれる下部接続部3cを有するので、ソース端子部STと同様に、優れた信頼性を有する。

[0350] ・トランスファー端子部PT

TF基板105は、図21(b)に示すように、非送受信領域R2に第1トランスファー端子部PT1を有する。第1トランスファー端子部PT1は、ここでは、シール領域Rs内に設けられている（すなわち、第1トランスファー端子部PT1は、液晶層を包囲するシール部に設けられている）。

[0351] 第1トランスファー端子部PT1は、図21(b)および図22(b)に示すように、第1トランスファー端子用下部接続部3p1（単に「下部接続部3p1」ということもある。）と、ゲート絶縁層4に形成された開口部4p1と、第1絶縁層11に形成された開口部11p1と、第1トランスファー端子用第1導電部13p1（単に「第1導電部13p1」ということもある。）と、第1トランスファー端子用第2導電部15p1（単に「第2導電部15p1」ということもある。）と、第2絶縁層17に形成された開口部17p1と、第1トランスファー端子用上部接続部19p1（単に「上部接続部19p1」ということもある。）とを有している。

[0352] 下部接続部3p1は、ゲートメタル層3に含まれる。すなわち、下部接続部3p1は、ゲートバスラインGLと同じ導電膜から形成されている。下部接続部3p1は、ゲートバスラインGLと電氣的に分離されている。例えば

、CSバスラインCLにスロット電圧と同じ電圧が供給されている場合、下部接続部3p1は、例えばCSバスラインCLと電氣的に接続されている。図示するように、下部接続部3p1は、CSバスラインから延設されていてもよい。ただしこの例に限られず、下部接続部3p1は、CSバスラインと電氣的に分離されていてもよい。

[0353] ゲート絶縁層4に形成された開口部4p1は、下部接続部3p1に達している。

[0354] 第1絶縁層11に形成された開口部11p1は、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4p1に重なっている。ゲート絶縁層4に形成された開口部4p1および第1絶縁層11に形成された開口部11p1は、コンタクトホールCH__p1を構成する。

[0355] 第1導電部13p1は、下部導電層13に含まれる。第1導電部13p1は、第1絶縁層11上およびコンタクトホールCH__p1内に形成され、コンタクトホールCH__p1内で下部接続部3p1と接続されている。ここでは、第1導電部13p1は、開口部4p1内で下部接続部3p1と接触している。

[0356] 第2導電部15p1は、パッチメタル層151に含まれる。第2導電部15p1は、第1導電部13p1上に形成されている。第2導電部15p1は、第1導電部13p1と電氣的に接続されている。例えばここでは、第2導電部15p1は、第1導電部13p1と直接接触している。

[0357] 第2絶縁層17に形成された開口部（コンタクトホール）17p1は、第2導電部15p1に達している。

[0358] 上部接続部19p1は、上部導電層19に含まれる。上部接続部19p1は、第2絶縁層17上および開口部17p1内に形成され、開口部17p1内で第2導電部15p1と接続されている。ここでは、上部接続部19p1は、開口部17p1内で第2導電部15p1と接触している。上部接続部19p1は、例えば導電性粒子を含むシール材によって、スロット基板側のトランスファァー端子用接続部と接続される（図7参照）。

- [0359] この例では、第1トランスファー端子部PT1は、ソースメタル層7に含まれる導電部を有しない。
- [0360] 第1トランスファー端子部PT1は、下部接続部3p1と上部接続部19p1との間に第1導電部13p1および第2導電部15p1を有する。これにより、第1トランスファー端子部PT1は、下部接続部3p1と上部接続部19p1との間の電気抵抗が低いという利点を有する。
- [0361] 誘電体基板1の法線方向から見たとき、上部接続部19p1の全ては、第2導電部15p1と重なっていてもよい。
- [0362] この例では、下部接続部3p1は、互いに隣接する2つのゲートバスラインGLの間に配置されている。ゲートバスラインGLを挟んで配置された2つの下部接続部3p1は、導電接続部（不図示）を介して電氣的に接続されていてもよい。導電接続部は、例えばソースバスラインと同じ導電膜から形成されていてもよい。
- [0363] ここでは、複数のコンタクトホールCH__p1が設けられることによって、下部接続部3p1が、第1導電部13p1および第2導電部15p1を介して、上部接続部19p1と接続されているが、コンタクトホールCH__p1は、1つの下部接続部3p1に対して1つ以上設けられていればよい。1つの下部接続部3p1に対して1つのコンタクトホールが設けられていてもよい。コンタクトホールの個数や形状は図示する例に限られない。
- [0364] ここでは、コンタクトホールCH__p1のそれぞれと重なるように第1導電部13p1が形成されているが、第1導電部13p1の形状はこれに限られない。第1導電部は、複数のコンタクトホールCH__p1と重なるように形成されていてもよい。
- [0365] ここでは、上部接続部19p1は、1つの開口部17p1によって第1導電部13p1および第2導電部15p1と接続されているが、開口部17p1は、1つの上部接続部19p1に対して1つ以上設けられていればよい。1つの上部接続部19p1に対して複数の開口部が設けられていてもよい。開口部の個数や形状は図示する例に限られない。

[0366] 第2トランスファー端子部PT2は、シール領域Rsの外側（送受信領域R1と反対側）に設けられている。第2トランスファー端子部PT2は、図21（b）および図23（a）に示すように、第2トランスファー端子用下部接続部15p2（単に「下部接続部15p2」ということもある。）と、第2絶縁層17に形成された開口部17p2と、第2トランスファー端子用上部接続部19p2（単に「上部接続部19p2」ということもある。）とを有している。

[0367] 第2トランスファー端子部PT2は、第1トランスファー端子部PT1の内、下部接続部3p1、コンタクトホールCH__p1、および第1導電部13p1を有しない部分（図23（b）参照）と同様の断面構造を有している。

[0368] 下部接続部15p2は、パッチメタル層15lに含まれる。下部接続部15p2は、ここでは、第1トランスファー端子用第2導電部15p1から延設され、第1トランスファー端子用第2導電部15p1と一体的に形成されている。

[0369] 第2絶縁層17に形成された開口部（コンタクトホール）17p2は、下部接続部15p2に達している。

[0370] 上部接続部19p2は、上部導電層19に含まれる。上部接続部19p2は、第2絶縁層17上および開口部17p2内に形成され、開口部17p2内で下部接続部15p2と接続されている。ここでは、上部接続部19p2は、開口部17p2内で下部接続部15p2と接触している。

[0371] この例では、第2トランスファー端子部PT2は、ゲートメタル層3に含まれる導電部、ソースメタル層7に含まれる導電部および下部導電層13に含まれる導電部を有しない。

[0372] 第2トランスファー端子部PT2においても、上部接続部19p2は、例えば導電性粒子を含むシール材によって、スロット基板側のトランスファー端子用接続部と接続されていてもよい。

[0373] （第5の実施形態）

本実施形態の走査アンテナに用いられるTFT基板は、それぞれのアンテナ単位領域に2つの補助容量を有する点において先の実施形態と異なる。

[0374] 以下、図24～図26を参照しながら、本実施形態のTFT基板106を説明する。第4の実施形態のTFT基板105と共通する構成には共通の参照符号を付し、説明を省略することがある。

[0375] 図24(a)～(c)は、TFT基板106の模式的な平面図である。図24(a)は、送受信領域R1のアンテナ単位領域Uを示し、図24(b)は、非送受信領域R2に設けられたトランスファー端子部PT、ゲート端子部GTおよびCS端子部CTを示し、図24(c)は、非送受信領域R2に設けられたソースゲート接続部SGおよびソース端子部STを示している。

[0376] 図25(a)～(e)および図26(a)～(d)は、それぞれ、TFT基板106の模式的な断面図である。図25(a)は、図24(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図25(b)は、図24(b)中のB-B'線に沿った第1トランスファー端子部PT1の断面を示し、図25(c)は、図24(c)中のC-C'線に沿ったソースゲート接続部SGの断面を示し、図25(d)は、図24(c)中のD-D'線に沿ったソース端子部STの断面を示し、図25(e)は、図24(b)中のE-E'線に沿った第2トランスファー端子部PT2の断面を示し、図26(a)は、図24(b)中のF-F'線に沿った第1トランスファー端子部PT1の断面を示し、図26(b)は、図24(c)中のG-G'線に沿ったソースゲート接続部SGの断面を示し、図26(c)は、図24(a)中のH-H'線に沿ったアンテナ単位領域Uの断面を示し、図26(d)は、図24(c)中のI-I'線に沿ったソースゲート接続部SGおよびソース端子部STの断面を示している。

[0377] 図24(a)、図25(a)および図26(c)に示すように、TFT基板106は、各アンテナ単位領域に、液晶容量と電氣的に並列に接続された補助容量を2つ有する点において、TFT基板105と異なる。

[0378] TFT基板106は、誘電体基板1と、誘電体基板1上に配列された複数のアンテナ単位領域Uとを有する。複数のアンテナ単位領域Uのそれぞれは、TFT10と、TFT10のドレイン電極7Dに電氣的に接続されたパッチ電極15と、ドレイン電極7Dと電氣的に接続された補助容量電極7Cと、誘電体層（ここではゲート絶縁層4）を介して補助容量電極7Cと対向する第1補助容量対向電極3Cと、補助容量電極7Cの第1補助容量対向電極3Cと反対側に位置し、他の誘電体層（ここでは第1絶縁層11）を介して補助容量電極7Cと対向する第2補助容量対向電極15Cを有する。

[0379] 各アンテナ単位領域Uの液晶容量と電氣的に並列に接続された補助容量のうち、補助容量電極7Cと、誘電体層（ここではゲート絶縁層4）と、第1補助容量対向電極3Cとによって構成されている補助容量を「第1補助容量」と呼ぶことがあり、補助容量電極7Cと、他の誘電体層（ここでは第1絶縁層11）と、第2補助容量対向電極15Cとによって構成されている補助容量を「第2補助容量」と呼ぶことがある。第1補助容量および第2補助容量は、それぞれ液晶容量と電氣的に並列に接続されている。TFT基板106の各アンテナ単位領域が有する第1補助容量は、TFT基板105の各アンテナ単位領域が有する補助容量と同様の構成を有する。TFT基板105の各アンテナ単位領域Uは、液晶容量と電氣的に並列に接続された補助容量として第1補助容量のみを有するのに対し、TFT基板106の各アンテナ単位領域Uは、第1補助容量および第2補助容量を有する。従って、TFT基板106の各アンテナ単位領域が有する補助容量の静電容量値は、TFT基板105に比べて大きい。

[0380] TFT基板106を備える走査アンテナは、TFT基板105を備える走査アンテナに比べて、アンテナ特性の低下を抑制することができる。この効果について説明する。

[0381] 本発明者がTFT基板105を備える走査アンテナを試作し、駆動させたところ、アンテナ特性が低下することがあった。

[0382] 既に説明したように、マイクロ波領域の誘電異方性 $\Delta \epsilon_m$ （可視光に対する

複屈折率 Δn) が大きい液晶材料の比抵抗は低いので、液晶容量に印加された電圧の保持率が低い。液晶容量の電圧保持率が低下すると、液晶層に印加される実効電圧が低下し、液晶層に目的の電圧が印加されない。その結果、アンテナ単位の液晶層がマイクロ波に与える位相差が所定の値からずれることになる。位相差が所定の値からずれると、アンテナ特性が低下する。実際には、走査アンテナは予め決められた共振周波数でゲインが最大となるように設計されるので、電圧保持率の低下は、例えば、ゲインの低下として現れる。

[0383] マイクロ波領域の誘電異方性 $\Delta \epsilon_M$ が大きい液晶材料は、例えば、イソチオシアネート基(—NCS)またはチオシアネート基(—SCN)を含む。イソチオシアネート基またはチオシアネート基を含む液晶材料は劣化しやすい。液晶材料が劣化すると、比抵抗がさらに低下し、電圧保持率がさらに低下する。イソチオシアネート基またはチオシアネート基を含む液晶材料は、強い極性を有し、化学的な安定性が、現在LCDに用いられている液晶材料に比べて低い。イソチオシアネート基およびチオシアネート基は、強い極性を有するので、水分を吸収しやすく、また、金属イオン(例えばスロット電極がCu層を有する場合はCuイオン)と反応することがある。また、直流電圧が印加され続けると、電氣的な分解反応を起こすことがある。また、イソチオシアネート基またはチオシアネート基を含む液晶材料は、紫外領域から430nm付近までの光を吸収し、光分解しやすい。また、イソチオシアネート基またはチオシアネート基を含む液晶材料は、熱にも比較的弱い。これらに起因して、液晶材料の比抵抗が低下する、および／または、イオン性不純物が増えるので、液晶容量の電圧保持率が低下する。

[0384] 本発明者の検討によると、TF T基板105を備える走査アンテナにおいては、液晶容量の電圧保持率が低下したことに起因して、アンテナ特性が低下していた。TF T基板106を備える走査アンテナが各アンテナ単位領域に有する補助容量の静電容量値は、TF T基板105を備える走査アンテナに比べて大きい。従って、TF T基板106を備える走査アンテナにおいて

は、T F T基板105を備える走査アンテナに比べて、液晶容量の電圧保持率の低下が抑制される。T F T基板106を備える走査アンテナは、T F T基板105を備える走査アンテナに比べて、アンテナ特性の低下を抑制することができる。

[0385] T F T基板106において、第1補助容量対向電極3Cおよび第2補助容量対向電極15Cは、補助容量電極7Cの上下両側に配置されているので、補助容量を形成するために必要な面積の増加を抑制しつつ、T F T基板105に比べて補助容量の静電容量値を大きくすることができる。また、T F T基板105においてゲート絶縁層4の厚さを小さくすれば、補助容量を形成するための面積を増やすことなく補助容量の静電容量値を大きくすることができるが、絶縁層の厚さを小さくすることは、アンテナの信頼性の観点から好ましくない場合がある。T F T基板106によると、T F T基板の面積を増加させることなく、かつ、絶縁層の厚さを小さくすることなく、走査アンテナのアンテナ特性の低下を抑制することができる。

[0386] T F T基板106の具体的な構成を説明する。図示するT F T基板106の構成は、第2補助容量を除いて、図21～図23を参照しながら説明したT F T基板105と同様である。ただし、本実施形態は図示する例に限られるものではなく、例えば、T F Tの構成およびアンテナ単位領域の構成は、任意のものであってよい。

[0387] 図24～図26に示すように、T F T基板106は、誘電体基板1に支持されたゲートメタル層3およびソースメタル層7と、ゲートメタル層3とソースメタル層7との間に形成されたゲート絶縁層4とを有する。T F T基板106は、ゲートメタル層3およびソースメタル層7の上に形成された第1絶縁層11と、第1絶縁層11上に形成され、パッチ電極15を含むパッチメタル層151とをさらに有する。T F T基板106は、パッチメタル層151上に形成された第2絶縁層17と、第2絶縁層17上に形成された上部導電層19とをさらに有する。T F T基板106は、第1絶縁層11とパッチメタル層151との間に形成された下部導電層13をさらに有する。

- [0388] 上述したように、T F T基板106は、各アンテナ単位領域Uの液晶容量と電氣的に並列に接続された補助容量として、第1補助容量および第2補助容量を有する。図24(a)および図26(c)を参照しながら説明する。
- [0389] 第1補助容量は、補助容量電極7Cと、誘電体層（ここではゲート絶縁層4）と、第1補助容量対向電極3Cとによって構成されている。第1補助容量対向電極3Cはゲートメタル層3に含まれており、補助容量電極7Cはソースメタル層7に含まれている。第1補助容量対向電極3Cは、CSバスラインCLに電氣的に接続されている。この例では、第1補助容量対向電極3Cは、CSバスラインCLと一体的に形成されている。この例では、補助容量電極7Cは、ドレイン電極7Dから延設されている。ここでは、誘電体基板1の法線方向から見たとき、第1補助容量対向電極3Cは、補助容量電極7Cと重なっている。なお、誘電体基板1の法線方向から見たとき、第1補助容量対向電極3Cと、補助容量電極7Cとが重なっていなくても、これらの電極間に第1補助容量が形成され得る。
- [0390] 第2補助容量は、補助容量電極7Cと、他の誘電体層（ここでは第1絶縁層11）と、第2補助容量対向電極15Cとによって構成されている。
- [0391] 第2補助容量対向電極15Cは、パッチメタル層15Iに含まれている。すなわち、第2補助容量対向電極15Cは、パッチ電極15を含む導電層から形成されている。第2補助容量対向電極15Cは、パッチ電極15と電氣的に分離されている。この例では、第2補助容量対向電極15Cは、第1補助容量対向電極3Cを含む導電層よりも上の導電層に含まれている。
- [0392] ここでは、誘電体基板1の法線方向から見たとき、第2補助容量対向電極15Cは、補助容量電極7Cと重なっている。なお、誘電体基板1の法線方向から見たとき、第2補助容量対向電極15Cと、補助容量電極7Cとが重なっていなくても、これらの電極間で第2補助容量は形成され得る。
- [0393] 第1補助容量対向電極3Cおよび第2補助容量対向電極15Cには、共通の電圧が供給されるように構成されている。例えば、第1補助容量対向電極3Cおよび第2補助容量対向電極15Cには、スロット電圧と同じ電圧が供

給される。これにより、第1補助容量および第2補助容量の両方が、液晶容量と電氣的に並列に接続されるので、液晶容量に印加された電圧の保持率の低下を抑制するように機能することができる。

[0394] 例えば、第2補助容量対向電極15Cは、CSバスラインCLに電氣的に接続されている。ここでは、第1補助容量対向電極3Cと第2補助容量対向電極15Cとが以下のように電氣的に接続されていることによって、第1補助容量対向電極3Cおよび第2補助容量対向電極15Cは、共通のCSバスラインCLに電氣的に接続されている。

[0395] ゲート絶縁層4および第1絶縁層11には、第1補助容量対向電極3Cに達するコンタクトホールCH__csが形成されている。コンタクトホールCH__csは、ゲート絶縁層4に形成され、第1補助容量対向電極3Cに達する開口部4csと、第1絶縁層11に形成され、誘電体基板1の法線方向から見たとき開口部4csと重なっている開口部11csとを含む。第2補助容量対向電極15Cは、コンタクトホールCH__cs内で第1補助容量対向電極3Cと電氣的に接続されている。ここでは、第2補助容量対向電極15Cは、誘電体基板1の法線方向から見たとき、補助容量電極7Cと重ならず、かつ、第1補助容量対向電極3Cと重なる部分15Ccを含むように形成されている。ゲート絶縁層4に形成された開口部4csは、誘電体基板1の法線方向から見たとき、第1補助容量対向電極3Cと重なり、かつ、補助容量電極7Cとは重ならない。

[0396] この例では、下部導電層13は、第1絶縁層11上およびコンタクトホールCH__cs内に形成された接続部13csを含む。接続部13csは、コンタクトホールCH__cs内で第1補助容量対向電極3Cと接続されている。この例では、接続部13csは、開口部4cs内で第1補助容量対向電極3Cと接触している。第2補助容量対向電極15Cは、接続部13csを介して第1補助容量対向電極3Cと電氣的に接続されている。なお、接続部13csは、省略され得る。

[0397] 図24(a)に示すように、補助容量電極7Cのエッジは、誘電体基板1

の法線方向から見たとき、第1補助容量対向電極3Cの内側にある部分を含む。補助容量電極7Cのエッジのうち、誘電体基板1の法線方向から見たとき、第1補助容量対向電極3Cの内側にある部分を多くすることにより、補助容量電極7Cと第1補助容量対向電極3Cとが短絡する可能性を低減することができる。

[0398] ゲート絶縁層4の液晶層側の表面は、ゲートメタル層3のパターン形状を反映して段差（凹凸）を有し得る。例えば、第1補助容量対向電極3C上に形成されたゲート絶縁層4の表面は、第1補助容量対向電極3Cのエッジを反映して段差を有し得る。この段差の周りでは、第1補助容量対向電極3Cの一部が、ゲート絶縁層4によって覆われず、露出されている場合がある。従って、この段差をまたいで補助容量電極7Cが形成されると、補助容量電極7Cと第1補助容量対向電極3Cとが短絡するおそれがある。補助容量電極7Cと第1補助容量対向電極3Cとの間に短絡が生じると、これらの電極の間に容量が形成されないため、液晶容量の電圧保持率の低下を抑制するための補助容量として機能することができない。補助容量電極7Cのエッジが、誘電体基板1の法線方向から見たとき、第1補助容量対向電極3Cの内側にある部分を含むことで、補助容量電極7Cと第1補助容量対向電極3Cとの間の短絡の発生を抑制することができる。

[0399] ただし、補助容量電極7Cおよび／または第1補助容量対向電極3Cを段差（例えば凹部または凸部を含む）上に形成してもよい。この場合、誘電体基板1の法線方向から見たときの面積に対して、ゲート絶縁層4を介して対向するこれらの電極の面積を増大させることができる。従って、これらの電極の間に形成される容量の静電容量値を増大させることができるという利点を得られる。

[0400] 補助容量電極7Cおよび第2補助容量対向電極15Cの位置関係についても、同様のことが言える。ここでは、図24（a）に示すように、第2補助容量対向電極15Cのエッジは、誘電体基板1の法線方向から見たとき、補助容量電極7Cの内側にある部分を含む。第2補助容量対向電極15Cのエ

ッジのうち、誘電体基板 1 の法線方向から見たとき、補助容量電極 7 C の内側にある部分を多くすることにより、第 2 補助容量対向電極 1 5 C と補助容量電極 7 C との間に短絡が生じることを抑制することができる。

[0401] なお、断面図では、簡単のために、絶縁層（ゲート絶縁層 4、第 1 絶縁層 1 1 および第 2 絶縁層 1 7）を平坦化層のように表している場合があるが、本発明の実施形態はこれに限定されない。

[0402] なお、第 1 補助容量および第 2 補助容量とパッチ電極 1 5 との配置関係は図示する例に限定されない。また、第 1 補助容量および第 2 補助容量の構成は、図示するものに限られない。補助容量電極、第 1 補助容量対向電極および第 2 補助容量対向電極は、T F T 基板 1 0 6 が有する任意の導電層を用いて形成することができる。例えば、第 2 補助容量対向電極は、下部導電層 1 3 から形成してもよく、上部導電層 1 9 から形成してもよい。第 2 補助容量対向電極は、透明導電層を含んでもよい。第 2 補助容量対向電極が下部導電層 1 3 から形成されている場合は、第 2 補助容量対向電極は第 1 絶縁層 1 1 を介して補助容量電極 7 C と対向する。第 2 補助容量対向電極が上部導電層 1 9 から形成されている場合は、例えば図 3 0 を参照して説明するように、第 2 補助容量対向電極は、第 1 絶縁層 1 1 および第 2 絶縁層 1 7 を介して補助容量電極 7 C と対向する。

[0403] 各アンテナ単位領域は、補助容量電極と、誘電体層を介して補助容量電極の下に形成され、当該誘電体層を介して補助容量電極と対向する第 1 補助容量対向電極と、他の誘電体層を介して補助容量電極の上に形成され、当該他の誘電体層を介して補助容量電極と対向する第 2 補助容量対向電極とを有すればよい。第 1 補助容量対向電極および第 2 補助容量対向電極は、補助容量電極と電氣的に分離されていけばよい。補助容量電極は、T F T のドレイン電極と電氣的に接続され、パッチ電極は T F T のドレイン電極に電氣的に接続されているので、第 1 補助容量対向電極および第 2 補助容量対向電極は、T F T のドレイン電極およびパッチ電極とも電氣的に分離されることになる。

[0404] なお、各アンテナ単位領域は、液晶容量と電氣的に接続された補助容量を3つ以上有していてもよい。

[0405] ・変形例1

図27および図28を参照しながら、本実施形態の変形例1のTF T基板106aを説明する。TF T基板106と共通する構成には共通の参照符号を付し、説明を省略する。

[0406] 図27(a)～(c)は、TF T基板106aの模式的な平面図である。図27(a)は、送受信領域R1のアンテナ単位領域Uを示し、図27(b)は、非送受信領域R2に設けられたトランスファー端子部PT、ゲート端子部GTおよびCS端子部CTを示し、図27(c)は、非送受信領域R2に設けられたソースゲート接続部SGおよびソース端子部STを示している。

[0407] 図28(a)～(c)は、TF T基板106aの模式的な断面図である。図28(a)は、図27(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図28(b)は、図27(b)中のB-B'線に沿った第1トランスファー端子部PT1の断面を示し、図28(c)は、図27(a)中のH-H'線に沿ったアンテナ単位領域Uの断面を示している。図27中のC-C'線～G-G'線およびI-I'線に沿った断面は、TF T基板106と同じであるので図示を省略する。

[0408] 図27(a)に示すように、TF T基板106aは、第2補助容量対向電極15Caのエッジのほぼ全てが、誘電体基板1の法線方向から見たとき、補助容量電極7Cの内側にある点において、TF T基板106と異なる。パッチメタル層15Iは、第2補助容量対向電極15Caから延設され、誘電体基板1の法線方向から見たとき、補助容量電極7Cと重ならず、かつ、第1補助容量対向電極3Cと重なる延設部15ceをさらに含む。延設部15ceは、第1絶縁層11上およびコンタクトホールCH__cs内に形成され、コンタクトホールCH__cs内で第1補助容量対向電極3Cと電氣的に接続されている。

[0409] このような構造を有する T F T 基板 1 0 6 a においても、T F T 基板 1 0 6 と同様の効果を得ることができる。さらに、T F T 基板 1 0 6 a においては、第 2 補助容量対向電極 1 5 C a のエッジのほぼ全てが、誘電体基板 1 の法線方向から見たとき、補助容量電極 7 C の内側にあるので、第 2 補助容量対向電極 1 5 C a と補助容量電極 7 C との間に短絡が生じることがより効果的に抑制される。T F T 基板 1 0 6 a を備える走査アンテナは、T F T 基板 1 0 6 を備える走査アンテナに比べて、アンテナ特性の低下がさらに抑制され得る。

[0410] 図 2 7 (a)、図 2 8 (a) および図 2 8 (c) に示すように、T F T 基板 1 0 6 a は、アンテナ単位領域 U において、下部導電層 1 3 に含まれる導電部（接続部 1 3 a および 1 3 c s）を有しない点においても T F T 基板 1 0 6 と異なる。ただし、T F T 基板 1 0 6 a は、接続部 1 3 a および 1 3 c s を有してもよい。

[0411] この例では、アンテナ単位領域 U において、パッチメタル層 1 5 l に含まれる接続部 1 5 a は、第 1 絶縁層 1 1 上および開口部 1 1 a 内に形成され、開口部 1 1 a 内で T F T 1 0 のドレイン電極 7 D またはドレイン電極 7 D から延設された部分と電氣的に接続される。ここでは、パッチ電極 1 5 とドレイン電極 7 D とは、接続部 1 5 a を介して電氣的に接続されている。

[0412] また、延設部 1 5 c e は、開口部 1 1 c s 内で第 1 補助容量対向電極 3 C と接触している。ここでは、第 2 補助容量対向電極 1 5 C a と第 1 補助容量対向電極 3 C とは、延設部 1 5 c e を介して電氣的に接続されている。

[0413] 図 2 7 (b) および図 2 8 (b) に示すように、T F T 基板 1 0 6 a は、第 1 トランスファァー端子部 P T 1 において、下部導電層 1 3 に含まれる導電部（第 1 導電部 1 3 p 1）を有しない点においても T F T 基板 1 0 6 と異なる。ただし、T F T 基板 1 0 6 a は、第 1 導電部 1 3 p 1 を有してもよい。

[0414] この例では、第 1 トランスファァー端子部 P T 1 において、パッチメタル層に含まれる第 2 導電部 1 5 p 1 は、第 1 絶縁層 1 1 上およびコンタクトホール C H__p 1 内に形成され、コンタクトホール C H__p 1 内で下部接続部 3

p 1 と接続されている。ここでは、第2導電部15 p 1は、開口部4 p 1内で下部接続部3 p 1と接触している。

[0415] さらに、図27(a)に示すように、TFT基板106aにおいては、誘電体基板1の法線方向から見たとき、ゲートバスラインGLとソースバスラインSLとが重なる面積がTFT基板106に比べて小さくなるように構成されている。ソースバスラインSLとゲートバスラインGLとの間には寄生容量が形成され得る。寄生容量の静電容量値は、誘電体基板1の法線方向から見たときの、ソースバスラインSLとゲートバスラインGLとがゲート絶縁層4を介して重なる面積に比例する。ソースバスラインSLとゲートバスラインGLとの間に形成される寄生容量が大きくなると、ゲートバスラインGLおよびソースバスラインSLの負荷（容量および抵抗の積（「CR積」と呼ばれることもある。））が増加し、例えば以下のような問題が生じることがある。ゲートバスラインGLの負荷が増加すると、走査信号の波形が鈍ることにより、TFTがオン状態である時間（すなわち充電時間）が短くなり、アンテナ単位領域の液晶層に所定の電圧が印加されない場合がある。ソースバスラインSLの負荷が増えると、データ信号の波形が鈍ることにより、アンテナ単位領域の液晶層に所定の電圧が印加されない場合がある。

[0416] TFT基板106aは、ゲートバスラインGLとソースバスラインSLとが重なる面積が小さいので、ソースバスラインSLとゲートバスラインGLとの間に形成される寄生容量を低減することができる。これにより、TFT基板106aを備えた走査アンテナは、より効果的にアンテナ特性の低下を抑制することができる。

[0417] 具体的には、例えば図27(a)に示すように、ソースバスラインSLは、誘電体基板1の法線方向から見たとき、ゲートバスラインGLと重なる部分の幅Ds2が、ゲートバスラインGLと重ならない部分の幅Ds1よりも小さくなるように形成されている。また、ゲートバスラインGLは、誘電体基板1の法線方向から見たとき、ソースバスラインSLと重なる部分の幅Dg2が、ソースバスラインSLと重ならない部分の幅Dg1よりも小さくな

るように形成されている。

[0418] なお、図示する例に限られず、ソースバスラインSLまたはゲートバスラインGLのいずれか一方が、上記の構成を有していてもよい。すなわち、ソースバスラインSLまたはゲートバスラインGLのいずれか他方は、略一定の幅を有していてもよい。

[0419] また、TF T基板106が有する複数のソースバスラインSLの全てが上記の構成を有していなくてもよい。すなわち、複数のソースバスラインSLは、略一定の幅を有するソースバスラインSLを含んでもよい。それぞれのソースバスラインSLの幅Ds1およびDs2は、同じである必要はなく、ソースバスラインSLによって異なってもよい。走査アンテナにおける複数のアンテナ単位領域は、LCDパネルが有する複数の画素がマトリクス状の配列されているのに対して、図2に示すように同心円状に配列されていてもよいし、らせん状に配列されていてもよい。従って、LCDパネルと異なり、走査アンテナにおいては、それぞれのソースバスラインSLに接続されるTF Tの数が異なり得る。それぞれのソースバスラインSLの負荷が略等しくなるように、ソースバスラインSLの幅Ds1およびDs2が調整されていてもよい。

[0420] ゲートバスラインGLについても同様である。複数のゲートバスラインGLは、略一定の幅を有するゲートバスラインGLを含んでもよく、それぞれのゲートバスラインGLの幅Dg1およびDg2は、ゲートバスラインGLによって異なってもよい。

[0421] 同様に、誘電体基板1の法線方向から見たときの、CSバスラインGLとソースバスラインSLとが重なる面積も小さくなるように形成されていてもよい。これにより、ソースバスラインSLとCSバスラインCLとの間に形成される寄生容量を低減することができるので、ソースバスラインSLの負荷をさらに低減することができる。

[0422] 例えば図27(a)に示すように、ソースバスラインSLは、誘電体基板1の法線方向から見たとき、CSバスラインCLと重なる部分の幅Ds2が

、CSバスラインCLと重ならない部分の幅 D_{s1} よりも小さくなるように形成されていてもよい。また、CSバスラインCLは、誘電体基板1の法線方向から見たとき、ソースバスラインSLと重なる部分の幅 D_{c2} が、ソースバスラインSLと重ならない部分の幅 D_{c1} よりも小さくなるように形成されていてもよい。また、複数のCSバスラインCLは、略一定の幅を有するCSバスラインCLを含んでもよく、それぞれのCSバスラインCLの幅 D_{c1} および D_{c2} は、CSバスラインCLによって異なってもよい。

[0423] なお、CSバスラインCLには、典型的にはスロット電圧と同じ電圧（例えばグラウンド電位）が供給される。この場合、ゲートバスラインGLおよびソースバスラインSLに比べて、CSバスラインCLの負荷が大きくなることによる影響が小さいので、CSバスラインCLの断線を防ぐことを優先し、略一定の幅を有するCSバスラインCLを形成してもよい。

[0424] ・変形例2

図29および図30を参照しながら、本実施形態の変形例2のTF T基板106bを説明する。TF T基板106と共通する構成には共通の参照符号を付し、説明を省略する。

[0425] 図29(a)～(c)は、TF T基板106bの模式的な平面図である。図29(a)は、送受信領域R1のアンテナ単位領域Uを示し、図29(b)は、非送受信領域R2に設けられたトランスファー端子部PT、ゲート端子部GTおよびCS端子部CTを示し、図29(c)は、非送受信領域R2に設けられたソースゲート接続部SGおよびソース端子部STを示している。

[0426] 図30(a)～(c)は、TF T基板106bの模式的な断面図である。図30(a)は、図29(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図30(b)は、図29(b)中のB-B'線に沿った第1トランスファー端子部PT1の断面を示し、図30(c)は、図29(a)中のH-H'線に沿ったアンテナ単位領域Uの断面を示している。図29中のC-C'線～G-G'線およびI-I'線に沿った断面は、TF T基板1

06と同じであるので図示を省略する。

[0427] 図29(a)、図30(a)および図30(c)に示すように、TF T基板106bにおいては、第2補助容量対向電極19Cが上部導電層19から形成されている点において、TF T基板106と異なる。すなわち、第2補助容量対向電極19Cは上部導電層19に含まれている。

[0428] このような構造を有するTF T基板106bにおいても、TF T基板106と同様の効果を得ることができる。

[0429] 第2補助容量対向電極19Cが上部導電層19に含まれている場合は、上部導電層19は、透明導電層を含む第1上部導電層と、第1上部導電層の下に形成された第2上部導電層とを含むことが特に好ましい。第2上部導電層は、例えば、Ti層、MoNbNi層、MoNb層、MoW層、W層およびTa層からなる群から選択される1つの層または2以上の層の積層から形成されている。なお、上述したTF T基板106およびTF T基板106aのように、第2補助容量対向電極が上部導電層19から形成されていない場合において、上部導電層19が第1上部導電層と第2上部導電層とを含んでももちろんよい。

[0430] 第1補助容量対向電極3Cと第2補助容量対向電極19Cとは、以下のよう

に電氣的に接続されている。

[0431] 図29(a)および図30(c)に示すように、ゲート絶縁層4および第1絶縁層11には、第1補助容量対向電極3Cに達するコンタクトホールCH_{cs}が形成されている。コンタクトホールCH_{cs}は、ゲート絶縁層4に形成され、第1補助容量対向電極3Cに達する開口部4csと、第1絶縁層11に形成され、誘電体基板1の法線方向から見たとき開口部4csと重なっている開口部11csとを含む。第2絶縁層17には、誘電体基板1の法線方向から見たとき開口部11csと重なる開口部17csが形成されている。第2補助容量対向電極19Cは、コンタクトホールCH_{cs}内で第1補助容量対向電極3Cと電氣的に接続されている。ここでは、第2補助容量対向電極19Cは、誘電体基板1の法線方向から見たとき、補助容量電

極 7 C と重ならず、かつ、第 1 補助容量対向電極 3 C と重なる部分 1 9 C c を含むように形成されている。ゲート絶縁層 4 に形成された開口部 4 c s は、誘電体基板 1 の法線方向から見たとき、第 1 補助容量対向電極 3 C と重なり、かつ、補助容量電極 7 C とは重ならない。

[0432] この例では、下部導電層 1 3 は、第 1 絶縁層 1 1 上およびコンタクトホール C H__c s 内に形成された接続部 1 3 c s を含む。接続部 1 3 c s は、コンタクトホール C H__c s 内で第 1 補助容量対向電極 3 C と接続されている。この例では、接続部 1 3 c s は、開口部 4 c s 内で第 1 補助容量対向電極 3 C と接触している。第 2 補助容量対向電極 1 9 C は、接続部 1 3 c s を介して第 1 補助容量対向電極 3 C と電氣的に接続されている。接続部 1 3 c s は、省略され得る。

[0433] T F T 基板 1 0 6 b においては、T F T 基板 1 0 6 a と同様に、ゲートバスライン G L とソースバスライン S L とが重なる面積が T F T 基板 1 0 6 に比べて小さくなるように構成されている。また、C S バスライン C L とソースバスライン S L とが重なる面積が T F T 基板 1 0 6 に比べて小さくなるように構成されている。

[0434] ・変形例 3

図 3 1 および図 3 2 を参照しながら、本実施形態の変形例 3 の T F T 基板 1 0 6 c を説明する。T F T 基板 1 0 6 b と共通する構成には共通の参照符号を付し、説明を省略する。

[0435] 図 3 1 (a) ~ (c) は、T F T 基板 1 0 6 c の模式的な平面図である。図 3 1 (a) は、送受信領域 R 1 のアンテナ単位領域 U を示し、図 3 1 (b) は、非送受信領域 R 2 に設けられたトランスファ端子部 P T、ゲート端子部 G T および C S 端子部 C T を示し、図 3 1 (c) は、非送受信領域 R 2 に設けられたソースゲート接続部 S G およびソース端子部 S T を示している。

[0436] 図 3 2 (a) ~ (c) は、T F T 基板 1 0 6 c の模式的な断面図である。図 3 2 (a) は、図 3 1 (a) 中の A - A' 線に沿ったアンテナ単位領域 U

の断面を示し、図32(b)は、図31(b)中のB-B'線に沿った第1トランスファ端子部PT1の断面を示し、図32(c)は、図31(a)中のH-H'線に沿ったアンテナ単位領域Uの断面を示している。図31中のC-C'線～G-G'線およびI-I'線に沿った断面は、TF T基板106と同じであるので図示を省略する。

[0437] 図31(a)および図32(a)～(c)に示すように、TF T基板106cにおいては、アンテナ単位領域Uおよび第1トランスファ端子部PT1において、下部導電層13に含まれる導電部を有しない点においてTF T基板106bと異なる。

[0438] このような構造を有するTF T基板106cにおいても、TF T基板106と同様の効果を得ることができる。

[0439] 図31(a)、図32(a)および図32(c)に示すように、アンテナ単位領域Uにおいて、下部導電層13に含まれる接続部13aおよび13csを有しない。パッチメタル層15lに含まれる接続部15aは、第1絶縁層11上および開口部11a内に形成され、開口部11a内でTF T10のドレイン電極7Dまたはドレイン電極7Dから延設された部分と電氣的に接続される。ここでは、パッチ電極15とドレイン電極7Dとは、接続部15aを介して電氣的に接続されている。また、第2補助容量対向電極19Cの内の部分19Ccは、開口部11cs内で第1補助容量対向電極3Cと接触している。

[0440] 図31(b)および図32(b)に示すように、TF T基板106cは、第1トランスファ端子部PT1において、下部導電層13に含まれる第1導電部13p1を有しない。第1トランスファ端子部PT1において、パッチメタル層に含まれる第2導電部15p1は、第1絶縁層11上およびコンタクトホールCH__p1内に形成され、コンタクトホールCH__p1内で下部接続部3p1と接続されている。ここでは、第2導電部15p1は、開口部4p1内で下部接続部3p1と接触している。

[0441] この例では、ゲートバスラインGL、ソースバスラインSLおよびCSバ

スラインCLの幅は、それぞれ略一定であるように構成されている。

[0442] ・TF T基板の製造方法

図33～図51を参照して、TF T基板106、TF T基板106a、TF T基板106bおよびTF T基板106cの製造方法を説明する。

[0443] まず、図33～図42を参照して、TF T基板106の製造方法を説明する。

[0444] 図33(a)～(e)、図34(a)～(e)、図35(a)～(d)、図36(a)～(d)、図37(a)～(c)、図38(a)～(c)、図39(a)～(b)、図40(a)～(b)、図41(a)～(b)および図42(a)～(b)は、TF T基板106の製造方法の一例を示す工程断面図である。これらの図のそれぞれは、図25(a)～(e)および図26(b)～(c)に対応する断面(TF T基板106のA-A'断面～E-E'断面、G-G'断面およびH-H'断面)を示している。なお、図26(a)に対応する断面(TF T基板106のF-F'断面)については、図示を省略するが、図25(e)に対応する断面(TF T基板106のE-E'断面)と同様の方法で形成される。各層の材料、厚さ、形成方法などは、図5を参照しながら前述した方法と同様であれば適宜説明を省略することもある。

[0445] 上述のように、TF T基板106は、誘電体基板1上に、ゲートメタル層3、ゲート絶縁層4、ソースメタル層7、第1絶縁層11、下部導電層13、パッチメタル層151、第2絶縁層17および上部導電層19をこの順で有している。

[0446] ゲートメタル層3は、TF T10のゲート電極3G、ゲートバスラインGL、CSバスラインCL、第1補助容量対向電極3C、ソースゲート接続部SGのソース下部接続配線3sg、ならびに、各端子部の下部接続部3gA、3c、3sAおよび3p1を含む。

[0447] ソースメタル層7は、TF T10のソース電極7Sおよびドレイン電極7D、ソースバスラインSL、補助容量電極7C、ならびに、ソースゲート

接続部SGのソースバスライン接続部7sgを含む。

- [0448] 下部導電層13は、アンテナ単位領域の接続部13aおよび13cs、ソースゲート接続部SGのソースバスライン上部接続部13sg、ならびに、第1トランスファー端子部PT1の第1導電部13p1を含む。
- [0449] パッチメタル層15Iは、パッチ電極15、第2補助容量対向電極15C、アンテナ単位領域Uの接続部15a、第1トランスファー端子部PT1の第2導電部15p1および第2トランスファー端子部PT2の下部接続部15p2を含む。
- [0450] 上部導電層19は、各端子部の上部接続部19gA、19c、19sA、19p1および19p2を含む。
- [0451] まず、図33(a)および図34(a)に示すように、誘電体基板1上に、スパッタ法などによって、ゲート用導電膜3'を形成する。ここでは、ゲート用導電膜3'として、Al膜(厚さ:例えば150nm)およびMoN膜(厚さ:例えば100nm)をこの順で積層した積層膜(MoN/Al)を形成する。
- [0452] 次に、ゲート用導電膜3'をパターニングすることにより、図33(b)および図34(b)に示すように、ゲートメタル層3を形成する。具体的には、アンテナ単位形成領域にゲート電極3G、第1補助容量対向電極3C、ゲートバスラインGLおよびCSバスラインCLを形成し、ソースゲート接続部形成領域にソース下部接続配線3sgを形成し、各端子部形成領域に下部接続部3sA、3gA、3cおよび3p1を形成する。ここでは、ゲート用導電膜3'のパターニングは、ウェットエッチングによって行う。
- [0453] この後、図33(c)および図34(c)に示すように、ゲートメタル層3を覆うようにゲート絶縁膜4、真性アモルファスシリコン膜5'およびn⁺型アモルファスシリコン膜6'をこの順で形成する。簡単のために、ゲート絶縁層4とゲート絶縁膜4とを同じ参照符号で示す。ここでは、ゲート絶縁膜4として、例えば厚さ350nmの窒化珪素(Si_xN_y)膜を形成する。また、例えば厚さ120nmの真性アモルファスシリコン膜5'および例

例えば厚さ30nmのn⁺型アモルファスシリコン膜6'を形成する。

[0454] 次いで、真性アモルファスシリコン膜5'およびn⁺型アモルファスシリコン膜6'をパターニングすることにより、図33(d)および図34(d)に示すように、島状の半導体層5およびコンタクト層6を得る。なお、半導体層5に用いる半導体膜はアモルファスシリコン膜に限定されない。例えば、半導体層5として酸化物半導体層を形成してもよい。この場合には、半導体層5と、ソース電極およびドレイン電極との間にコンタクト層を設けなくてもよい。

[0455] 次いで、図33(e)および図34(e)に示すように、ゲート絶縁膜4上およびコンタクト層6上にソース用導電膜7'を形成する。ここでは、ソース用導電膜7'として、MoN(厚さ:例えば50nm)、Al(厚さ:例えば150nm)およびMoN(厚さ:例えば100nm)をこの順で積層した積層膜(MoN/Al/MoN)を形成する。

[0456] 次いで、ソース用導電膜7'をパターニングすることによって、図35(a)および図36(a)に示すように、ソースメタル層7を形成する。具体的には、アンテナ単位形成領域にソース電極7Sおよびドレイン電極7D、ソースバスラインSL、補助容量電極7Cを形成し、ソースゲート接続部形成領域にソースバスライン接続部7sgを形成する。このとき、コンタクト層6もエッチングされ、互いに分離されたソースコンタクト層6Sとドレインコンタクト層6Dとが形成される。ここでは、ソース用導電膜7'のパターニングは、ウェットエッチングによって行う。例えばリン酸、硝酸および酢酸を含む水溶液を用いて、ウェットエッチングでMoN膜およびAl膜を同時にパターニングする。このようにして、TFT10が得られる。

[0457] ここで、アンテナ単位形成領域において、補助容量対向電極3Cの少なくとも一部は、補助容量電極7Cと重ならないように形成されている。さらに、ソースゲート接続部形成領域において、ソース下部接続配線3sgの少なくとも一部は、ソースバスライン接続部7sgと重ならないようにソースメタル層7が形成されている。また、各端子部形成領域は、ソースメタル層

7に含まれる導電部を有しない。

[0458] 次に、図35(b)および図36(b)に示すように、TFT10およびソースメタル層7を覆うように第1絶縁膜11を形成する。簡単のために、第1絶縁層11と第1絶縁膜11とを同じ参照符号で示す。この例では、第1絶縁膜11は、半導体層5のチャネル領域と接するように形成される。ここでは、第1絶縁膜11として、例えば厚さ330nmの窒化珪素(SiNx)膜を形成する。

[0459] 続いて、図35(c)および図36(c)に示すように、公知のフォトリソグラフィプロセスによって、第1絶縁膜11およびゲート絶縁膜4のエッチングを行う。これにより、アンテナ単位形成領域においては、ドレイン電極7Dから延設された部分に達する開口部11aを第1絶縁膜11に形成し、第1補助容量対向電極3Cに達するコンタクトホールCH_{cs}をゲート絶縁膜4および第1絶縁膜11に形成する。第1トランスファー端子部形成領域においては、下部接続部3p1に達するコンタクトホールCH_{p1}をゲート絶縁膜4および第1絶縁膜11に形成する。ソースゲート接続部形成領域においては、ソース下部接続配線3sgに達するコンタクトホールCH_{sg1}をゲート絶縁膜4および第1絶縁膜11に形成し、ソースバスライン接続部7sgに達する開口部11sg2(コンタクトホールCH_{sg2})を第1絶縁膜11に形成する。

[0460] このエッチング工程では、ソースメタル層7をエッチストップとして第1絶縁膜11およびゲート絶縁膜4のエッチングが行われる。

[0461] 例えばアンテナ単位形成領域では、第1補助容量対向電極3Cに重なる領域において、第1絶縁膜11およびゲート絶縁膜4が一括してエッチングされるとともに、ドレイン電極7Dから延設された部分に重なる領域においては、ドレイン電極7Dから延設された部分がエッチストップとして機能することにより第1絶縁膜11のみがエッチングされる。これにより、コンタクトホールCH_{cs}および開口部11aが得られる。コンタクトホールCH_{cs}は、ゲート絶縁膜4に形成され、第1補助容量対向電極3Cに達する

開口部 4 c s と、第 1 絶縁膜 1 1 に形成され、開口部 4 c s に重なる開口部 1 1 c s とを有する。ここで、第 1 補助容量対向電極 3 C の少なくとも一部は、補助容量電極 7 C と重ならないように形成されているので、第 1 絶縁膜 1 1 およびゲート絶縁膜 4 にコンタクトホール C H__c s が形成される。コンタクトホール C H__c s の側面において、開口部 4 c s の側面と開口部 1 1 c s の側面とが整合していてもよい。

[0462] ソースゲート接続部形成領域では、ソース下部接続配線 3 s g に重なる領域においては、第 1 絶縁膜 1 1 およびゲート絶縁膜 4 が一括してエッチングされるとともに、ソースバスライン接続部 7 s g に重なる領域においてはソースバスライン接続部 7 s g がエッチストップとして機能することにより第 1 絶縁膜 1 1 がエッチングされる。これにより、コンタクトホール C H__s g 1 およびコンタクトホール C H__s g 2（開口部 1 1 s g 2）が得られる。コンタクトホール C H__s g 1 は、ゲート絶縁層 4 に形成され、ソース下部接続配線 3 s g に達する開口部 4 s g 1 と、第 1 絶縁層 1 1 に形成され、開口部 4 s g 1 に重なる開口部 1 1 s g 1 とを有する。第 1 絶縁層 1 1 に形成された開口部 1 1 s g 2 は、ソースバスライン接続部 7 s g に達する。ここで、ソース下部接続配線 3 s g の少なくとも一部は、ソースバスライン接続部 7 s g と重ならないように形成されているので、ゲート絶縁膜 4 および第 1 絶縁膜 1 1 にコンタクトホール C H__s g 1 が形成される。コンタクトホール C H__s g 1 の側面において、開口部 4 s g 1 の側面と開口部 1 1 s g 1 の側面とが整合していてもよい。

[0463] 第 1 トランスファー端子部形成領域においては、第 1 絶縁膜 1 1 およびゲート絶縁膜 4 が一括してエッチングされることによってコンタクトホール C H__p 1 が形成される。コンタクトホール C H__p 1 は、ゲート絶縁膜 4 に形成され、下部接続部 3 p 1 に達する開口部 4 p 1 と、第 1 絶縁膜 1 1 に形成され、開口部 4 p 1 に重なる開口部 1 1 p 1 とを有する。コンタクトホール C H__p 1 の側面において、開口部 4 p 1 の側面と開口部 1 1 p 1 の側面とが整合していてもよい。

[0464] 第1絶縁膜11およびゲート絶縁膜4は、例えば、同一のエッチャントを用いて一括してエッチングされる。ここでは、フッ素系ガスを用いたドライエッチングによって第1絶縁膜11およびゲート絶縁膜4をエッチングする。第1絶縁膜11およびゲート絶縁膜4は、異なるエッチャントを用いてエッチングされてもよい。

[0465] この工程では、ソース端子部形成領域、ゲート端子部形成領域、CS端子部形成領域および第2トランスファー端子部形成領域においてはゲート絶縁膜4および第1絶縁膜11に開口部を形成しない。

[0466] 次に、図35(d)および図36(d)に示すように、第1絶縁膜11上、開口部11a内、コンタクトホールCH_{cs}内、コンタクトホールCH_{sg1}内、コンタクトホールCH_{sg2}内およびコンタクトホールCH_{p1}内に、例えばスパッタ法により下部導電膜13'を形成する。下部導電膜13'は、例えば透明導電膜を含む。ここでは、下部導電膜13'として、例えば厚さ70nmのITO膜を形成する。

[0467] 次に、下部導電膜13'をパターニングすることにより、図37(a)および図38(a)に示すように、下部導電層13を形成する。具体的には、アンテナ単位形成領域において開口部11a内でドレイン電極7Dから延設された部分と接触する接続部13aと、アンテナ単位形成領域においてコンタクトホールCH_{cs}内で第1補助容量対向電極3Cと接触する接続部13csと、第1トランスファー端子部形成領域においてコンタクトホールCH_{p1}内で下部接続部3p1と接触する第1導電部13p1と、ソースゲート接続部形成領域において、コンタクトホールCH_{sg1}内でソース下部接続配線3sgと接触し、コンタクトホールCH_{sg2}内でソースバスライン接続部7sgと接触するソースバスライン上部接続部13sgとを形成する。

[0468] 次に、図37(b)および図38(b)に示すように、下部導電層13上および第1絶縁膜11上にパッチ用導電膜15'を形成する。ここでは、パッチ用導電膜15'として、MoN膜(厚さ:例えば50nm)、Al膜(

厚さ：例えば1000nm）およびMoN膜（厚さ：例えば50nm）をこの順で含む積層膜（MoN／Al／MoN）を形成する。あるいは、パッチ用導電膜15'として、Ti膜（厚さ：例えば20nm）およびCu膜（厚さ：例えば500nm）をこの順で含む積層膜（Cu／Ti）を形成してもよい。

[0469] 次いで、パッチ用導電膜15'をパターンニングすることにより、図37（c）および図38（c）に示すように、パッチメタル層15lを形成する。具体的には、アンテナ単位形成領域にパッチ電極15および接続部15aを形成し、アンテナ単位形成領域に第2補助容量対向電極15Cを形成し、第1トランスファ端子部形成領域に第2導電部15p1を形成し、第2トランスファ端子部形成領域に下部接続部15p2を形成する。

[0470] 第2補助容量対向電極15Cは、誘電体基板1の法線方向から見たとき、補助容量電極7Cと重ならず、かつ、第1補助容量対向電極3Cと重なる部分15Ccを含むように形成される。

[0471] アンテナ単位形成領域において、接続部15aは、接続部13aと接続されるように形成される。ここでは、接続部15aは、接続部13aと接触するように形成される。また、アンテナ単位形成領域において、第2補助容量対向電極15Cの部分15Ccは、接続部13csと接続されるように形成される。ここでは、第2補助容量対向電極15Cの部分15Ccは、接続部13csと接触するように形成される。

[0472] また、第1トランスファ端子部形成領域において、第2導電部15p1は、第1導電部13p1と接続されるように形成される。ここでは、第2導電部15p1は、第1導電部13p1と接触するように形成される。

[0473] パッチ用導電膜15'として、MoN、AlおよびMoNをこの順で積層した積層膜（MoN／Al／MoN）を形成した場合は、パッチ用導電膜15'のパターンニングは、例えば、エッチング液としてリン酸、硝酸および酢酸を含む水溶液を用いて、ウェットエッチングでMoN膜およびAl膜を同時にパターンニングする。パッチ用導電膜15'として、TiおよびCuをこ

の順で積層した積層膜（Cu/Ti）を形成した場合は、パッチ用導電膜15'は、例えば、エッチング液として混酸水溶液を用いてウェットエッチングでパターニングすることができる。

[0474] パッチ用導電膜15'のパターニング工程において、ソースゲート接続部形成領域のパッチ用導電膜15'は除去される。コンタクトホールCH__sg1内およびコンタクトホールCH__sg2内にはソースバスライン上部接続部13sgが形成されているので、パッチ用導電膜15'のパターニング工程において、エッチングによるソース下部接続配線3sgおよび／またはソースバスライン接続部7sgへのダメージが軽減される。

[0475] ここでは、ソース下部接続配線3sgの内、コンタクトホールCH__sg1によって露出されている部分は、ソースバスライン上部接続部13sgで覆われており、ソースバスライン接続部7sgの内、コンタクトホールCH__sg2によって露出されている部分は、ソースバスライン上部接続部13sgで覆われている。これにより、ソースバスライン接続部7sgおよび／またはソース下部接続配線3sgへのエッチングダメージは、効果的に軽減される。

[0476] 次に、図39（a）および図40（a）に示すように、パッチメタル層15I上、下部導電層13上および第1絶縁層11上に第2絶縁膜17を形成する。簡単のために、第2絶縁層17と第2絶縁膜17とを同じ参照符号で示す。ここでは、第2絶縁膜17として、例えば厚さ100nmの窒化珪素（Si_xN_y）膜を形成する。第2絶縁膜17は、パッチメタル層15Iを覆うように形成される。

[0477] 次に、公知のフォトリソグラフィプロセスによって、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4のエッチングを行うことにより、図39（b）および図40（b）に示すように、第2絶縁層17、第1絶縁層11およびゲート絶縁層4を形成する。

[0478] 具体的には、ソース端子部形成領域においては、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4に、下部接続部3sAに達するコンタクトホ

ールCH__sを形成する。ゲート端子部形成領域においては、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4に、下部接続部3gAに達するコンタクトホールCH__gを形成する。CS端子部形成領域においては、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4に、下部接続部3cに達するコンタクトホールCH__cを形成する。第1トランスファー端子部形成領域においては、第2絶縁膜17に、第2導電部15p1に達する開口部17p1を形成する。第2トランスファー端子部形成領域においては、第2絶縁膜17に、下部接続部15p2に達する開口部17p2を形成する。

[0479] このエッチング工程では、ゲートメタル層3またはパッチメタル層15Iをエッチストップとして第2絶縁層17、第1絶縁膜11およびゲート絶縁膜4のエッチングが行われる。

[0480] 第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4は、例えば、同一のエッチャントを用いて一括してエッチングされる。ここでは、フッ素系ガスを用いたドライエッチングによって第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4をエッチングする。第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4は、異なるエッチャントを用いてエッチングされてもよい。

[0481] ソース端子部形成領域、ゲート端子部形成領域およびCS端子部形成領域のそれぞれにおいては、ソースメタル層7およびパッチメタル層15Iに含まれる導電部が形成されていないので、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4が一括してエッチングされる。

[0482] ソース端子部形成領域においては、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4が一括してエッチングされることによってコンタクトホールCH__sが形成される。コンタクトホールCH__sは、ゲート絶縁層4に形成され、下部接続部3sAに達する開口部4sと、第1絶縁層11に形成され、開口部4sに重なる開口部11sと、第2絶縁層17に形成され、開口部11sに重なる開口部17sとを有する。コンタクトホールCH__sの側面において、開口部4sの側面と開口部11sの側面と開口部17sの側

面とが整合していてもよい。

[0483] ゲート端子部形成領域においては、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4が一括してエッチングされることによってコンタクトホールCH_gが形成される。コンタクトホールCH_gは、ゲート絶縁層4に形成され、下部接続部3gAに達する開口部4gと、第1絶縁層11に形成され、開口部4gに重なる開口部11gと、第2絶縁層17に形成され、開口部11gに重なる開口部17gとを有する。コンタクトホールCH_gの側面において、開口部4gの側面と開口部11gの側面と開口部17gの側面とが整合していてもよい。

[0484] CS端子部形成領域においては、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4が一括してエッチングされることによってコンタクトホールCH_cが形成される。コンタクトホールCH_cは、ゲート絶縁層4に形成され、下部接続部3cに達する開口部4cと、第1絶縁層11に形成され、開口部4cに重なる開口部11cと、第2絶縁層17に形成され、開口部11cに重なる開口部17cとを有する。コンタクトホールCH_cの側面において、開口部4cの側面と開口部11cの側面と開口部17cの側面とが整合していてもよい。

[0485] 次に、図41(a)および図42(a)に示すように、第2絶縁層17上、コンタクトホールCH_s内、コンタクトホールCH_g内、コンタクトホールCH_c内、開口部17p1内、および開口部17p2内に、例えばスパッタ法により上部導電膜19'を形成する。上部導電膜19'は、例えば透明導電膜を含む。ここでは、上部導電膜19'として、例えば厚さ70nmのITO膜を用いる。

[0486] 次に、上部導電膜19'をパターニングすることにより、図41(b)および図42(b)に示すように、上部導電層19を形成する。具体的には、ソース端子部形成領域においてコンタクトホールCH_s内で下部接続部3sAと接触する上部接続部19sAと、ゲート端子部形成領域においてコンタクトホールCH_g内で下部接続部3gAと接触する上部接続部19g

Aと、CS端子部形成領域においてコンタクトホールCH__c内で下部接続部3cと接触する上部接続部19cと、第1トランスファー端子部形成領域において開口部17p1内で第2導電部15p1と接触する上部接続部19p1と、第2トランスファー端子部形成領域において開口部17p2内で下部接続部15p2と接触する上部接続部19p2とを形成する。これにより、アンテナ単位領域U、ソースゲート接続部SG、ソース端子部ST、ゲート端子部GT、CS端子部CT、第1トランスファー端子部PT1、および第2トランスファー端子部PT2が得られる。

[0487] このようにして、TF T基板106が製造される。

[0488] 次に、図43～図45を参照して、TF T基板106aの製造方法を説明する。

[0489] 図43(a)～(c)、図44(a)～(b)および図45(a)～(b)は、TF T基板106aの製造方法の一例を示す工程断面図である。これらの図のそれぞれは、図28(a)～(c)に対応する断面(TF T基板106aのA-A'断面、B-B'断面およびH-H'断面)を示している。以下では、図33～図42を参照して説明したTF T基板106の製造方法と異なる点を主に説明する。

[0490] まず、図33(a)～(e)、図34(a)～(e)、図35(a)～(d)、および図36(a)～(d)を参照して説明したのと同様に、誘電体基板1上に、ゲート金属層3、ゲート絶縁膜4、島状の半導体層5、コンタクト層6S、6D、ソース金属層7、第1絶縁膜11、および下部導電膜13'を形成する。

[0491] 次に、下部導電膜13'をパターニングすることにより、図43(a)に示すように、下部導電層13を形成する。この工程は、図37(a)および図38(a)を参照して説明した工程と同様に行われる。ただし、ここでは、アンテナ単位形成領域および第1トランスファー端子部形成領域に、下部導電層13に含まれる導電部を形成しない点において、TF T基板106の製造方法と異なる。

- [0492] 次に、図43(b)に示すように、下部導電層13上および第1絶縁膜11上にパッチ用導電膜15'を形成する。この工程は、図37(b)および図38(b)を参照して説明した工程と同様に行われる。
- [0493] 次に、パッチ用導電膜15'をパターニングすることにより、図43(c)に示すように、パッチメタル層151を形成する。この工程は、図37(c)および図38(c)を参照して説明した工程と同様に行われる。ただし、ここでは、パッチメタル層151は、アンテナ単位形成領域に、第2補助容量対向電極15Caと、第2補助容量対向電極15Caから延設され、誘電体基板1の法線方向から見たとき、補助容量電極7Cと重ならず、かつ、第1補助容量対向電極3Cと重なる延設部15ceを含む。
- [0494] また、ここでは、アンテナ単位形成領域において、接続部15aは、開口部11a内でドレイン電極7Dから延設された部分と接続されるように形成される。ここでは、接続部15aは、開口部11a内でドレイン電極7Dから延設された部分と接触するように形成される。また、アンテナ単位形成領域において、延設部15ceは、コンタクトホールCH__cs内で第1補助容量対向電極3Cと接続されるように形成される。ここでは、延設部15ceは、コンタクトホールCH__cs内で第1補助容量対向電極3Cと接触するように形成される。また、第1トランスファー端子部形成領域において、第2導電部15p1は、コンタクトホールCH__p1内で下部接続部3p1と接続されるように形成される。ここでは、第2導電部15p1は、コンタクトホールCH__p1内で下部接続部3p1と接触するように形成される。
- [0495] 次に、図44(a)に示すように、パッチメタル層151上、下部導電層13上および第1絶縁層11上に第2絶縁膜17を形成する。この工程は、図39(a)および図40(a)を参照して説明した工程と同様に行われる。
- [0496] 次に、公知のフォトリソグラフィプロセスによって、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4のエッチングを行うことにより、図44(b)に示すように、第2絶縁層17、第1絶縁層11およびゲート絶縁

層4を形成する。この工程は、図39(b)および図40(b)を参照して説明した工程と同様に行われる。

[0497] 次いで、図45(a)に示すように、第2絶縁層17上、コンタクトホールCH_s内、コンタクトホールCH_g内、コンタクトホールCH_c内、開口部17p1内、および開口部17p2内に、上部導電膜19'を形成する。この工程は、図41(a)および図42(a)を参照して説明した工程と同様に行われる。

[0498] 次いで、上部導電膜19'をパターニングすることにより、図45(b)に示すように、上部導電層19を形成する。この工程は、図41(b)および図42(b)を参照して説明した工程と同様に行われる。

[0499] このようにして、TFT基板106aが製造される。

[0500] 次に、図46～図48を参照して、TFT基板106bの製造方法を説明する。

[0501] 図46、図47(a)～(b)および図48(a)～(b)は、TFT基板106bの製造方法の一例を示す工程断面図である。これらの図のそれぞれは、図30(a)～(c)に対応する断面(TFT基板106bのA-A'断面、B-B'断面およびH-H'断面)を示している。以下では、図33～図42を参照して説明したTFT基板106の製造方法と異なる点を主に説明する。

[0502] まず、図33(a)～(e)、図34(a)～(e)、図35(a)～(d)、図36(a)～(d)、図37(a)～(b)、および図38(a)～(b)を参照して説明したのと同様に、誘電体基板1上に、ゲート金属層3、ゲート絶縁膜4、島状の半導体層5、コンタクト層6S、6D、ソース金属層7、第1絶縁膜11、下部導電層13、およびパッチ導電膜15'を形成する。

[0503] 次いで、パッチ用導電膜15'をパターニングすることにより、図46に示すように、パッチ金属層151を形成する。この工程は、図37(c)および図38(c)を参照して説明した工程と同様に行われる。ただし、ア

ンテナ単位形成領域において第2補助容量対向電極15Cを形成しない点において、TF T基板106の製造方法と異なる。

[0504] 次いで、図47(a)に示すように、パッチメタル層15上、下部導電層13上および第1絶縁層11上に第2絶縁膜17を形成する。この工程は、図39(a)および図40(a)を参照して説明した工程と同様に行われる。

[0505] 次いで、公知のフォトリソグラフィプロセスによって、第2絶縁膜17、第1絶縁膜11およびゲート絶縁膜4のエッチングを行うことにより、図47(b)に示すように、第2絶縁層17、第1絶縁層11およびゲート絶縁層4を形成する。この工程は、図39(b)および図40(b)を参照して説明した工程と同様に行われる。ただし、ここでは、アンテナ単位形成領域において、第2絶縁膜17に、接続部13csに達する開口部17csを形成する点において、TF T基板106の製造方法と異なる。

[0506] 次いで、図48(a)に示すように、第2絶縁層17上、開口部17cs内、コンタクトホールCH__s内、コンタクトホールCH__g内、コンタクトホールCH__c内、開口部17p1内、および開口部17p2内に、上部導電膜19'を形成する。ここでは、開口部17cs内にも上部導電膜19'が形成される。この工程は、図41(a)および図42(a)を参照して説明した工程と同様に行われる。ただし、ここでは、上部導電膜19'として、Ti(厚さ:例えば200nm)およびITO(厚さ:例えば70nm)をこの順で積層した積層膜(ITO/Ti)を用いることが好ましい。Ti膜に代えて、MoNbNi膜、MoNb膜、MoW膜、W膜およびTa膜からなる群から選択される1つの膜または2以上の膜の積層膜を用いてもよい。すなわち、上部導電膜19'として、Ti膜、MoNbNi膜、MoNb膜、MoW膜、W膜およびTa膜からなる群から選択される1つの膜または2以上の膜の積層膜と、ITO膜とをこの順で積層した積層膜を用いてもよい。

[0507] 次いで、上部導電膜19'をパターニングすることにより、図48(b)

に示すように、上部導電層 19 を形成する。この工程は、図 4 1 (b) および図 4 2 (b) を参照して説明した工程と同様に行われる。ここでは、アンテナ単位形成領域において、第 2 補助容量対向電極 19 C を形成する点において、T F T 基板 106 の製造方法と異なる。ここで、第 2 補助容量対向電極 19 C は、誘電体基板 1 の法線方向から見たとき、補助容量電極 7 C と重ならず、かつ、第 1 補助容量対向電極 3 C と重なる部分 19 C c を含むように形成される。

[0508] このようにして、T F T 基板 106 b が製造される。

[0509] 次に、図 4 9 ~ 図 5 1 を参照して、T F T 基板 106 c の製造方法を説明する。

[0510] 図 4 9 (a) ~ (c)、図 5 0 (a) ~ (b) および図 5 1 (a) ~ (b) は、T F T 基板 106 c の製造方法の一例を示す工程断面図である。これらの図のそれぞれは、図 3 2 (a) ~ (c) に対応する断面 (T F T 基板 106 c の A - A' 断面、B - B' 断面および H - H' 断面) を示している。以下では、図 4 6 ~ 図 4 8 を参照して説明した T F T 基板 106 b の製造方法と異なる点を主に説明する。

[0511] まず、図 3 3 (a) ~ (e)、図 3 4 (a) ~ (e)、図 3 5 (a) ~ (d)、および図 3 6 (a) ~ (d) を参照して説明したのと同様に、誘電体基板 1 上に、ゲートメタル層 3、ゲート絶縁膜 4、島状の半導体層 5、コンタクト層 6 S、6 D、ソースメタル層 7、第 1 絶縁膜 11、および下部導電膜 13' を形成する。

[0512] 次に、下部導電膜 13' をパターニングすることにより、図 4 9 (a) に示すように、下部導電層 13 を形成する。ここでは、アンテナ単位形成領域および第 1 トランスファー端子部形成領域に、下部導電層 13 に含まれる導電部を形成しない点において、T F T 基板 106 の製造方法と異なる。

[0513] 次に、図 4 9 (b) に示すように、下部導電層 13 上および第 1 絶縁膜 11 上にパッチ用導電膜 15' を形成する。この工程は、図 3 7 (b) および図 3 8 (b) を参照して説明した工程と同様に行われる。

- [0514] 次いで、パッチ用導電膜 15' をパターンニングすることにより、図 49 (c) に示すように、パッチメタル層 15 l を形成する。この工程は、図 46 を参照して説明した工程と同様に行われる。ただし、ここでは、アンテナ単位形成領域において、接続部 15 a は、開口部 11 a 内でドレイン電極 7 D から延設された部分と接続されるように形成される。ここでは、接続部 15 a は、開口部 11 a 内でドレイン電極 7 D から延設された部分と接触するように形成される。また、第 1 トランスファー端子部形成領域において、第 2 導電部 15 p 1 は、コンタクトホール CH__p 1 内で下部接続部 3 p 1 と接続されるように形成される。ここでは、第 2 導電部 15 p 1 は、コンタクトホール CH__p 1 内で下部接続部 3 p 1 と接触するように形成される。
- [0515] 次いで、図 50 (a) に示すように、パッチメタル層 15 l 上、下部導電層 13 上および第 1 絶縁層 11 上に第 2 絶縁膜 17 を形成する。この工程は、図 47 (a) を参照して説明した工程と同様に行われる。
- [0516] 次いで、公知のフォトリソグラフィプロセスによって、第 2 絶縁膜 17、第 1 絶縁膜 11 およびゲート絶縁膜 4 のエッチングを行うことにより、図 50 (b) に示すように、第 2 絶縁層 17、第 1 絶縁層 11 およびゲート絶縁層 4 を形成する。この工程は、図 47 (b) を参照して説明した工程と同様に行われる。
- [0517] 次いで、図 51 (a) に示すように、第 2 絶縁層 17 上、開口部 17 c s 内、コンタクトホール CH__s 内、コンタクトホール CH__g 内、コンタクトホール CH__c 内、開口部 17 p 1 内、および開口部 17 p 2 内に、上部導電膜 19' を形成する。この工程は、図 48 (a) を参照して説明した工程と同様に行われる。
- [0518] 次いで、上部導電膜 19' をパターンニングすることにより、図 51 (b) に示すように、上部導電層 19 を形成する。この工程は、図 48 (b) を参照して説明した工程と同様に行われる。ただし、ここでは、アンテナ単位形成領域において、第 2 補助容量対向電極 19 C の部分 19 C c は、コンタクトホール CH__c s 内で第 1 補助容量対向電極 3 C と接続されるように形成

される。ここでは、第2補助容量対向電極19Cは、コンタクトホールCH__cs内で第1補助容量対向電極3Cと接触するように形成される。

[0519] このようにして、TF T基板106cが製造される。

[0520] 本発明の実施形態による走査アンテナは、必要に応じて、例えばプラスチック製の筐体に收容される。筐体にはマイクロ波の送受信に影響を与えない誘電率 ϵ_M が小さい材料を用いることが好ましい。また、筐体の送受信領域R1に対応する部分には貫通孔を設けてもよい。さらに、液晶材料が光に曝されないように、遮光構造を設けてもよい。遮光構造は、例えば、TF T基板101の誘電体基板1および／またはスロット基板201の誘電体基板51の側面から誘電体基板1および／または51内を伝播し、液晶層に入射する光を遮光するように設ける。誘電異方性 $\Delta\epsilon_M$ が大きな液晶材料は、光劣化しやすいものがあり、紫外線だけでなく、可視光の中でも短波長の青色光も遮光することが好ましい。遮光構造は、例えば、黒色の粘着テープなどの遮光性のテープを用いることによって、必要な個所に容易に形成できる。

産業上の利用可能性

[0521] 本発明による実施形態は、例えば、移動体（例えば、船舶、航空機、自動車）に搭載される衛星通信や衛星放送用の走査アンテナおよびその製造に用いられる。

符号の説明

[0522] 1 : 誘電体基板
 2 : 下地絶縁膜
 3 : ゲートメタル層
 3C : 補助容量対向電極（下部補助容量電極）（第1補助容量対向電極）
 3G : ゲート電極
 3c、3gA、3p1、3s、3sA : 下部接続部
 3sg : ソース下部接続配線

4 : ゲート絶縁層
4 c、4 c s、4 g、4 p 1、4 s、4 s g 1 : 開口部
5 : 半導体層
6 D : ドレインコンタクト層
6 S : ソースコンタクト層
7 : ソースメタル層
7 D : ドレイン電極
7 S : ソース電極
7 p : ソース接続配線
7 s g : ソースバスライン接続部
1 1 : 第1絶縁層
1 1 a、1 1 c、1 1 c s、1 1 g、1 1 p 1 : 開口部
1 1 s、1 1 s g 1、1 1 s g 2 : 開口部
1 3 : 下部導電層
1 3 a、1 3 c s : 接続部
1 3 p 1 : 第1導電部
1 3 s g : ソースバスライン上部接続部
1 5 : パッチ電極
1 5 C、1 5 C a : 第2補助容量対向電極
1 5 a : 接続部
1 5 c e : 延設部
1 5 l : パッチメタル層
1 5 p : パッチ接続部
1 5 p 1 : 第2導電部
1 5 p 2 : 下部接続部
1 7 : 第2絶縁層
1 7 c、1 7 c s、1 7 g、1 7 p 1、1 7 p 2、1 7 s : 開口部
1 8 g、1 8 s、1 8 p : 開口部

- 1 9 : 上部導電層
- 1 9 C : 第2補助容量対向電極
- 1 9 g : ゲート端子用上部接続部
- 1 9 p : トランスファァー端子用上部接続部
- 1 9 s : ソース端子用上部接続部
- 1 9 c、1 9 g A、1 9 p 1、1 9 p 2、1 9 s A : 上部接続部
- 1 9 c s : 延設部
- 2 1 : アライメントマーク
- 2 3 : 保護導電層
- 5 1 : 誘電体基板
- 5 2 : 第3絶縁層
- 5 4 : 誘電体層（空気層）
- 5 5 : スロット電極
- 5 5 L : 下層
- 5 5 M : 主層
- 5 5 U : 上層
- 5 5 c : コンタクト面
- 5 7 : スロット
- 5 8 : 第4絶縁層
- 6 0 : 上部接続部
- 6 5 : 反射導電板
- 6 7 : 接着層
- 6 8 : ヒーター用抵抗膜
- 7 0 : 給電装置
- 7 1 : 導電性ビーズ
- 7 2 : 給電ピン
- 7 3 : シール部
- 1 0 1、1 0 2、1 0 3、1 0 4 : T F T 基板

105、106、106a、106b、106c : TFT基板
201、203 : スロット基板
1000 : 走査アンテナ
CH1、CH2、CH3、CH4、CH5、CH6 : コンタクトホール
CH__c、CH__cs、CH__g : コンタクトホール
CH__p1、CH__s、CH__sg1、CH__sg2 : コンタクトホール
CL : CSバスライン
GD : ゲートドライバ
GL : ゲートバスライン
GT : ゲート端子部
SD : ソースドライバ
SL : ソースバスライン
ST : ソース端子部
PT : トランスファータ端子部
IT : 端子部
LC : 液晶層
R1 : 送受信領域
R2 : 非送受信領域
Rs : シール領域
U、U1、U2 : アンテナ単位、アンテナ単位領域

請求の範囲

- [請求項1] 誘電体基板と、前記誘電体基板上に配列された複数のアンテナ単位領域とを有し、
前記複数のアンテナ単位領域のそれぞれは、
T F T と、
前記 T F T のドレイン電極に電氣的に接続されたパッチ電極と、
前記ドレイン電極と電氣的に接続された補助容量電極と、
誘電体層を介して前記補助容量電極と対向する第1補助容量対向電極と、
前記補助容量電極の前記第1補助容量対向電極と反対側に位置し、他の誘電体層を介して前記補助容量電極と対向する第2補助容量対向電極と
を有する、T F T 基板。
- [請求項2] 前記第1補助容量対向電極または前記第2補助容量対向電極は、前記パッチ電極を含む導電層から形成されている、請求項1に記載のT F T 基板。
- [請求項3] 前記第1補助容量対向電極または前記第2補助容量対向電極は、透明導電層を含む、請求項1または2に記載のT F T 基板。
- [請求項4] 前記第1補助容量対向電極および前記第2補助容量対向電極には、共通の電圧が供給される、請求項1から3のいずれかに記載のT F T 基板。
- [請求項5] 前記第2補助容量対向電極は、前記第1補助容量対向電極を含む導電層よりも上の導電層に含まれ、前記第2補助容量対向電極のエッジは、前記誘電体基板の法線方向から見たとき、前記補助容量電極の内側にある部分を含む、請求項1から4のいずれかに記載のT F T 基板。
- [請求項6] 前記補助容量電極のエッジは、前記誘電体基板の法線方向から見たとき、前記第1補助容量対向電極の内側にある部分を含む、請求項5

に記載の T F T 基板。

[請求項7] 前記誘電体層および前記他の誘電体層には、前記第 1 補助容量対向電極に達するコンタクトホールが形成されており、前記第 2 補助容量対向電極は、前記コンタクトホール内で前記第 1 補助容量対向電極と電氣的に接続されている、請求項 5 または 6 に記載の T F T 基板。

[請求項8] 前記誘電体基板に支持され、前記 T F T のゲート電極を含むゲートメタル層と、

前記誘電体基板に支持され、前記 T F T のソース電極を含むソースメタル層と、

前記ゲートメタル層と前記ソースメタル層との間に形成されたゲート絶縁層と

を有し、

前記補助容量電極は、前記ソースメタル層に含まれ、

前記第 1 補助容量対向電極は、前記ゲートメタル層に含まれ、

前記誘電体層は、前記ゲート絶縁層である、請求項 1 から 7 のいずれかに記載の T F T 基板。

[請求項9] 前記ゲートメタル層および前記ソースメタル層の上に形成された第 1 絶縁層と、

前記第 1 絶縁層上に形成され、前記パッチ電極を含むパッチメタル層と

をさらに有する、請求項 8 に記載の T F T 基板。

[請求項10] 前記第 2 補助容量対向電極は、前記パッチメタル層に含まれ、
前記他の誘電体層は、前記第 1 絶縁層である、請求項 9 に記載の T F T 基板。

[請求項11] 前記第 1 絶縁層と前記パッチメタル層との間に形成された下部導電層をさらに有する、請求項 9 または 10 に記載の T F T 基板。

[請求項12] 前記第 2 補助容量対向電極は、前記下部導電層に含まれ、
前記他の誘電体層は、前記第 1 絶縁層である、請求項 11 に記載の

T F T 基板。

- [請求項13] 前記パッチメタル層上に形成された第2絶縁層と、
前記第2絶縁層上に形成された上部導電層と
をさらに有する、請求項9から12のいずれかに記載のT F T 基板。
- [請求項14] 前記第2補助容量対向電極は、前記上部導電層に含まれ、
前記他の誘電体層は、前記第1絶縁層および前記第2絶縁層を含む
、請求項13に記載のT F T 基板。
- [請求項15] 前記上部導電層は、
透明導電層を含む第1上部導電層と、
前記第1上部導電層の下に形成され、T i 層、M o N b 層、M o
N b N i 層、M o W 層、W 層およびT a 層からなる群から選択される
少なくとも1つの層から形成されている第2上部導電層と
を含む、請求項14に記載のT F T 基板。
- [請求項16] 前記ゲートメタル層は、前記T F T の前記ゲート電極に接続された
ゲートバスラインをさらに含み、
前記ソースメタル層は、前記T F T の前記ソース電極に接続された
ソースバスラインをさらに含み、
前記ソースバスラインは、前記誘電体基板の法線方向から見たとき
、前記ゲートバスラインと重なる部分の幅が、前記ゲートバスライン
と重ならない部分の幅よりも小さくなるように形成されている、請求
項8から15のいずれかに記載のT F T 基板。
- [請求項17] 前記ゲートバスラインは、前記誘電体基板の法線方向から見たとき
、前記ソースバスラインと重なる部分の幅が、前記ソースバスライン
と重ならない部分の幅よりも小さくなるように形成されている、請求
項16に記載のT F T 基板。
- [請求項18] 前記ゲートメタル層は、前記第1補助容量対向電極および前記第2
補助容量対向電極に電氣的に接続されたC S バスラインをさらに含み
、

前記ソースバスラインは、前記誘電体基板の法線方向から見たとき、前記C Sバスラインと重なる部分の幅が、前記C Sバスラインと重ならない部分の幅よりも小さくなるように形成されている、請求項16または17に記載のT F T基板。

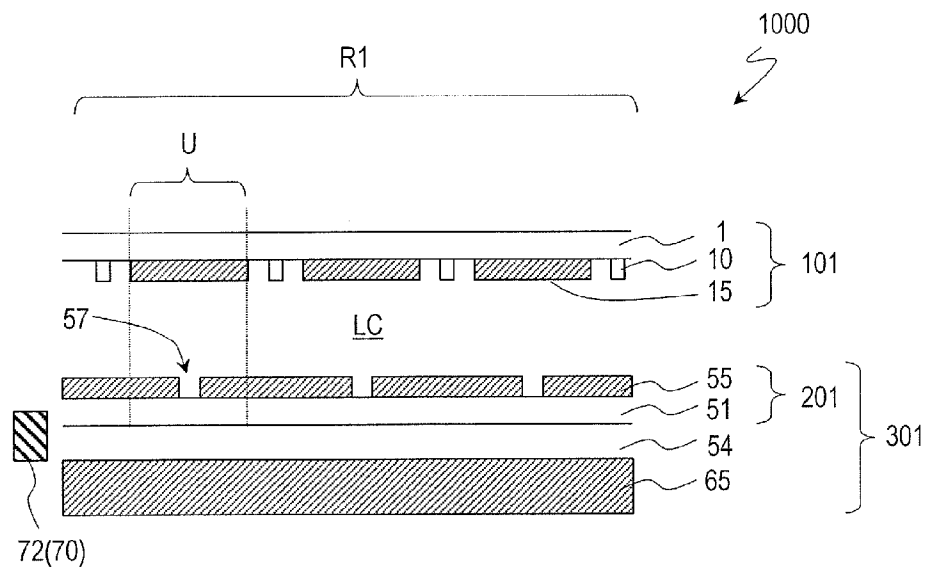
[請求項19] 前記C Sバスラインは、前記誘電体基板の法線方向から見たとき、前記ソースバスラインと重なる部分の幅が、前記ソースバスラインと重ならない部分の幅よりも小さくなるように形成されている、請求項18に記載のT F T基板。

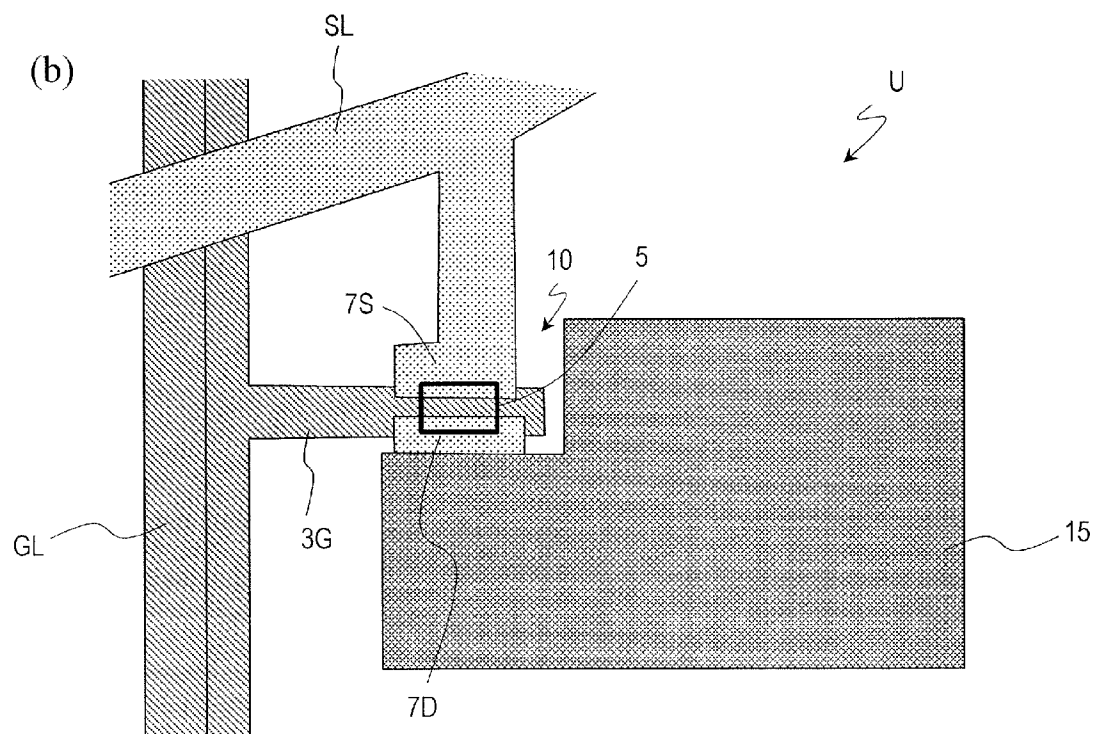
[請求項20] 請求項1から19のいずれかに記載のT F T基板と、
前記T F T基板と対向するように配置されたスロット基板と、
前記T F T基板と前記スロット基板との間に設けられた液晶層と、
前記スロット基板の前記液晶層と反対側の表面に誘電体層を介して対向するように配置された反射導電板と
を備え、

前記スロット基板は、他の誘電体基板と、前記他の誘電体基板の前記液晶層側の表面に形成されたスロット電極とを有し、

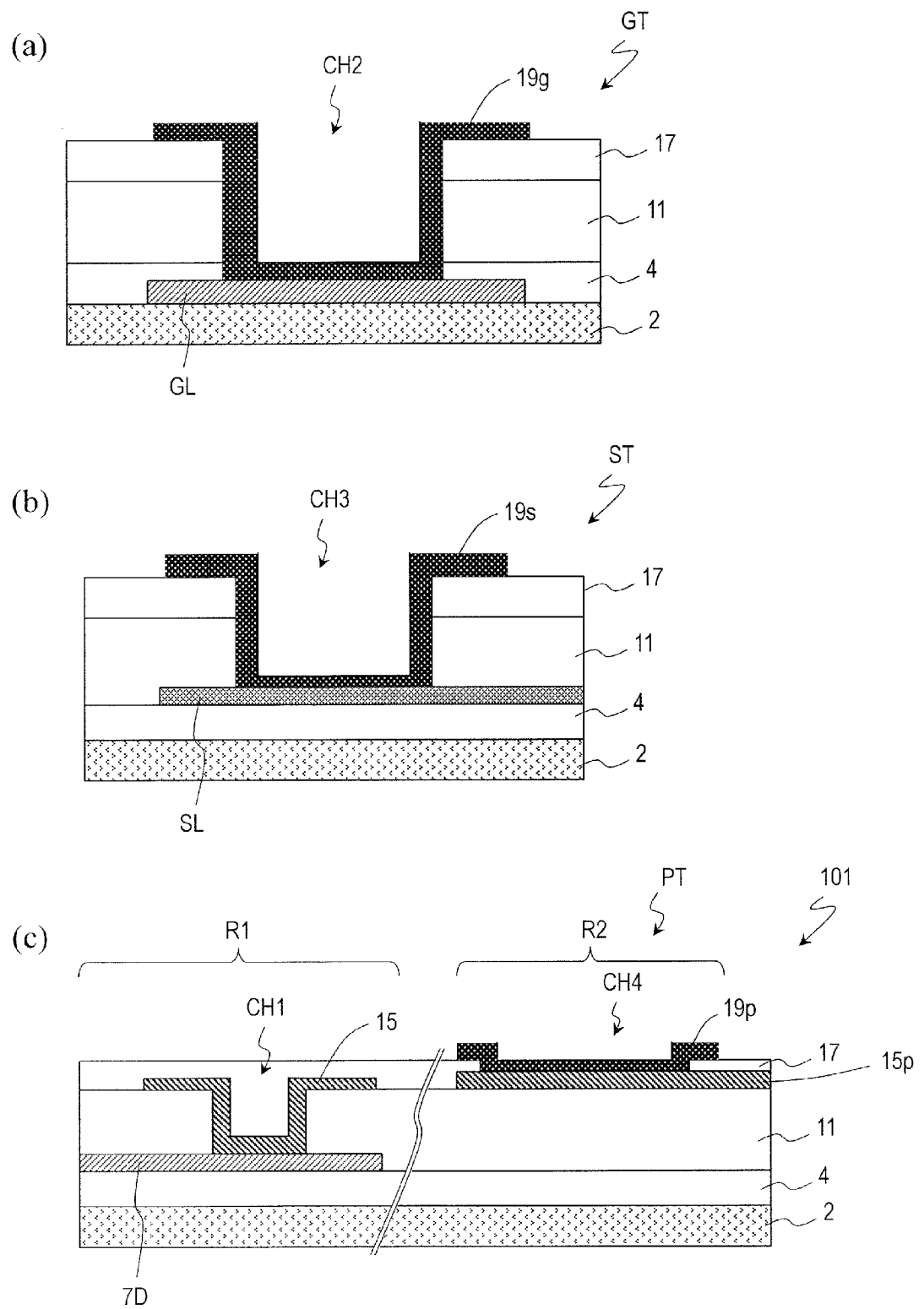
前記スロット電極は複数のスロットを有し、前記複数のスロットは、前記T F T基板の前記複数のアンテナ単位領域における前記パッチ電極に対応して配置されている、走査アンテナ。

[図1]

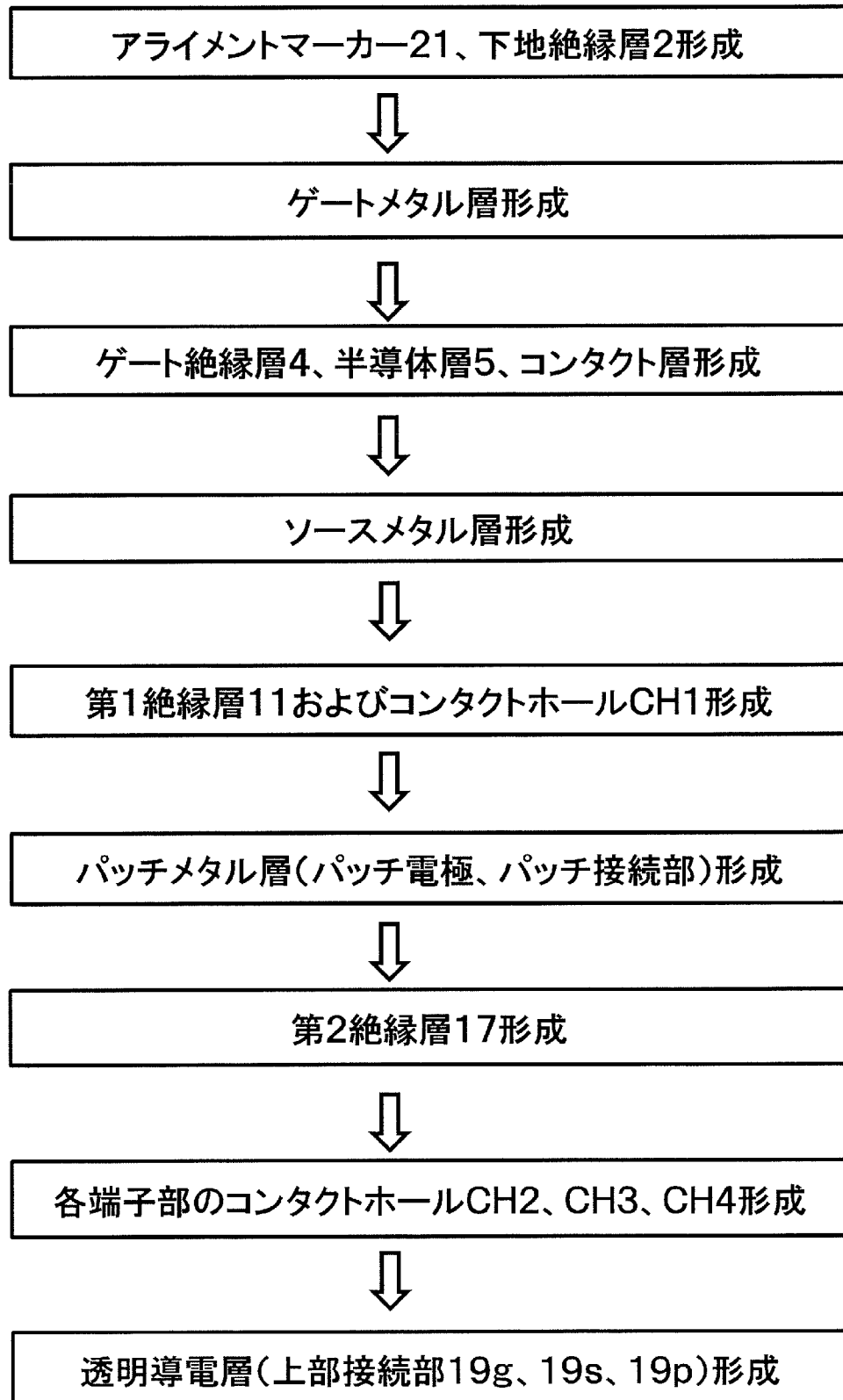


[illegible]

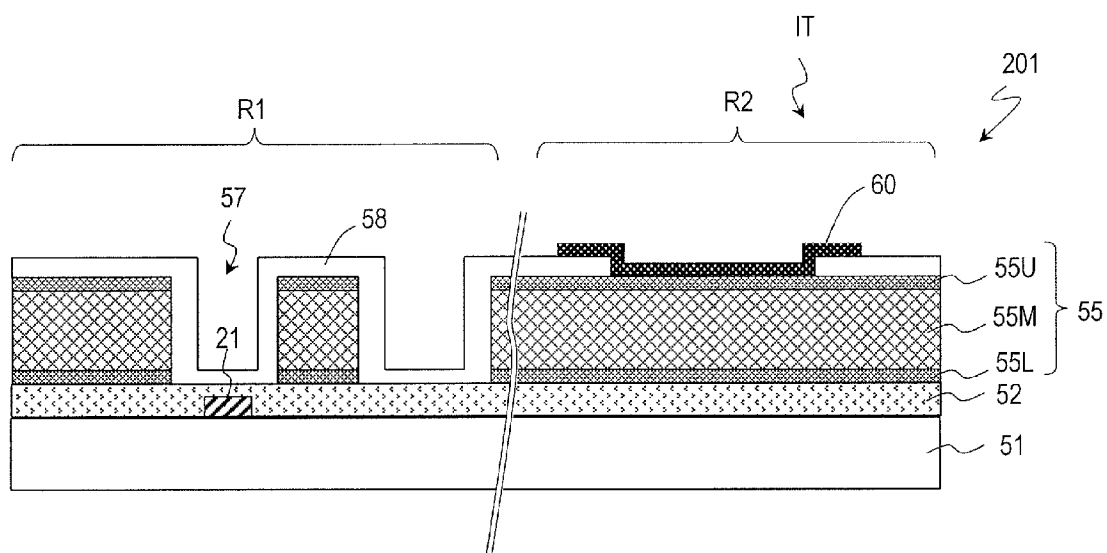
[図4]



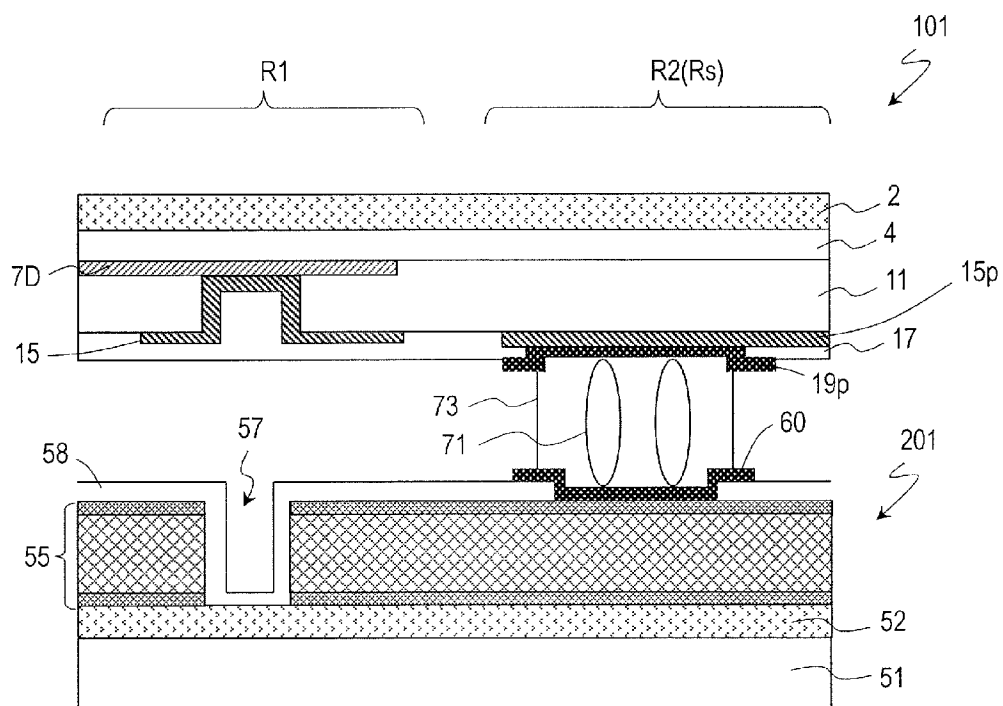
[図5]



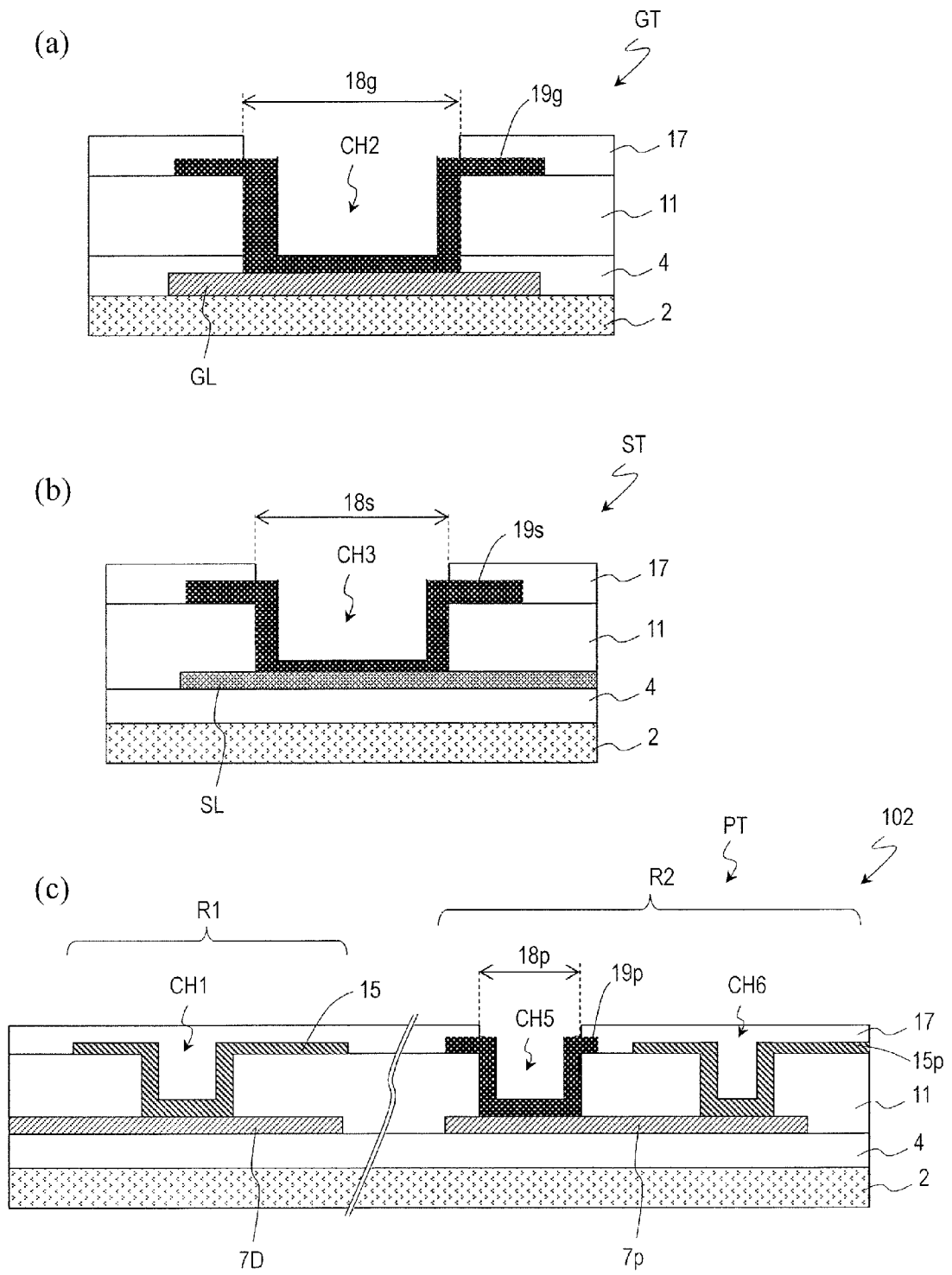
[図6]



[図7]



[図8]



[図9]

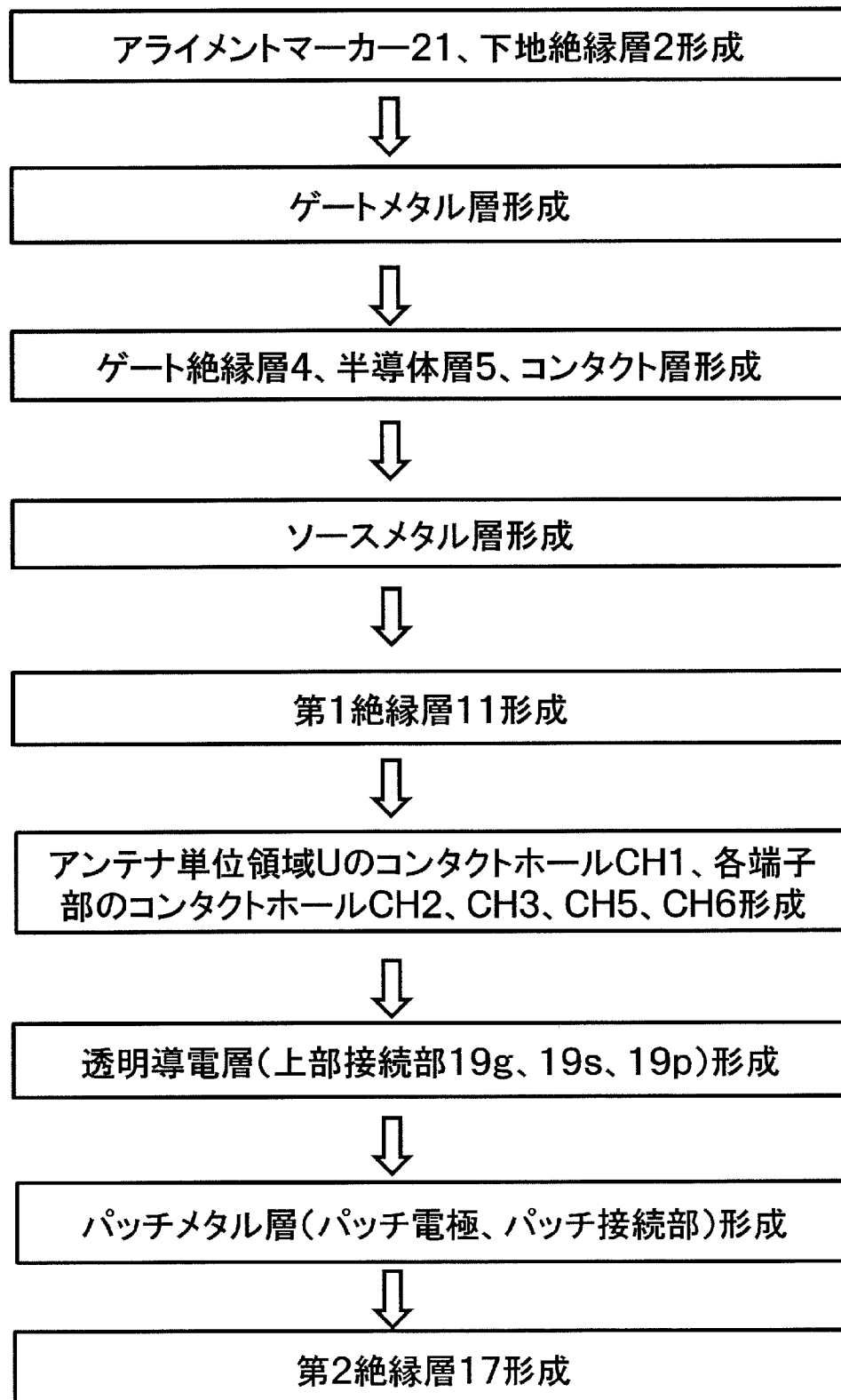


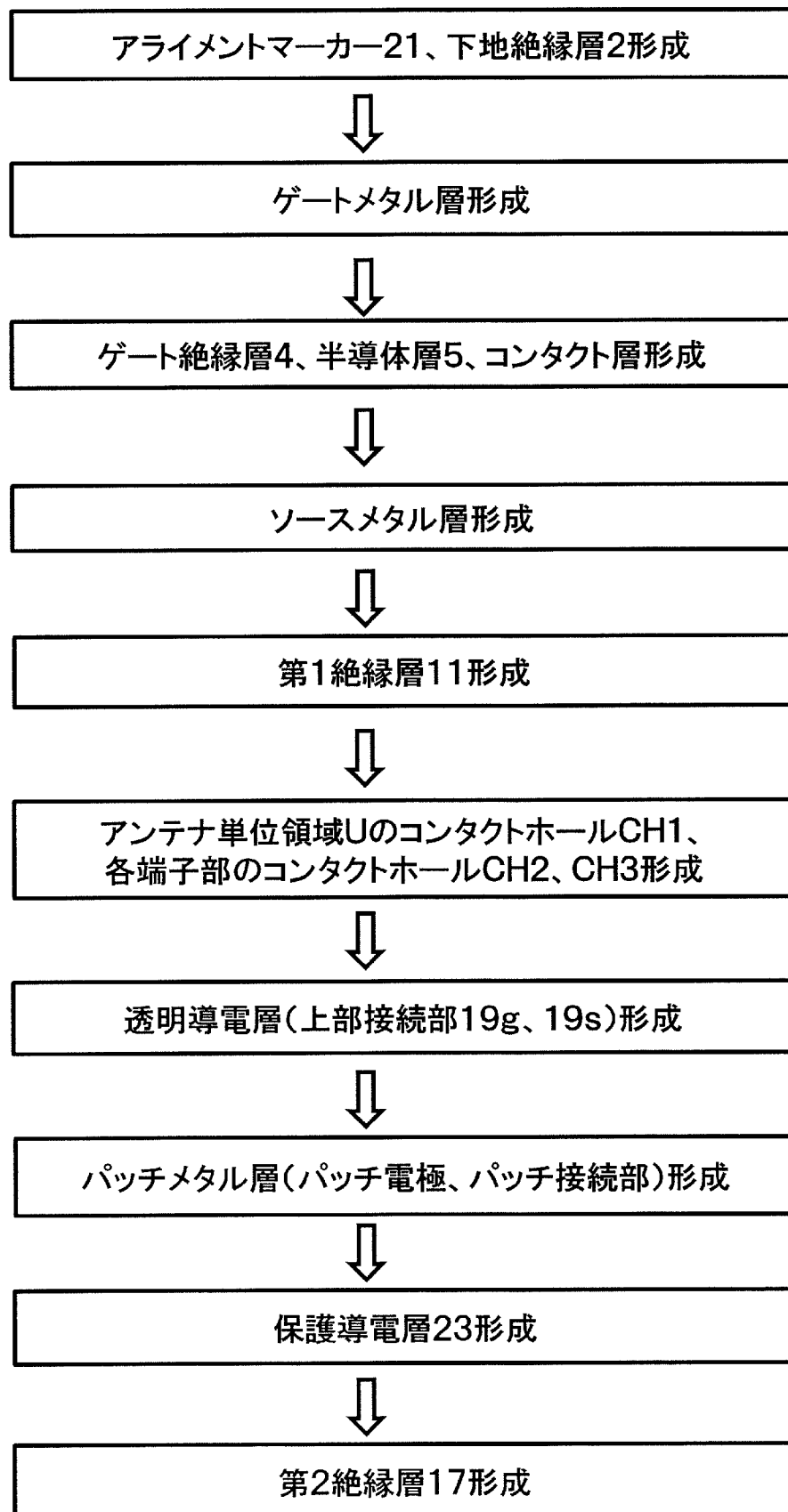
Figure 1 consists of three cross-sectional views (a), (b), and (c) of a semiconductor device, showing the progression of a manufacturing process.

(a) shows a first conductive layer 17 with a gap 18g. A second conductive layer 19g is formed in the gap 18g. The device is built on a substrate 2 with layers 4, 11, and 17. A gate layer 7L is also shown. The device is labeled with various reference numerals and symbols like GT, CH2, 19g, 17, 11, 4, 2, and GL.

(b) shows a second conductive layer 17 with a gap 18s. A third conductive layer 19s is formed in the gap 18s. The device is built on a substrate 2 with layers 4, 11, and 17. A gate layer 7D is also shown. The device is labeled with various reference numerals and symbols like ST, CH3, 19s, 17, 11, 4, 2, and 7D.

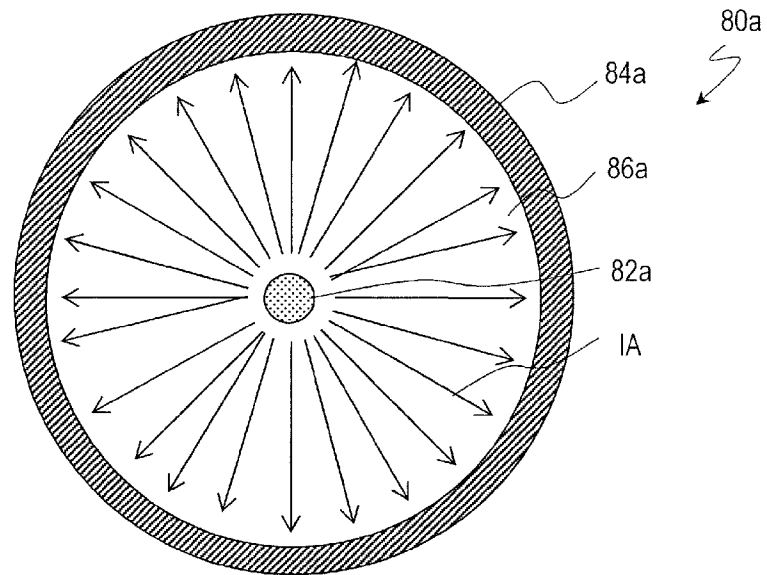
(c) shows a first conductive layer 15 with a gap 18p. A second conductive layer 23 is formed in the gap 18p. The device is built on a substrate 2 with layers 4, 11, and 17. A gate layer 7D is also shown. The device is labeled with various reference numerals and symbols like PT, 103, 18p, 23, 15p, 15, 17, 11, 4, 2, and 7D.

[図11]

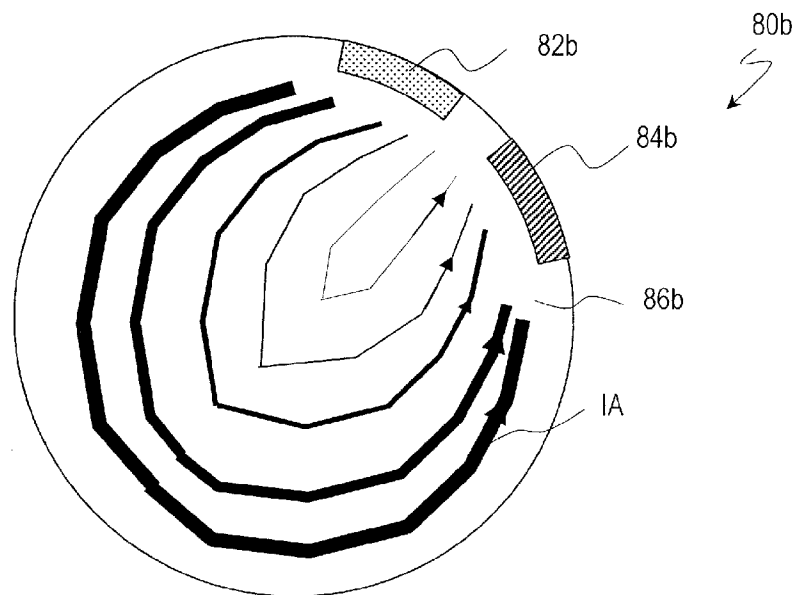


[図14]

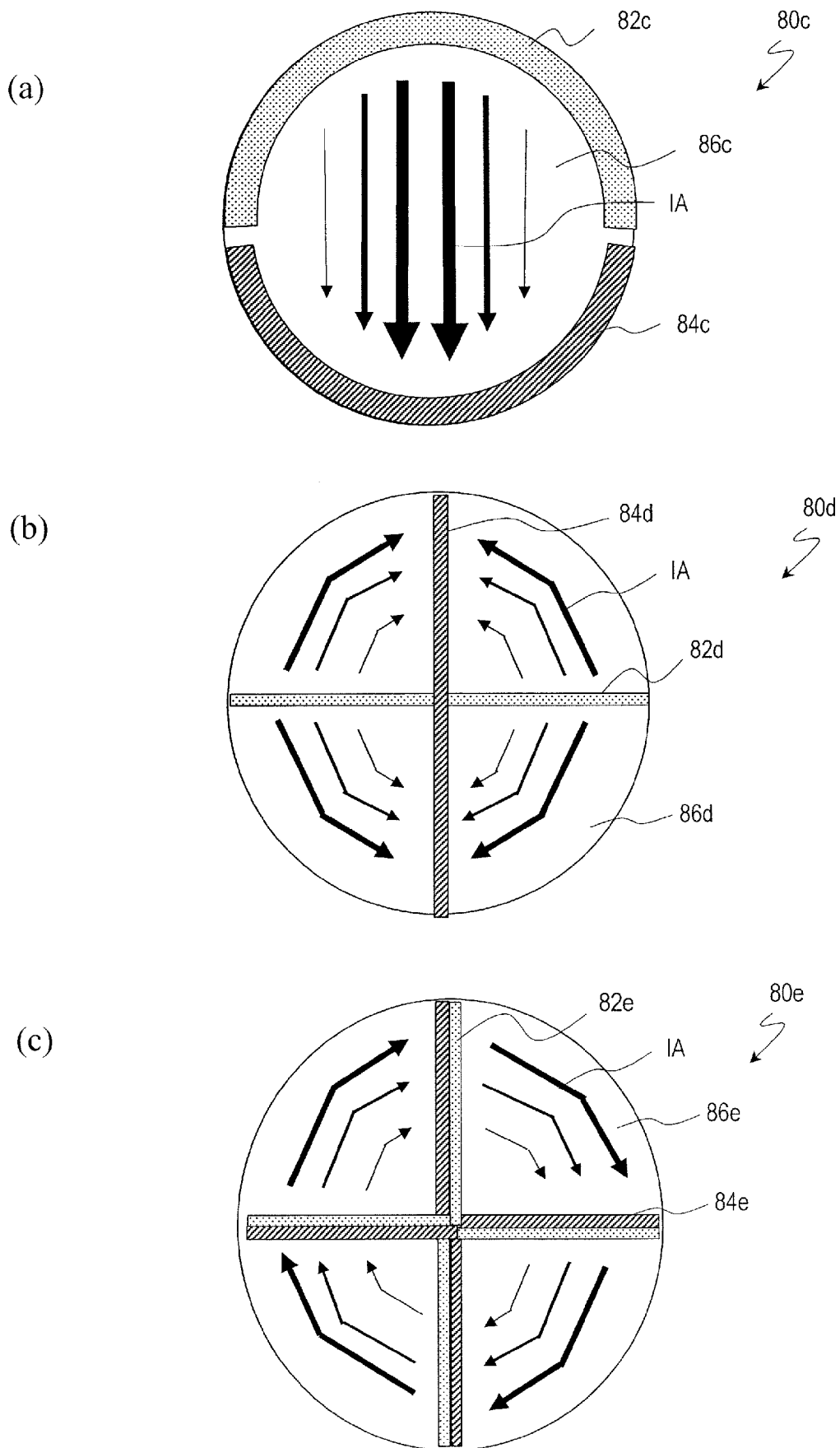
(a)



(b)

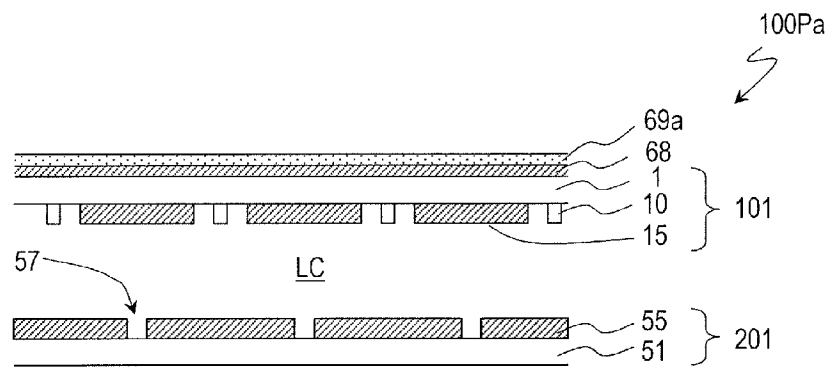


[図15]

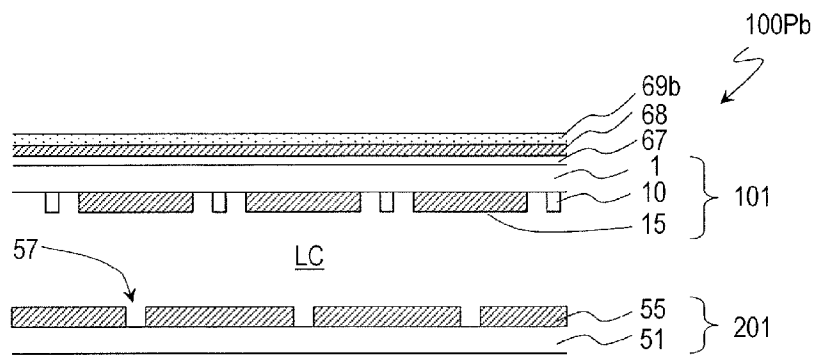


[図16]

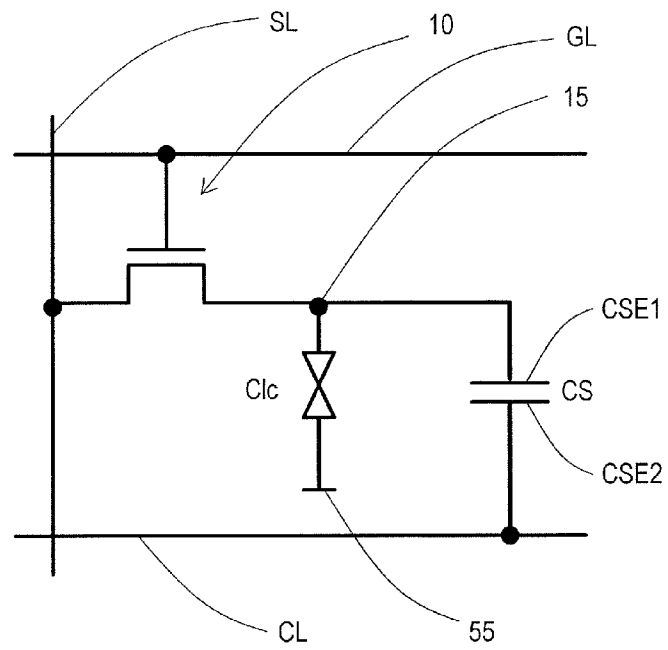
(a)



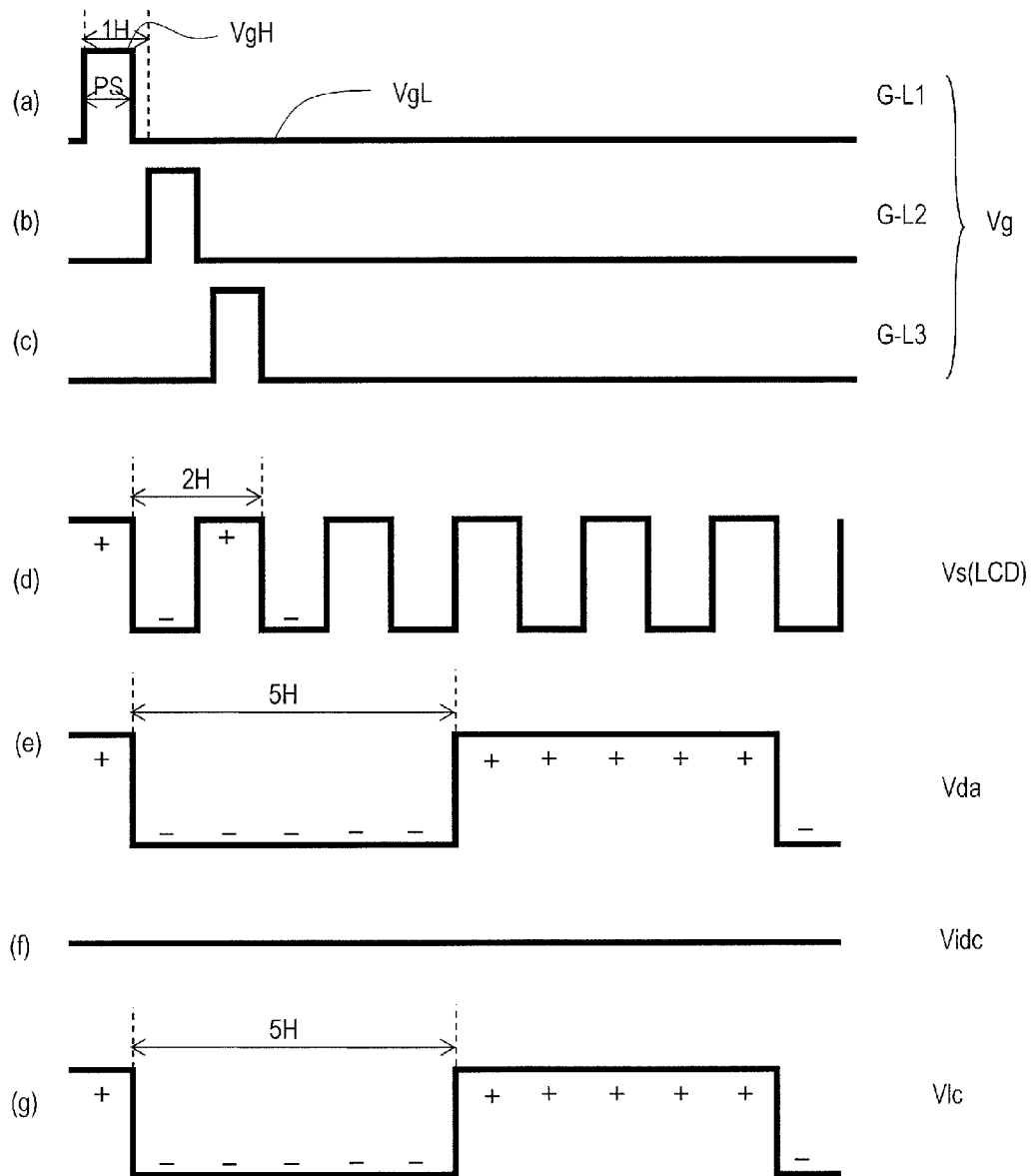
(b)



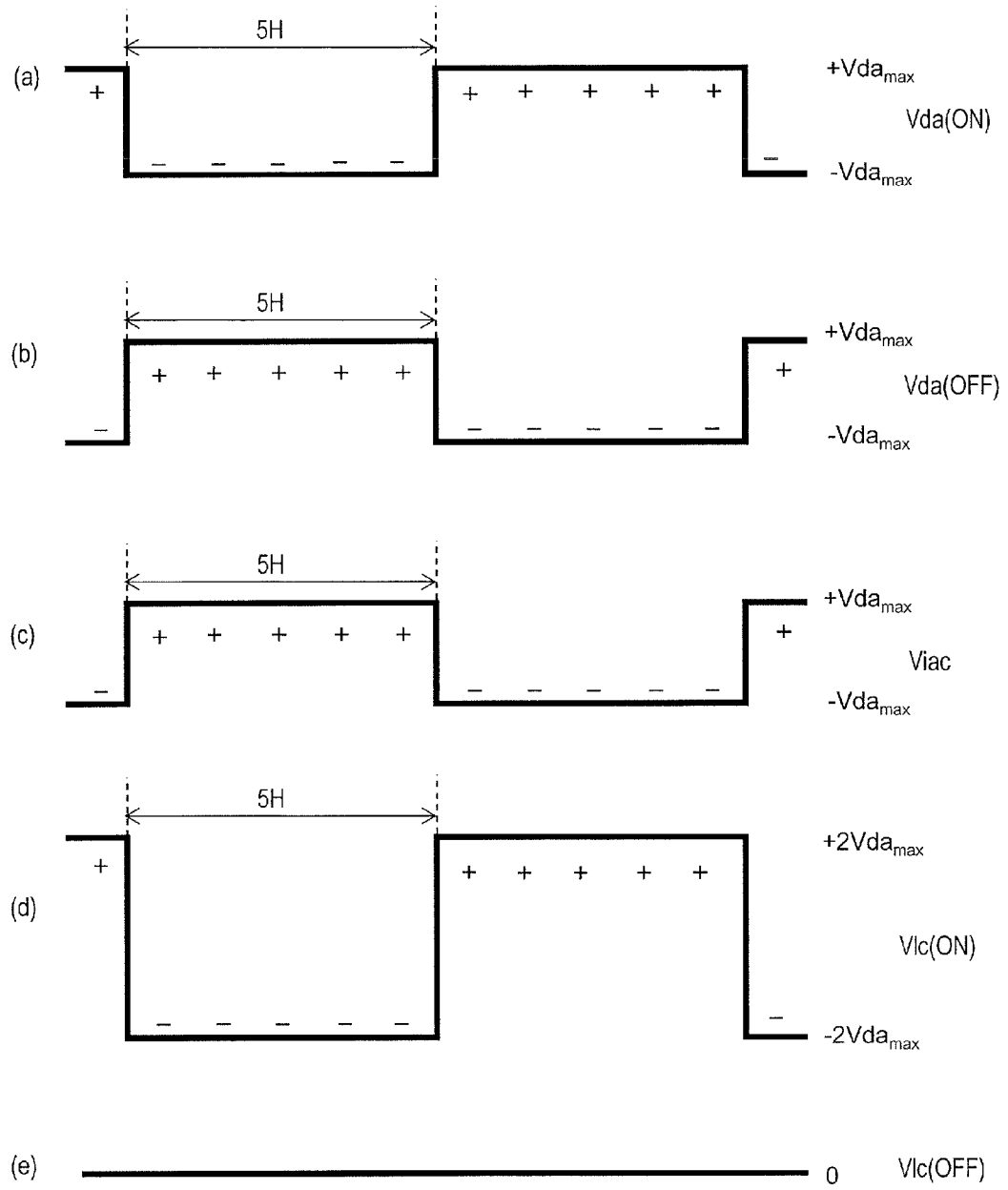
[図17]



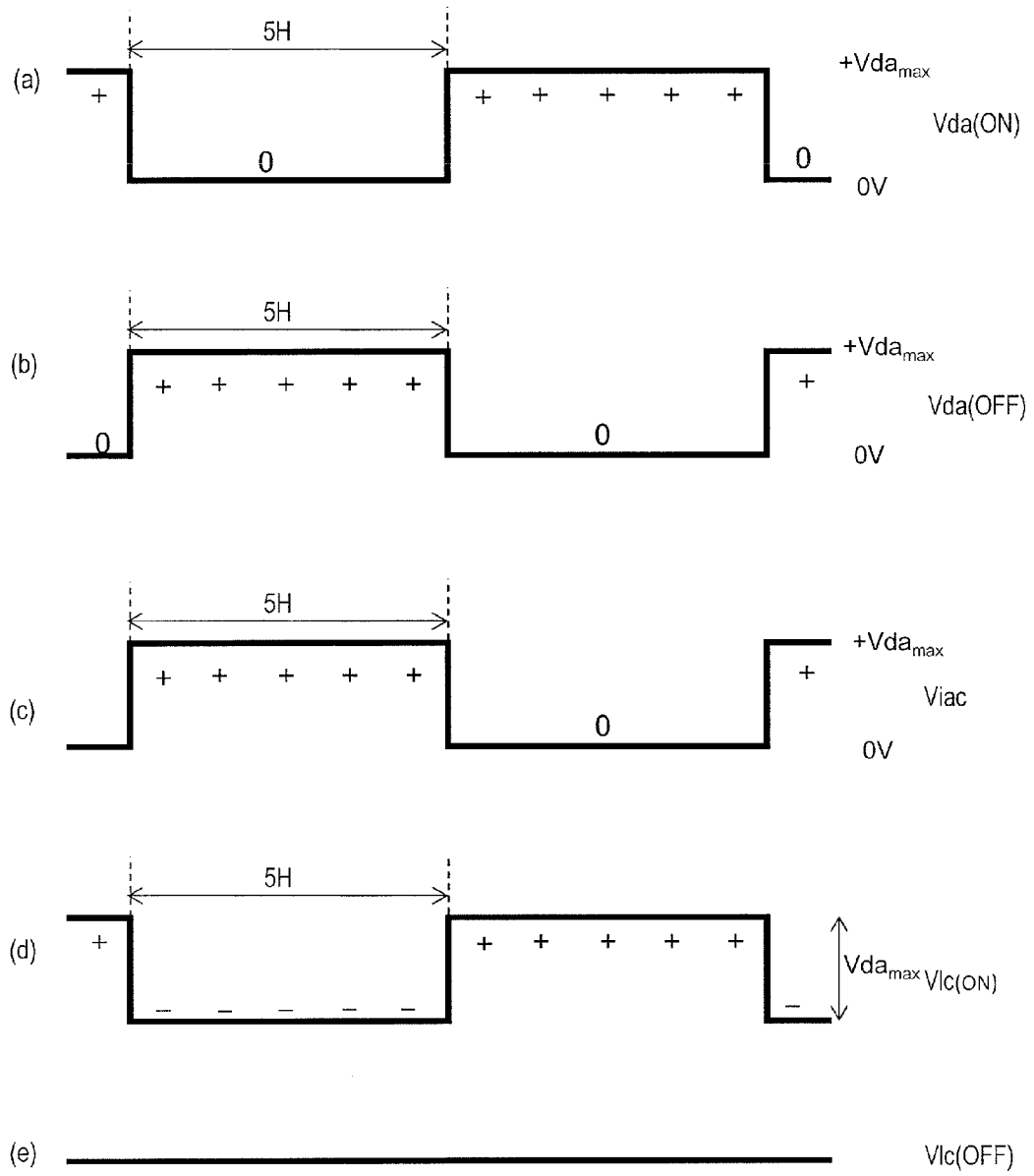
[図18]



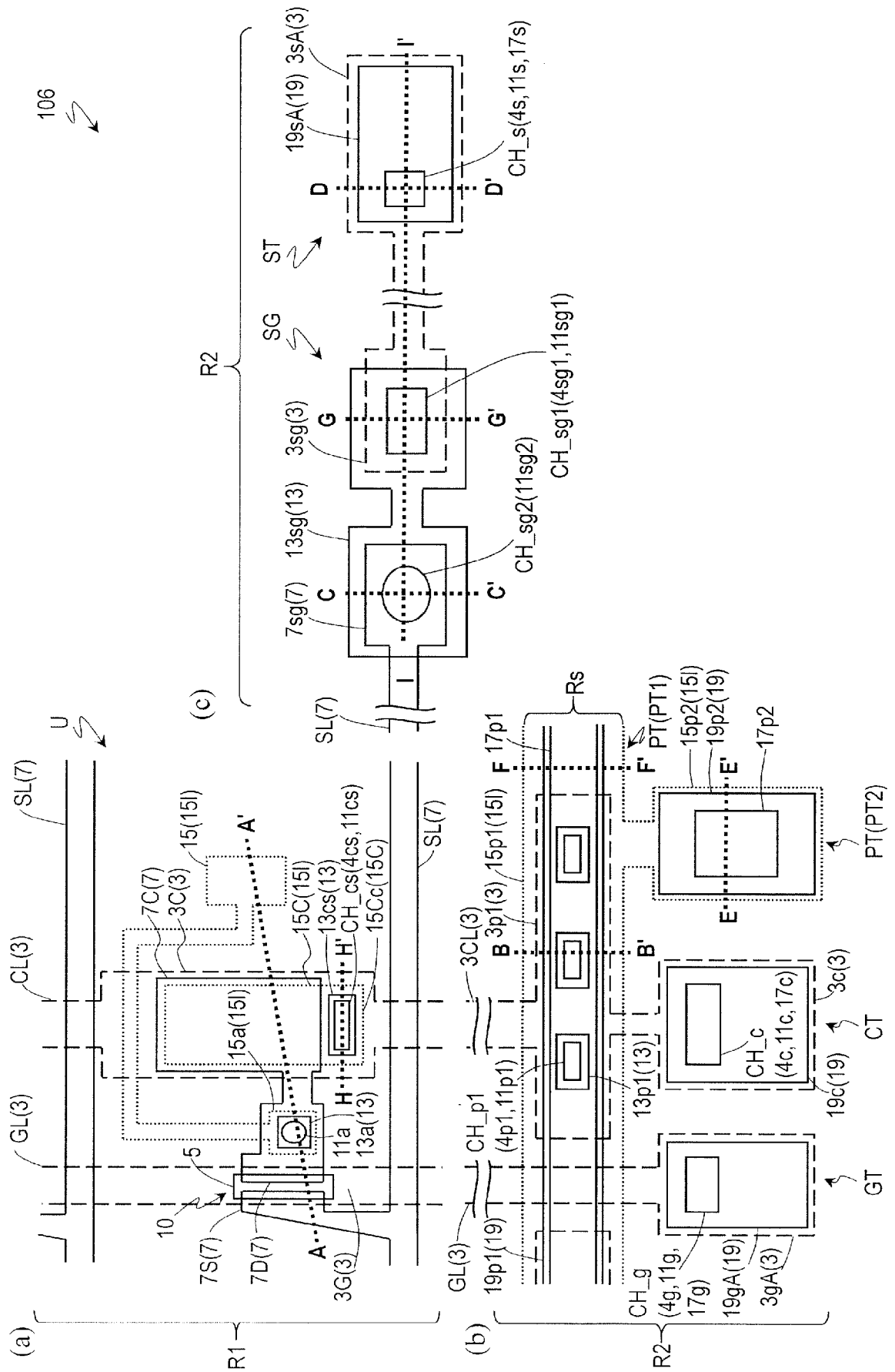
[図19]



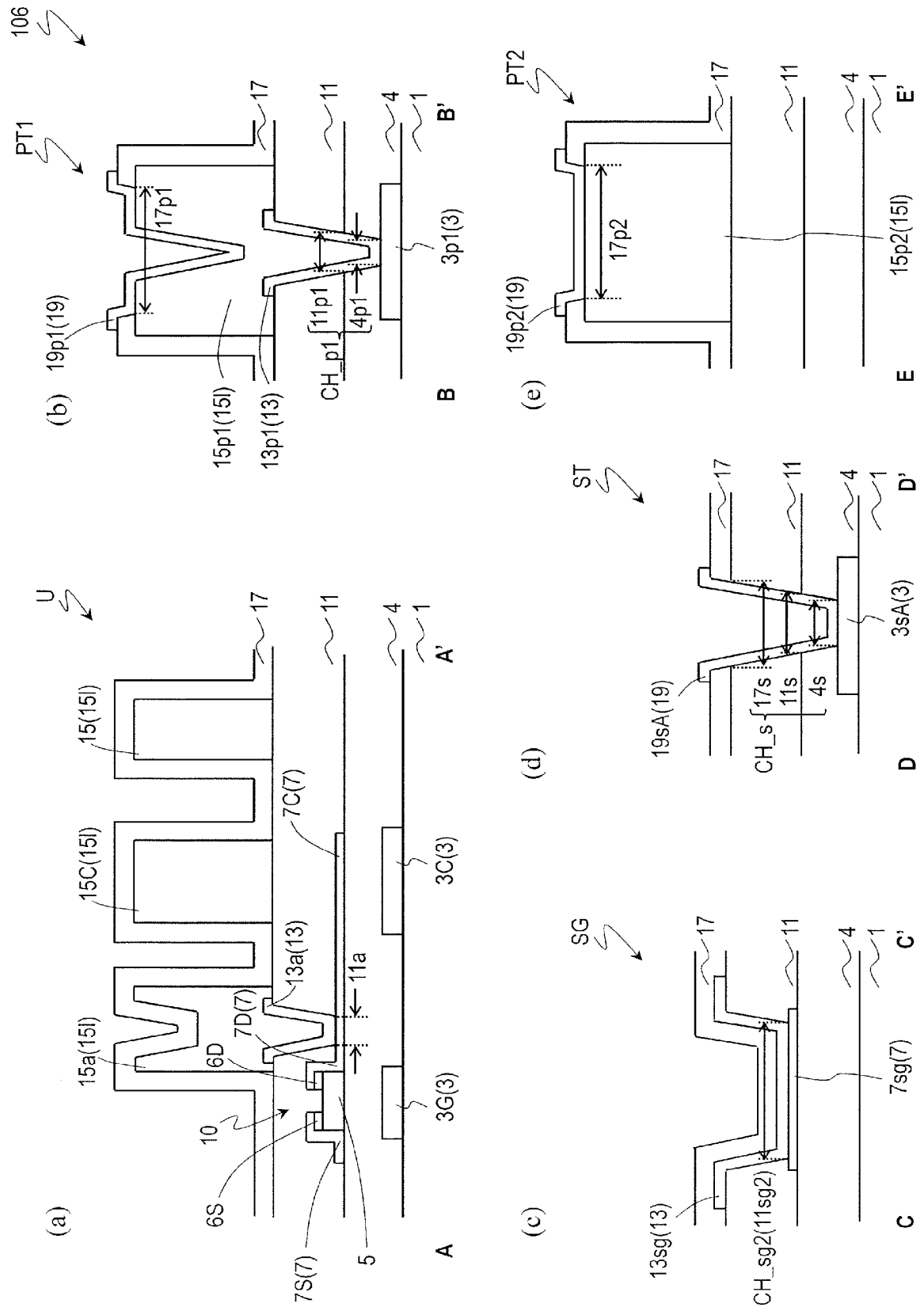
[図20]



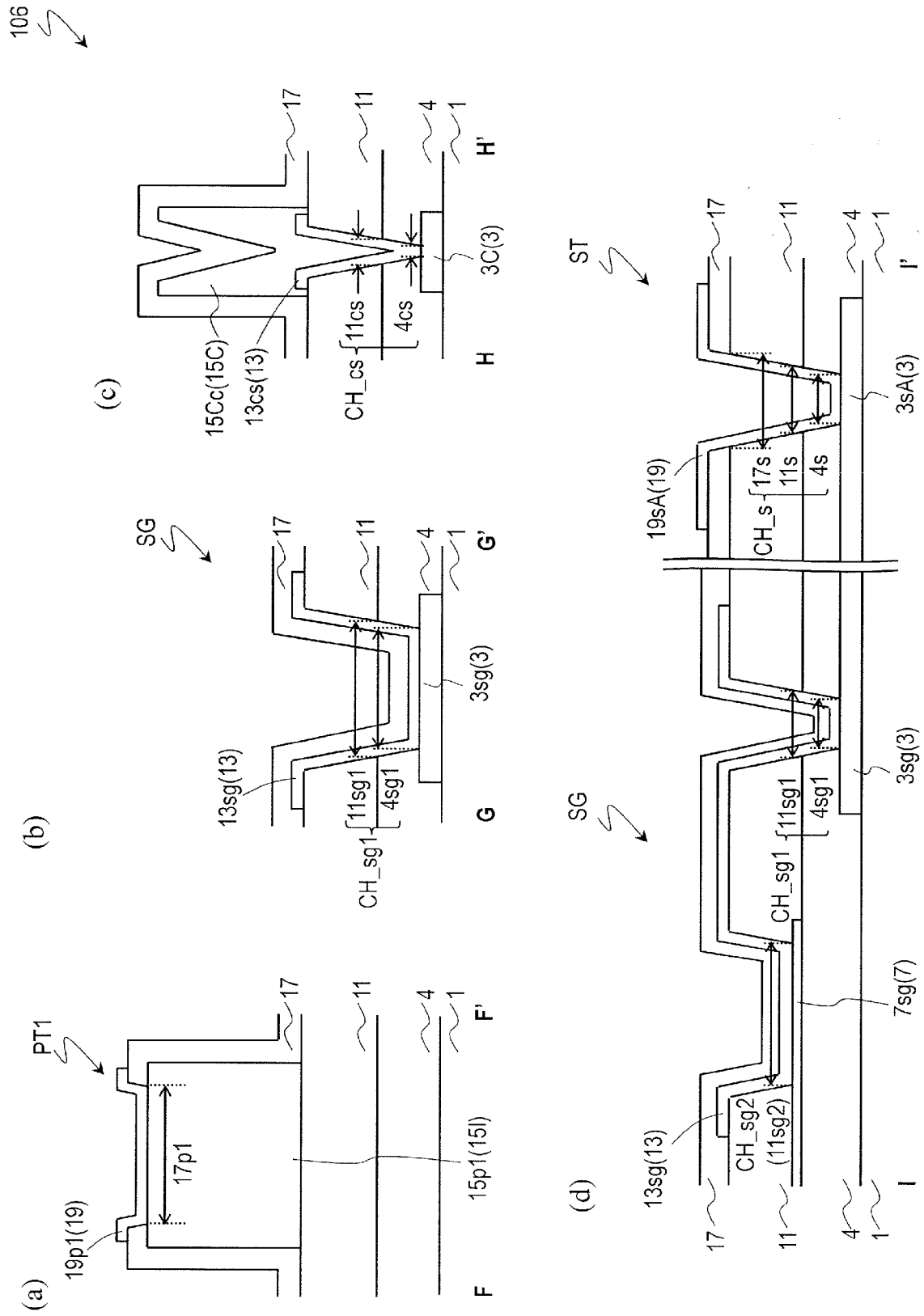
[図24]



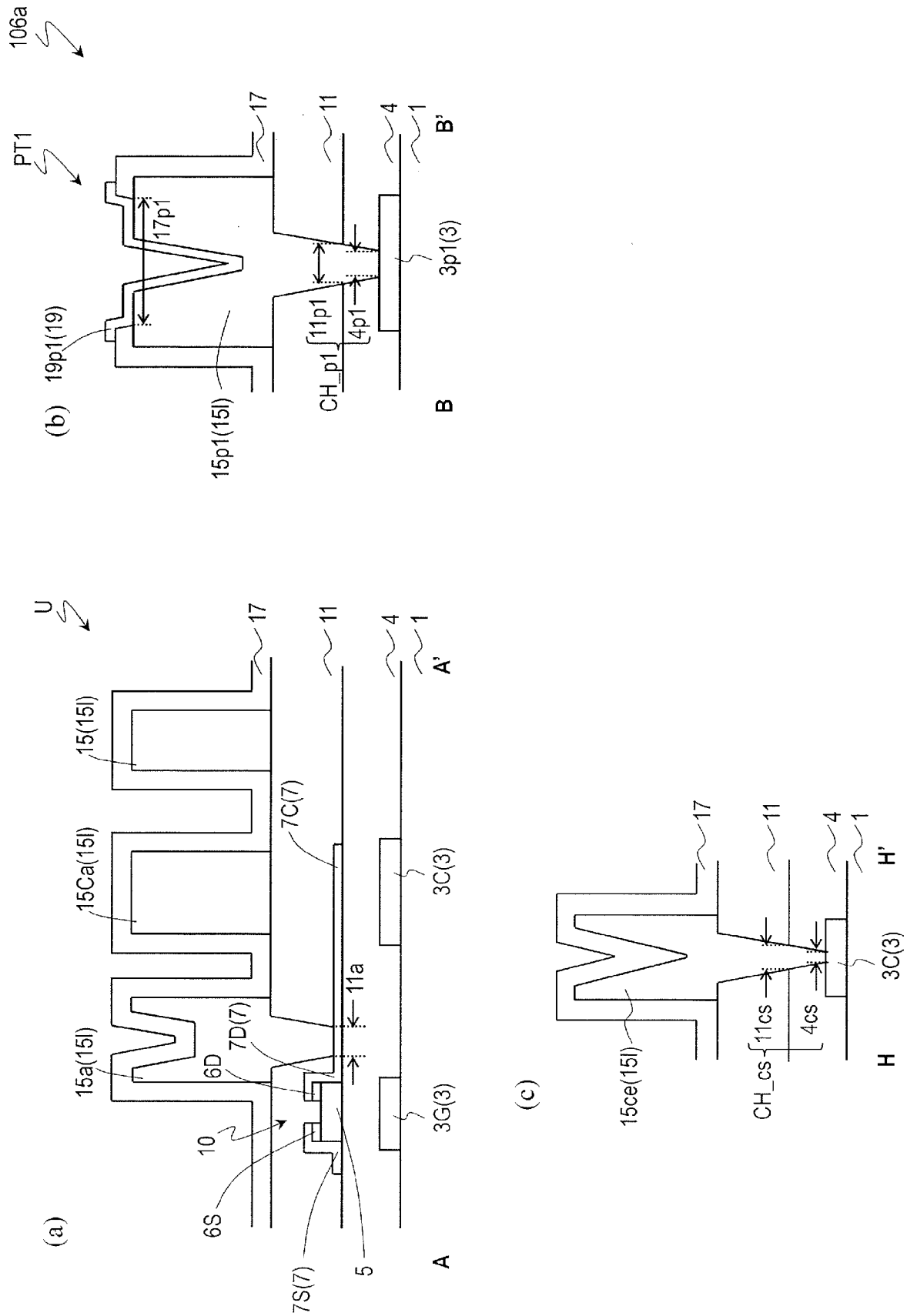
[図25]



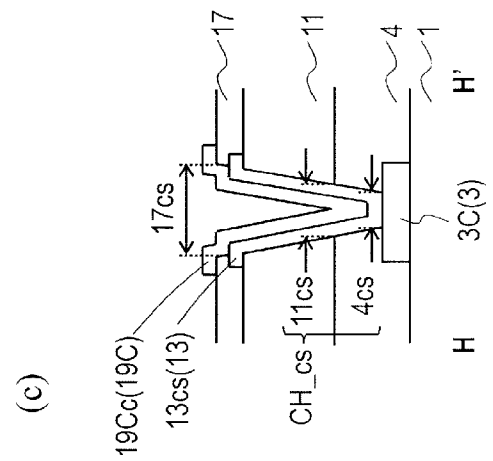
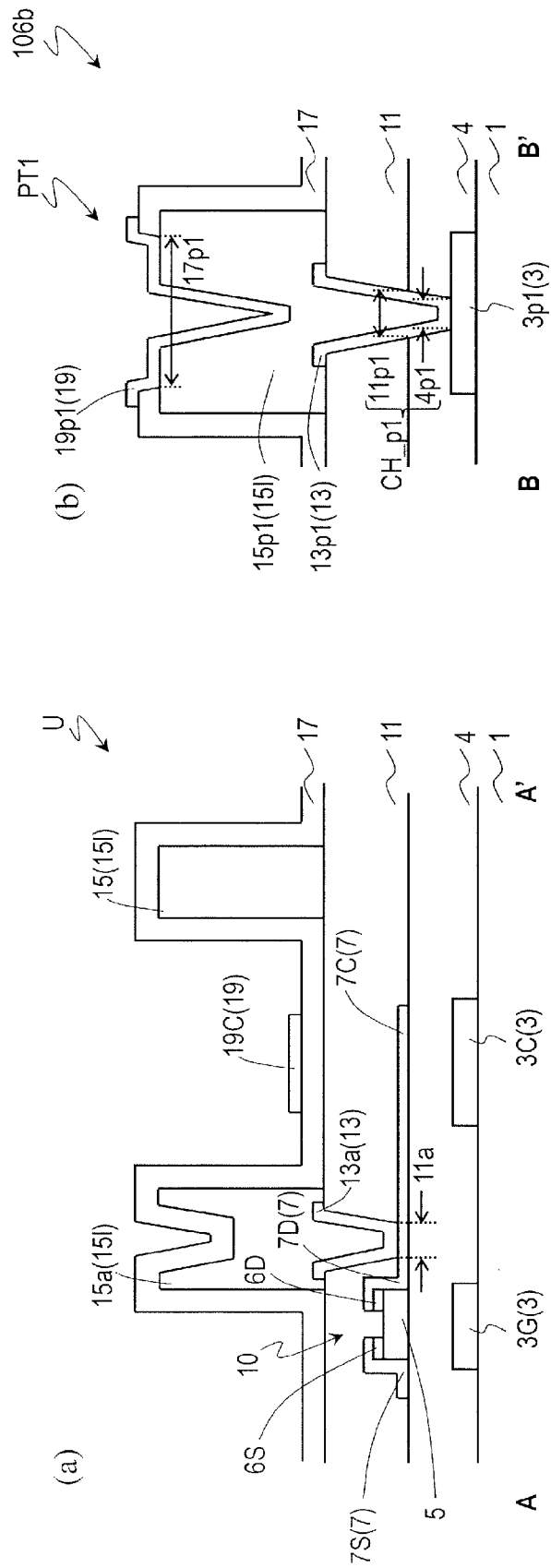
[図26]



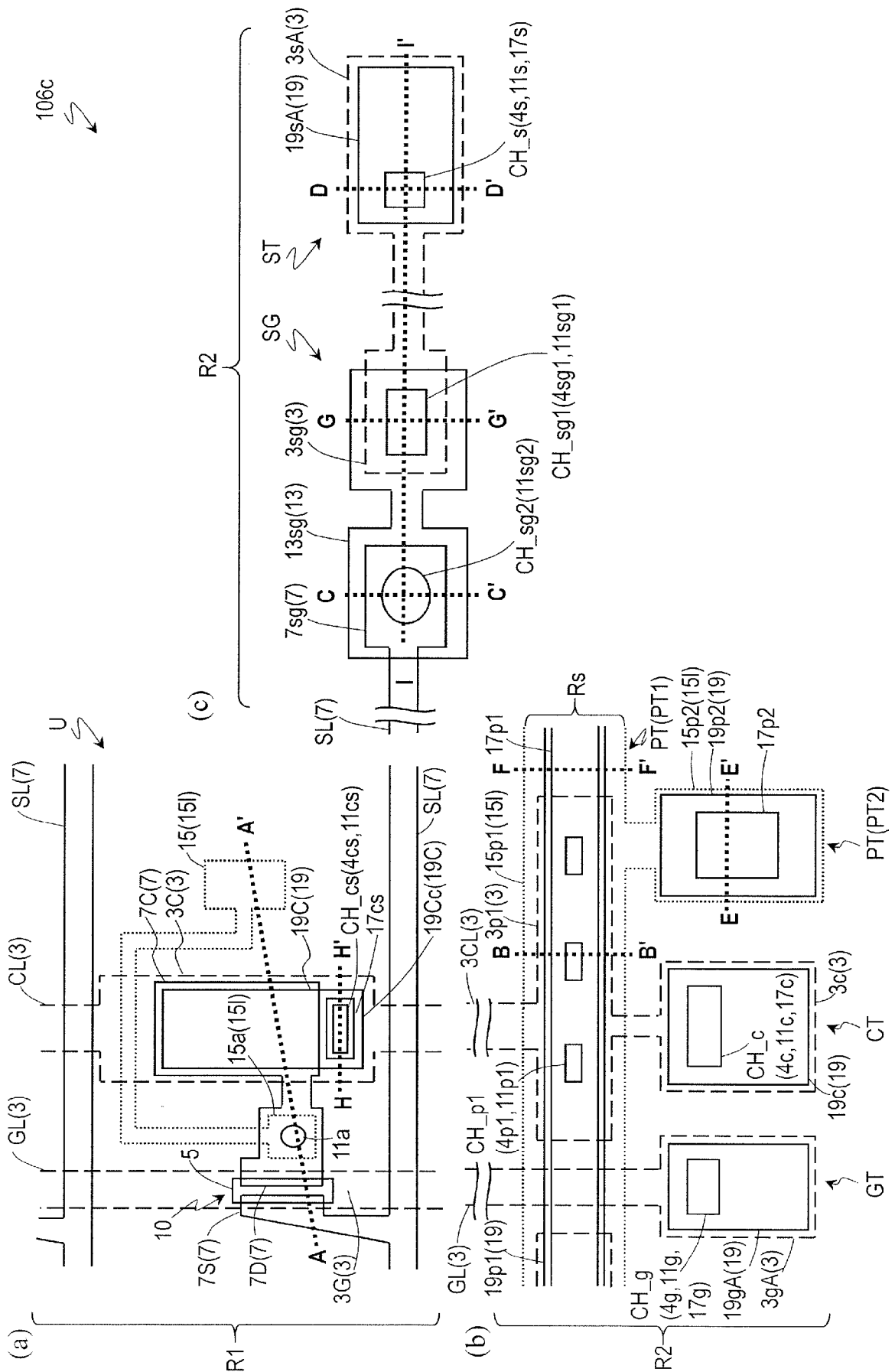
[図28]



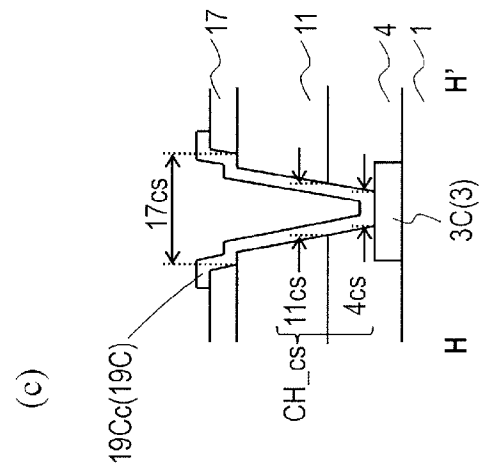
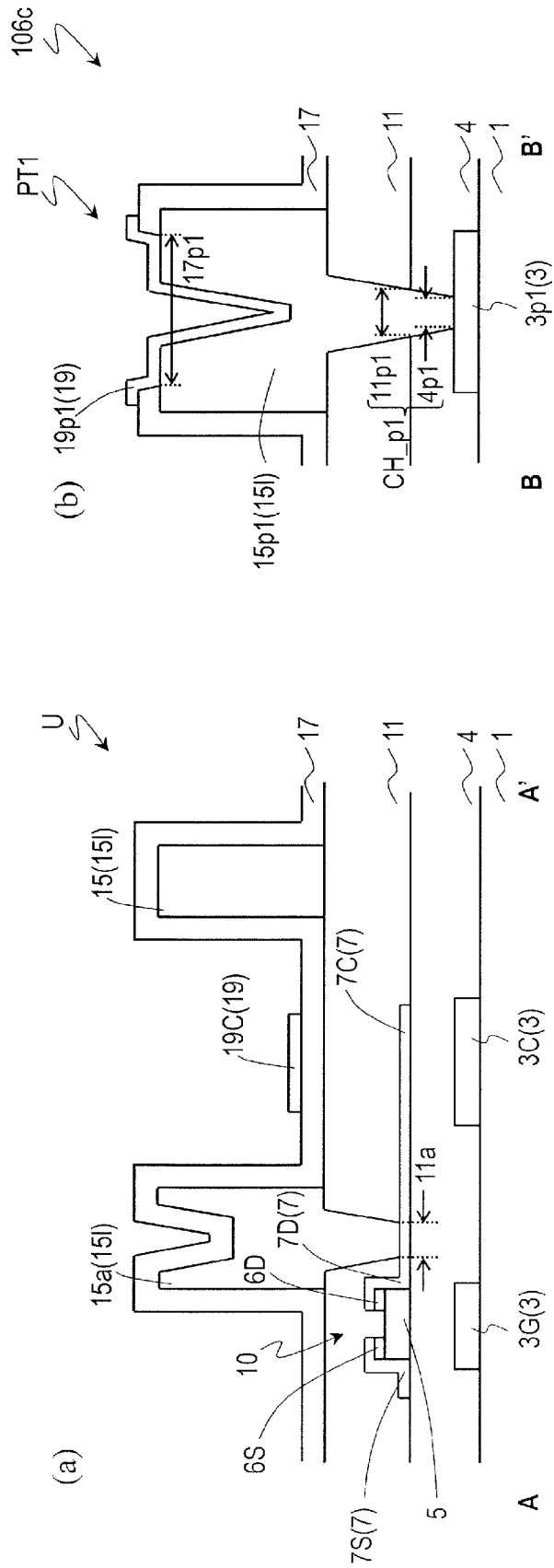
[図30]



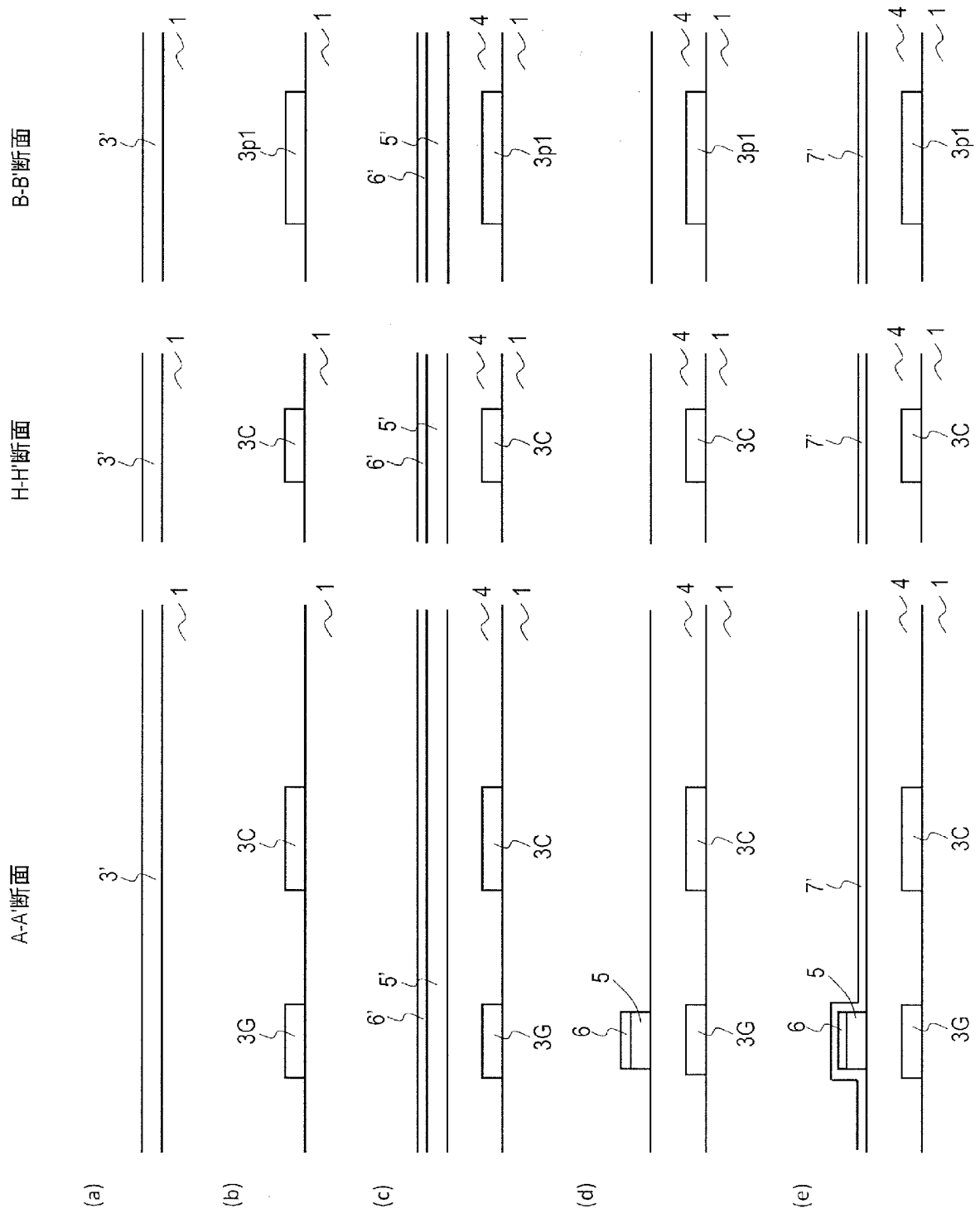
[図31]



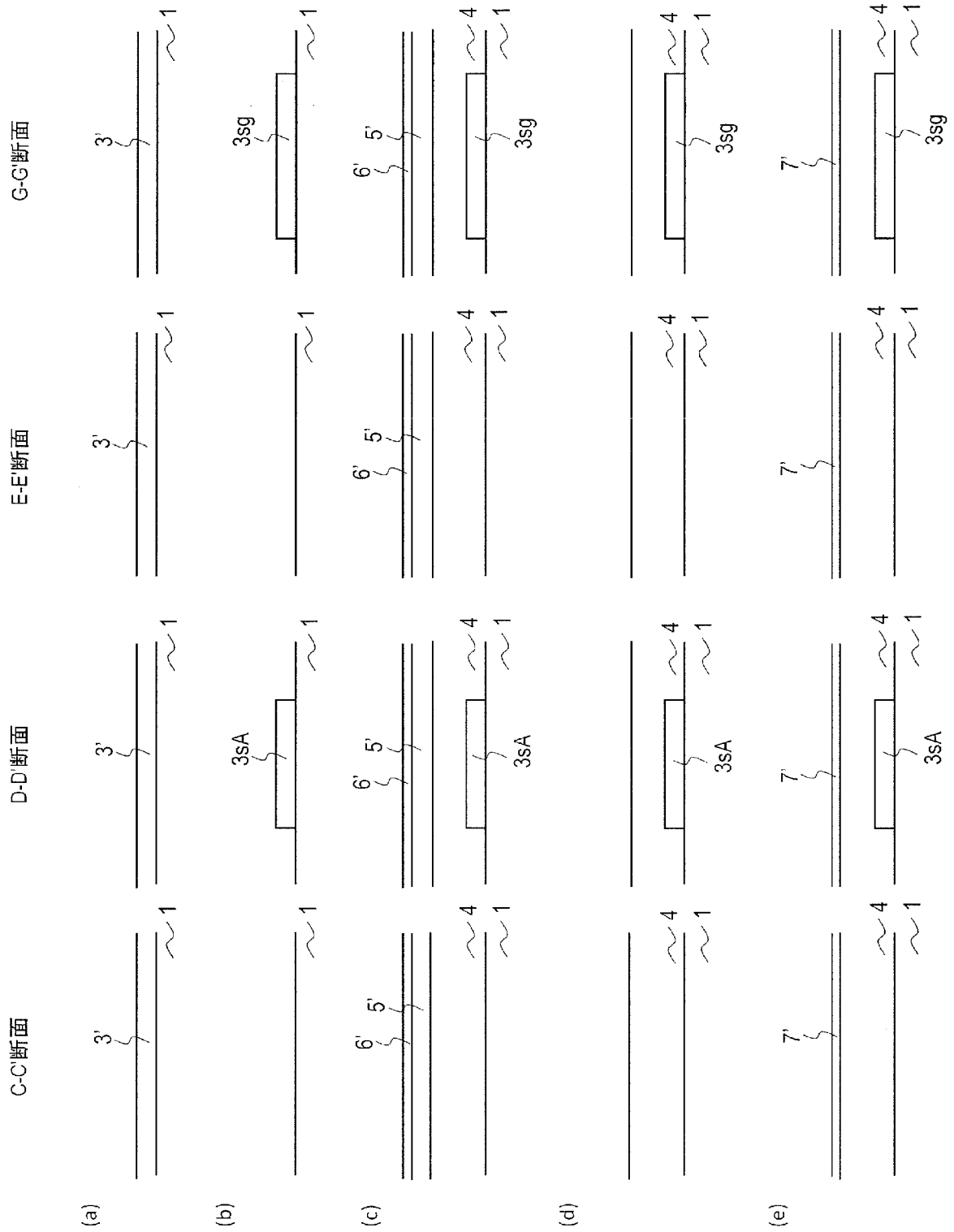
[図32]



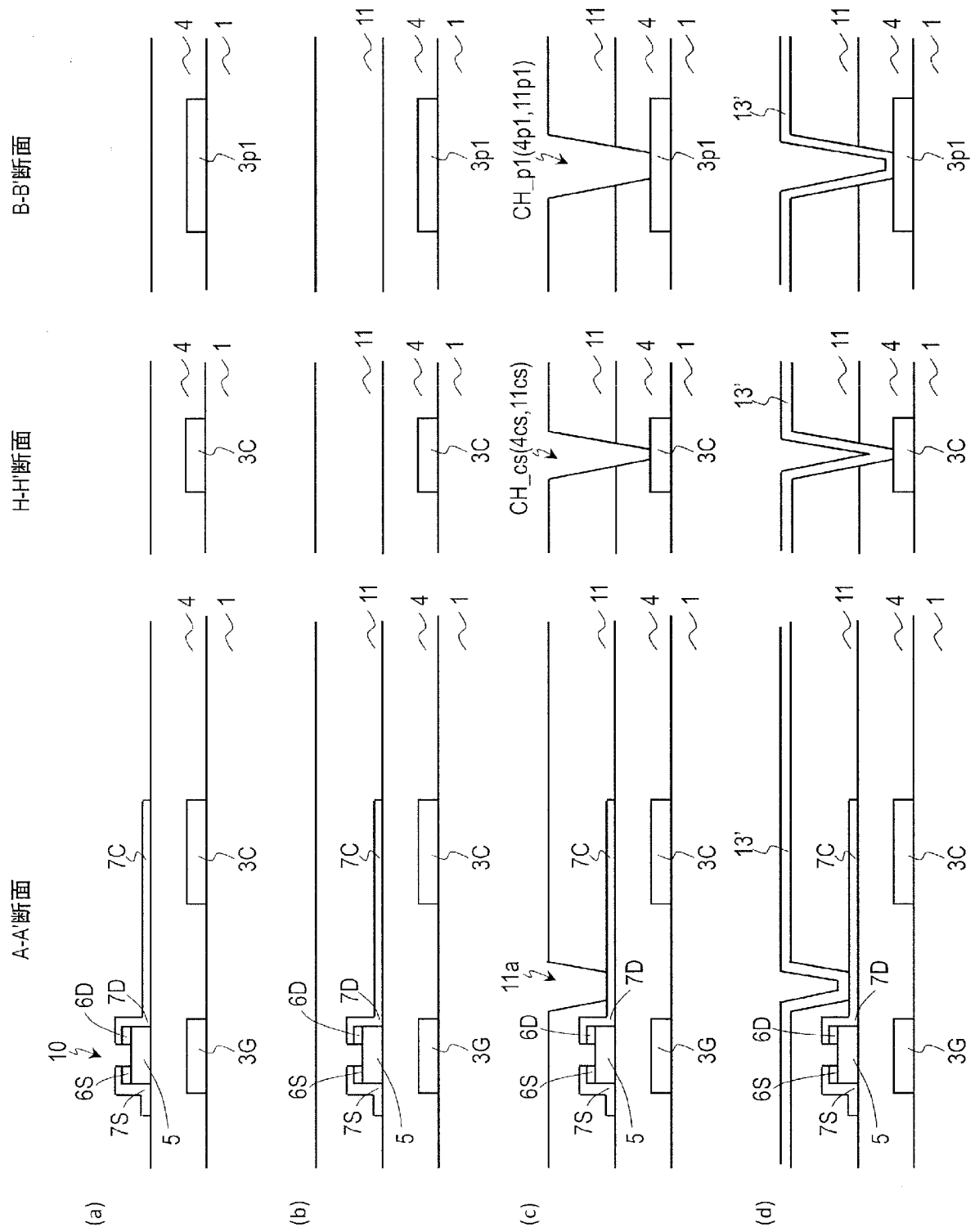
[図33]



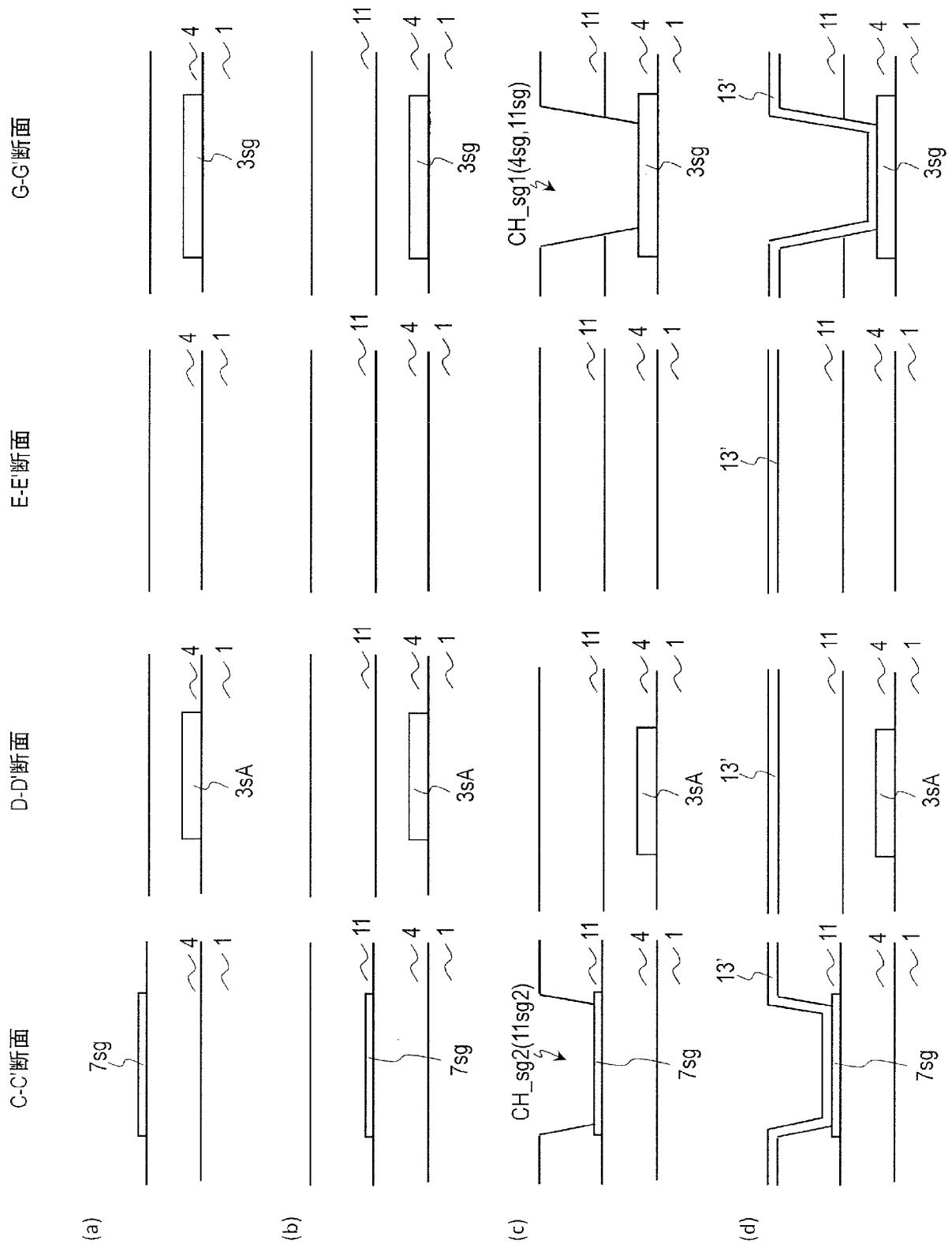
[図34]



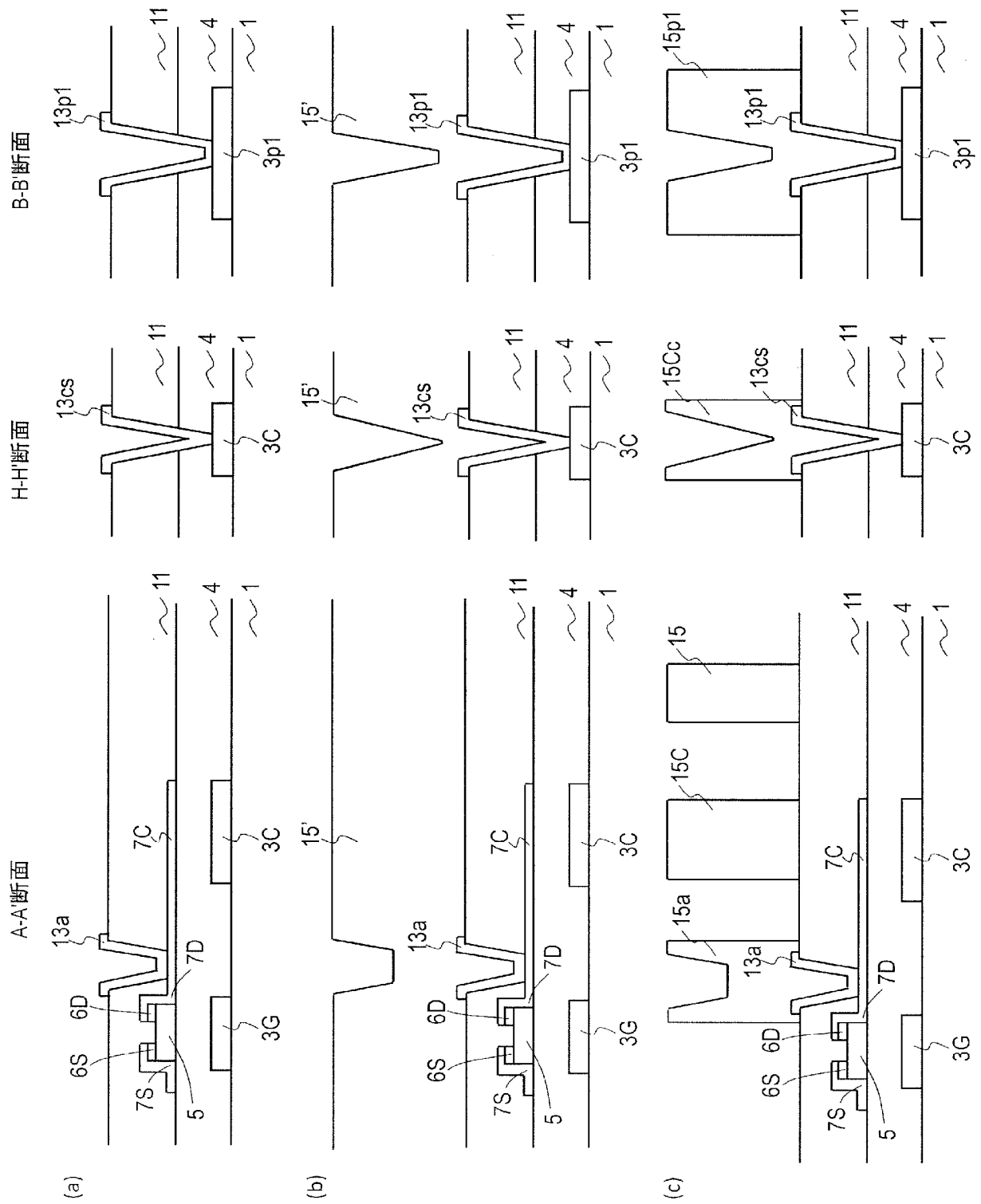
[図35]



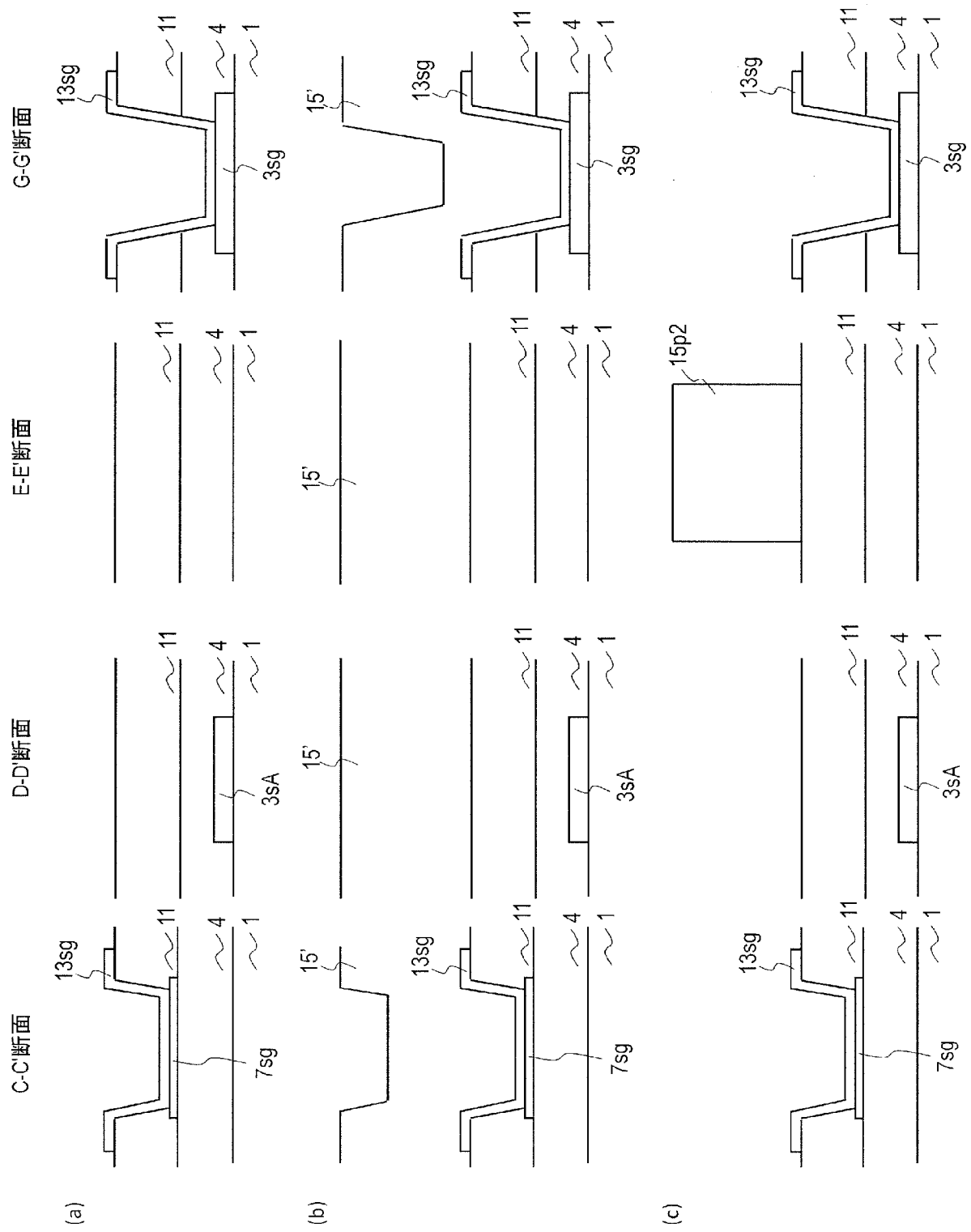
[図36]



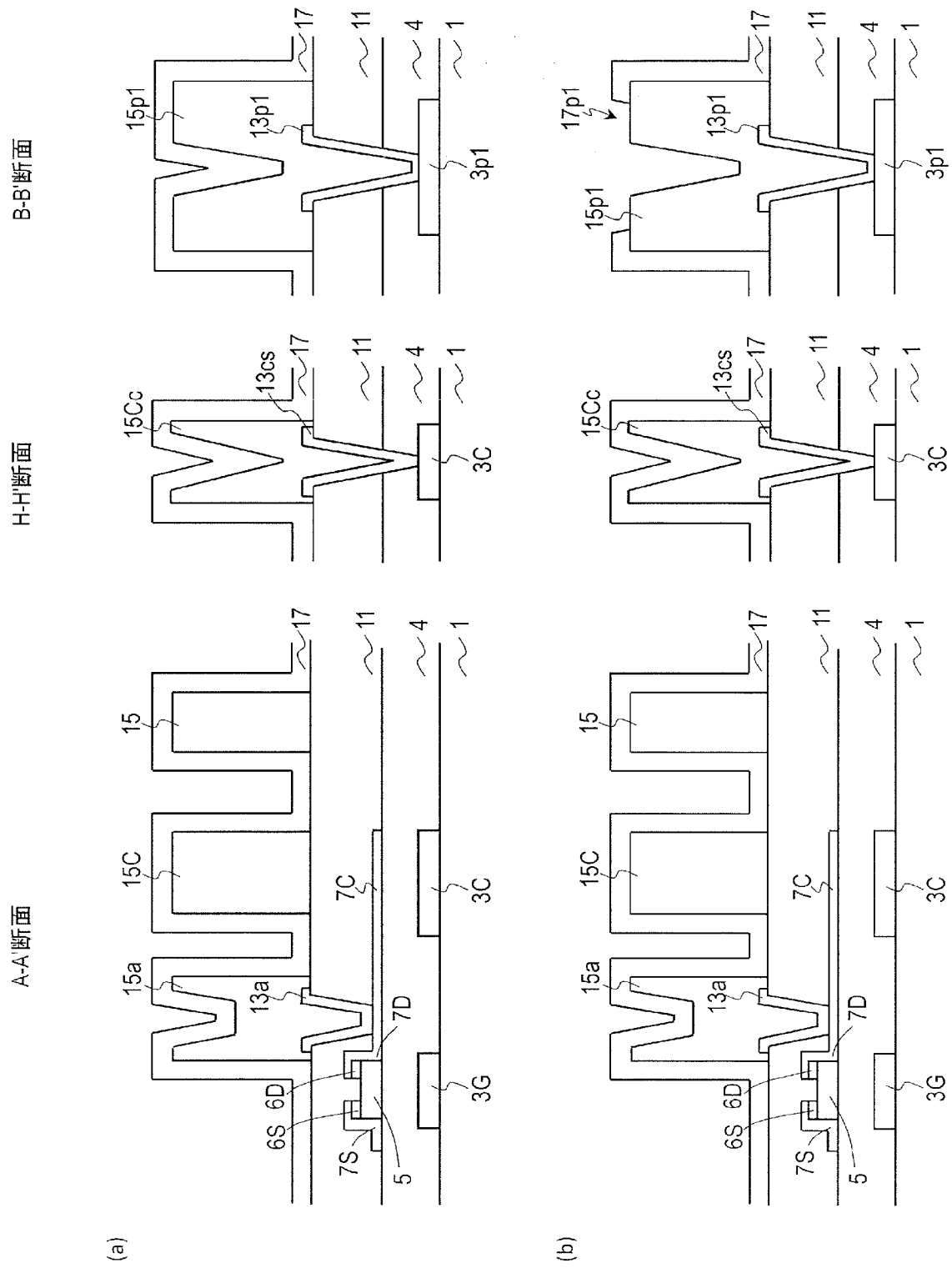
[図37]



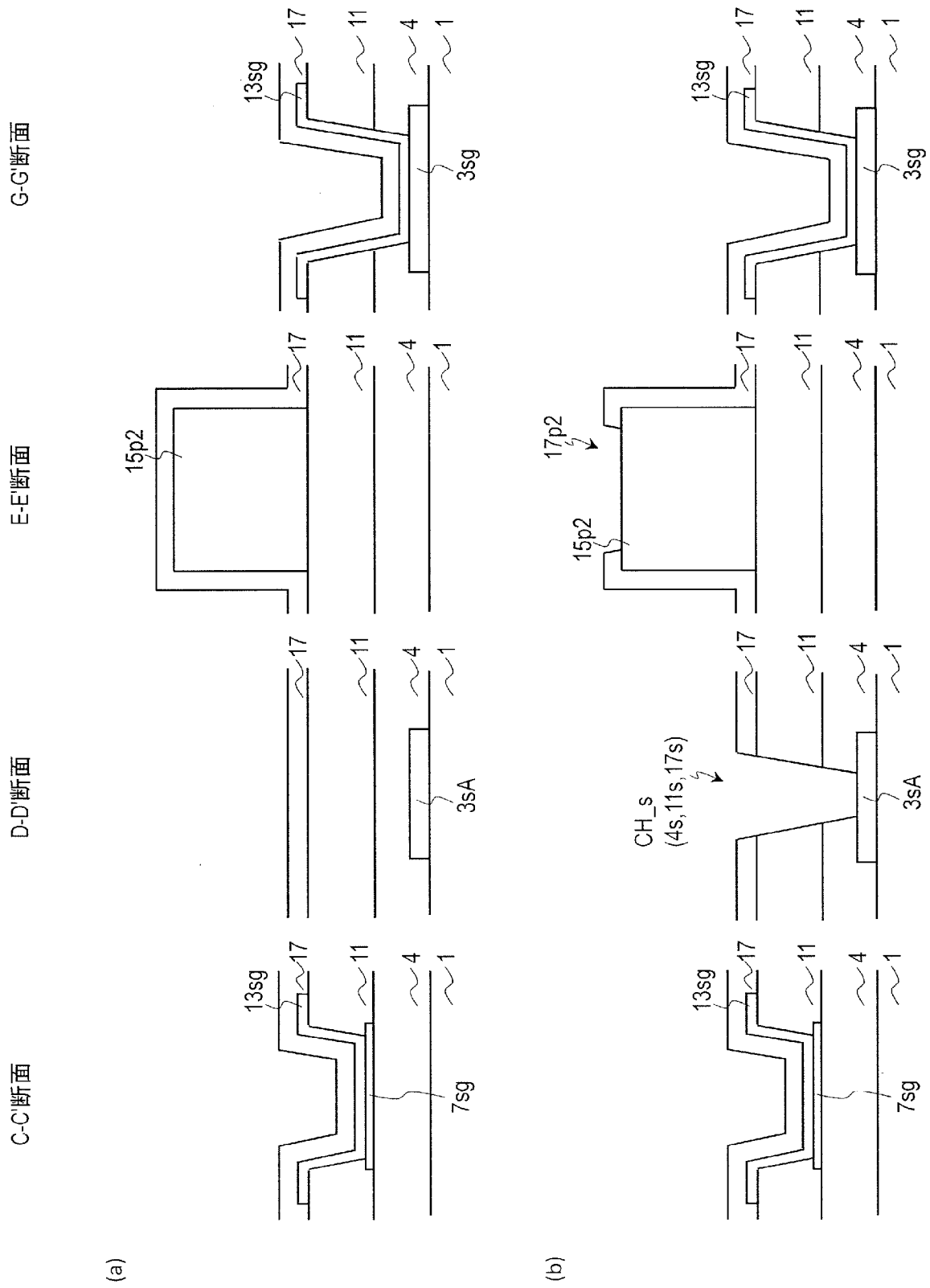
[図38]



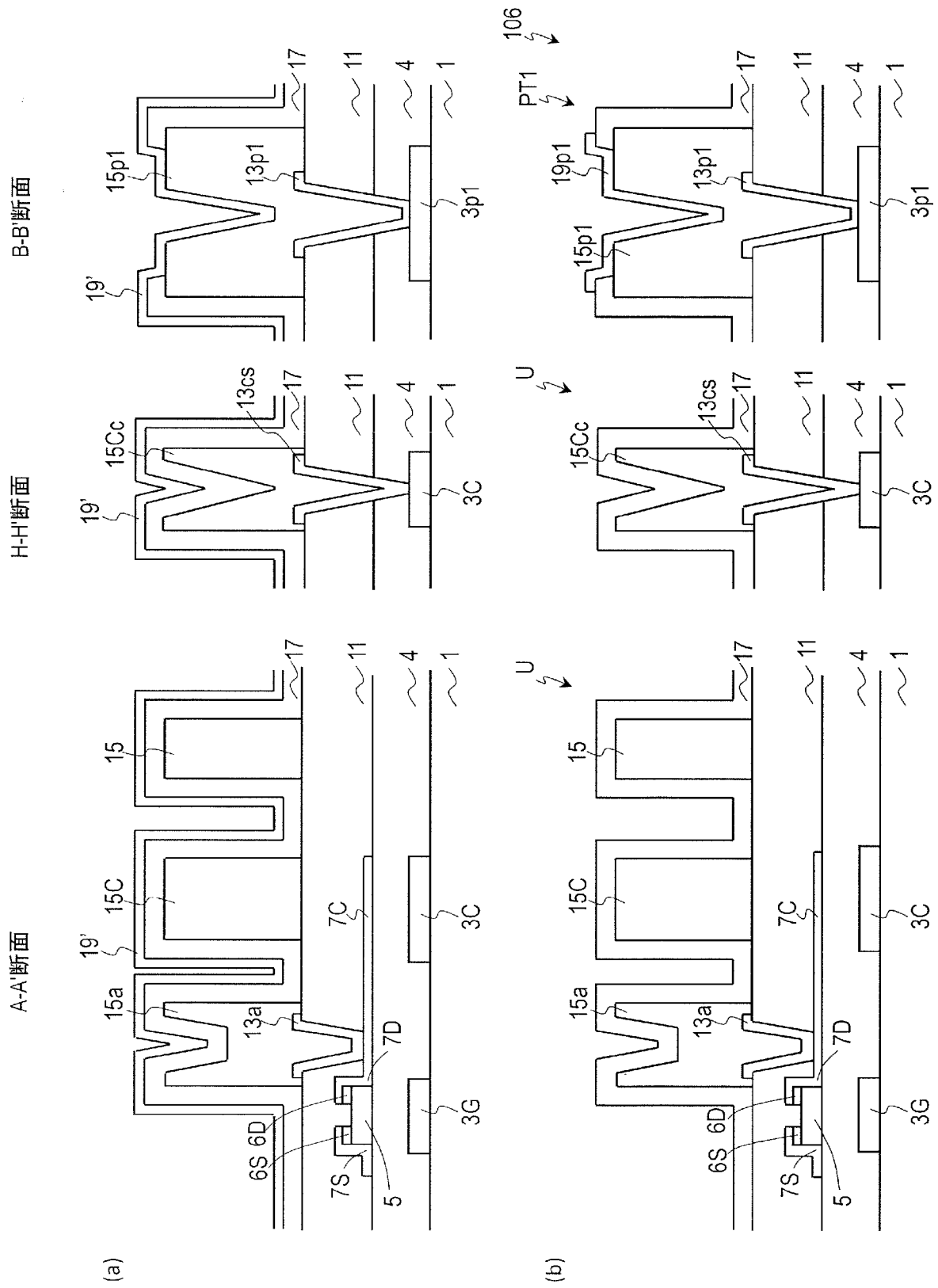
[図39]



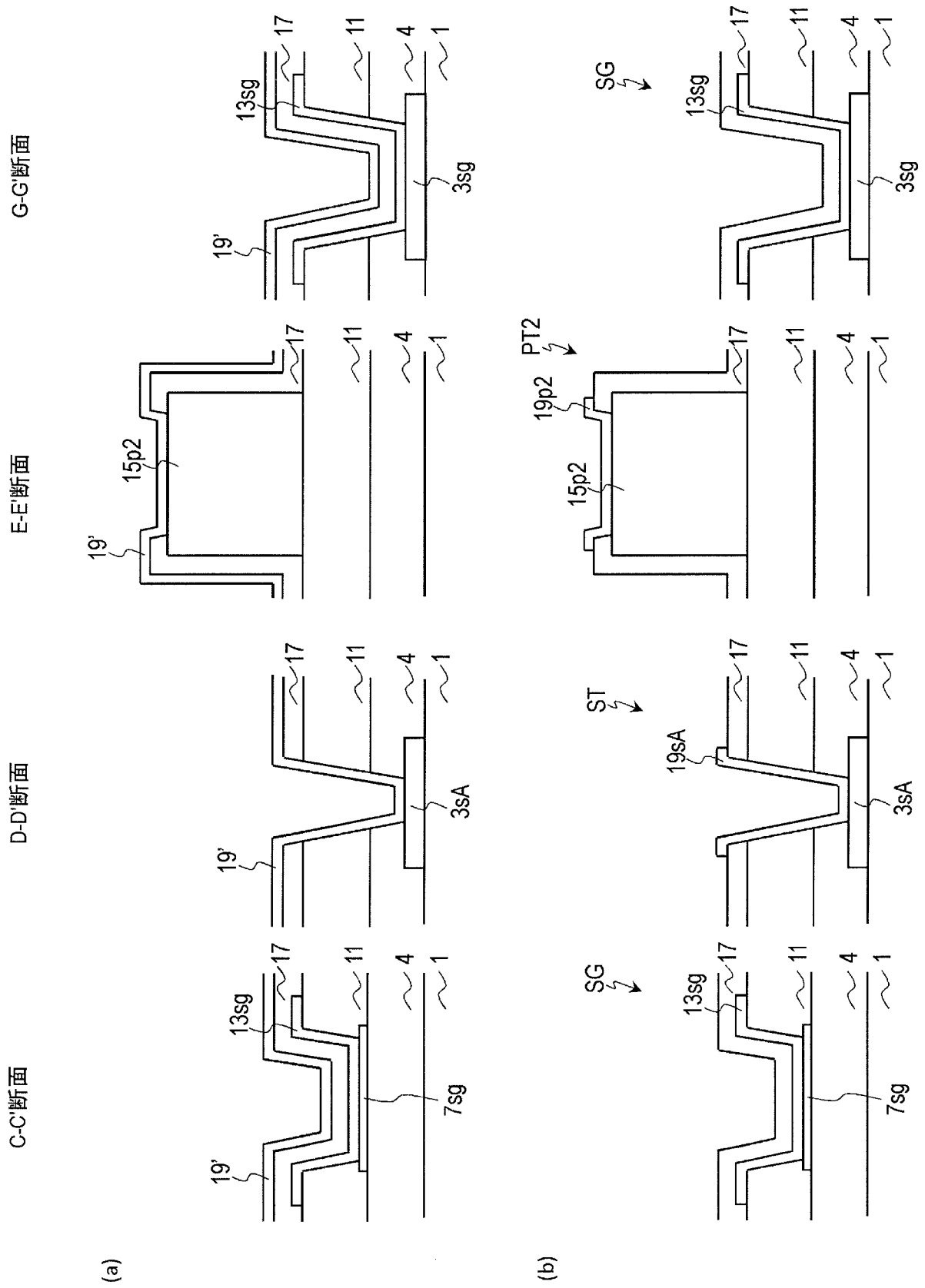
[図40]



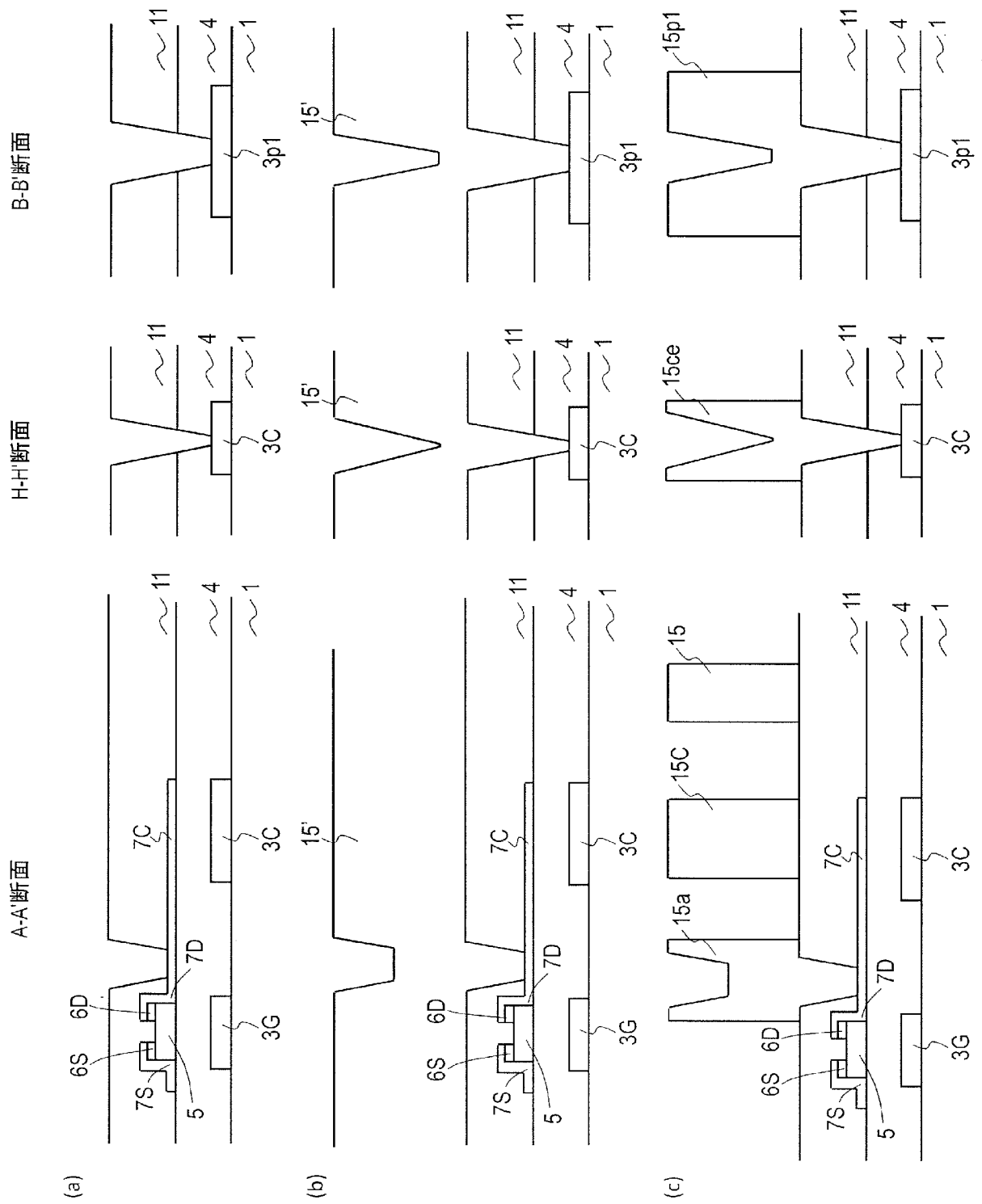
[図41]



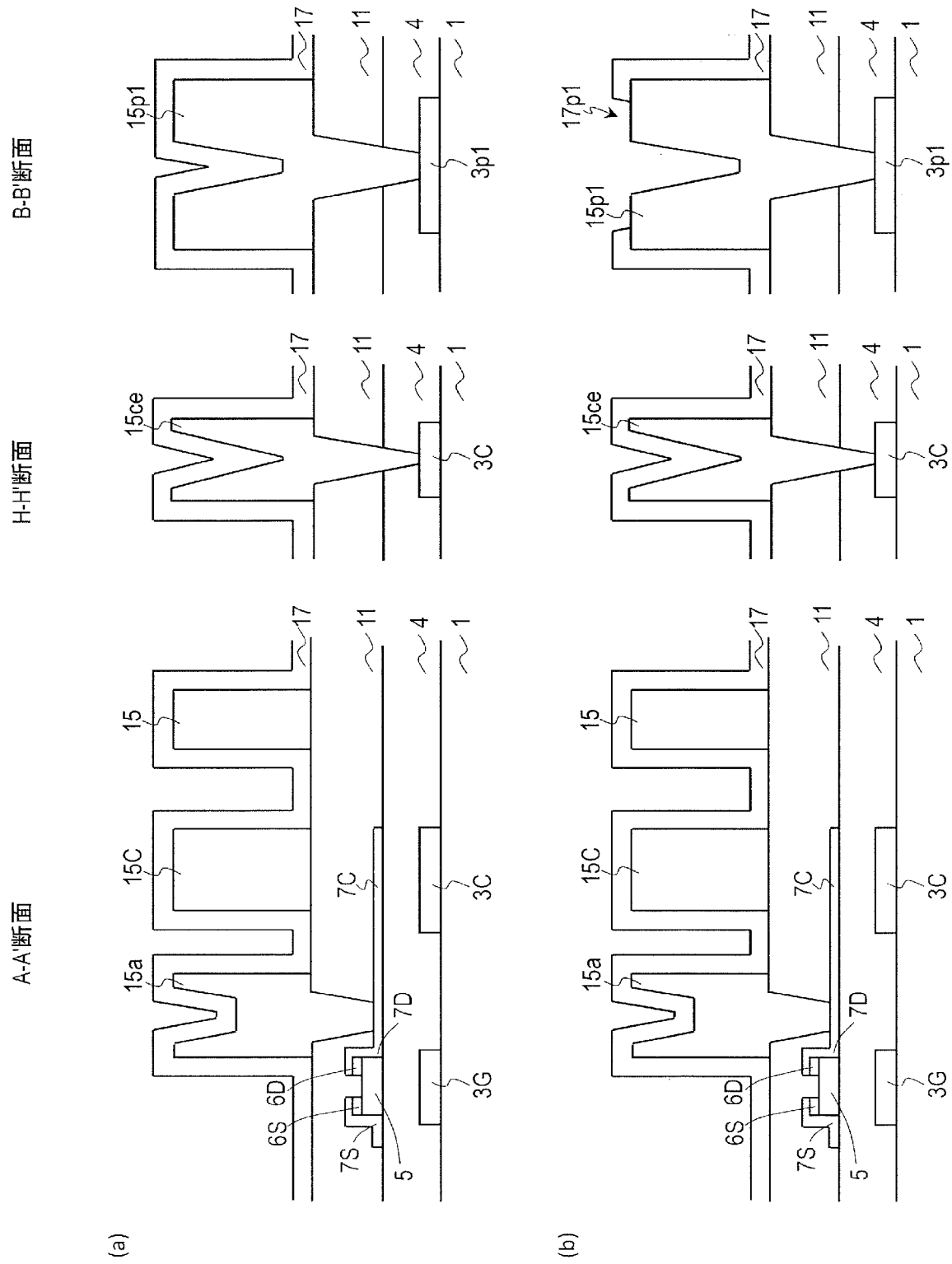
[図42]



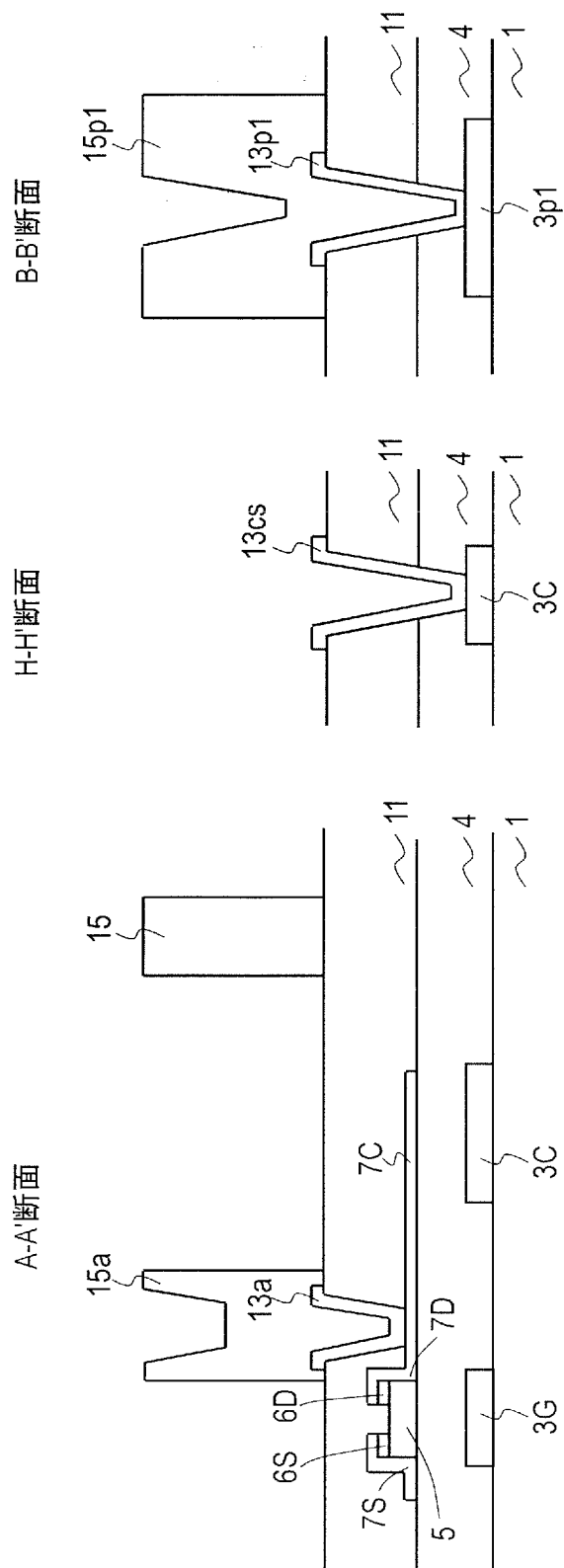
[図43]



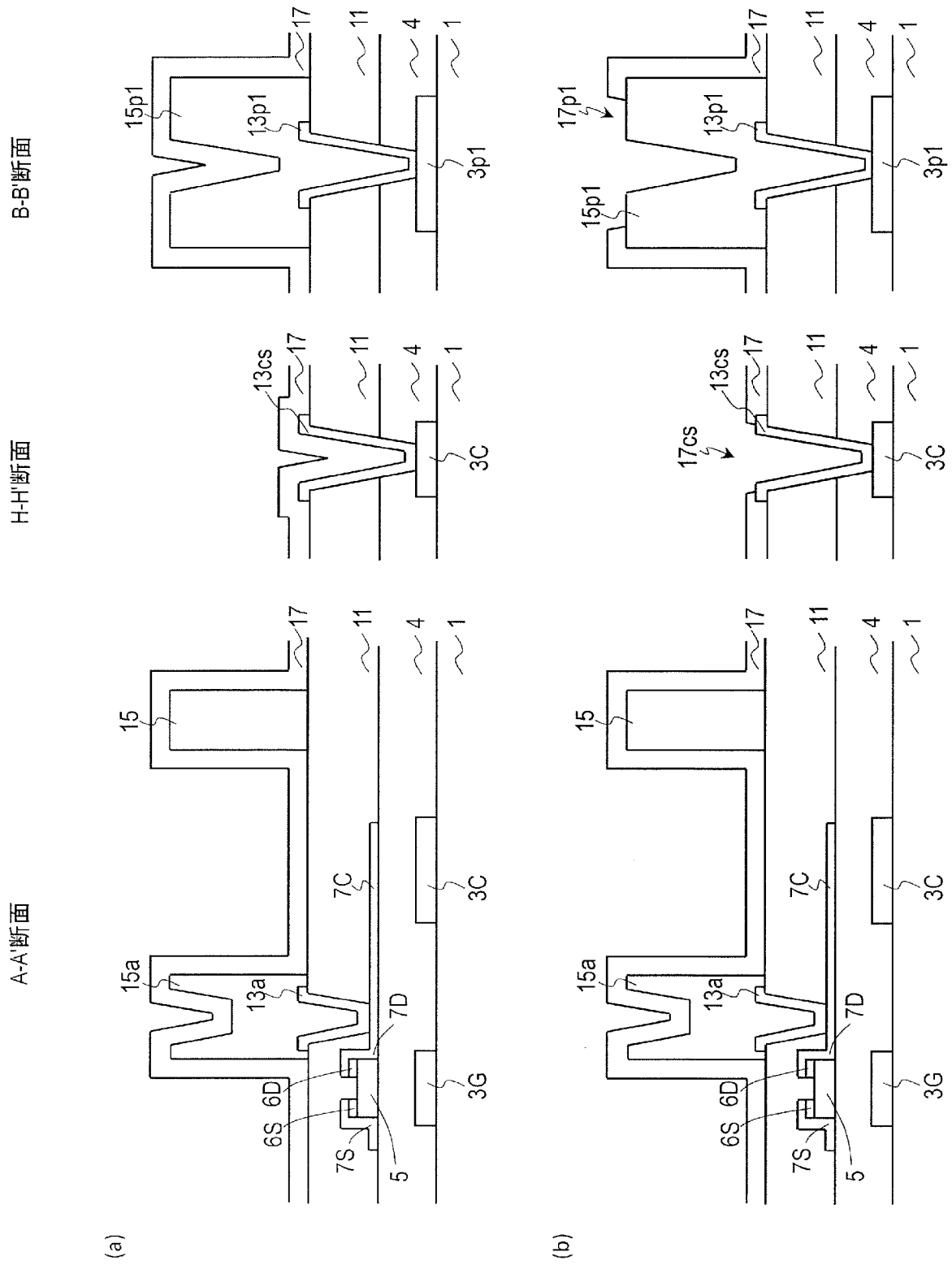
[図44]



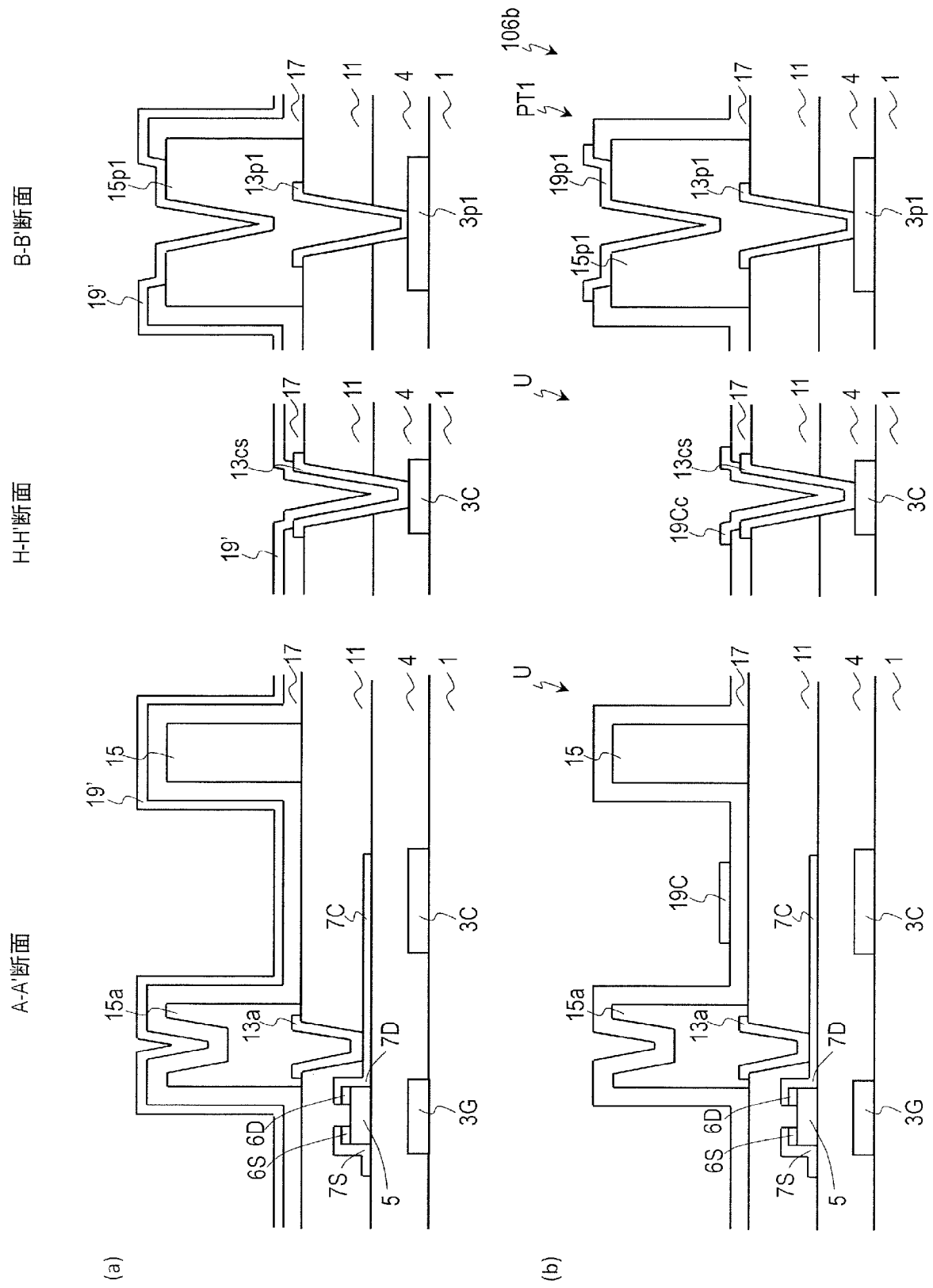
[図46]



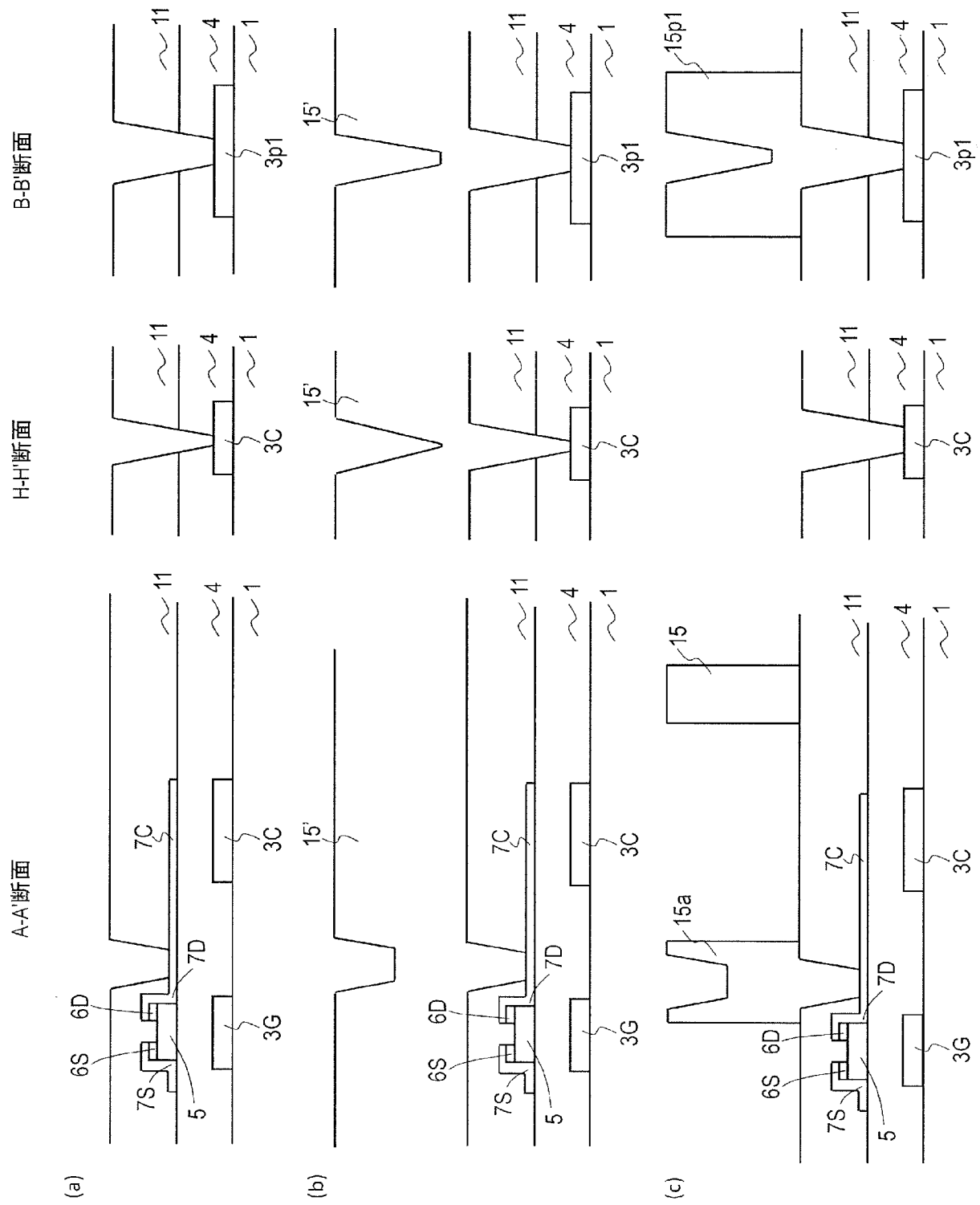
[図47]



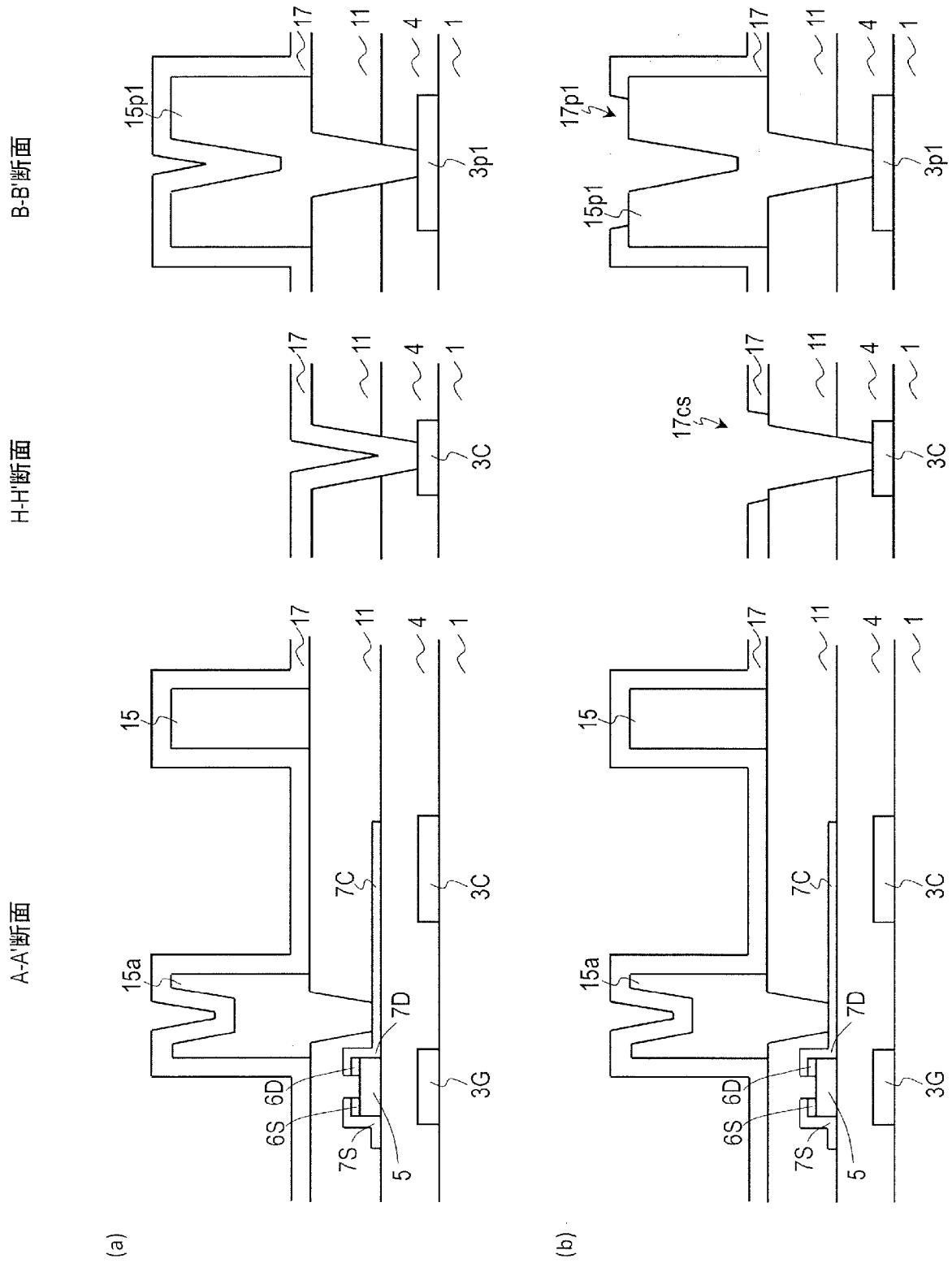
[図48]



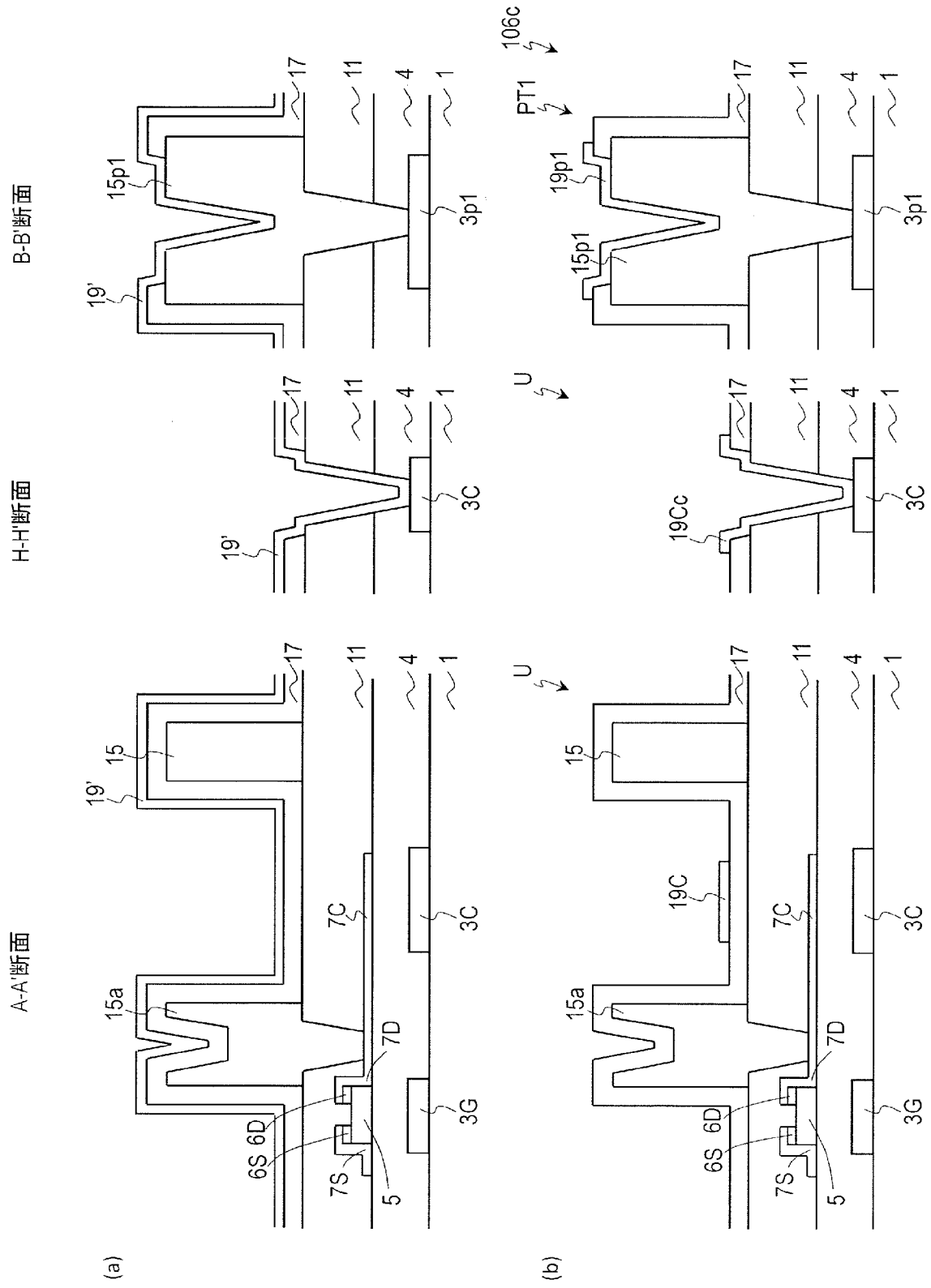
[図49]



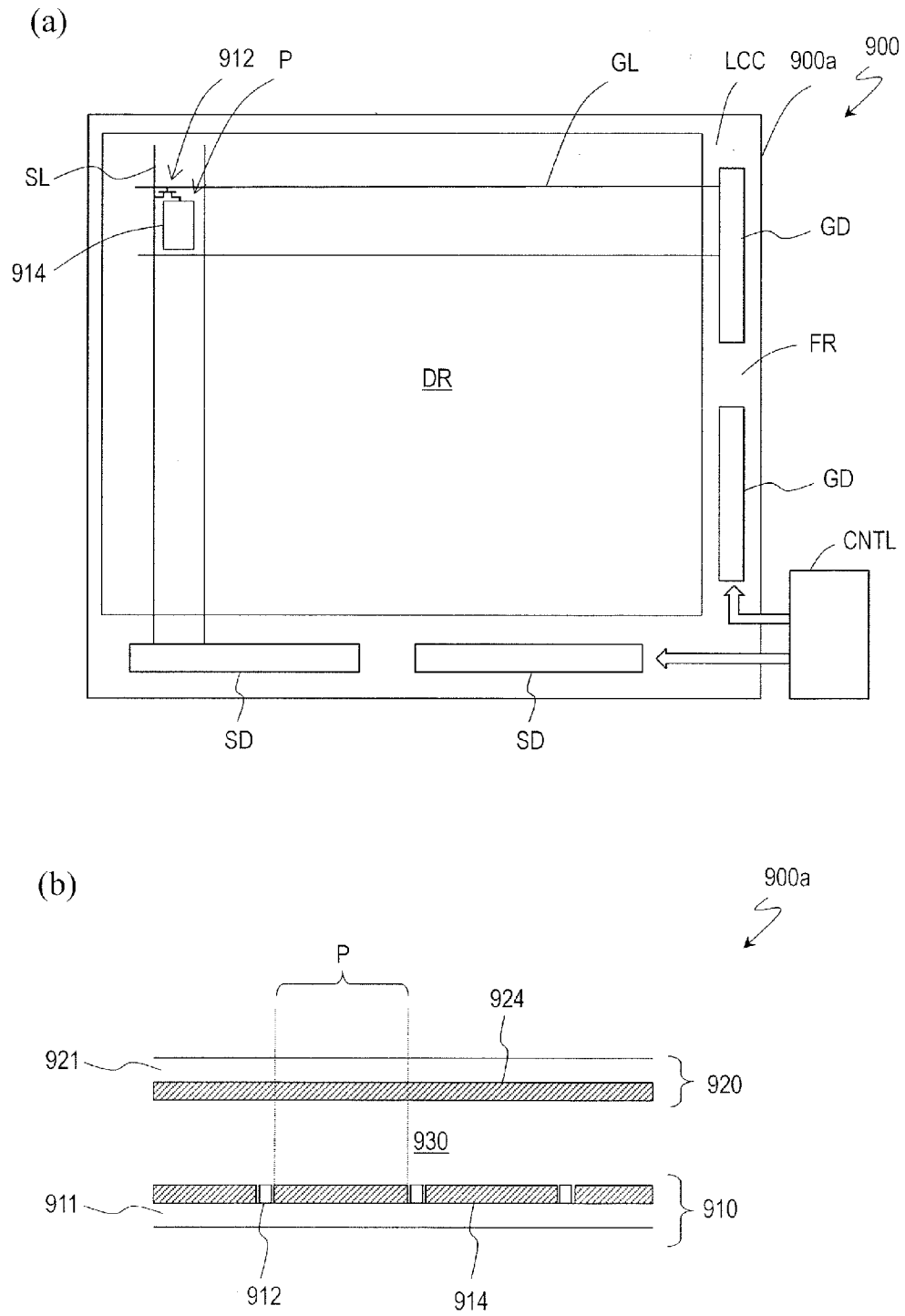
[図50]



[図51]



[図52]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/013271

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786(2006.01)i, G02F1/13(2006.01)i, H01Q3/34(2006.01)i, H01Q3/44(2006.01)i, H01Q13/22(2006.01)i, H01Q21/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, G02F1/13, H01Q3/34, H01Q3/44, H01Q13/22, H01Q21/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-531843 A (TECHNISCHE UNIVERSITÄT DARMSTADT) 27 November 2014 & US 2014/0266897 A1 & WO 2013/045267 A1 & EP 2575211 A1 & CN 103975483 A & KR 10-2014-0090165 A	1-20
A	JP 2015-191038 A (SONY CORPORATION) 02 November 2015 & US 2015/0279872 A1	1-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05.06.2018	Date of mailing of the international search report 19.06.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/013271

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-538565 A (WAVEBENDER, INC.) 05 November 2009 & US 2008/0036664 A1 & WO 2007/139736 A2 & CN 101454941 A	1-20
A	JP 2007-295044 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 08 November 2007 & US 2009/0278744 A1	1-20
A	JP 2007-110256 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 26 April 2007 & US 2009/0278744 A1 & WO 2007/043590 A1 & CN 101283480 A	1-20
A	JP 2000-22428 A (TOSHIBA CORPORATION) 21 January 2000 (Family: none)	1-20

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, G02F1/13(2006.01)i, H01Q3/34(2006.01)i, H01Q3/44(2006.01)i, H01Q13/22(2006.01)i, H01Q21/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, G02F1/13, H01Q3/34, H01Q3/44, H01Q13/22, H01Q21/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-531843 A（テヒニツシェ ウニフェルジテート ダルムシュ タット）2014.11.27, & US 2014/0266897 A1 & WO 2013/045267 A1 & EP 2575211 A1 & CN 103975483 A & KR 10-2014-0090165 A	1-20
A	JP 2015-191038 A（ソニー株式会社）2015.11.02, & US 2015/0279872 A1	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.06.2018

国際調査報告の発送日

19.06.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-538565 A (ウェーブベンダー インコーポレーテッド) 2009. 11. 05, & US 2008/0036664 A1 & WO 2007/139736 A2 & CN 101454941 A	1-20
A	JP 2007-295044 A (松下電器産業株式会社) 2007. 11. 08, & US 2009/0278744 A1	1-20
A	JP 2007-110256 A (松下電器産業株式会社) 2007. 04. 26, & US 2009/0278744 A1 & WO 2007/043590 A1 & CN 101283480 A	1-20
A	JP 2000-22428 A (株式会社東芝) 2000. 01. 21, (ファミリーなし)	1-20