



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0136376

(43) 공개일자 2007년01월02일

(21) 출원번호 10-2006-7010698

(22) 출원일자 2006년06월01일

심사청구일자 없음

번역문 제출일자 2006년06월01일

(86) 국제출원번호 PCT/JP2004/018334

(87) 국제공개번호 WO 2005/055184

국제출원일자 2004년12월02일

국제공개일자 2005년06월16일

(30) 우선권주장 JP-P-2003-00402673 2003년12월02일 일본(JP)

(71) 출원인 소니 가부시키 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 우찌노, 가즈히데
일본 141-0001 도쿄도 시나가와쿠 기따시나가와 6쵸메 7-35 소니가부
시키 가이샤 내
야마시따, 준이찌
일본 141-0001 도쿄도 시나가와쿠 기따시나가와 6쵸메 7-35 소니가부
시키 가이샤 내

(74) 대리인 장수길
이중희
구영창

전체 청구항 수 : 총 24 항

(54) 트랜지스터 회로, 화소 회로, 표시 장치 및 이들의 구동방법

(57) 요약

박막 트랜지스터의 임계 전압의 변동을 보정하는 기능을 스스로 구비한 트랜지스터 회로를 제공한다. 트랜지스터 회로는, 기관에 형성된 복수의 박막 트랜지스터(Tr1~Tr3)와, 소정의 동작을 행하도록 각 트랜지스터의 게이트, 소스 또는 드레인 을 접속하는 배선을 포함한다. 동작 중, 박막 트랜지스터(Tr2)에는, 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가된다. 동작의 방해로 되지 않는 타이밍에서 트랜지스터(Tr2)의 게이트와 소스의 사이에 역 바이어스를 인가하여 그 임계 전압의 변동을 억제한다. 구체적으로는, 트랜지스터(Tr2)에 병렬 접속한 추가 트랜지스터 (Tr3)를 보완적으로 구동하여 상기한 동작의 방해로 되지 않는 타이밍을 발생하고, 그 만들어진 타이밍에서 트랜지스터 (Tr2)에 역바이어스를 인가한다.

대표도

도 3

특허청구의 범위

청구항 1.

기관에 형성된 복수의 박막 트랜지스터와, 소정의 동작을 행하도록 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선을 포함하는 트랜지스터 회로로서,

동작 중 적어도 1개 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가되는 박막 트랜지스터를 포함함과 함께,

해당 동작의 방해로 되지 않는 타이밍에서 상기 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 상기 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수단을 구비한 것을 특징으로 하는 트랜지스터 회로.

청구항 2.

제1항에 있어서,

상기 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터와, 그 추가 박막 트랜지스터를 상기 박막 트랜지스터에 대하여 보완적으로 구동하여 상기한 동작의 방해로 되지 않는 타이밍을 만들어내는 보완 수단을 구비하고,

상기 역바이어스 인가 수단은, 그 만들어낸 타이밍에서 상기 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 하는 트랜지스터 회로.

청구항 3.

제2항에 있어서,

상기 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터도 동일한 N 채널형 또는 P 채널형이고, 상기 보완 수단은, 상기 박막 트랜지스터의 게이트에 인가되는 펄스와 역상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터의 게이트에 인가하는 것을 특징으로 하는 트랜지스터 회로.

청구항 4.

제2항에 있어서,

상기 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터는 반대의 P 채널형 또는 N 채널형이고, 상기 보완 수단은, 상기 박막 트랜지스터의 게이트에 인가되는 펄스와 동상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터에 인가하는 것을 특징으로 하는 트랜지스터 회로.

청구항 5.

행 형상의 주사선과 열 형상의 주사선의 각 교차부에 배치되고, 해당 주사선에 의해 선택되었을 때 그 신호선으로부터 신호를 샘플링하고 또한 샘플링한 신호에 부합하여 부하 소자를 구동하는 화소 회로로서,

기관에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지고,

부하 소자의 구동 중 적어도 1개 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가되는 박막 트랜지스터를 포함함과 함께,

부하 소자의 구동의 방해로 되지 않는 타이밍에서 상기 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 상기 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수단을 구비한 것을 특징으로 하는 화소 회로.

청구항 6.

제5항에 있어서,

상기 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터와, 그 추가 박막 트랜지스터를 상기 박막 트랜지스터에 대하여 보완적으로 동작하여 상기한 부하 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수단을 구비하고,

상기 역바이어스 인가 수단은, 그 만들어낸 타이밍에서 상기 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 하는 화소 회로.

청구항 7.

제6항에 있어서,

상기 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터도 동일한 N 채널형 또는 P 채널형이고, 상기 보완 수단은, 상기 박막 트랜지스터의 게이트에 인가되는 펄스와 역상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터의 게이트에 인가하는 것을 특징으로 하는 화소 회로.

청구항 8.

제6항에 있어서,

상기 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터는 반대의 P 채널형 또는 N 채널형이고, 상기 보완 수단은, 상기 박막 트랜지스터의 게이트에 인가되는 펄스와 동상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터에 인가하는 것을 특징으로 하는 화소 회로.

청구항 9.

제5항에 있어서,

상기 복수의 박막 트랜지스터는, 그 주사선에 의해 선택되었을 때 도통하여 그 신호선으로부터 신호를 샘플링하여 축적 용량에 유지하는 샘플링용 박막 트랜지스터와, 상기 축적 용량에 유지된 신호 전위에 부합하여 그 부하 소자에 대한 통전량을 제어하는 드라이브용 박막 트랜지스터와, 그 부하 소자에 대한 통전을 온/오프 제어하는 스위칭용 박막 트랜지스터를 포함하고, 상기 역바이어스 인가 수단은, 상기 드라이브용 박막 트랜지스터 및 상기 스위칭용 박막 트랜지스터 중 적어도 한 쪽에 역바이어스를 인가하는 것을 특징으로 하는 화소 회로.

청구항 10.

제9항에 있어서,

상기 드라이브용 박막 트랜지스터의 임계 전압의 변동을 캔슬하도록, 상기 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 조정하는 임계 전압 캔슬 수단을 포함하는 것을 특징으로 하는 화소 회로.

청구항 11.

제9항에 있어서,

상기 부하 소자의 특성 변동을 흡수하도록, 상기 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 자동적으로 제어하는 부트 스트랩 수단을 포함하는 것을 특징으로 하는 화소 회로.

청구항 12.

행 형상의 주사선과, 열 형상의 주사선과, 이들이 교차하는 부분에 배치된 화소 회로로 이루어지는 표시 장치로서,

상기 화소 회로는, 해당 주사선에 의해 선택되었을 때 그 신호선으로부터 영상 신호를 샘플링하고 또한 샘플링한 영상 신호에 부합하여 발광 소자를 구동하고,

상기 화소 회로는, 기관에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지고,

발광 소자의 구동 중 적어도 1개 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가되는 박막 트랜지스터를 포함함과 함께,

발광 소자의 구동의 방해로 되지 않는 타이밍에서 상기 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 상기 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수단을 구비한 것을 특징으로 하는 표시 장치.

청구항 13.

제12항에 있어서,

상기 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터와, 그 추가 박막 트랜지스터를 상기 박막 트랜지스터에 대하여 보완적으로 동작하여 그 발광 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수단을 구비하고,

상기 역바이어스 인가 수단은, 그 만들어낸 타이밍에서 상기 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 하는 표시 장치.

청구항 14.

제13항에 있어서,

상기 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터도 동일한 N 채널형 또는 P 채널형이고, 상기 보완 수단은, 상기 박막 트랜지스터의 게이트에 인가되는 펄스와 역상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터의 게이트에 인가하는 것을 특징으로 하는 표시 장치.

청구항 15.

제13항에 있어서,

상기 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터는 반대의 P 채널형 또는 N 채널형이고, 상기 보완 수단은, 상기 박막 트랜지스터의 게이트에 인가되는 펄스와 동상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터에 인가하는 것을 특징으로 하는 표시 장치.

청구항 16.

제12항에 있어서,

상기 복수의 박막 트랜지스터는, 그 주사선에 의해 선택되었을 때 도통하여 그 신호선으로부터 영상 신호를 샘플링하여 축적 용량에 유지하는 샘플링용 박막 트랜지스터와, 상기 축적 용량에 유지된 신호 전위에 부합하여 그 발광 소자에 대한 통전량을 제어하는 드라이브용 박막 트랜지스터와, 그 발광 소자에 대한 통전을 온/오프 제어하는 스위칭용 박막 트랜지스터를 포함하고, 상기 역바이어스 인가 수단은, 그 드라이브용 박막 트랜지스터 및 그 스위칭용 박막 트랜지스터 중 적어도 한 쪽에 역바이어스를 인가하는 것을 특징으로 하는 표시 장치.

청구항 17.

제16항에 있어서,

상기 드라이브용 박막 트랜지스터의 임계 전압의 변동을 캔슬하도록, 상기 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 조정하는 임계 전압 캔슬 수단을 포함하는 것을 특징으로 하는 표시 장치.

청구항 18.

제16항에 있어서,

상기 부하 소자의 특성 변동을 흡수하도록, 상기 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 자동적으로 제어하는 부트 스트랩 수단을 포함하는 것을 특징으로 하는 표시 장치.

청구항 19.

기관에 형성된 복수의 박막 트랜지스터와, 소정의 동작을 행하도록 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선을 포함하는 트랜지스터 회로의 구동 방법으로서,

동작 중 적어도 1개의 박막 트랜지스터에 대하여 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스를 인가하는 순바이어스 인가 수순과,

상기 동작의 방해로 되지 않는 타이밍에서 상기 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 상기 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수순을 행하는 것을 특징으로 하는 트랜지스터 회로의 구동 방법.

청구항 20.

제19항에 있어서,

상기 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터를, 상기 박막 트랜지스터에 대하여 보완적으로 구동하여, 상기 한 동작의 방해로 되지 않는 타이밍을 만들어내는 보완 수순을 포함하고,

상기 역바이어스 인가 수순은, 그 만들어진 타이밍에서 상기 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 하는 트랜지스터 회로의 구동 방법.

청구항 21.

행 형상의 주사선과 열 형상의 주사선의 각 교차부에 배치되고, 그 주사선에 의해 선택되었을 때 그 신호선으로부터 신호를 샘플링하고 또한 샘플링한 신호에 부합하여 부하 소자를 구동하기 위해서, 기관에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지는 화소 회로의 구동 방법으로서,

부하 소자의 구동 중 적어도 1개의 박막 트랜지스터에 대하여, 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스를 인가하는 순바이어스 인가 수순과,

부하 소자의 구동의 방해로 되지 않는 타이밍에서 상기 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 상기 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수순을 행하는 것을 특징으로 하는 화소 회로의 구동 방법.

청구항 22.

제21항에 있어서,

상기 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터를, 상기 박막 트랜지스터에 대하여 보완적으로 동작하여, 상기 한 부하 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수순을 포함하고,

상기 역바이어스 인가 수순은, 그 만들어진 타이밍에서 상기 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 하는 화소 회로의 구동 방법.

청구항 23.

행 형상의 주사선과, 열 형상의 주사선과, 이들이 교차하는 부분에 배치된 화소 회로로 이루어지고, 그 화소 회로는, 그 주사선에 의해 선택되었을 때 그 신호선으로부터 영상 신호를 샘플링하고 또한 샘플링한 영상 신호에 부합하여 발광 소자를 구동하고, 그 화소 회로는, 기관에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지는 표시 장치의 구동 방법으로서,

발광 소자의 구동 중 적어도 1개의 박막 트랜지스터에 대하여, 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스를 인가하는 순바이어스 인가 수순과,

발광 소자의 구동의 방해로 되지 않는 타이밍에서 상기 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 상기 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수순을 행하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 24.

제23항에 있어서,

상기 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터를, 상기 박막 트랜지스터에 대하여 보완적으로 동작하여, 상기 발광 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수순을 포함하고,

상기 역바이어스 인가 수순은, 그 만들어진 타이밍에서 상기 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 하는 표시 장치의 구동 방법.

명세서

기술분야

본 발명은 기관 상에 집적 형성된 박막 트랜지스터로 구성되는 트랜지스터 회로에 관한 것이다. 또한, 트랜지스터 회로의 일 형태인 화소 회로에 관한 것이다. 또한, 이 화소 회로를 매트릭스 형상으로 배열한 표시 장치에 관한 것이다. 이 액티브 매트릭스형의 표시 장치는 예를 들면 액정 디스플레이나 유기 EL 디스플레이 등의 평면 표시 장치 패널을 포함한다.

배경기술

전계 효과형 트랜지스터의 일종인 박막 트랜지스터는, 글래스 등의 절연성 기관 상에 성막된 비정질 실리콘막 혹은 다결정 실리콘막을 소자 영역으로 하는 것이다. 최근 이 박막 트랜지스터는 액티브 매트릭스형의 디스플레이 디바이스의 화소 스위치로서 활발하게 개발되고 있다. 박막 트랜지스터는 게이트와 드레인과 소스를 구비하고 있고, 게이트에 인가되는 전압에 부합하여, 소스/드레인 간에 전류를 흘린다. 박막 트랜지스터가 포화 영역에서 동작할 때, 드레인 전류(I_{ds})는 이하의 트랜지스터 특성식에 의해 부여된다.

$$I_{ds} = (1/2)\mu(W/L)C_{ox}(V_{gs} - V_{th})^2$$

여기서 V_{gs} 는 소스를 기준으로 한 게이트 전압을 나타내고, V_{th} 는 임계 전압을 나타내고, C_{ox} 는 게이트 용량을 나타내고, W 는 채널 폭을 나타내고, L 은 채널 길이를 나타내고, μ 는 반도체 박막의 이동도를 나타내고 있다. 이 트랜지스터 특성식으로부터 분명한 바와 같이, 박막 트랜지스터는 게이트 전압(V_{gs})이 임계 전압(V_{th})을 초과하면, 드레인 전류(I_{ds})를 흘리는 구조로 되어 있다.

몇 개의 박막 트랜지스터를 결선하여 소정의 기능을 발휘하는 트랜지스터 회로가 구성된다. 일반적으로 트랜지스터 회로는, 기관에 형성된 복수의 박막 트랜지스터와, 소정의 동작을 행하도록 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 구성되어 있다. 이와 같은 트랜지스터 회로의 전형예로서 화소 회로를 들 수 있다. 화소 회로는 행 형상의 주사선과 열 형상의 신호선이 교차하는 부분에 각각 형성되어 있고, 전체적으로 액티브 매트릭스 표시 장치를 구성한다. 화소 회로는 주사선에 의해 선택되었을 때 동작하고, 신호선으로부터 영상 신호를 샘플링하여, 유기 EL 발광 소자 등의 부하 소자를 구동한다. 이와 같은 박막 트랜지스터를 능동 소자로 하는 액티브 매트릭스형의 유기 EL 디스플레이 디바이스는, 예를 들면 일본 특허 공개 평8-234683호 공보에 개시되어 있다.

전술한 트랜지스터 특성식으로부터 분명한 바와 같이, 포화 영역에서는 박막 트랜지스터는 게이트 전압이 임계 전압을 초과하였을 때 온하여 드레인 전류가 흐르는 한편, 게이트 전압이 임계 전압을 하회하면 컷 오프한다. 그러나, 박막 트랜지스터의 임계 전압(V_{th})은 반드시 일정하지는 않아 경시적으로 변동한다. 이 임계 전압의 변동에 의해 컷 오프 동작에 혼란이 발생하여, 트랜지스터 회로의 오동작으로 이어진다고 하는 문제가 있다. 또한, 전술한 트랜지스터 특성식으로부터 분명한 바와 같이, 게이트 전압이 일정하더라도 임계 전압이 변동하면 드레인 전류도 변동한다. 발광 소자를 전류 구동하는 화소 회로의 경우, 임계 전압의 변동이 드레인 전류의 변동을 초래하고, 나아가서는 발광 소자의 휘도의 열화로 되어 나타난다고 하는 과제가 있다.

<발명의 개시>

전술한 종래 기술의 과제를 감안하여, 본 발명은 박막 트랜지스터의 임계 전압의 변동을 보정하는 기능을 스스로 구비한 트랜지스터 회로, 화소 회로 및 표시 장치와 이들의 구동 방법을 제공하는 것을 목적으로 한다. 이러한 목적을 달성하기 위하여 이하의 수단을 강구했다. 즉, 기관에 형성된 복수의 박막 트랜지스터와, 소정의 동작을 행하도록 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선을 포함하는 트랜지스터 회로로서, 동작 중 적어도 1개 배선을 통하여 게이

트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가되는 박막 트랜지스터를 포함함과 함께, 그 동작의 방해로 되지 않는 타이밍에서 해당 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 해당 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수단을 구비한 것을 특징으로 한다.

바람직하게는, 해당 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터와, 그 추가 박막 트랜지스터를 해당 박막 트랜지스터에 대하여 보완적으로 구동하여 상기한 동작의 방해로 되지 않는 타이밍을 만들어내는 보완 수단을 구비하고, 상기 역바이어스 인가 수단은, 그 만들어진 타이밍에서 해당 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 한다. 예를 들면, 해당 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터도 동일한 N 채널형 또는 P 채널형이고, 상기 보완 수단은, 해당 박막 트랜지스터의 게이트에 인가되는 펄스와 역상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터의 게이트에 인가한다. 혹은, 해당 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터는 반대의 P 채널형 또는 N 채널형이고, 상기 보완 수단은, 해당 박막 트랜지스터의 게이트에 인가되는 펄스와 동상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터에 인가한다.

또한 본 발명은, 행 형상의 주사선과 열 형상의 주사선의 각 교차부에 배치되고, 그 주사선에 의해 선택되었을 때 그 신호선으로부터 신호를 샘플링하고 또한 샘플링한 신호에 부합하여 부하 소자를 구동하는 화소 회로로서, 기판에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지고, 부하 소자의 구동 중 적어도 1개 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가되는 박막 트랜지스터를 포함함과 함께, 부하 소자의 구동의 방해로 되지 않는 타이밍에서 해당 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 해당 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수단을 구비한 것을 특징으로 한다.

바람직하게는, 해당 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터와, 그 추가 박막 트랜지스터를 해당 박막 트랜지스터에 대하여 보완적으로 동작하여 상기한 부하 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수단을 구비하고, 상기 역바이어스 인가 수단은, 그 만들어진 타이밍에서 해당 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 한다. 예를 들면 해당 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터도 동일한 N 채널형 또는 P 채널형이고, 상기 보완 수단은, 해당 박막 트랜지스터의 게이트에 인가되는 펄스와 역상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터의 게이트에 인가한다. 혹은 해당 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터는 반대의 P 채널형 또는 N 채널형이고, 상기 보완 수단은, 해당 박막 트랜지스터의 게이트에 인가되는 펄스와 동상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터에 인가한다.

바람직하게는, 상기 복수의 박막 트랜지스터는, 그 주사선에 의해 선택되었을 때 도통하여 그 신호선으로부터 신호를 샘플링하여 축적 용량에 유지하는 샘플링용 박막 트랜지스터와, 그 축적 용량에 유지된 신호 전위에 부합하여 그 부하 소자에 대한 통전량을 제어하는 드라이브용 박막 트랜지스터와, 그 부하 소자에 대한 통전을 온/오프 제어하는 스위칭용 박막 트랜지스터를 포함하고, 상기 역바이어스 인가 수단은, 그 드라이브용 박막 트랜지스터 및 그 스위칭용 박막 트랜지스터 중 적어도 한 쪽에 역바이어스를 인가한다. 또한, 그 드라이브용 박막 트랜지스터의 임계 전압의 변동을 캔슬하도록, 그 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 조정하는 임계 전압 캔슬 수단을 포함한다. 또한, 그 부하 소자의 특성 변동을 흡수하도록, 그 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 자동적으로 제어하는 부트 스트랩 수단을 포함한다.

또한 본 발명은, 행 형상의 주사선과, 열 형상의 주사선과, 이들이 교차하는 부분에 배치된 화소 회로로 이루어지는 표시 장치로서, 그 화소 회로는, 그 주사선에 의해 선택되었을 때 그 신호선으로부터 영상 신호를 샘플링하고 또한 샘플링한 영상 신호에 부합하여 발광 소자를 구동하고, 그 화소 회로는, 기판에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지고, 발광 소자의 구동 중 적어도 1개 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가되는 박막 트랜지스터를 포함함과 함께, 발광 소자의 구동의 방해로 되지 않는 타이밍에서 해당 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 해당 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수단을 구비한 것을 특징으로 한다.

바람직하게는, 해당 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터와, 그 추가 박막 트랜지스터를 해당 박막 트랜지스터에 대하여 보완적으로 동작하여 그 발광 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수단을 구비하고, 상기 역바이어스 인가 수단은, 그 만들어진 타이밍에서 해당 박막 트랜지스터에 역바이어스를 인가하는 것을 특징으로 한다. 예를 들면 해당 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터도 동일한 N 채널형 또는 P 채널형이고, 상기 보완 수단은, 해당 박막 트랜지스터의 게이트에 인가되는 펄스와 역상의 관계로 되는 펄스를 상기

추가 박막 트랜지스터의 게이트에 인가한다. 혹은 해당 박막 트랜지스터는 N 채널형 또는 P 채널형이고, 상기 추가 박막 트랜지스터는 반대의 P 채널형 또는 N 채널형이고, 상기 보완 수단은, 해당 박막 트랜지스터의 게이트에 인가되는 펄스와 동상의 관계로 되는 펄스를 상기 추가 박막 트랜지스터에 인가한다.

바람직하게는, 상기 복수의 박막 트랜지스터는, 그 주사선에 의해 선택되었을 때 도통하여 그 신호선으로부터 영상 신호를 샘플링하여 축적 용량에 유지하는 샘플링용 박막 트랜지스터와, 그 축적 용량에 유지된 신호 전위에 부합하여 그 발광 소자에 대한 통전량을 제어하는 드라이브용 박막 트랜지스터와, 해당 발광 소자에 대한 통전을 온/오프 제어하는 스위칭용 박막 트랜지스터를 포함하고, 상기 역바이어스 인가 수단은, 그 드라이브용 박막 트랜지스터 및 그 스위칭용 박막 트랜지스터 중 적어도 한 쪽에 역바이어스를 인가한다. 또한, 그 드라이브용 박막 트랜지스터의 임계 전압의 변동을 캔슬하도록, 그 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 조정하는 임계 전압 캔슬 수단을 포함한다. 또한, 그 부하 소자의 특성 변동을 흡수하도록, 그 드라이브용 박막 트랜지스터의 게이트에 인가되는 신호 전위의 레벨을 자동적으로 제어하는 부트 스트랩 수단을 포함한다.

또한 본 발명은, 기관에 형성된 복수의 박막 트랜지스터와, 소정의 동작을 행하도록 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선을 포함하는 트랜지스터 회로의 구동 방법으로서, 동작 중 적어도 1개의 박막 트랜지스터에 대하여 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스를 인가하는 순바이어스 인가 수순과, 그 동작의 방해로 되지 않는 타이밍에서 해당 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 해당 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수순을 행하는 것을 특징으로 한다. 또한, 해당 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터를, 해당 박막 트랜지스터에 대하여 보완적으로 구동하여, 상기한 동작의 방해로 되지 않는 타이밍을 만들어내는 보완 수순을 포함하고, 상기 역바이어스 인가 수순은, 그 만들어진 타이밍에서 해당 박막 트랜지스터에 역바이어스를 인가한다.

또한 본 발명은, 행 형상의 주사선과 열 형상의 주사선의 각 교차부에 배치되고, 그 주사선에 의해 선택되었을 때 그 신호선으로부터 신호를 샘플링하고 또한 샘플링한 신호에 부합하여 부하 소자를 구동하기 위해서, 기관에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지는 화소 회로의 구동 방법으로서, 부하 소자의 구동 중 적어도 1개의 박막 트랜지스터에 대하여, 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스를 인가하는 순바이어스 인가 수순과, 부하 소자의 구동의 방해로 되지 않는 타이밍에서 해당 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 해당 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수순을 행하는 것을 특징으로 한다. 또한, 해당 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터를, 해당 박막 트랜지스터에 대하여 보완적으로 동작하여, 상기한 부하 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수순을 포함하고, 상기 역바이어스 인가 수순은, 그 만들어진 타이밍에서 해당 박막 트랜지스터에 역바이어스를 인가한다.

또한 본 발명은, 행 형상의 주사선과, 열 형상의 주사선과, 이들이 교차하는 부분에 배치된 화소 회로로 이루어지고, 그 화소 회로는, 그 주사선에 의해 선택되었을 때 그 신호선으로부터 영상 신호를 샘플링하고 또한 샘플링한 영상 신호에 부합하여 발광 소자를 구동하고, 그 화소 회로는, 기관에 형성된 복수의 박막 트랜지스터와, 각 박막 트랜지스터의 게이트, 소스 또는 드레인을 접속하는 배선으로 이루어지는 표시 장치의 구동 방법으로서, 발광 소자의 구동 중 적어도 1개의 박막 트랜지스터에 대하여, 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스를 인가하는 순바이어스 인가 수순과, 발광 소자의 구동의 방해로 되지 않는 타이밍에서 해당 박막 트랜지스터의 게이트와 소스의 사이에 역바이어스를 인가하여 해당 박막 트랜지스터의 임계 전압의 변동을 억제하는 역바이어스 인가 수순을 행하는 것을 특징으로 한다. 또한, 해당 박막 트랜지스터에 병렬 접속한 추가 박막 트랜지스터를, 해당 박막 트랜지스터에 대하여 보완적으로 동작하여, 그 발광 소자의 구동의 방해로 되지 않는 타이밍을 만들어내는 보완 수순을 포함하고, 상기 역바이어스 인가 수순은, 그 만들어진 타이밍에서 해당 박막 트랜지스터에 역바이어스를 인가한다.

도면의 간단한 설명

도 1a 내지 도 1c는, 본 발명에 따른 트랜지스터 회로의 제1 실시 형태를 도시한 모식도.

도 2는, 도 1a에 도시한 트랜지스터 회로의 동작 설명을 위한 타이밍 차트.

도 3은, 본 발명에 따른 트랜지스터 회로의 제2 실시 형태를 나타낸 모식도.

도 4a 및 도 4b는, 본 발명에 따른 트랜지스터 회로의 제3 실시 형태를 도시하는 모식도.

도 5는, 본 발명에 따른 액티브 매트릭스 표시 장치 및 이것에 포함되는 화소 회로의 개요를 도시한 블록도.

도 6은, 화소 회로의 참고예를 도시한 블록도.

도 7은, 도 6에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트.

도 8a 및 도 8b는, 화소 회로의 다른 참고예를 도시하는 모식도.

도 9는, 본 발명에 따른 화소 회로의 제1 실시 형태를 도시한 회로도.

도 10은, 도 9에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트.

도 11은, 본 발명에 따른 화소 회로의 제2 실시 형태를 도시한 회로도.

도 12는, 도 11에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트.

<발명을 실시하기 위한 최선의 형태>

이하 도면을 참조하여 본 발명의 실시 형태를 상세히 설명한다. 도 1a 내지 도 1c는 본 발명에 따른 트랜지스터 회로의 제1 실시 형태를 도시하고 있다. 도 1a는 구성을 도시한 회로도이고, 도 1b는 동작을 나타내는 타이밍 차트이고, 도 1c는 원리를 도시하는 그래프이다. 도 1a에 도시한 바와 같이, 본 트랜지스터 회로는, 기판에 형성된 2개의 박막 트랜지스터(Tr1, Tr2)와, 인버터 동작을 행하도록 각 박막 트랜지스터(Tr1, Tr2)의 게이트, 소스 또는 드레인을 접속하는 배선으로 구성되어 있다. 즉, 본 트랜지스터 회로는 2개의 N 채널형 트랜지스터(Tr1, Tr2)를 이용하여 인버터를 구성한 것이다. N 채널형의 박막 트랜지스터는 비정질 실리콘막을 활성층으로 하여 염가로 제작할 수 있기 때문에, 비용적으로 유리하다. 또한 인버터는 단순한 예시로서, 본 발명에 따른 트랜지스터 회로는 박막 트랜지스터로 구성되어 있으면 되고, 그 기능이나 동작을 상관없다.

구체적인 회로 구성이지만, Tr1의 게이트에는 소정의 게이트 전압(V1)이 인가되고, 드레인은 전원 전압(Vcc)의 공급을 받고, 소스는 출력(Vout)을 공급하도록 되어 있다. 도시한 예에서는 출력 단자에 부하 용량(CL)이 접속되어 있다. 부하 용량(CL)의 일단에는 출력(Vout)이 인가되고, 타단은 Vss에 접지되어 있다. 게이트 전압(V1)은 Tr1의 임계 전압과 Vcc의 합보다 크게 설정되어 있기 때문에, Tr1은 항상 온 상태에 있다. Tr2의 게이트에는 입력 신호(Vin)가 인가되고, 소스는 Vss에 접지되고, 드레인은 Tr1의 소스와 접속하여 출력 노드를 구성하고 있다.

도 1b에 도시한 바와 같이, 본 트랜지스터 회로는 인버터 동작을 행하고 있고, 입력 신호(Vin)를 반전하여 출력 신호(Vout)를 얻는다. 즉, Vin이 로우 레벨(L)일 때, Vout은 하이 레벨(H)로 되고, Vin이 H일 때 Vout은 L로 된다. Tr2에 주목하면, Vin이 로우 레벨일 때 오프 상태로 되고, 출력 노드는 접지 전위(Vss)로부터 분리된다. 이 때 Tr1은 항상 온 상태로 되어 있기 때문에 출력 노드는 Vcc에 풀업된다. 이 결과 Vout은 하이 레벨(Vcc)로 된다. 반대로 Vin이 하이 레벨로 되면 Tr2가 온하고, 출력 노드가 Vss를 향하여 풀다운된다. 부하 용량(CL)으로부터 방전되는 전류와 Tr1로부터 공급되는 전류의 합이, Tr2를 흐르는 전류와 균형이 잡혔을 때 Vout의 로우 레벨이 확정된다. 통상 Vout의 로우 레벨은 Vss보다 약간 높아져 있다.

이상의 설명으로부터 분명한 바와 같이, Vin의 로우 레벨은 Tr2의 임계 전압보다 낮으면 되고, 통상은 Vss로 설정된다. 한편, Vin의 하이 레벨은 Tr2의 임계 전압보다 충분히 높으면 된다. 그러나, 이 통상의 설정에서는, Tr2의 게이트에 하이 레벨의 순바이어스가 반복적으로 인가되게 되어, Tr2의 임계 전압의 상방 변동을 가져온다. 이것을 방지하면 Vin의 하이 레벨이 상방 변동한 임계 전압을 하회할 우려가 있어, 오동작의 원인으로 된다. 그래서 본 발명에서는 Vin의 로우 레벨을 Vss를 하회하는 마이너스 전위로 하여, 소위 역바이어스가 정기적으로 Tr2에 인가되도록 하고 있다. 이 역바이어스에 의해 상방 시프트한 임계 전압이 하방 수정되어, 결과적으로 Tr2의 임계 전압 변동을 억제할 수 있다. 즉 제1 실시 형태에서는 입력 신호(Vin)의 공급원 자체가 역바이어스 인가 수단을 구성하고 있고, 인버터 동작의 방해로 되지 않는 타이밍(도시한 예에서는 로우 레벨의 타이밍)에서 박막 트랜지스터(Tr2)의 게이트와 소스의 사이에 역바이어스를 인가하여 박막 트랜지스터(Tr2)의 임계 전압의 변동을 억제하고 있다.

도 1c는 박막 트랜지스터(Tr2)의 임계 전압의 변화를 도시하는 그래프이다. 횡축에 소스 전위를 기준으로 한 게이트 전압(Vgs)을 취하고, 종축에 임계 전압(Vth)을 취하고 있다. 반복적 혹은 지속적으로 끊임없이 플러스의 게이트 전압(순 바이

어스)이 인가되면, V_{th} 는 상방 변동하고, 극단적으로 되면 정상적인 온/오프 동작을 행할 수 없다. 반대로 마이너스의 게이트 전압(역 바이어스)을 계속 인가하면, V_{th} 는 하방 변동한다. 본 발명은 이 현상을 이용하고 있으며, 순바이어스의 지속적인 인가에 의한 임계 전압의 상방 시프트를, 회로의 동작의 지장으로 되지 않는 타이밍에서 역바이어스를 인가함으로써 하방 수정하고, 그럼으로써 임계 전압의 변동을 억제하는 것이다.

도 2는, 도 1a에 도시한 트랜지스터 회로에서의 입력 신호(V_{in})와 출력 신호(V_{out})의 다른 실시예를 도시하는 타이밍 차트이다. 본 실시예에서는 입력 펄스(V_{in})의 듀티가 50%부터 어긋나 있고, 로우 레벨의 기간이 짧고 하이 레벨의 기간이 길어져 있다. 이 입력 펄스(V_{in})를 반전한 출력 펄스(V_{out})는, 반대로 하이 레벨의 기간이 짧고 로우 레벨의 기간이 길어져 있다. 인버터가 내장되는 회로 블록의 동작 상황에 따라서는, 이와 같은 입력 신호(V_{in})가 사용되는 상황도 있을 수 있다.

본 실시예에서도, 트랜지스터(Tr_2)의 게이트에 순바이어스가 인가되는 틈을 타서 역바이어스(로우 레벨)가 인가되어 있다. 그러나, 역바이어스 인가 시간이 짧기 때문에, 반드시 충분한 임계 전압 변동 억제 효과가 얻어지지 않는 경우가 있다. 즉, 순바이어스(하이 레벨)의 계속적인 변화에 의한 임계 전압의 상방 변동이 심하기 때문에, 역바이어스에 의한 하방 수정 효과가 따라가지 못하는 경우도 있다. 그러나, 역바이어스를 인가하지 않는 경우에 비하여, 소정의 임계 전압 변동 억제 효과가 얻어지는 것은 분명하다.

도 3은, 본 발명에 따른 트랜지스터 회로의 제2 실시 형태를 도시하는 모식도이다. 도 3의 (A)는 구성을 도시한 회로도이고, 도 3의 (B)는 동작을 도시하는 타이밍 차트이다. 이해를 쉽게 하기 위해서, 도 1a 및 도 1b에 도시한 제1 실시 형태와 대응하는 부분에는 대응하는 참조 번호를 붙인다. 본 실시 형태는 도 1의 실시 형태를 개량한 것으로서, 특히 도 2를 참조하여 설명한 바와 같이, 충분한 역바이어스 인가 시간을 확보할 수 없는 경우에 대처하는 것을 목적으로 한다.

도 3의 (A)에 도시한 바와 같이, 대상으로 되는 트랜지스터(Tr_2)(해당 트랜지스터)와 병렬로 추가의 박막 트랜지스터(Tr_3)가 접속되어 있다. 해당 트랜지스터(Tr_2)의 게이트에는 입력 신호(V_{in1})가 인가되어 있다. 전술한 바와 같이, 입력 신호(V_{in1})의 신호원이 동시에 역바이어스 인가 수단을 구성하고 있다. 한편 추가 트랜지스터(Tr_3)의 게이트에는 다른 입력 신호(V_{in2})가 인가되어 있다. 이 입력 신호(V_{in2})의 신호원은 본 실시 형태의 특징 요소인 보완 수단을 구성하고 있다. 즉 이 보완 수단은, 추가 트랜지스터(Tr_3)를 해당 트랜지스터(Tr_2)에 대하여 보완적으로 구동하여 Tr_2 에 관하여 동작의 방해로 되지 않는 타이밍을 강제적으로 만들어내고 있다. 역바이어스 인가 수단은, 이 강제적으로 발생된 타이밍에서 해당 박막 트랜지스터(Tr_2)에 역바이어스를 인가하고, Tr_2 의 임계 전압의 변동을 억제하고 있다.

본 실시 형태에서는, 해당 트랜지스터(Tr_2)는 N 채널형이고, 추가 트랜지스터(Tr_3)도 동일한 N 채널형이다. 이 경우, 보완 수단은 해당 트랜지스터(Tr_2)에 인가되는 신호 펄스(V_{in1})와 역상의 관계로 되는 신호 펄스(V_{in2})를 추가 트랜지스터(Tr_3)의 게이트에 인가한다. Tr_2 와 Tr_3 이 P 채널형인 경우에도, V_{in1} 과 V_{in2} 는 상호 역상의 관계로 된다. 한편 Tr_2 와 Tr_3 의 한 쪽이 N 채널형이고 다른 쪽이 P 채널형인 경우, V_{in1} 과 V_{in2} 는 동상의 관계로 한다.

계속해서 도 3의 (B)를 참조하여 도 3의 (A)에 도시한 트랜지스터 회로의 동작을 설명한다. 타이밍(T1)에서는 V_{in1} 이 로우 레벨로 되고 V_{in2} 도 로우 레벨로 된다. 이 때 상호 병행 접속한 트랜지스터(Tr_2 , Tr_3)는 양쪽 모두 오프 상태로 되기 때문에, 출력 노드는 Tr_1 에 의해 V_{cc} 측에 풀업된다. 이 결과 출력 신호(V_{out})는 하이 레벨로 된다. 다음 타이밍(T2)에서는, V_{in1} 이 하이 레벨로 전환되는 한편, V_{in2} 는 로우 레벨을 유지한다. 상호 병행 접속한 Tr_2 , Tr_3 중 한 쪽의 Tr_2 가 온하기 때문에, 출력 노드는 V_{ss} 측에 풀다운된다. 이 결과 V_{out} 은 로우 레벨로 전환된다. 다음 타이밍(T3)에서는 반대로 V_{in1} 이 로우 레벨로 천이하는 한편, V_{in2} 가 하이 레벨로 천이한다. 이에 의해 상호 병행 접속한 트랜지스터(Tr_2 , Tr_3) 중 한 쪽의 Tr_3 가 온 상태로 되기 때문에, 출력 노드는 계속해서 V_{ss} 측에 풀다운된다. 따라서 V_{out} 은 로우 레벨을 유지한다. 이에 의해 입출력 신호의 1주기가 종료하고, 다음 주기로 이행한다.

V_{in1} 과 V_{in2} 를 비교하면 분명한 바와 같이, 타이밍(T2, T3)에서 양자는 상호 역상의 관계에 있다. 특히 타이밍(T3)에 주목하면, Tr_2 가 오프하여 비동작 상태에 놓이는 한편, 이것을 보완하기 위하여 Tr_3 이 온하여 동작 상태로 된다. Tr_2 대신에 Tr_3 이 온 상태로 됨으로써, 출력 노드는 계속해서 V_{ss} 측에 풀다운되고, 목적으로 하는 출력 신호(V_{out})를 얻을 수 있다. Tr_3 의 보완 기능에 의해, Tr_2 에 관하여 동작의 방해로 되지 않는 타이밍(T3)이 만들어내어져 있다. V_{in1} 의 신호원인 역바이어스 인가 수단은, 이 만들어낸 타이밍(T3)에서 해당 트랜지스터(Tr_2)에 역바이어스를 인가하고 있다. 타이밍 차트로부터 분명한 바와 같이, 순바이어스가 인가되는 기간(T2)과 역바이어스가 인가되는 기간(T1+ T3)은 거의 밸런스가 잡혀 있고, 임계 전압의 상방 변동을 과부족 없이 하방 수정하는 것이 가능하게 된다.

도 4a 및 도 4b는 트랜지스터 회로의 제3 실시 형태를 도시하고 있고, 도 3에 도시한 제2 실시 형태의 개량예이다. 도 4a는 본 실시 형태의 구성을 도시한 회로도이고, 도 4b는 동작을 도시한 타이밍 차트이다.

인버터 회로를 양쪽 모두 N 채널형의 트랜지스터(Tr1, Tr2)로 구성된 경우, Tr1은 항상 동작 상태에 놓인다. 다시 말하면 Tr1은 항상 순바이어스가 인가된 상태에 있고, 인계 전압은 경시적으로 상방 시프트한다. 이 상방 시프트가 극단적으로 진행하면, 정상적인 동작을 방해하는 경우가 있다. 그래서 본 실시 형태는, Tr1에 대하여도 보완용의 트랜지스터(Tr4)를 병행 접속하고 있다.

도 4b에 도시한 바와 같이, 타이밍(T1 및 T2)에서는, Tr1에 대한 게이트 전압(V1)이 하이 레벨에 있는 한편, Tr4에 대한 게이트 전압(V2)이 로우 레벨에 있다. 반대로 타이밍(T3 및 T4)에서는, V1이 로우 레벨로 전환되는 한편, V2가 하이 레벨로 된다. 이에 의해, 트랜지스터(Tr1 및 Tr4)는 상호 보완적으로 동작하고, Tr1과 Tr4의 세트에 이루어진 스위치는 전체적으로 항상 온 상태로 유지된다. 그 때, 한 쪽의 게이트 전압(V1)은 타이밍(T3, T4)에서 로우 레벨로 되고 임계 전압 수정용의 역바이어스를 인가하는 것이 가능하다. 한편 V2는 타이밍(T1 및 T2)에서 로우 레벨로 되기 때문에, 마찬가지로 트랜지스터(Tr4)에 대하여 임계 전압 변동 억제용의 역바이어스를 인가할 수 있다.

도 5는, 본 발명에 따른 트랜지스터 회로의 응용예인 액티브 매트릭스 표시 장치 및 이것에 포함되는 화소 회로를 도시한 개략의 블록도이다. 도시한 바와 같이, 액티브 매트릭스 표시 장치는 주요부로 되는 화소 어레이(1)와 주변의 회로군으로 구성되어 있다. 주변의 회로군은 수평 셀렉터(2), 드라이브 스캐너(3), 라이트 스캐너(4) 등을 포함하고 있다.

화소 어레이(1)는 행 형상의 주사선(WS)과 열 형상의 신호선(DL)과 양자의 교차하는 부분에 매트릭스 형상으로 배열한 화소 회로(5)로 구성되어 있다. 신호선(DL)은 수평 셀렉터(2)에 의해 구동된다. 주사선(WS)은 라이트 스캐너(4)에 의해 주사된다. 또한, 주사선(WS)과 평행하게 별도의 주사선(DS)도 배선되어 있고, 이것은 드라이브 스캐너(3)에 의해 주사된다. 각 화소 회로(5)는, 주사선(WS)에 의해 선택되었을 때 신호선(DL)으로부터 신호를 샘플링한다. 또한 주사선(DS)에 의해 선택되었을 때, 그 샘플링된 신호에 부합하여 부하 소자를 구동한다. 이 부하 소자는 각 화소 회로(5)에 형성된 전류 구동형의 발광 소자 등이다.

도 6은, 도 5에 도시한 화소 회로(5)의 기본적인 구성을 도시한 참고도이다. 본 화소 회로(5)는, 샘플링용 박막 트랜지스터(샘플링 트랜지스터(Tr1)), 드라이브용 박막 트랜지스터(드라이브 트랜지스터(Tr2)), 스위칭용 박막 트랜지스터(스위칭 트랜지스터(Tr3)), 축적 용량(C1), 부하 소자(유기 EL 발광 소자) 등으로 구성되어 있다.

샘플링 트랜지스터(Tr1)는 주사선(WS)에 의해 선택되었을 때 도통하고, 신호선(DL)으로부터 영상 신호를 샘플링하여 축적 용량(C1)으로 유지한다. 드라이브 트랜지스터(Tr2)는 축적 용량(C1)으로 유지된 신호 전위에 부합하여 발광 소자(EL)에 대한 통전량을 제어한다. 스위칭 트랜지스터(Tr3)는 주사선(DS)에 의해 제어되고, 발광 소자(EL)에 대한 통전을 온/오프한다. 즉, 드라이브 트랜지스터(Tr2)는 통전량에 부합하여 발광 소자(EL)의 발광 휘도(밝기)를 제어하는 한편, 스위칭 트랜지스터(Tr3)는 발광 소자(EL)의 발광 시간을 제어하고 있다. 이들의 제어에 의해, 각 화소 회로(5)에 포함되는 발광 소자(EL)는 영상 신호에 부합한 휘도를 나타내고, 화소 어레이(1)에 원하는 표시가 투영된다.

도 7은, 도 6에 도시한 화소 어레이(1) 및 화소 회로(5)의 동작 설명을 위한 타이밍 차트이다. 1 필드 기간(1f)의 선두에서, 1 수평 기간(1H) 동안 1행째의 화소 회로(5)에 주사선(WS)을 통하여 선택 펄스(ws[1])가 인가되고, 샘플링 트랜지스터(Tr1)가 도통한다. 이에 의해 신호선(DL)으로부터 영상 신호가 샘플링되고, 축적 용량(C1)에 기입된다. 축적 용량(C1)의 일단은 드라이브 트랜지스터(Tr2)의 게이트에 접속하고 있다. 따라서, 영상 신호가 축적 용량(C1)에 기입되면, 드라이브 트랜지스터(Tr2)의 게이트 전위가, 기입된 신호 전위에 부합하여 상승한다. 이 때, 다른 주사선(DS)을 통하여 스위칭 트랜지스터(Tr3)에 선택 펄스(ds[1])가 인가된다. 그 동안 발광 소자(EL)는 발광을 계속한다. 1 필드 기간(1f)의 후반은 ds[1]가 로우 레벨로 되기 때문에 발광 소자(EL)는 비발광 상태로 된다. 펄스(ds[1])의 듀티를 조정함으로써, 발광 기간과 비발광 기간의 비율을 조정할 수 있어, 원하는 화면 휘도가 얻어진다. 다음의 수평 기간으로 이행하면, 2행째의 화소 회로에 대하여, 각 주사선(WS, DS)으로부터 각각 주사용의 신호 펄스(ws[2], ds[2])가 인가된다.

여기서 도 6으로 되돌아가 참고예로서 도시한 화소 회로(5)의 문제점에 관하여 설명한다. 참고예의 화소 회로(5)는, Tr1~Tr3이 모두 N 채널형의 박막 트랜지스터로 구성되어 있고, 비용적으로 유리한 비정질 실리콘막을 활성층에 사용할 수 있다고 하는 이점이 있다. 그러나, 드라이브 트랜지스터(Tr2)의 드레인이 전원 전압(Vcc)에 접속되는 한편, 소스가 스위칭 트랜지스터(Tr3)를 통하여 발광 소자(EL)의 애노드에 접속되어 있고, 소위 소스 팔로워로 되어 있는 점에서 문제가 있다. 트랜지스터(Tr2)의 게이트에는 축적 용량(C1)으로 유지된 신호 전압이 인가되어 있고, 기본적으로는 일정하게 유지되어 있다. 그러나, 소스 전위는 발광 소자(EL)의 전류/전압 특성의 경시적인 변화에 수반하여 변동한다. 일반적으로는 발광 소자(EL)의 경시적인 열화에 수반하여 애노드 전위는 상승하고 그 결과 소스 전위도 상승한다. 드라이브 트랜지스터(Tr2)는 포화 영역에서 동작하고 있고, 전술한 트랜지스터 특성식으로 표현한 바와 같이, 드레인 전류(Ids)는 소스 전위를

기준으로 한 게이트 전위(V_{gs})에 의존하고 있다. 게이트 전압 자체는 일정하게 유지되어 있음에도 불구하고, Tr_2 는 소스 팔로워로서 동작하므로 소스 전위가 발광 소자(EL)의 특성 열화에 수반하여 변동하고, 이에 부합하여 V_{gs} 도 변화한다. 따라서 드레인 전류(I_{ds})가 변동하여 발광 소자(EL)의 휘도 열화로 이어진다고 하는 문제가 있다.

또한 드라이브 트랜지스터(Tr_2)는 그 자신 임계 전압(V_{th})의 경시 변동이 있다. 전술한 트랜지스터 특성식으로부터 분명한 바와 같이, 포화 영역에서 동작하는 경우 가령 V_{gs} 를 일정하게 유지하더라도, 임계 전압(V_{th})이 변동하면, 드레인 전류(I_{ds})도 변화하고, 이에 수반하여 발광 소자(EL)의 휘도도 변동한다. 특히, 비정질 실리콘 박막을 활성층(채널 영역)으로 하는 박막 트랜지스터는 임계 전압의 시간의 경과에 따른 변동이 눈에 띄기 때문에, 이에 대처하지 않으면 발광 소자의 휘도를 정확하게 제어할 수는 없다.

도 8a 및 도 8b는 도 6에 도시한 화소 회로에 개량을 가한 다른 참고예에 관한 화소 회로를 도시하고 있다. 도 8a는 구성을 도시한 회로도이고, 도 8b는 동작을 나타낸 타이밍 차트이다.

도 8a에 도시한 바와 같이 이 개량예는, 도 6의 화소 회로에, 부트 스트랩 회로(6)와 임계 전압 캔슬 회로(7)를 가한 구성으로 되어 있다. 부트 스트랩 회로(6)는 발광 소자(EL)의 특성 변동을 흡수하도록, 드라이브 트랜지스터(Tr_2)의 게이트(G)에 인가되는 신호 전위의 레벨을 자동적으로 제어하는 것으로서, 스위칭 트랜지스터(Tr_4)를 포함하고 있다. 이 스위칭 트랜지스터(Tr_4)의 게이트에는 주사선(WS)이 접속하고, 소스는 전원 전위(V_{ss})에 접속하고, 드레인인 축적 용량(C_1)의 일단에 접속함과 함께 드라이브 트랜지스터(Tr_2)의 소스(S)에 접속하고 있다. 주사선(WS)에 선택 펄스가 인가되면, 샘플링 트랜지스터(Tr_1)가 온함과 함께 스위칭 트랜지스터(Tr_4)도 온한다. 이에 의해, 결합 용량(C_2)을 통하여 축적 용량(C_1)에 영상 신호(V_{sig})가 기입된다. 이 후 주사선(WS)으로부터 선택 펄스가 해제되면 스위칭 트랜지스터(Tr_4)가 오프하기 때문에, 축적 용량(C_1)은 전원 전위(V_{ss})로부터 분리되고, 드라이브 트랜지스터(Tr_2)의 소스(S)에 결합된다. 이 후 주사선(WS)에 선택 펄스가 인가되면 스위칭 트랜지스터(Tr_3)가 온하여 드라이브 트랜지스터(Tr_2)를 통하여 구동 전류가 발광 소자(EL)에 공급된다. 발광 소자(EL)는 발광을 개시함과 함께 그 전류/전압 특성에 부합하여 애노드 전위가 상승하고 드라이브 트랜지스터(Tr_2)의 소스 전위의 상승을 가져온다. 이 때 축적 용량(C_1)은 V_{ss} 로부터 분리되어 있기 때문에 소스 전위의 상승과 함께 유지된 신호 전위도 상승(부트 스트랩)하고, 드라이브 트랜지스터(Tr_2)의 게이트(G)의 전위 상승을 가져온다. 즉, 발광 소자(EL)의 특성 변동이 있더라도, 드라이브 트랜지스터(Tr_2)의 게이트 전압(V_{gs})은 항상 축적 용량(C_1)으로 유지된 정미의 신호 전위와 일치하도록 되어 있다. 이와 같은 부트 스트랩 동작에 의해, 발광 소자(EL)의 특성 변동이 있더라도, 항상 드라이브 트랜지스터(Tr_2)의 드레인 전류는 축적 용량(C_1)으로 유지된 신호 전위에 의해 일정하게 유지되어, 발광 소자(EL)의 휘도의 변화가 발생하지 않는다. 이와 같은 부트 스트랩 수단(6)을 추가함으로써, 드라이브 트랜지스터(Tr_2)는 발광 소자(EL)에 대하여 정확한 정 전류원으로 기능할 수 있다.

임계 전압 캔슬 회로(7)는 드라이브 트랜지스터(Tr_2)의 임계 전압의 변동을 캔슬하도록 드라이브 트랜지스터(Tr_2)의 게이트(G)에 인가되는 신호 전위의 레벨을 조절하는 것으로서, 스위칭 트랜지스터(Tr_5 , Tr_6)를 포함하고 있다. 스위칭 트랜지스터(Tr_5)의 게이트는 별도의 주사선(AZ)에 접속되고, 드레인/소스는 드라이브 트랜지스터(Tr_2)의 게이트와 드레인의 사이에 접속되어 있다. 스위칭 트랜지스터(Tr_6)의 게이트는 동일하게 주사선(AZ)에 접속되고, 소스는 소정의 오프셋 전압(V_{ofs})에 접속되고, 드레인인 결합 용량(C_2)의 한 쪽 전극에 접속되어 있다. 또한, 도시한 예에서는 오프셋 전압(V_{ofs}), 전원 전위(V_{ss}), 캐소드 전압(GND)은 각각 서로 다른 전위를 취할 수 있지만, 경우에 따라 모두 공통의 전위(예를 들면 GND)에 맞추어도 된다.

주사선(AZ)에 제어 펄스가 인가되면 스위칭 트랜지스터(Tr_5)가 도통하고, V_{cc} 측으로부터 드라이브 트랜지스터(Tr_2)의 게이트를 향하여 전류가 흐르기 때문에, 게이트(G) 전위가 상승한다. 이에 의해 드라이브 트랜지스터(Tr_2)에 드레인 전류가 유출되어, 소스(S)의 전위가 상승한다. 게이트 전위(G)와 소스 전위(S)의 전위 차(V_{gs})가 드라이브 트랜지스터(Tr_2)의 임계 전압(V_{th})과 정확히 일치한 시점에서, 전술한 트랜지스터 특성식에 따라서, 드레인 전류는 흐르지 않게 된다. 이 때의 소스/게이트간 전압(V_{gs})이 트랜지스터(Tr_2)의 임계 전압(V_{th})으로서 축적 용량(C_1)에 기입된다. 이 축적 용량(C_1)에 기입된 V_{th} 는 신호 전위(V_{sig})에 덧붙여서 드라이브 트랜지스터(Tr_2)의 게이트에 인가되기 때문에, 임계 전압(V_{th})의 효과는 캔슬된다. 따라서 드라이브 트랜지스터(Tr_2)의 임계 전압(V_{th})이 경시적으로 변동해도, 임계 전압 캔슬 회로(7)는 이 변동을 캔슬할 수 있다.

도 8b는 각 주사선(WS, DS, AZ)에 인가되는 주사 펄스 파형과 드라이브 트랜지스터(Tr_2)의 게이트(G) 및 소스(S)의 전위 파형을 나타내는 타이밍 차트이다. 도시하는 바와 같이 V_{th} 캔슬 기간에 들어가면 주사선(AZ)에 펄스가 인가되고, 스위칭 트랜지스터(Tr_5)가 도통하여, Tr_2 의 게이트 전위가 상승한다. 그 후 주사선(WS)의 펄스가 하강하기 때문에 전원(V_{cc})측으로부터의 전류 공급이 끊어진다. 이에 의해 게이트 전위와 소스 전위의 차가 축소하여 정확히 V_{th} 로 된 시점에서 전류가 0으로 된다. 이 결과, V_{th} 가 Tr_2 의 게이트/소스간에 접속된 축적 용량(C_1)에 기입된다. 다음에 주사선(WS)에 선택 펄스가 인가되면 샘플링 트랜지스터(Tr_1)가 온하고, 결합 용량(C_2)을 통하여 축적 용량(C_1)에 신호(V_{sig})가 기입된다. 이에

의해, 드라이브 트랜지스터(Tr2)의 게이트에 입력되는 신호(Vin)는 먼저 기입된 Vth와 소정의 계인으로 유지된 Vsig의 합으로 된다. 또한 주사선(DS)에 펄스가 인가되어, 스위칭 트랜지스터(Tr3)가 온한다. 이에 의해 드라이브 트랜지스터(Tr2)가 입력 게이트 신호(Vin)에 부합하여 드레인 전류를 발광 소자(EL)에 공급하여, 발광이 개시된다. 이에 의해 발광 소자(EL)의 애노드 전위가 ΔV 만큼 상승하지만, 부트 스트랩 효과에 의해 이 ΔV 가 드라이브 트랜지스터(Tr2)에 대한 입력 신호(Vin)에 덧붙여진다. 이상의 임계 전압 캔슬 기능 및 부트 스트랩 기능에 의해, 드라이브 트랜지스터(Tr2)의 임계 전압 변동이나 발광 소자(EL)의 특성 변동이 있더라도, 이들을 캔슬하여 발광 휘도를 일정하게 유지하는 것이 가능하다.

그런데 드라이브 트랜지스터(Tr2)의 게이트에는 1 펄드 기간(1f)을 통해서 소스보다도 높은 전압이 인가되어 있고, 항상 순바이어스가 인가된 상태로 되어 있다. 게이트에 대한 순바이어스의 계속적인 인가에 의해, 드라이브 트랜지스터(Tr2)의 임계 전압(Vth)은 상방 변동한다. 이 변동은 임계 전압 캔슬 회로(7)에 의해 캔슬 가능하지만, 변동이 정도를 초과하면 캔슬 기능이 따라가지 못해서 발광 소자(EL)의 휘도 변화를 초래할 우려가 있다. 또는 스위칭 트랜지스터(Tr3)는 발광 기간 동안 온 상태로 되어 순바이어스가 인가되고 있다. 이에 의해 스위칭 트랜지스터(Tr3)의 임계 전압은 상방 변동하여, 최악의 경우에는 스위칭 트랜지스터(Tr3)가 항상 켜 오프 상태에 빠지는 경우도 있을 수 있다.

도 9는 본 발명에 따른 화소 회로의 일 실시 형태를 도시하고 있고, 도 8a의 화소 회로의 문제점에 대처하기 위해서, 드라이브 트랜지스터(Tr2) 및 스위칭 트랜지스터(Tr3)에 각각 임계 전압 변동 억제용의 역바이어스 인가 수단을 추가한 것이다.

드라이브 트랜지스터(Tr2)에 대한 역바이어스 인가 수단은, 스위칭 트랜지스터(Tr7)로 구성되어 있다. Tr7의 게이트에는 추가의 주사선(WS2)이 접속하고, 소스에는 마이너스 전원(Vmb)이 접속하고, 드레인에는 드라이브 트랜지스터(Tr2)의 게이트(G)에 접속하고 있다. 이 주사선(WS2)은 샘플링 트랜지스터(Tr1)나 스위칭 트랜지스터(Tr4)에 접속하는 주사선(WS1)과 주사 타이밍이 서로 다르기 때문에, 양자를 따로따로 나눠, WS1과 WS2로 하고 있다. 여기서 마이너스 전원(Vmb)의 전위는 접지 전위(GND)보다 낮게 설정되어 있다. 따라서 화소 회로의 동작에 영향을 주지 않는 타이밍에서 WS2에 선택 펄스가 인가되면, Tr7이 온하여 드라이브 트랜지스터(Tr2)의 게이트(G)에 역바이어스(Vmb)를 인가할 수 있다. 이에 의해 순바이어스의 계속적인 인가로 상방 시프트한 트랜지스터(Tr2)의 임계 전압(Vth)을 하방 수정할 수 있다.

스위칭 트랜지스터(Tr3)에 대한 역바이어스 인가 수단은, 주사선(DS1)에 접속한 드라이브 스캐너(3)(도 5 참조)에 내장되어 있다. 발광 기간에서는 스위칭 트랜지스터(Tr3)의 게이트에 주사선(DS1)을 통하여 순바이어스가 인가되고, 드레인 전류가 Vcc로부터 GND를 향하여 흐른다. 비발광 기간에 들어가면 주사선(DS1)의 전위가 GND 이하로 되고, 스위칭 트랜지스터(Tr3)에 역바이어스가 인가된다. 이에 의해 Tr3의 임계 전압의 상방 변동을 하방 수정할 수 있다.

도 10은, 도 9에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트이다. 주사선(WS1)에 인가되는 펄스를 ws1로 나타내고, 주사선(WS2)에 인가되는 펄스를 ws2로 나타내고, 주사선(AZ)에 인가되는 펄스를 az로 나타내고, 주사선(DS1)에 인가되는 펄스를 ds1로 나타내고 있다. 또한, 드라이브 트랜지스터(Tr2)의 게이트 전위(G), 드레인 전위(D) 및 소스 전위(S)의 변동을 펄스(ds1)의 레벨 변화와 겹쳐서 나타내고 있다. 또한, 드라이브 트랜지스터(Tr2)의 드레인 전위(D)는 동시에 스위칭 트랜지스터(Tr3)의 소스 전위로 되어 있다.

Vth 캔슬 기간에서는 펄스(az)가 트랜지스터(Tr5 및 Tr6)에 인가되고, 드라이브 트랜지스터(Tr2)의 임계 전압(Vth)이 검지된다. 이 검지된 Vth는 Tr2의 게이트 전위(G)와 소스 전위(S)의 차로서 축적 용량(C1)으로 유지된다. 다음에 펄스(ws1)가 샘플링 트랜지스터(Tr1) 및 스위칭 트랜지스터(Tr4)에 인가되면, 영상 신호(Vsig)가 샘플링되고, 결합 용량(C2)을 통하여 축적 용량(C1)에 기입된다. 축적 용량(C1)에 기입된 Vth 및 Vsig의 합이, Tr2의 게이트 전위(G)와 소스 전위(S)의 차로서 타이밍 차트에 나타나 있다. 또한 발광 기간에 들어가서 스위칭 트랜지스터(Tr3)에 펄스(ds1)가 인가되면, 드라이브 트랜지스터(Tr2)를 통해서 드레인 전류가 발광 소자(EL)에 흐른다. 이에 의해 소스 전위(S)가 상승하지만, 부트 스트랩 기능에 의해 게이트 전위(G)와의 전위 차는 일정하게 유지된다. 소스 전위(S)의 상승에 수반하여 드레인 전위(D)도 상승한다. 이 드레인 전위(D)는 스위칭 트랜지스터(Tr3)의 소스 전위로 되어 있지만, 펄스(DS1)의 진폭은 이 드레인 전위(D)보다도 충분히 높게 설정되어 있기 때문에, 트랜지스터(Tr3)의 온 동작에 필요한 순바이어스(Va)를 인가할 수 있다. 그 후 비발광 기간에 들어가면 펄스(DS1)가 로우 레벨로 전환되고, 트랜지스터(Tr3)는 켜 오프된다. 드레인 전류의 차단에 의해 드라이브 트랜지스터(Tr2)의 드레인 전위(D)는 Vcc측으로부터 GND까지 내려간다. 이 때 펄스(DS1)의 로우 레벨은 GND보다도 낮게 설정되어 있기 때문에, 스위칭 트랜지스터(Tr3)의 게이트에는 역바이어스(Vb)가 인가된다. 또는 비발광 기간에는 트랜지스터(Tr7)의 게이트에 펄스(ws2)가 인가된다. 이에 의해 Tr7이 도통하여 역바이어스(Vmb)가 드라이브 트랜지스터(Tr2)의 게이트(G)에 인가된다.

이상의 설명으로부터 분명한 바와 같이, 드라이브 트랜지스터(Tr2) 및 스위칭 트랜지스터(Tr3)에 각각 적절한 타이밍에서 역바이어스가 인가되기 때문에, 각각의 임계 전압의 변동을 억제할 수 있다. 그러나, 스위칭 트랜지스터(Tr3)에 대해서

는 약간 개선하여야 할 여지가 있기 때문에, 이 점에 관하여 설명을 추가한다. 트랜지스터(Tr3)의 동작점을 생각하는 경우, 펄스(ds1)의 전압 레벨과 드라이브 트랜지스터의 드레인 전압(D)을 생각하면 되는 것은 전술한 바와 같다. 발광 기간 동안 스위칭 트랜지스터(Tr3)는 온하고 있기 때문에, 펄스(ds1)의 H 전위는 드레인 전위(D)보다 Tr3의 Vth 이상 높아져 있고, Va 전압이 가해져 있다. 즉 발광 기간에서는 트랜지스터(Tr3)의 게이트/소스간에 순바이어스가 인가된다. 이 후 비발광 기간으로 되면 펄스(DS1)의 L 레벨이 GND 이하로 되기 때문에 역바이어스가 인가된다. 이 역바이어스 기간에서는, 드레인 전위(D)가 리크 등의 원인으로 캐소드 전위(GND) 혹은 그 부근까지 저하한다. 이 기간 트랜지스터(Tr3)는 오프 상태이기 때문에, 결국 트랜지스터(Tr3)의 게이트/소스간에는 Vb만큼 역바이어스가 인가된다. 따라서 트랜지스터(Tr3)에는 순바이어스 및 역바이어스의 양자가 가해지기 때문에, Tr3의 Vth 변동은 어느 정도 방지할 수 있다. 그러나, 1 펄스 기간(1f)에 차지하는 발광 시간을 길게 하면 비발광 시간은 압박을 받아 짧아진다. 따라서 역바이어스 인가 시간도 짧아지지만, 그 만큼 임계 전압의 하방 수정을 효과적으로 수행할 필요가 있으며, Vb의 절대값을 크게 설정할 필요가 있다. 그러나, Vb의 절대값을 크게 하면 펄스(ds1)의 진폭이 증가하여, 비용 증가로 이어진다. 또한 트랜지스터(Tr3)의 내압에도 크게 영향을 주어, 비용뿐만 아니라 수율에도 영향이 있다.

도 11은, 도 9에 도시한 화소 회로를 더욱 개량한 실시 형태를 도시하고 있고, 이해를 쉽게 하기 위해서 도 9의 화소 회로와 대응하는 부분에는 대응하는 참조 번호를 붙이고 있다. 개량점은, 문제로 된 트랜지스터(Tr3)와 병렬로 추가의 트랜지스터(Tr8)를 접속함과 함께, 그 게이트에 주사선(DS2)을 통하여 보완 수단을 접속한 것이다. 이 보완 수단은 추가 트랜지스터(Tr8)를 스위칭 트랜지스터(Tr3)에 대하여 보완적으로 구동하여, Tr3에 관하여 동작의 방해로 되지 않는 타이밍을 만들어내고 있다. 주사선(DS1)을 통하여 스위칭 트랜지스터(Tr3)에 접속한 역바이어스 인가 수단은, 이 만들어낸 타이밍에서 트랜지스터(Tr3)에 역바이어스를 인가하도록 하고 있다.

도 12는, 도 11에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트이다. 이해를 쉽게 하기 위해서 도 10에 도시한 앞의 실시 형태의 타이밍 차트와 대응하는 부분에는 대응하는 참조 부호를 사용하고 있다. 특징점은, 스위칭 트랜지스터(Tr3)의 게이트에 인가되는 펄스(DS1)와 추가 트랜지스터(Tr8)의 게이트에 인가되는 펄스(DS2)가 상호 역상의 관계에 있는 점이다. 발광 기간 동안 스위칭 트랜지스터(Tr3)의 게이트에는 순바이어스(Va)가 인가된다. 이는 도 9의 실시 형태와 마찬가지로이다. 다음에 비발광 기간에 들어가면 펄스(DS1)가 GND를 하회하여 로우 레벨로 되고, 스위칭 트랜지스터(Tr3)가 오프로 된다. 이 때 트랜지스터(Tr8)가 보완적으로 동작하여 온 상태로 되기 때문에, 드라이브 트랜지스터(Tr2)에는 계속해서 전원(Vcc)측으로부터 전류가 공급된다. 따라서 드라이브 트랜지스터(Tr2)의 드레인 전위(D)는 캐소드 전위(GND)까지 떨어지지 않고, 전원 전위(Vcc) 혹은 그 근변의 전위를 취할 수 있다. 이 때문에 비발광 기간에 포함되는 역바이어스 기간 동안, 스위칭 트랜지스터(Tr3)의 게이트/소스간 전압은 절대값으로 Vcc+ Vb로 되고, 매우 큰 역바이어스를 인가할 수 있다. 이에 의해, 스위칭 트랜지스터(Tr3)에 큰 진폭의 펄스(DS1)를 인가하지 않더라도, 임계 전압의 상방 변동을 효과적으로 하방 수정하는 것이 가능하다. 이와 같이, 비정질 실리콘 박막 트랜지스터나 다결정 실리콘 박막 트랜지스터의 임계 전압이 변동해도 화소 회로에서 보정을 가할 수 있기 때문에, 발광 소자(EL)의 휘도 열화를 방지할 수 있어, 고품질의 액티브 매트릭스형 디스플레이를 제공할 수 있다. 특히 발광의 온 오프 제어를 행하는 트랜지스터의 게이트에 인가되는 펄스의 진폭을 크게 할 필요가 없기 때문에, 드라이브의 저비용화를 실현할 수 있다. 그리고 드라이브 트랜지스터의 Vth 변동을 보정하면서, 스위칭 트랜지스터의 Vth 변동도 쉽게 보정할 수 있다.

산업상 이용 가능성

박막 트랜지스터는, 플러스의 게이트 전압(순 바이어스)이 반복적 혹은 지속적으로 인가되면, 임계 전압이 플러스 방향으로 시프트하는 경향이 있다. 반대로 마이너스의 게이트 전압(역 바이어스)이 반복적 혹은 지속적으로 인가되면, 임계 전압은 마이너스 방향으로 변동하는 경향이 있다. 트랜지스터 회로의 기능이나 동작 조건에 따라서는, 회로 배선을 통하여 게이트와 소스의 사이에 반복적 혹은 지속적으로 순바이어스가 인가되는 박막 트랜지스터가 포함되는 경우가 있다. 해당 박막 트랜지스터는 이와 같은 순바이어스에 의해 임계 전압이 경시적으로 시프트한다. 이것을 방지하면 해당 트랜지스터의 컷 오프 동작의 혼란 등에 의해, 트랜지스터 회로의 오동작을 초래할 우려가 있다. 따라서, 본 발명에서는, 트랜지스터 회로의 동작상 혹은 기능상, 반복적 혹은 지속적으로 순바이어스의 인가를 피할 수 없는 박막 트랜지스터에 대해서는, 동작의 방해로 되지 않는 타이밍에서 역바이어스를 인가하고 있다. 이에 의해, 순바이어스로 플러스 방향으로 시프트한 임계 전압을 마이너스 방향으로 복귀할 수 있고, 결과적으로 임계 전압의 변동을 억제할 수 있다.

경우에 따라서는 순바이어스의 인가가 거의 계속적으로 행해지도록 하는 박막 트랜지스터에서는, 역바이어스를 인가하기 때문에 충분한 타이밍을 취할 수 없는 경우가 있다. 이와 같은 박막 트랜지스터에 대해서는, 추가 박막 트랜지스터를 병렬 접속하고, 해당 박막 트랜지스터에 대하여 추가 트랜지스터를 보완적으로 구동함으로써, 역바이어스를 인가하는 타이밍을 강제적으로 만들어내도록 하고 있다. 이에 의해, 계속적인 순바이어스의 인가로 임계 전압의 상방 시프트를 피할 수 없는 박막 트랜지스터에 대해서도, 보완용의 추가 박막 트랜지스터를 병렬 접속함으로써, 강제적으로 임계 전압을 하방 수정할 수 있다.

도면의 간단한 설명

- 도 1a 내지 도 1c는, 본 발명에 따른 트랜지스터 회로의 제1 실시 형태를 도시한 모식도.
- 도 2는, 도 1a에 도시한 트랜지스터 회로의 동작 설명을 위한 타이밍 차트.
- 도 3은, 본 발명에 따른 트랜지스터 회로의 제2 실시 형태를 나타낸 모식도.
- 도 4a 및 도 4b는, 본 발명에 따른 트랜지스터 회로의 제3 실시 형태를 도시하는 모식도.
- 도 5는, 본 발명에 따른 액티브 매트릭스 표시 장치 및 이것에 포함되는 화소 회로의 개요를 도시한 블록도.
- 도 6은, 화소 회로의 참고예를 도시한 블록도.
- 도 7은, 도 6에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트.
- 도 8a 및 도 8b는, 화소 회로의 다른 참고예를 도시하는 모식도.
- 도 9는, 본 발명에 따른 화소 회로의 제1 실시 형태를 도시한 회로도.
- 도 10은, 도 9에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트.
- 도 11은, 본 발명에 따른 화소 회로의 제2 실시 형태를 도시한 회로도.
- 도 12는, 도 11에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트.

<발명을 실시하기 위한 최선의 형태>

이하 도면을 참조하여 본 발명의 실시 형태를 상세히 설명한다. 도 1a 내지 도 1c는 본 발명에 따른 트랜지스터 회로의 제1 실시 형태를 도시하고 있다. 도 1a는 구성을 도시한 회로도이고, 도 1b는 동작을 나타내는 타이밍 차트이고, 도 1c는 원리를 도시하는 그래프이다. 도 1a에 도시한 바와 같이, 본 트랜지스터 회로는, 기판에 형성된 2개의 박막 트랜지스터(Tr1, Tr2)와, 인버터 동작을 행하도록 각 박막 트랜지스터(Tr1, Tr2)의 게이트, 소스 또는 드레인을 접속하는 배선으로 구성되어 있다. 즉, 본 트랜지스터 회로는 2개의 N 채널형 트랜지스터(Tr1, Tr2)를 이용하여 인버터를 구성한 것이다. N 채널형의 박막 트랜지스터는 비정질 실리콘막을 활성층으로 하여 염가로 제작할 수 있기 때문에, 비용적으로 유리하다. 또한 인버터는 단순한 예시로서, 본 발명에 따른 트랜지스터 회로는 박막 트랜지스터로 구성되어 있으면 되고, 그 기능이나 동작을 상관없다.

구체적인 회로 구성이지만, Tr1의 게이트에는 소정의 게이트 전압(V1)이 인가되고, 드레인은 전원 전압(Vcc)의 공급을 받고, 소스는 출력(Vout)을 공급하도록 되어 있다. 도시한 예에서는 출력 단자에 부하 용량(CL)이 접속되어 있다. 부하 용량(CL)의 일단에는 출력(Vout)이 인가되고, 타단은 Vss에 접지되어 있다. 게이트 전압(V1)은 Tr1의 임계 전압과 Vcc의 합보다 크게 설정되어 있기 때문에, Tr1은 항상 온 상태에 있다. Tr2의 게이트에는 입력 신호(Vin)가 인가되고, 소스는 Vss에 접지되고, 드레인은 Tr1의 소스와 접속하여 출력 노드를 구성하고 있다.

도 1b에 도시한 바와 같이, 본 트랜지스터 회로는 인버터 동작을 행하고 있고, 입력 신호(Vin)를 반전하여 출력 신호(Vout)를 얻는다. 즉, Vin이 로우 레벨(L)일 때, Vout은 하이 레벨(H)로 되고, Vin이 H일 때 Vout은 L로 된다. Tr2에 주목하면, Vin이 로우 레벨일 때 오프 상태로 되고, 출력 노드는 접지 전위(Vss)로부터 분리된다. 이 때 Tr1은 항상 온 상태로 되어 있기 때문에 출력 노드는 Vcc에 풀업된다. 이 결과 Vout은 하이 레벨(Vcc)로 된다. 반대로 Vin이 하이 레벨로 되면 Tr2가 온하고, 출력 노드가 Vss를 향하여 풀다운된다. 부하 용량(CL)으로부터 방전되는 전류와 Tr1로부터 공급되는 전류의 합이, Tr2를 흐르는 전류와 균형이 잡혔을 때 Vout의 로우 레벨이 확정된다. 통상 Vout의 로우 레벨은 Vss보다 약간 높아져 있다.

이상의 설명으로부터 분명한 바와 같이, V_{in} 의 로우 레벨은 Tr_2 의 임계 전압보다 낮으면 되고, 통상은 V_{ss} 로 설정된다. 한편, V_{in} 의 하이 레벨은 Tr_2 의 임계 전압보다 충분히 높으면 된다. 그러나, 이 통상의 설정에서는, Tr_2 의 게이트에 하이 레벨의 순바이어스가 반복적으로 인가되게 되어, Tr_2 의 임계 전압의 상방 변동을 가져온다. 이것을 방지하면 V_{in} 의 하이 레벨이 상방 변동한 임계 전압을 하회할 우려가 있어, 오동작의 원인으로 된다. 그래서 본 발명에서는 V_{in} 의 로우 레벨을 V_{ss} 를 하회하는 마이너스 전위로 하여, 소위 역바이어스가 정기적으로 Tr_2 에 인가되도록 하고 있다. 이 역바이어스에 의해 상방 시프트한 임계 전압이 하방 수정되어, 결과적으로 Tr_2 의 임계 전압 변동을 억제할 수 있다. 즉 제1 실시 형태에서는 입력 신호(V_{in})의 공급원 자체가 역바이어스 인가 수단을 구성하고 있고, 인버터 동작의 방해로 되지 않는 타이밍(도시한 예에서는 로우 레벨의 타이밍)에서 박막 트랜지스터(Tr_2)의 게이트와 소스의 사이에 역바이어스를 인가하여 박막 트랜지스터(Tr_2)의 임계 전압의 변동을 억제하고 있다.

도 1c는 박막 트랜지스터(Tr_2)의 임계 전압의 변화를 도시하는 그래프이다. 횡축에 소스 전위를 기준으로 한 게이트 전압(V_{gs})을 취하고, 종축에 임계 전압(V_{th})을 취하고 있다. 반복적 혹은 지속적으로 끊임없이 플러스의 게이트 전압(순바이어스)이 인가되면, V_{th} 는 상방 변동하고, 극단적으로 되면 정상적인 온/오프 동작을 행할 수 없다. 반대로 마이너스의 게이트 전압(역바이어스)을 계속 인가하면, V_{th} 는 하방 변동한다. 본 발명은 이 현상을 이용하고 있으며, 순바이어스의 계속적인 인가에 의한 임계 전압의 상방 시프트를, 회로의 동작의 지장으로 되지 않는 타이밍에서 역바이어스를 인가함으로써 하방 수정하고, 그럼으로써 임계 전압의 변동을 억제하는 것이다.

도 2는, 도 1a에 도시한 트랜지스터 회로에서의 입력 신호(V_{in})와 출력 신호(V_{out})의 다른 실시예를 도시하는 타이밍 차트이다. 본 실시예에서는 입력 펄스(V_{in})의 듀티가 50%부터 어긋나 있고, 로우 레벨의 기간이 짧고 하이 레벨의 기간이 길어져 있다. 이 입력 펄스(V_{in})를 반전한 출력 펄스(V_{out})는, 반대로 하이 레벨의 기간이 짧고 로우 레벨의 기간이 길어져 있다. 인버터가 내장되는 회로 블록의 동작 상황에 따라서는, 이와 같은 입력 신호(V_{in})가 사용되는 상황도 있을 수 있다.

본 실시예에서도, 트랜지스터(Tr_2)의 게이트에 순바이어스가 인가되는 틈을 타서 역바이어스(로우 레벨)가 인가되어 있다. 그러나, 역바이어스 인가 시간이 짧기 때문에, 반드시 충분한 임계 전압 변동 억제 효과가 얻어지지 않는 경우가 있다. 즉, 순바이어스(하이 레벨)의 계속적인 변화에 의한 임계 전압의 상방 변동이 심하기 때문에, 역바이어스에 의한 하방 수정 효과가 따라가지 못하는 경우도 있다. 그러나, 역바이어스를 인가하지 않는 경우에 비하여, 소정의 임계 전압 변동 억제 효과가 얻어지는 것은 분명하다.

도 3은, 본 발명에 따른 트랜지스터 회로의 제2 실시 형태를 도시하는 모식도이다. 도 3의 (A)는 구성을 도시한 회로도이고, 도 3의 (B)는 동작을 도시하는 타이밍 차트이다. 이해를 쉽게 하기 위해서, 도 1a 및 도 1b에 도시한 제1 실시 형태와 대응하는 부분에는 대응하는 참조 번호를 붙인다. 본 실시 형태는 도 1의 실시 형태를 개량한 것으로서, 특히 도 2를 참조하여 설명한 바와 같이, 충분한 역바이어스 인가 시간을 확보할 수 없는 경우에 대처하는 것을 목적으로 한다.

도 3의 (A)에 도시한 바와 같이, 대상으로 되는 트랜지스터(Tr_2)(해당 트랜지스터)와 병렬로 추가의 박막 트랜지스터(Tr_3)가 접속되어 있다. 해당 트랜지스터(Tr_2)의 게이트에는 입력 신호(V_{in1})가 인가되어 있다. 전술한 바와 같이, 입력 신호(V_{in1})의 신호원이 동시에 역바이어스 인가 수단을 구성하고 있다. 한편 추가 트랜지스터(Tr_3)의 게이트에는 다른 입력 신호(V_{in2})가 인가되어 있다. 이 입력 신호(V_{in2})의 신호원은 본 실시 형태의 특징 요소인 보완 수단을 구성하고 있다. 즉 이 보완 수단은, 추가 트랜지스터(Tr_3)를 해당 트랜지스터(Tr_2)에 대하여 보완적으로 구동하여 Tr_2 에 관하여 동작의 방해로 되지 않는 타이밍을 강제적으로 만들어내고 있다. 역바이어스 인가 수단은, 이 강제적으로 발생된 타이밍에서 해당 박막 트랜지스터(Tr_2)에 역바이어스를 인가하고, Tr_2 의 임계 전압의 변동을 억제하고 있다.

본 실시 형태에서는, 해당 트랜지스터(Tr_2)는 N 채널형이고, 추가 트랜지스터(Tr_3)도 동일한 N 채널형이다. 이 경우, 보완 수단은 해당 트랜지스터(Tr_2)에 인가되는 신호 펄스(V_{in1})와 역상의 관계로 되는 신호 펄스(V_{in2})를 추가 트랜지스터(Tr_3)의 게이트에 인가한다. Tr_2 와 Tr_3 이 P 채널형인 경우에도, V_{in1} 과 V_{in2} 는 상호 역상의 관계로 된다. 한편 Tr_2 와 Tr_3 의 한 쪽이 N 채널형이고 다른 쪽이 P 채널형인 경우, V_{in1} 과 V_{in2} 는 동상의 관계로 한다.

계속해서 도 3의 (B)를 참조하여 도 3의 (A)에 도시한 트랜지스터 회로의 동작을 설명한다. 타이밍(T1)에서는 V_{in1} 이 로우 레벨로 되고 V_{in2} 도 로우 레벨로 된다. 이 때 상호 병행 접속한 트랜지스터(Tr_2 , Tr_3)는 양쪽 모두 오프 상태로 되기 때문에, 출력 노드는 Tr_1 에 의해 V_{cc} 측에 풀업된다. 이 결과 출력 신호(V_{out})는 하이 레벨로 된다. 다음 타이밍(T2)에서는, V_{in1} 이 하이 레벨로 전환되는 한편, V_{in2} 는 로우 레벨을 유지한다. 상호 병행 접속한 Tr_2 , Tr_3 중 한 쪽의 Tr_2 가 온하기 때문에, 출력 노드는 V_{ss} 측에 풀다운된다. 이 결과 V_{out} 은 로우 레벨로 전환된다. 다음 타이밍(T3)에서는 반대로 V_{in1}

이 로우 레벨로 천이하는 한편, Vin2가 하이 레벨로 천이한다. 이에 의해 상호 병행 접속한 트랜지스터(Tr2, Tr3) 중 한 쪽의 Tr3가 온 상태로 되기 때문에, 출력 노드는 계속해서 Vss측에 풀다운된다. 따라서 Vout은 로우 레벨을 유지한다. 이에 의해 입출력 신호의 1주기가 종료하고, 다음 주기로 이행한다.

Vin1과 Vin2를 비교하면 분명한 바와 같이, 타이밍(T2, T3)에서 양자는 상호 역상의 관계에 있다. 특히 타이밍(T3)에 주목하면, Tr2가 오프하여 비동작 상태에 놓이는 한편, 이것을 보완하기 위하여 Tr3이 온하여 동작 상태로 된다. Tr2 대신에 Tr3이 온 상태로 됨으로써, 출력 노드는 계속해서 Vss측에 풀다운되고, 목적으로 하는 출력 신호(Vout)를 얻을 수 있다. Tr3의 보완 기능에 의해, Tr2에 관하여 동작의 방해로 되지 않는 타이밍(T3)이 만들어내어져 있다. Vin1의 신호원인 역바이어스 인가 수단, 이 만들어진 타이밍(T3)에서 해당 트랜지스터(Tr2)에 역바이어스를 인가하고 있다. 타이밍 차트로부터 분명한 바와 같이, 순바이어스가 인가되는 기간(T2)과 역바이어스가 인가되는 기간(T1+ T3)은 거의 밸런스가 잡혀 있고, 임계 전압의 상방 변동을 과부족 없이 하방 수정하는 것이 가능하게 된다.

도 4a 및 도 4b는 트랜지스터 회로의 제3 실시 형태를 도시하고 있고, 도 3에 도시한 제2 실시 형태의 개량예이다. 도 4a는 본 실시 형태의 구성을 도시한 회로도이고, 도 4b는 동작을 도시한 타이밍 차트이다.

인버터 회로를 양쪽 모두 N 채널형의 트랜지스터(Tr1, Tr2)로 구성한 경우, Tr1은 항상 동작 상태에 놓인다. 다시 말하면 Tr1은 항상 순바이어스가 인가된 상태에 있고, 인계 전압은 경시적으로 상방 시프트한다. 이 상방 시프트가 극단적으로 진행하면, 정상적인 동작을 방해하는 경우가 있다. 그래서 본 실시 형태는, Tr1에 대하여도 보완용의 트랜지스터(Tr4)를 병행 접속하고 있다.

도 4b에 도시한 바와 같이, 타이밍(T1 및 T2)에서는, Tr1에 대한 게이트 전압(V1)이 하이 레벨에 있는 한편, Tr4에 대한 게이트 전압(V2)이 로우 레벨에 있다. 반대로 타이밍(T3 및 T4)에서는, V1이 로우 레벨로 절환되는 한편, V2가 하이 레벨로 된다. 이에 의해, 트랜지스터(Tr1 및 Tr4)는 상호 보완적으로 동작하고, Tr1과 Tr4의 세트로 이루어진 스위치는 전체적으로 항상 온 상태로 유지된다. 그 때, 한 쪽의 게이트 전압(V1)은 타이밍(T3, T4)에서 로우 레벨로 되고 임계 전압 수정용의 역바이어스를 인가하는 것이 가능하다. 한편 V2는 타이밍(T1 및 T2)에서 로우 레벨로 되기 때문에, 마찬가지로 트랜지스터(Tr4)에 대하여 임계 전압 변동 억제용의 역바이어스를 인가할 수 있다.

도 5는, 본 발명에 따른 트랜지스터 회로의 응용예인 액티브 매트릭스 표시 장치 및 이것에 포함되는 화소 회로를 도시한 개략의 블록도이다. 도시한 바와 같이, 액티브 매트릭스 표시 장치는 주요부로 되는 화소 어레이(1)와 주변의 회로군으로 구성되어 있다. 주변의 회로군은 수평 셀렉터(2), 드라이브 스캐너(3), 라이트 스캐너(4) 등을 포함하고 있다.

화소 어레이(1)는 행 형상의 주사선(WS)과 열 형상의 신호선(DL)과 양자의 교차하는 부분에 매트릭스 형상으로 배열한 화소 회로(5)로 구성되어 있다. 신호선(DL)은 수평 셀렉터(2)에 의해 구동된다. 주사선(WS)은 라이트 스캐너(4)에 의해 주사된다. 또한, 주사선(WS)과 평행하게 별도의 주사선(DS)도 배선되어 있고, 이것은 드라이브 스캐너(3)에 의해 주사된다. 각 화소 회로(5)는, 주사선(WS)에 의해 선택되었을 때 신호선(DL)으로부터 신호를 샘플링한다. 또한 주사선(DS)에 의해 선택되었을 때, 그 샘플링된 신호에 부합하여 부하 소자를 구동한다. 이 부하 소자는 각 화소 회로(5)에 형성된 전류 구동형의 발광 소자 등이다.

도 6은, 도 5에 도시한 화소 회로(5)의 기본적인 구성을 도시한 참고도이다. 본 화소 회로(5)는, 샘플링용 박막 트랜지스터(샘플링 트랜지스터(Tr1)), 드라이브용 박막 트랜지스터(드라이브 트랜지스터(Tr2)), 스위칭용 박막 트랜지스터(스위칭 트랜지스터(Tr3)), 축적 용량(C1), 부하 소자(유기 EL 발광 소자) 등으로 구성되어 있다.

샘플링 트랜지스터(Tr1)는 주사선(WS)에 의해 선택되었을 때 도통하고, 신호선(DL)으로부터 영상 신호를 샘플링하여 축적 용량(C1)으로 유지한다. 드라이브 트랜지스터(Tr2)는 축적 용량(C1)으로 유지된 신호 전위에 부합하여 발광 소자(EL)에 대한 통전량을 제어한다. 스위칭 트랜지스터(Tr3)는 주사선(DS)에 의해 제어되고, 발광 소자(EL)에 대한 통전을 온/오프한다. 즉, 드라이브 트랜지스터(Tr2)는 통전량에 부합하여 발광 소자(EL)의 발광 휘도(밝기)를 제어하는 한편, 스위칭 트랜지스터(Tr3)는 발광 소자(EL)의 발광 시간을 제어하고 있다. 이들의 제어에 의해, 각 화소 회로(5)에 포함되는 발광 소자(EL)는 영상 신호에 부합한 휘도를 나타내고, 화소 어레이(1)에 원하는 표시가 투영된다.

도 7은, 도 6에 도시한 화소 어레이(1) 및 화소 회로(5)의 동작 설명을 위한 타이밍 차트이다. 1 필드 기간(1f)의 선두에서, 1 수평 기간(1H) 동안 1행째의 화소 회로(5)에 주사선(WS)을 통하여 선택 펄스(ws[1])가 인가되고, 샘플링 트랜지스터(Tr1)가 도통한다. 이에 의해 신호선(DL)으로부터 영상 신호가 샘플링되고, 축적 용량(C1)에 기입된다. 축적 용량(C1)의 일단은 드라이브 트랜지스터(Tr2)의 게이트에 접속하고 있다. 따라서, 영상 신호가 축적 용량(C1)에 기입되면, 드라이브 트랜지스터(Tr2)의 게이트 전위가, 기입된 신호 전위에 부합하여 상승한다. 이 때, 다른 주사선(DS)을 통하여 스위칭 트랜

지스터(Tr3)에 선택 펄스(ds[1])가 인가된다. 그 동안 발광 소자(EL)는 발광을 계속한다. 1 펄드 기간(1f)의 후반은 ds [1]가 로우 레벨로 되기 때문에 발광 소자(EL)는 비발광 상태로 된다. 펄스(ds[1])의 듀티를 조정함으로써, 발광 기간과 비발광 기간의 비율을 조정할 수 있어, 원하는 화면 휘도가 얻어진다. 다음의 수평 기간으로 이행하면, 2행째의 화소 회로에 대하여, 각 주사선(WS, DS)으로부터 각각 주사용의 신호 펄스(ws[2], ds[2])가 인가된다.

여기서 도 6으로 되돌아가 참고예로서 도시한 화소 회로(5)의 문제점에 관하여 설명한다. 참고예의 화소 회로(5)는, Tr1~Tr3이 모두 N 채널형의 박막 트랜지스터로 구성되어 있고, 비용적으로 유리한 비정질 실리콘막을 활성층에 사용할 수 있다고 하는 이점이 있다. 그러나, 드라이브 트랜지스터(Tr2)의 드레인이 전원 전압(Vcc)에 접속되는 한편, 소스가 스위칭 트랜지스터(Tr3)를 통하여 발광 소자(EL)의 애노드에 접속되어 있고, 소위 소스 팔로워로 되어 있는 점에서 문제가 있다. 트랜지스터(Tr2)의 게이트에는 축적 용량(C1)으로 유지된 신호 전압이 인가되어 있고, 기본적으로는 일정하게 유지되어 있다. 그러나, 소스 전위는 발광 소자(EL)의 전류/전압 특성의 경시적인 변화에 수반하여 변동한다. 일반적으로는 발광 소자(EL)의 경시적인 열화에 수반하여 애노드 전위는 상승하고 그 결과 소스 전위도 상승한다. 드라이브 트랜지스터(Tr2)는 포화 영역에서 동작하고 있고, 전술한 트랜지스터 특성식으로 표현한 바와 같이, 드레인 전류(Ids)는 소스 전위를 기준으로 한 게이트 전위(Vgs)에 의존하고 있다. 게이트 전압 자체는 일정하게 유지되어 있음에도 불구하고, Tr2는 소스 팔로워로서 동작하므로 소스 전위가 발광 소자(EL)의 특성 열화에 수반하여 변동하고, 이에 부합하여 Vgs도 변화한다. 따라서 드레인 전류(Ids)가 변동하여 발광 소자(EL)의 휘도 열화로 이어진다고 하는 문제가 있다.

또한 드라이브 트랜지스터(Tr2)는 그 자신 임계 전압(Vth)의 경시 변동이 있다. 전술한 트랜지스터 특성식으로부터 분명한 바와 같이, 포화 영역에서 동작하는 경우 가령 Vgs를 일정하게 유지하더라도, 임계 전압(Vth)이 변동하면, 드레인 전류(Ids)도 변화하고, 이에 수반하여 발광 소자(EL)의 휘도도 변동한다. 특히, 비정질 실리콘 박막을 활성층(채널 영역)으로 하는 박막 트랜지스터는 임계 전압의 시간의 경과에 따른 변동이 눈에 띄기 때문에, 이에 대처하지 않으면 발광 소자의 휘도를 정확하게 제어할 수는 없다.

도 8a 및 도 8b는 도 6에 도시한 화소 회로에 개량을 가한 다른 참고예에 관한 화소 회로를 도시하고 있다. 도 8a는 구성을 도시한 회로도이고, 도 8b는 동작을 나타낸 타이밍 차트이다.

도 8a에 도시한 바와 같이 이 개량예는, 도 6의 화소 회로에, 부트 스트랩 회로(6)와 임계 전압 캔슬 회로(7)를 가한 구성으로 되어 있다. 부트 스트랩 회로(6)는 발광 소자(EL)의 특성 변동을 흡수하도록, 드라이브 트랜지스터(Tr2)의 게이트(G)에 인가되는 신호 전위의 레벨을 자동적으로 제어하는 것으로서, 스위칭 트랜지스터(Tr4)를 포함하고 있다. 이 스위칭 트랜지스터(Tr4)의 게이트에는 주사선(WS)이 접속하고, 소스는 전원 전위(Vss)에 접속하고, 드레인은 축적 용량(C1)의 일단에 접속함과 함께 드라이브 트랜지스터(Tr2)의 소스(S)에 접속하고 있다. 주사선(WS)에 선택 펄스가 인가되면, 샘플링 트랜지스터(Tr1)가 온함과 함께 스위칭 트랜지스터(Tr4)도 온한다. 이에 의해, 결합 용량(C2)을 통하여 축적 용량(C1)에 영상 신호(Vsig)가 기입된다. 이 후 주사선(WS)으로부터 선택 펄스가 해제되면 스위칭 트랜지스터(Tr4)가 오프하기 때문에, 축적 용량(C1)은 전원 전위(Vss)로부터 분리되고, 드라이브 트랜지스터(Tr2)의 소스(S)에 결합된다. 이 후 주사선(DS)에 선택 펄스가 인가되면 스위칭 트랜지스터(Tr3)가 온하여 드라이브 트랜지스터(Tr2)를 통하여 구동 전류가 발광 소자(EL)에 공급된다. 발광 소자(EL)는 발광을 개시함과 함께 그 전류/전압 특성에 부합하여 애노드 전위가 상승하고 드라이브 트랜지스터(Tr2)의 소스 전위의 상승을 가져온다. 이 때 축적 용량(C1)은 Vss로부터 분리되어 있기 때문에 소스 전위의 상승과 함께 유지된 신호 전위도 상승(부트 스트랩)하고, 드라이브 트랜지스터(Tr2)의 게이트(G)의 전위 상승을 가져온다. 즉, 발광 소자(EL)의 특성 변동이 있더라도, 드라이브 트랜지스터(Tr2)의 게이트 전압(Vgs)은 항상 축적 용량(C1)으로 유지된 정미의 신호 전위와 일치하도록 되어 있다. 이와 같은 부트 스트랩 동작에 의해, 발광 소자(EL)의 특성 변동이 있더라도, 항상 드라이브 트랜지스터(Tr2)의 드레인 전류는 축적 용량(C1)으로 유지된 신호 전위에 의해 일정하게 유지되어, 발광 소자(EL)의 휘도의 변화가 발생하지 않는다. 이와 같은 부트 스트랩 수단(6)을 추가함으로써, 드라이브 트랜지스터(Tr2)는 발광 소자(EL)에 대하여 정확한 정 전류원으로서는 기능할 수 있다.

임계 전압 캔슬 회로(7)는 드라이브 트랜지스터(Tr2)의 임계 전압의 변동을 캔슬하도록 드라이브 트랜지스터(Tr2)의 게이트(G)에 인가되는 신호 전위의 레벨을 조절하는 것으로서, 스위칭 트랜지스터(Tr5, Tr6)를 포함하고 있다. 스위칭 트랜지스터(Tr5)의 게이트는 별도의 주사선(AZ)에 접속되고, 드레인/소스는 드라이브 트랜지스터(Tr2)의 게이트와 드레인의 사이에 접속되어 있다. 스위칭 트랜지스터(Tr6)의 게이트는 동일하게 주사선(AZ)에 접속되고, 소스는 소정의 오프셋 전압(Vofs)에 접속되고, 드레인은 결합 용량(C2)의 한 쪽 전극에 접속되어 있다. 또한, 도시한 예에서는 오프셋 전압(Vofs), 전원 전위(Vss), 캐소드 전압(GND)은 각각 서로 다른 전위를 취할 수 있지만, 경우에 따라 모두 공통의 전위(예를 들면 GND)에 맞추어도 된다.

주사선(AZ)에 제어 펄스가 인가되면 스위칭 트랜지스터(Tr5)가 도통하고, Vcc측으로부터 드라이브 트랜지스터(Tr2)의 게이트를 향하여 전류가 흐르기 때문에, 게이트(G) 전위가 상승한다. 이에 의해 드라이브 트랜지스터(Tr2)에 드레인 전류

가 유출되어, 소스(S)의 전위가 상승한다. 게이트 전위(G)와 소스 전위(S)의 전위 차(V_{gs})가 드라이브 트랜지스터(Tr_2)의 임계 전압(V_{th})과 정확히 일치한 시점에서, 전술한 트랜지스터 특성식에 따라서, 드레인 전류는 흐르지 않게 된다. 이 때의 소스/게이트간 전압(V_{gs})이 트랜지스터(Tr_2)의 임계 전압(V_{th})으로서 축적 용량(C_1)에 기입된다. 이 축적 용량(C_1)에 기입된 V_{th} 는 신호 전위(V_{sig})에 덧붙여서 드라이브 트랜지스터(Tr_2)의 게이트에 인가되기 때문에, 임계 전압(V_{th})의 효과는 캔슬된다. 따라서 드라이브 트랜지스터(Tr_2)의 임계 전압(V_{th})이 경시적으로 변동해도, 임계 전압 캔슬 회로(7)는 이 변동을 캔슬할 수 있다.

도 8b는 각 주사선(WS, DS, AZ)에 인가되는 주사 펄스 파형과 드라이브 트랜지스터(Tr_2)의 게이트(G) 및 소스(S)의 전위 파형을 나타내는 타이밍 차트이다. 도시하는 바와 같이 V_{th} 캔슬 기간에 들어가면 주사선(AZ)에 펄스가 인가되고, 스위칭 트랜지스터(Tr_5)가 도통하여, Tr_2 의 게이트 전위가 상승한다. 그 후 주사선(DS)의 펄스가 하강하기 때문에 전원(V_{cc})측으로부터의 전류 공급이 끊어진다. 이에 의해 게이트 전위와 소스 전위의 차가 축소하여 정확히 V_{th} 로 된 시점에서 전류가 0으로 된다. 이 결과, V_{th} 가 Tr_2 의 게이트/소스간에 접속된 축적 용량(C_1)에 기입된다. 다음에 주사선(WS)에 선택 펄스가 인가되면 샘플링 트랜지스터(Tr_1)가 온하고, 결합 용량(C_2)을 통하여 축적 용량(C_1)에 신호(V_{sig})가 기입된다. 이에 의해, 드라이브 트랜지스터(Tr_2)의 게이트에 입력되는 신호(V_{in})는 먼저 기입된 V_{th} 와 소정의 계인으로 유지된 V_{sig} 의 합으로 된다. 또한 주사선(DS)에 펄스가 인가되어, 스위칭 트랜지스터(Tr_3)가 온한다. 이에 의해 드라이브 트랜지스터(Tr_2)가 입력 게이트 신호(V_{in})에 부합하여 드레인 전류를 발광 소자(EL)에 공급하여, 발광이 개시된다. 이에 의해 발광 소자(EL)의 애노드 전위가 ΔV 만큼 상승하지만, 부트 스트랩 효과에 의해 이 ΔV 가 드라이브 트랜지스터(Tr_2)에 대한 입력 신호(V_{in})에 덧붙여진다. 이상의 임계 전압 캔슬 기능 및 부트 스트랩 기능에 의해, 드라이브 트랜지스터(Tr_2)의 임계 전압 변동이나 발광 소자(EL)의 특성 변동이 있더라도, 이들을 캔슬하여 발광 휘도를 일정하게 유지하는 것이 가능하다.

그런데 드라이브 트랜지스터(Tr_2)의 게이트에는 1 펄드 기간($1f$)을 통해서 소스보다도 높은 전압이 인가되어 있고, 항상 순바이어스가 인가된 상태로 되어 있다. 게이트에 대한 순바이어스의 계속적인 인가에 의해, 드라이브 트랜지스터(Tr_2)의 임계 전압(V_{th})은 상방 변동한다. 이 변동은 임계 전압 캔슬 회로(7)에 의해 캔슬 가능하지만, 변동이 정도를 초과하면 캔슬 기능이 따라가지 못해서 발광 소자(EL)의 휘도 변화를 초래할 우려가 있다. 또는 스위칭 트랜지스터(Tr_3)는 발광 기간 동안 온 상태로 되어 순바이어스가 인가되고 있다. 이에 의해 스위칭 트랜지스터(Tr_3)의 임계 전압은 상방 변동하여, 최악의 경우에는 스위칭 트랜지스터(Tr_3)가 항상 셧 오프 상태에 빠지는 경우도 있을 수 있다.

도 9는 본 발명에 따른 화소 회로의 일 실시 형태를 도시하고 있고, 도 8a의 화소 회로의 문제점에 대처하기 위해서, 드라이브 트랜지스터(Tr_2) 및 스위칭 트랜지스터(Tr_3)에 각각 임계 전압 변동 억제용의 역바이어스 인가 수단을 추가한 것이다.

드라이브 트랜지스터(Tr_2)에 대한 역바이어스 인가 수단은, 스위칭 트랜지스터(Tr_7)로 구성되어 있다. Tr_7 의 게이트에는 추가의 주사선(WS_2)이 접속하고, 소스에는 마이너스 전원(V_{mb})이 접속하고, 드레인에는 드라이브 트랜지스터(Tr_2)의 게이트(G)에 접속하고 있다. 이 주사선(WS_2)은 샘플링 트랜지스터(Tr_1)나 스위칭 트랜지스터(Tr_4)에 접속하는 주사선(WS_1)과 주사 타이밍이 서로 다르기 때문에, 양자를 따로따로 나눠, WS_1 과 WS_2 로 하고 있다. 여기서 마이너스 전원(V_{mb})의 전위는 접지 전위(GND)보다 낮게 설정되어 있다. 따라서 화소 회로의 동작에 영향을 주지 않는 타이밍에서 WS_2 에 선택 펄스가 인가되면, Tr_7 이 온하여 드라이브 트랜지스터(Tr_2)의 게이트(G)에 역바이어스(V_{mb})를 인가할 수 있다. 이에 의해 순바이어스의 계속적인 인가로 상방 시프트한 트랜지스터(Tr_2)의 임계 전압(V_{th})을 하방 수정할 수 있다.

스위칭 트랜지스터(Tr_3)에 대한 역바이어스 인가 수단은, 주사선(DS_1)에 접속한 드라이브 스캐너(3)(도 5 참조)에 내장되어 있다. 발광 기간에서는 스위칭 트랜지스터(Tr_3)의 게이트에 주사선(DS_1)을 통하여 순바이어스가 인가되고, 드레인 전류가 V_{cc} 로부터 GND를 향하여 흐른다. 비발광 기간에 들어가면 주사선(DS_1)의 전위가 GND 이하로 되고, 스위칭 트랜지스터(Tr_3)에 역바이어스가 인가된다. 이에 의해 Tr_3 의 임계 전압의 상방 변동을 하방 수정할 수 있다.

도 10은, 도 9에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트이다. 주사선(WS_1)에 인가되는 펄스를 ws_1 로 나타내고, 주사선(WS_2)에 인가되는 펄스를 ws_2 로 나타내고, 주사선(AZ)에 인가되는 펄스를 az 로 나타내고, 주사선(DS_1)에 인가되는 펄스를 ds_1 로 나타내고 있다. 또한, 드라이브 트랜지스터(Tr_2)의 게이트 전위(G), 드레인 전위(D) 및 소스 전위(S)의 변동을 펄스(ds_1)의 레벨 변화와 겹쳐서 나타내고 있다. 또한, 드라이브 트랜지스터(Tr_2)의 드레인 전위(D)는 동시에 스위칭 트랜지스터(Tr_3)의 소스 전위로 되어 있다.

V_{th} 캔슬 기간에서는 펄스(az)가 트랜지스터(Tr_5 및 Tr_6)에 인가되고, 드라이브 트랜지스터(Tr_2)의 임계 전압(V_{th})이 검지된다. 이 검지된 V_{th} 는 Tr_2 의 게이트 전위(G)와 소스 전위(S)의 사이의 차로써 축적 용량(C_1)으로 유지된다. 다음에 펄스(ws_1)가 샘플링 트랜지스터(Tr_1) 및 스위칭 트랜지스터(Tr_4)에 인가되면, 영상 신호(V_{sig})가 샘플링되고, 결합 용량(C_2)을 통하여 축적 용량(C_1)에 기입된다. 축적 용량(C_1)에 기입된 V_{th} 및 V_{sig} 의 합이, Tr_2 의 게이트 전위(G)와 소스 전

위(S)의 차로써 타이밍 차트에 나타나 있다. 또한 발광 기간에 들어가서 스위칭 트랜지스터(Tr3)에 펄스(ds1)가 인가되면, 드라이브 트랜지스터(Tr2)를 통해서 드레인 전류가 발광 소자(EL)에 흐른다. 이에 의해 소스 전위(S)가 상승하지만, 부트스트랩 기능에 의해 게이트 전위(G)와의 전위 차는 일정하게 유지된다. 소스 전위(S)의 상승에 수반하여 드레인 전위(D)도 상승한다. 이 드레인 전위(D)는 스위칭 트랜지스터(Tr3)의 소스 전위로 되어 있지만, 펄스(DS1)의 진폭은 이 드레인 전위(D)보다도 충분히 높게 설정되어 있기 때문에, 트랜지스터(Tr3)의 온 동작에 필요한 순바이어스(Va)를 인가할 수 있다. 그 후 비발광 기간에 들어가면 펄스(DS1)가 로우 레벨로 전환되고, 트랜지스터(Tr3)는 컷 오프된다. 드레인 전류의 차단에 의해 드라이브 트랜지스터(Tr2)의 드레인 전위(D)는 Vcc측으로부터 GND까지 내려간다. 이 때 펄스(DS1)의 로우 레벨은 GND보다도 낮게 설정되어 있기 때문에, 스위칭 트랜지스터(Tr3)의 게이트에는 역바이어스(Vb)가 인가된다. 또는 비발광 기간에는 트랜지스터(Tr7)의 게이트에 펄스(ws2)가 인가된다. 이에 의해 Tr7이 도통하여 역바이어스(Vmb)가 드라이브 트랜지스터(Tr2)의 게이트(G)에 인가된다.

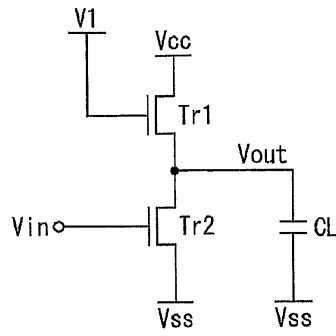
이상의 설명으로부터 분명한 바와 같이, 드라이브 트랜지스터(Tr2) 및 스위칭 트랜지스터(Tr3)에 각각 적절한 타이밍에서 역바이어스가 인가되기 때문에, 각각의 임계 전압의 변동을 억제할 수 있다. 그러나, 스위칭 트랜지스터(Tr3)에 대해서는 약간 개선하여야 할 여지가 있기 때문에, 이 점에 관하여 설명을 추가한다. 트랜지스터(Tr3)의 동작점을 생각하는 경우, 펄스(ds1)의 전압 레벨과 드라이브 트랜지스터의 드레인 전압(D)을 생각하면 되는 것은 전술한 바와 같다. 발광 기간 동안 스위칭 트랜지스터(Tr3)는 온하고 있기 때문에, 펄스(ds1)의 H 전위는 드레인 전위(D)보다 Tr3의 Vth 이상 높아져 있고, Va 전압이 가해져 있다. 즉 발광 기간에서는 트랜지스터(Tr3)의 게이트/소스간에 순바이어스가 인가된다. 이 후 비발광 기간으로 되면 펄스(DS1)의 L 레벨이 GND 이하로 되기 때문에 역바이어스가 인가된다. 이 역바이어스 기간에서는, 드레인 전위(D)가 리크 등의 원인으로 캐소드 전위(GND) 혹은 그 부근까지 저하한다. 이 기간 트랜지스터(Tr3)는 오프 상태이기 때문에, 결국 트랜지스터(Tr3)의 게이트/소스간에는 Vb만큼 역바이어스가 인가된다. 따라서 트랜지스터(Tr3)에는 순바이어스 및 역바이어스의 양자가 가해지기 때문에, Tr3의 Vth 변동은 어느 정도 방지할 수 있다. 그러나, 1 펄스 기간(1f)에 차지하는 발광 시간을 길게 하면 비발광 시간은 압박을 받아 짧아진다. 따라서 역바이어스 인가 시간도 짧아지지만, 그 만큼 임계 전압의 하방 수정을 효과적으로 수행할 필요가 있으며, Vb의 절대값을 크게 설정할 필요가 있다. 그러나, Vb의 절대값을 크게 하면 펄스(ds1)의 진폭이 증가하여, 비용 증가로 이어진다. 또한 트랜지스터(Tr3)의 내압에도 크게 영향을 주어, 비용뿐만 아니라 수율에도 영향이 있다.

도 11은, 도 9에 도시한 화소 회로를 더욱 개량한 실시 형태를 도시하고 있고, 이해를 쉽게 하기 위해서 도 9의 화소 회로와 대응하는 부분에는 대응하는 참조 번호를 붙이고 있다. 개량점은, 문제로 된 트랜지스터(Tr3)와 병렬로 추가의 트랜지스터(Tr8)를 접속함과 함께, 그 게이트에 주사선(DS2)을 통하여 보완 수단을 접속한 것이다. 이 보완 수단은 추가 트랜지스터(Tr8)를 스위칭 트랜지스터(Tr3)에 대하여 보완적으로 구동하여, Tr3에 관하여 동작의 방해로 되지 않는 타이밍을 만들어내고 있다. 주사선(DS1)을 통하여 스위칭 트랜지스터(Tr3)에 접속한 역바이어스 인가 수단은, 이 만들어낸 타이밍에서 트랜지스터(Tr3)에 역바이어스를 인가하도록 하고 있다.

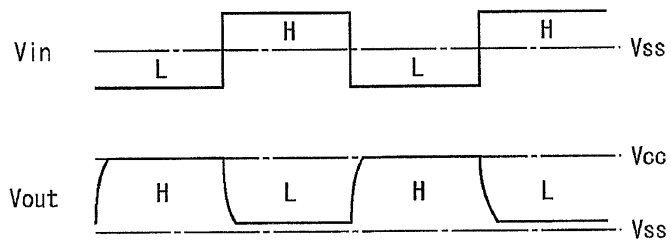
도 12는, 도 11에 도시한 화소 회로의 동작 설명을 위한 타이밍 차트이다. 이해를 쉽게 하기 위해서 도 10에 도시한 앞의 실시 형태의 타이밍 차트와 대응하는 부분에는 대응하는 참조 부호를 사용하고 있다. 특징점은, 스위칭 트랜지스터(Tr3)의 게이트에 인가되는 펄스(DS1)와 추가 트랜지스터(Tr8)의 게이트에 인가되는 펄스(DS2)가 상호 역상의 관계에 있는 점이다. 발광 기간 동안 스위칭 트랜지스터(Tr3)의 게이트에는 순바이어스(Va)가 인가된다. 이는 도 9의 실시 형태와 마찬가지로이다. 다음에 비발광 기간에 들어가면 펄스(DS1)가 GND를 하회하여 로우 레벨로 되고, 스위칭 트랜지스터(Tr3)가 오프로 된다. 이 때 트랜지스터(Tr8)가 보완적으로 동작하여 온 상태로 되기 때문에, 드라이브 트랜지스터(Tr2)에는 계속해서 전원(Vcc)측으로부터 전류가 공급된다. 따라서 드라이브 트랜지스터(Tr2)의 드레인 전위(D)는 캐소드 전위(GND)까지 떨어지지 않고, 전원 전위(Vcc) 혹은 그 근변의 전위를 취할 수 있다. 이 때문에 비발광 기간에 포함되는 역바이어스 기간 동안, 스위칭 트랜지스터(Tr3)의 게이트/소스간 전압은 절대값으로 Vcc+Vb로 되고, 매우 큰 역바이어스를 인가할 수 있다. 이에 의해, 스위칭 트랜지스터(Tr3)에 큰 진폭의 펄스(DS1)를 인가하지 않더라도, 임계 전압의 상방 변동을 효과적으로 하방 수정하는 것이 가능하다. 이와 같이, 비정질 실리콘 박막 트랜지스터나 다결정 실리콘 박막 트랜지스터의 임계 전압이 변동해도 화소 회로에서 보정을 가할 수 있기 때문에, 발광 소자(EL)의 휘도 열화를 방지할 수 있어, 고품질의 액티브 매트릭스형 디스플레이를 제공할 수 있다. 특히 발광의 온 오프 제어를 행하는 트랜지스터의 게이트에 인가되는 펄스의 진폭을 크게 할 필요가 없기 때문에, 드라이버의 저비용화를 실현할 수 있다. 그리고 드라이브 트랜지스터의 Vth 변동을 보정하면서, 스위칭 트랜지스터의 Vth 변동도 쉽게 보정할 수 있다.

도면

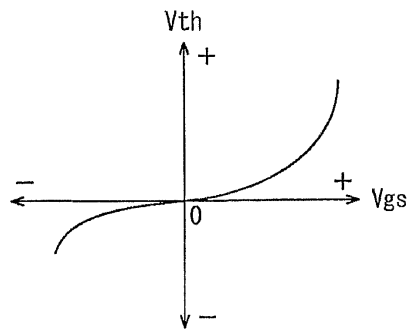
도면1a



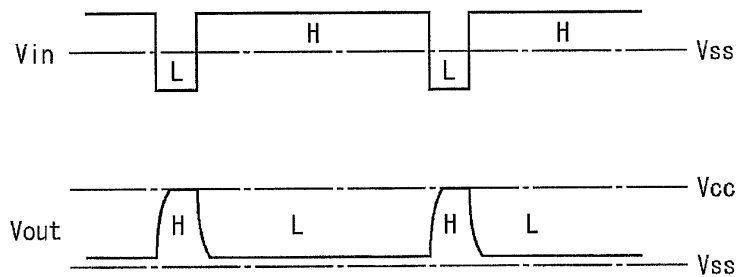
도면1b



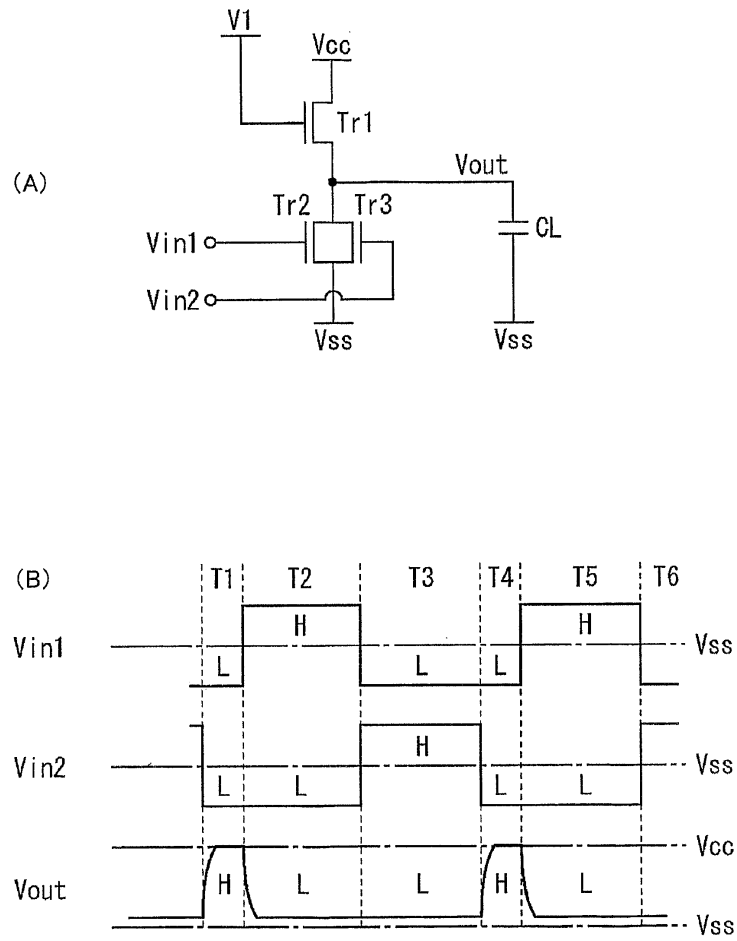
도면1c



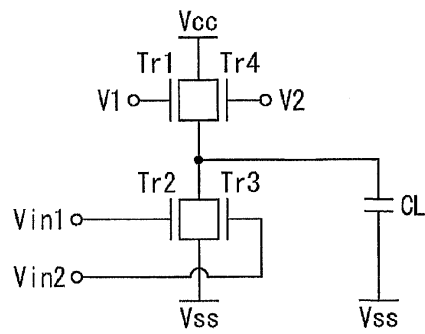
도면2



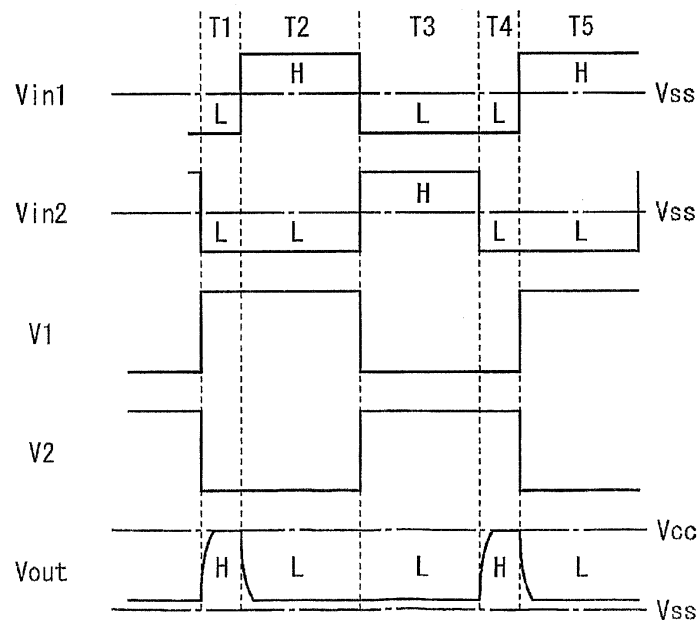
도면3



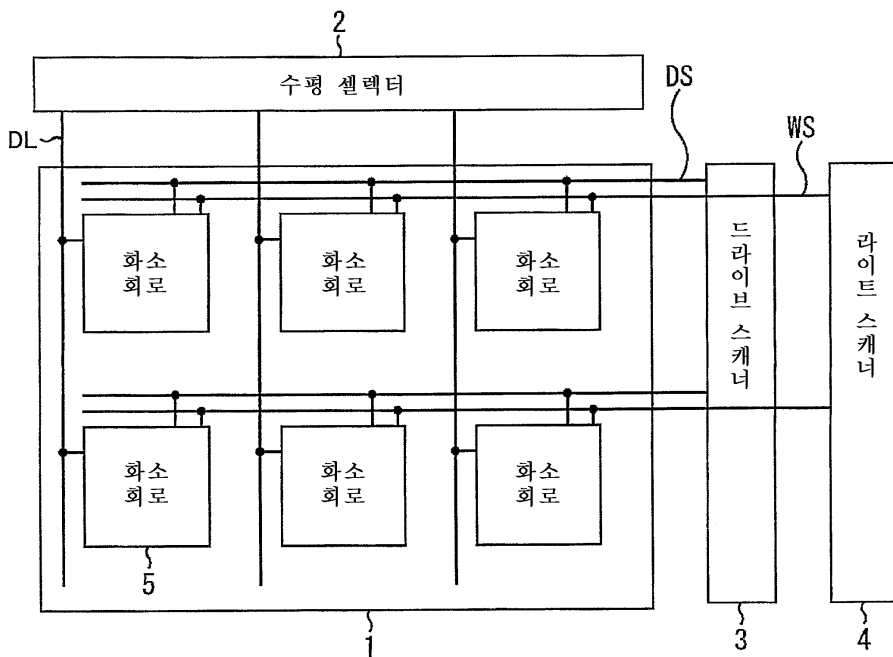
도면4a



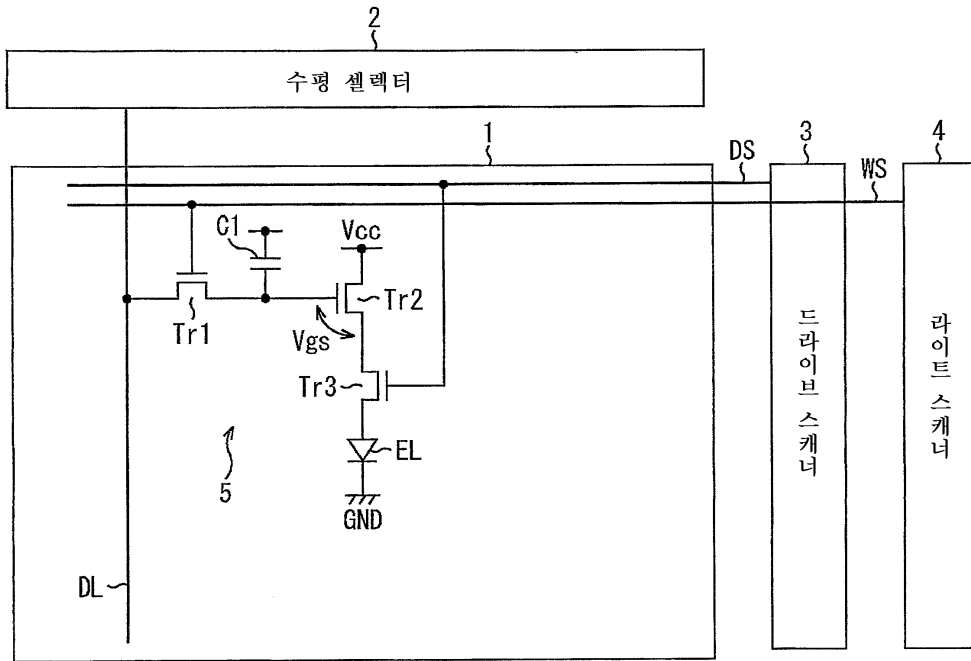
도면4b



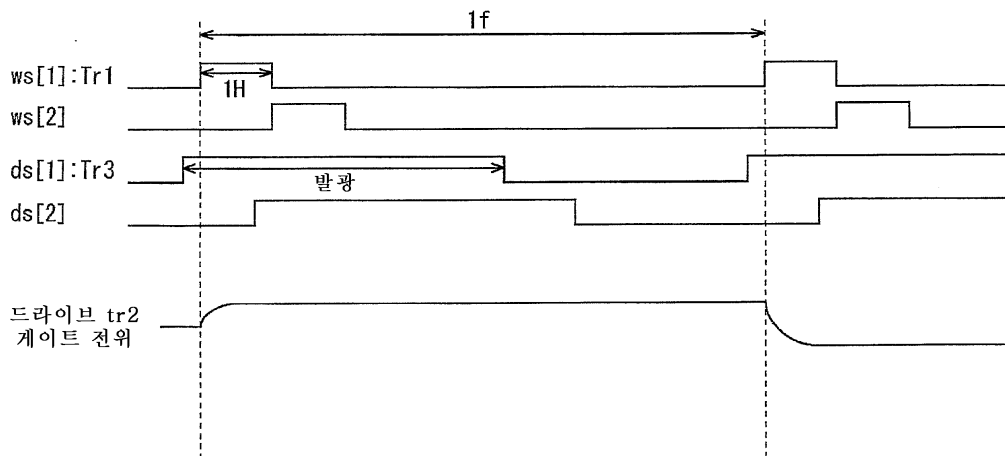
도면5



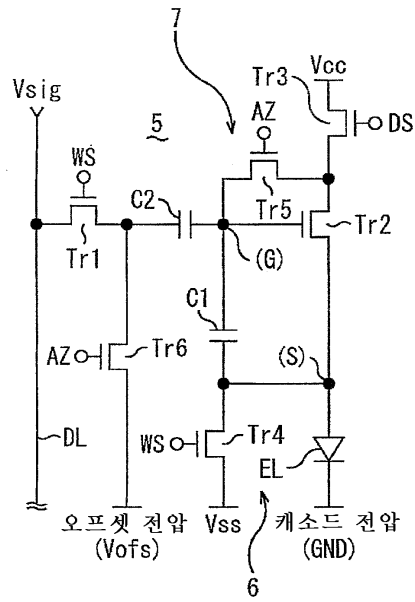
도면6



도면7



도면8a



도면8b

