(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/283

(45) 공고일자 2004년08월21일
(11) 등록번호 10-0445552
(24) 등록일자 2004년08월13일

(21) 출원번호 10-2001-0037802
(22) 출원일자 2001년06월28일
(65) 공개번호 10-2003-0001931
(43) 공개일자 2003년01월08일

(73) 특허권자 동부전자 주식회사
서울 강남구 역삼1동 838

(72) 발명자 이기민
서울특별시영등포구대림3동750-1238/3

이정현
충청북도청주시흥덕구복대1동3161세원APT101-1202

(74) 대리인 김영철
김 순 영
이준서

심사관 : 김종찬

(54) 반도체소자용 콘택 플러그 및 그 형성방법

요약

본 발명은 반도체소자용 콘택 플러그 및 그 형성방법에 관한 것으로, 본 발명에서는 W 스터드의 베리어층으로 사용되던 종래의 TiN을 플리오린기에 대한 확산저항도가 우수한 다른 물질, 예컨대, W으로 대체하고, 이를 통해, 베리어층의 내부에 TiF_3, TiF_4 등과 같은 악성 부산물이 생성되는 현상을 미리 차단시킴으로써, '플리오린기의 베리어층 침투', '화산형 결함의 무분별한 생성' 등과 같은 종래의 문제점을 최소화시킨다.
이러한 본 발명이 달성되는 경우, 베리어층의 파손이 최대한 억제되기 때문에, 해당 베리어층은 자신에게 부여된 '플루오린기의 반응경로 차단역할'을 별다른 문제점 없이 정상적으로 수행할 수 있으며, 결국, 최종 완성되는 반도체소자는 일정 수준 이상의 품질을 유지할 수 있게 된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체소자용 콘택 플러그를 도시한 예시도.
도 2a 내지 도 2f는 본 발명에 따른 반도체소자용 콘택 플러그 형성방법을 순차적으로 도시한 공정도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자용 콘택 플러그에 관한 것으로, 좀더 상세하게는 종래의 베리어층으로 사용되던 TiN을 플리오린기(F-radical)에 대한 확산저항도가 우수한 다른 물질, 예컨대, W(Tungsten)으로 대체함으로써, 베리어층의 내부에 TiF_3, TiF_4 등과 같은 악성 부산물이 생성되는 현상을 미리 차단시킬 수 있도록 하는 반도체소자용 콘택 플러그에 관한 것이다. 더욱이, 본 발명은 이러한 반도체소자용 콘택 플러그를 형성하는 방법에 관한 것이다.
통상, 반도체소자를 제조할 때, 임의의 메탈층과 메탈층 사이에는 이들을 전기적으로 분리시키기 위한 층간 절연막이 형성되는 것이 일반적이며, 이 경우, 해 당 메탈층들은 층간 절연막의 일정 부위에 형성된 콘택 플러그(Contact plug)에 의해 일련의 전기적인 연결관계를 형성하게 된다.
예컨대, 미국특허공보 제 5641991 호 '콘택저항을 줄일 수 있는 도전성 플러그가 포함된 반도체 디바이스(Semiconductor device containing conductor plug that can reduce contact resistance)', 미국특허공보 제 5909059 호 '콘택 플러그를 갖는 반도체 디바이스 및 그 제조방법(Semiconductor device having contact plug and method for manufacturing the same)', 미국특허공보 제 5933754 호 '전도성 콘택 플러그 형성을 위한 반도체 공정 방법(Semiconductor processing method of forming an electrically conductive contact plug)' 등에는 이러한 종래의 기술에 따른 콘택 플러그의 일례가 상세하게 제시되어 있다.
근래에, 반도체 공정기술이 대폭 향상되면서, 예컨대, 미국특허공보 제 6020259 호 '반도체 디바이스용 텅스텐 플러그 콘택 형성방법(Method of forming a tungsten-plug contact for a semiconductor device)'에 제시된 바와 같이, 갭 필링(Gap filling) 능력이 우수한 W을 일련의 화학기상증착 프로세스(CVD process:Chemical Vapor deposition process)를 통해 증착하여, '콘택 플러그'를 형성하는 방법이 폭 넓게 개발 · 보급되고 있다.
그러나, 이 방식의 경우, CVD 프로세스 중에, 별도의 소스가스(Source gas), 예컨대, WF_6 가스를 반드시 사용하여야 하기 때문에, 예컨대, WF_6 의 플루오린기가 층간 절연막, 메탈층 등과 불필요하게 반응하는 문제점이 필연적으로 야기되며, 결 국, 최종 완성되는 반도체 디바이스의 품질이 대폭 저하되는 등의 문제점을 동반한다.
근래에, 이러한 문제점을 해결하기 위한 일 방안으로, 예컨대, 한국특허공개공보 제 1999-73851 호 '반도체 소자의 텅스텐 플러그 형성 방법'에 개시된 바와 같이, Ti/TiN으로 이루어진 복수의 메탈층을 '플루오린기의 반응경로를 차단하는 베리어층'으로 사용하는 방법이 제시되고 있다.
그러나, 이때, 베리어층의 일부로 사용되는 TiN은 플루오린기에 대한 확산저항도가 그렇게 크지 못한 단점을 갖고 있기 때문에, WF_6 의 플루오린기는 만약, TiN이 균일하게 형성되지 못하거나, TiN에 미세한 균열이 상존하는 경우, 베리어층의 형성에도 불구하고, TiN을 뚫고 들어가, Ti와 반응함으로써, 예컨대, TiF_3, TiF_4 등과 같은 악성 부산물을 차례로 생성한다.
이때, TiF_3 는 비휘발성의 고체 상태로 베리어층의 내부에 상존하여, 베리어층의 균열을 촉진시킴으로써, 플루오린기의 내부침투를 더욱 가속화시키는 심각한 문제점을 유발하며, TiF_4 는 일정 수준 이상의 휘발성을 유지하여, 베리어층의 내부에 보이드(Void)가 형성되는 원인으로 작용함으로써, 베리어층의 곳곳에 이른바, '화산형 결함(Volcano-shaped defect)'이 형성되는 심각한 문제점을 유발한다.
이러한 TiF_3, TiF_4 등의 불필요한 작용으로 인해, Ti/TiN의 구조가 파괴되는 경우, 종래의 베리어층은 자신에게 부여된 예컨대, '플루오린기의 반응경로를 차단 하는 역할'을 정상적으로 수행할 수 없게 되며, 결국, 최종 완성되는 반도체소자는 베리어층의 사용에도 불구하고, 일정 수준 이상의 품질을 유지할 수 없게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 콘택 플러그의 베리어층으로 사용되던 종래의 TiN을 플리오린기에 대한 확산저항도가 우수한 다른 물질로 대체하고, 이를 통해, 베리어층의 내부에 TiF_3, TiF_4 등과 같은 악성 부산물이 생성되는 현상을 미리 차단시킴으로써, '플리오린기의 베리어층 침투', '화산형 결함의 무분별한 생성' 등과 같은 종래의 문제점을 최소화시키는데 있다.
본 발명의 다른 목적은 '플리오린기의 베리어층 침투', '화산형 결함의 무분별한 생성' 등을 최소화시켜, 베리어층의 파손을 억제시키고, 이를 통해, 베리어층의 기능을 극대화시킴으로써, 플루오린기가 층간 절연막, 메탈층 등과 불필요하게 반응하는 문제점을 미리 차단시키는데 있다.
본 발명의 또 다른 목적은 '플루오린기'와 '층간 절연막, 메탈층' 등과의 불필요한 반응을 최소화시킴으로써, 최종 완성되는 반도체소자의 품질을 일정 수준 이상으로 향상시키는데 있다.
본 발명의 또 다른 목적들은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해질 것이다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에서는 임의의 상 · 하부 메탈층 사이에 형성된 층간 절연막의 콘택홀을 채우는 반도체소자용 콘택 플러그를 개시한다. 이 경우, 본 발명의 반도체소자용 콘택 플러그는 상 · 하부 메탈층과 전기적으로 접촉되도록 콘택홀의 내측면에 도포되는 Ti 베리어층과, 이 Ti 베리어층의 전면에 도포되는 W 베리어층과, 이 W 베리어층의 전면에 도포되어, 콘택홀의 나머지 공간을 채우는 W 스터드(Stud)의 조합으로 이루어진다.

이하, 첨부된 도면을 참조하여, 본 발명에 따른 반도체소자용 콘택 플러그 및 그 형성방법을 좀더 상세히 설명하면 다음과 같다.
도 1에 도시된 바와 같이, 본 발명이 적용된 반도체소자(100)에서, 기판(1)의 상부에는 임의의 베이스층(Base layer: 2)이 배치되며, 이 베이스층(2)의 상부에는 본 발명의 콘택 플러그(30)에 의해 전기적인 접촉관계를 형성하는 상ㆍ하부 메탈층(10,40)이 배치되고, 이 상ㆍ하부 메탈층(10,40)의 사이 영역에는 상ㆍ하부 메탈층(10,40)을 전기적으로 절연시키는 층간 절연막(20)이 배치된다. 이 경우, 앞의 베이스층(2)은 최종 완성되는 반도체소자의 특성에 따라, 다양한 변형을 이룰 수 있다.
이때, 도면에 도시된 바와 같이, 본 발명의 콘택 플러그(30)는 층간 절연막(20)의 기 정해진 콘택홀(C)을 채운 상태로 배치되며, 예컨대, Ti 베리어층(31), W 베리어층(32), W 스터드(33)가 순차적으로 적층된 구조를 이룬다.
여기서, Ti 베리어층(31)은 상ㆍ하부 메탈층(10,40)과 전기적으로 접촉된 상태에서, 콘택홀(C)의 내측면에 일차적으로 도포되는 구조를 이루며, W 베리어층(32)은 상ㆍ하부 메탈층(10,40)과 전기적으로 접촉된 상태에서, 앞의 Ti 베리어층(31)의 전면에 도포되는 구조를 이루고, W 스터드(33)는 상ㆍ하부 메탈층(10,40)과 전기적으로 접촉된 상태에서, W 베리어층(32)의 전면에 도포되어, 콘택홀(C)의 나머지 공간을 밀도 있게 채우는 구조를 이룬다.
요컨대, 본 발명의 콘택 플러그(30)는 종래의 콘택 플러그가 예컨대, 'Ti/TiN 베리어층-W 스터드'의 구조를 이루던 것과 달리, 'Ti/W 베리어층(31,32)-W 스터드(33)'의 구조를 이루게 된다.
이하, 상술한 구성을 갖는 본 발명의 반도체소자용 콘택 플러그(30)를 형성하는 방법을 상세히 설명한다.
먼저, 본 발명에서는 도 2a에 도시된 바와 같이, 임의의 베이스층(2)과, 하부 메탈층(10)이 차례로 형성된 기판(1)의 상부에 일련의 CVD 프로세스를 진행함으로써, 하부 메탈층(10)의 상부에 예컨대, 1000Å~2000Å 정도의 두께를 갖는 층간 절연막(20)을 증착한다.
이어서, 앞의 층간 절연막(20)의 상부에 감광막을 증착하고, 이러한 감광막을 선택 식각하여, 소정 형상의 감광막 패턴(200)을 형성한 후, 이 감광막 패턴(200)을 마스크로, 하부 메탈층(10)의 표면이 노출되도록 층간 절연막(20)을 식각함으로써, 이 층간 절연막의 정해진 영역에 일련의 콘택홀(C)을 정의한다.
이러한 공정이 모두 완료되면, 하부 메탈층(10)의 상부에는 하부 메탈층(10)의 표면을 노출시킨 콘택홀(C)이 패터닝된 구조의 층간 절연막(20)이 형성된다.
이어서, 도 2b에 도시된 바와 같이, 본 발명에서는 상술한 단계에 사용된 감광막 패턴(200)을 제거한 후, 층간 절연막(20)의 전면으로 일련의 스퍼터링 프로세 스(Sputtering process)를 진행함으로써, 층간 절연막(20)의 전면에 콘택홀(C)의 내측면을 채우는 Ti 베리어층(31)을 형성한다.
계속해서, 도 2c에 도시된 바와 같이, 본 발명에서는 Ti 베리어층(31)의 전면으로 일련의 스퍼터링 프로세스를 진행함으로써, Ti 베리어층(31)의 전면에 예컨대, 50Å~400Å 정도의 두께를 갖는 W 베리어층(32)을 형성한다.
앞의 과정을 통해, 층간 절연막(20)의 전면에 콘택홀(C)의 내측면을 채우는 Ti 베리어층(31)/W 베리어층(32)이 형성ㆍ완료되면, 본 발명에서는 예컨대, WF_6 가스를 소스가스로 하고, SiH, H 등을 환원가스로 하며, Ar을 휘석가스로 하는 CVD 프로세스를 400℃~420℃의 온도 조건에서 진행함으로써, 도 2d에 도시된 바와 같이, W 베리어층(32)의 전면을 도포함과 아울러, 콘택홀(C)의 나머지 공간을 채우는 예컨대, 5000Å~8000Å 정도 두께의 W 스터드(33)를 형성한다.
이때, 앞의 W 스터드(33)가 형성되기 이전 시점부터, 본 발명의 콘택 플러그에는 Ti 베리어층(31)/W 베리어층(32)이 기 형성되어 있었기 때문에, W 스터드(33)의 소스가스, 예컨대, WF_6 가스에 포함된 플루오린기는 이 Ti 베리어층(31)/W 베리어층(32)의 작용에 의해 자신의 반응경로를 일정 영역 이내로 차단 받을 수밖에 없으며, 이에 따라, 다른 구조물, 예컨대, 층간 절연막(20), 하부 메탈층(10) 등과 불필요한 반응을 이룰 수 없게 되고, 결국, 이 층간 절연막, 하부 메탈층 등에 심각한 악영향을 끼칠 수 없게 된다.
여기서, 앞서 언급한 바와 같이, 본 발명에서는 종래의 콘택 플러그가 구비 하던 'Ti/TiN' 베리어층에서, 예컨대, 'TiN'을 'TiN 보다 플루오린기에 대한 확산저항도가 더 우수하다'고 알려진 'W'으로 대체시켜, 본 발명에 따른 베리어층의 구조를 'Ti 베리어층(31)/W 베리어층(32)'으로 개선시키기 때문에, 본 발명이 달성되는 경우, W 스터드(33)의 형성시 야기되던 종래의 '플루오린기 내부확산'은 극소화되며, 그 결과, 예컨대, TiF_3, TiF_4 등과 같은 악성 부산물의 생성은 최소화된다.
결국, 본 발명이 달성되는 경우, TiF_3, TiF_4 등과 같은 악성 부산물의 생성이 최소화되기 때문에, '플리오린기의 베리어층 침투', '화산형 결함의 무분별한 생성' 등과 같은 종래의 문제점은 그 발생이 일정 수준 이하로 억제될 수 있으며, 그 결과, 본 발명의 'Ti 베리어층(31)/W 베리어층(32)'은 자신에게 부여된 '플루오린기의 반응경로 차단 역할'을 별다른 문제점 없이 정상적으로 수행할 수 있게 된다.
이때, 앞서 언급한 W은 종래의 TiN에 비해, 비저항이 매우 낮은 특성을 보유하고 있기 때문에, 본 발명이 구현되는 경우, W 베리어층(32)은 '플루오린기의 반응을 억제시키는 기능'을 수행할 수 있을 뿐만 아니라, '콘택홀의 비아저항(Via resistance)을 낮추는 기능'까지도 원활하게 수행할 수 있게 된다.
여기서, 본 발명에서는 W 스터드(33)의 증착 시, 'WF_6 와 같은 소스가스, SiH, H와 같은 환원가스, Ar과 같은 휘석가스' 등의 유량을 적절히 조절하여, W 스터드(33)의 핵 생성 시간을 최소화시키고, 이를 통해, 플루오린기의 'Ti 베리어층/W 베리어층'으로의 확산을 최대한 억제시킴으로써, 'Ti 베리어층(31)/W 베리어층(32)'에 가해질 수 있는 불필요한 부담을 최소화시킨다.
한편, 상술한 과정을 통해, 층간 절연막(20)의 전면에 콘택홀(C)의 내측면을 채우는 Ti 베리어층(31)/W 베리어층(32)/W 스터드(33)의 형성이 모두 완료되면, 본 발명에서는 기판(1)을 예컨대, CMP 설비(ChemoMechanical Polishing apparatus)로 이송하여, 일련의 연마 프로세스를 신속하게 진행하고, 이를 통해, 콘택홀(C)을 제외한 층간 절연막(20)의 나머지 영역에 형성된 Ti 베리어층(31), W 베리어층(32), W 스터드(33)를 모두 제거함으로써, 도 2e에 도시된 바

와 같이, 층간 절연막(20)의 콘택홀(C)을 밀도 있게 채운 본 발명의 콘택 플러그(30)를 완성한다.
이후, 본 발명에서는 콘택 플러그(30)가 노출된 층간 절연막(20)의 상부로 일련의 스퍼터링 공정을 진행함으로써, 도 2f에 도시된 바와 같이, 층간 절연막(20)의 상부에 일정 두께의 상부 메탈층(40)을 형성하고, 연이어, 일련의 후속공정을 추가로 진행함으로써, 우수한 성능을 갖는 임의의 반도체소자를 제조 · 완료한다.

발명의 효과

이상에서 상세히 설명한 바와 같이, 본 발명에서는 콘택 플러그의 베리어층으로 사용되던 종래의 TiN을 플리오린기에 대한 확산저항도가 우수한 다른 물질, 예컨대, W으로 대체하고, 이를 통해, 베리어층의 내부에 TiF_3, TiF_4 등과 같은 악성 부산물이 생성되는 현상을 미리 차단시킴으로써, '플리오린기의 베리어층 침투', '화산형 결함의 무분별한 생성' 등과 같은 종래의 문제점을 최소화시킨다.
이러한 본 발명이 달성되는 경우, 베리어층의 파손이 최대한 억제되기 때문 에, 해당 베리어층은 자신에게 부여된 '플루오린기의 반응경로 차단역할'을 별다른 문제점 없이 정상적으로 수행할 수 있으며, 결국, 최종 완성되는 반도체소자는 일정 수준 이상의 품질을 유지할 수 있게 된다.
앞에서, 본 발명의 특정한 실시예가 설명되고 도시되었지만 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다. 이와 같은 변형된 실시예들은 본 발명의 기술적사상이나 관점으로부터 개별적으로 이해되어서는 안되며 이와 같은 변형된 실시예들은 본 발명의 첨부된 특허청구의 범위안에 속한다 해야 할 것이다.

(57) 청구의 범위

청구항 1.

임의의 상 · 하부 메탈층 사이에 형성된 층간 절연막의 콘택홀을 채우는 반도체소자용 콘택 플러그에 있어서,
상기 상 · 하부 메탈층과 전기적으로 접촉되도록 상기 콘택홀의 내측면에 도포되는 Ti 베리어층과;
상기 상 · 하부 메탈층과 전기적으로 접촉되도록 상기 Ti 베리어층의 전면에스퍼터링 증착법에 의해 형성되는 W(Tungsten) 베리어층과;
상기 상 · 하부 메탈층과 전기적으로 접촉되도록 상기 W 베리어층의 전면에 도포되어, 상기 콘택홀의 나머지 공간을 채우는 W 스터드(Stud)를 포함하는 것을 특징으로 하는 반도체소자용 콘택 플러그.

청구항 2.

제 1 항에 있어서, 상기 W 베리어층은 50Å~400Å의 두께를 갖는 것을 특징으로 하는 반도체소자용 콘택 플러그.

청구항 3.

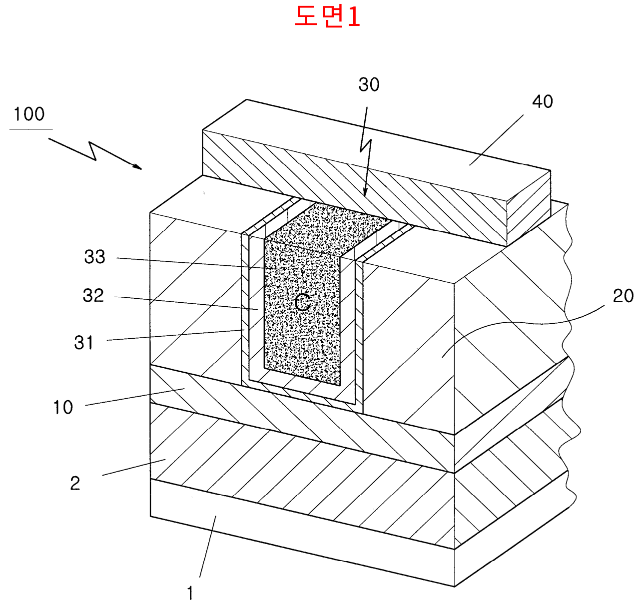
임의의 하부 메탈층상에 형성된 층간 절연막의 정해진 영역에 상기 하부 메탈층의 일부가 노출되도록 콘택홀을 형성하는 단계와;
상기 콘택홀의 내측면이 채워지도록 상기 층간 절연막의 전면에 Ti 베리어층을 형성하는 단계와;
상기 Ti 베리어층의 전면에 스퍼터링 증착법에 의해 W 베리어층을 형성하는 단계와;
상기 콘택홀의 나머지 공간이 채워지도록 상기 W 베리어층의 전면에 W 스터드를 형성하는 단계와;
상기 콘택홀을 제외한 나머지 영역에 형성된 상기 Ti 베리어층, W 베리어층, W 스터드를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체소자용 콘택 플러그 형성방법.

청구항 4.

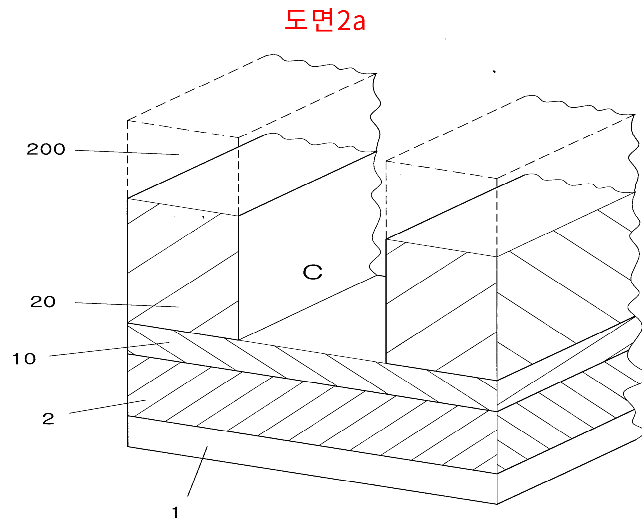
삭제

도면

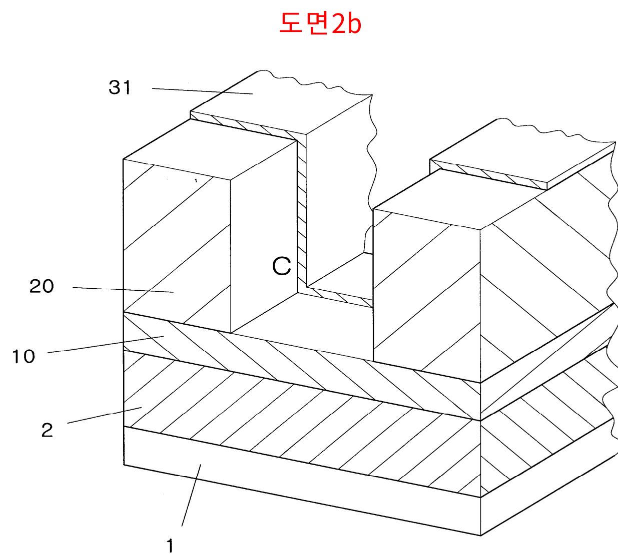
도면1



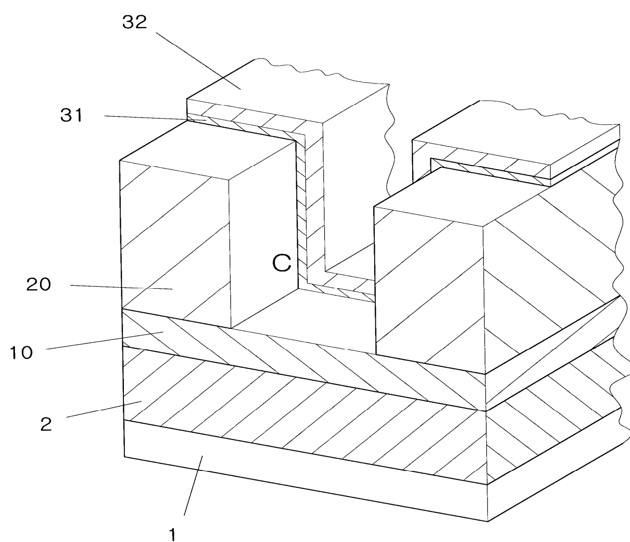
도면2a



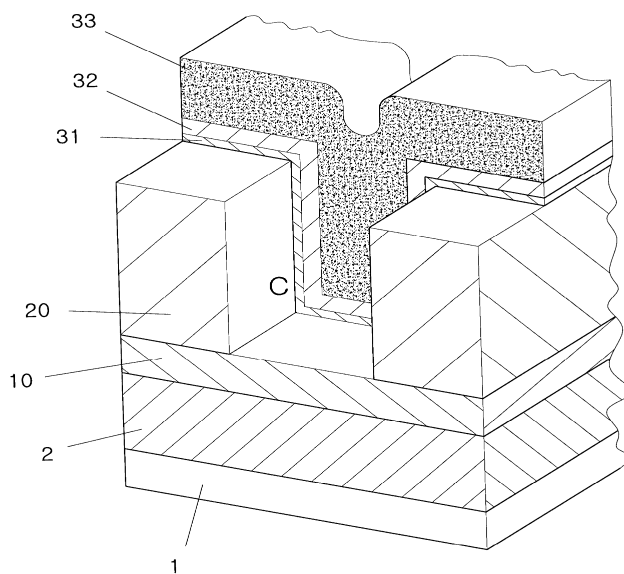
도면2b



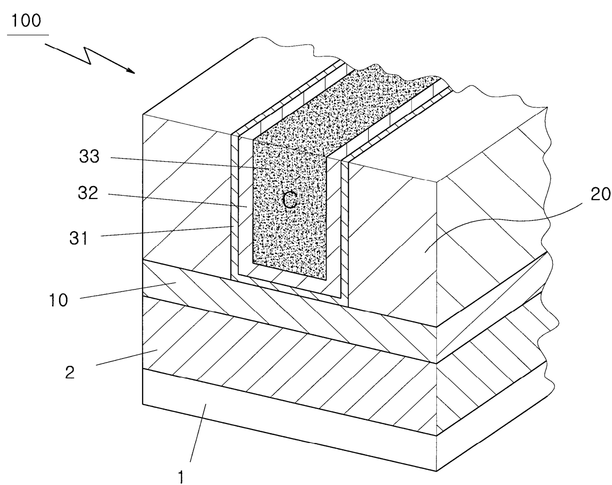
도면2c



도면2d



도면2e



도면2f