(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119895423 A
(43)申请公布日 2025.04.25

(21)申请号 202480003836.9

(22)申请日 2024.03.13

(30)优先权数据
2023-044204 2023.03.20 JP

(85)PCT国际申请进入国家阶段日
2025.02.28

(86)PCT国际申请的申请数据
PCT/JP2024/009856 2024.03.13

(87)PCT国际申请的公布数据
WO2024/195666 JA 2024.09.26

(71)申请人 株式会社村田制作所
地址 日本

(72)发明人 古川刚史 姬田高志 屉本亮一

(74)专利代理机构 北京林达刘知识产权代理事务所(普通合伙) 11277
专利代理师 刘新宇 严美善

(51)Int.Cl.
*G06F 30/398*(2006.01)

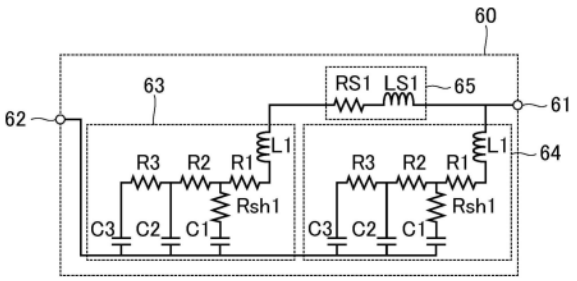
权利要求书3页 说明书18页 附图16页

(54)发明名称

基板设计辅助装置、基板设计辅助系统以及与电路信息相关的数据结构

(57)摘要

一种基板设计辅助装置(1),进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,该基板设计辅助装置(1)具备:存储部(30),其按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距存储电路信息,该电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于该电源侧贯通导体与地侧贯通导体间的电容器元件的单元;输入受理部(21),其获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与上述多个规定间距中的任一个规定间距对应的间距;以及运算部(22),其从上述存储部(30)获取与上述输入受理部(21)所获取到的上述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,其中,存储于上述存储部(30)的上述电路信息包含表示上述单元的等效电路(50)以及与表示上述单元的等效电路的至少一部分相当的参数中的至少一方,在表示上述单元的等效电路(50)中,表示上述电容器元件的等效电路(60)包含根据所对应的上述规定间距设定的电容成分(C1、C2、C3)。




CN 119895423 A

1.一种基板设计辅助装置,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,所述基板设计辅助装置具备:

存储部,其按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距存储电路信息,所述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于所述电源侧贯通导体与地侧贯通导体间的电容器元件的单元;

输入受理部,其获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与所述多个规定间距中的任一个规定间距对应的间距;以及

运算部,其从所述存储部获取与所述输入受理部所获取到的所述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,

其中,存储于所述存储部的所述电路信息包含表示所述单元的等效电路以及与表示所述单元的等效电路的至少一部分相当的参数中的至少一方,

在表示所述单元的等效电路中,表示所述电容器元件的等效电路包含根据所对应的所述规定间距设定的电容成分。

2.根据权利要求1所述的基板设计辅助装置,其中,

表示所述单元的等效电路包含不依据所述规定间距设定的、表示所述电源侧贯通导体的电感成分以及表示所述地侧贯通导体的电感成分。

3.根据权利要求1或2所述的基板设计辅助装置,其中,

表示所述单元的等效电路包含表示所述电源侧贯通导体的等效电路以及表示所述地侧贯通导体的等效电路,

表示所述电源侧贯通导体的等效电路包含在输入端口与输出端口之间串联连接的第一电路部及第二电路部,

表示所述地侧贯通导体的等效电路包含在所述输入端口与所述输出端口之间串联连接的第三电路部及第四电路部,

表示所述电容器元件的等效电路连接于所述第一电路部与所述第二电路部之间的节点以及所述第三电路部与所述第四电路部之间的节点。

4.根据权利要求1至3中的任一项所述的基板设计辅助装置,其中,

表示所述电容器元件的等效电路包含梯形电路。

5.根据权利要求4所述的基板设计辅助装置,其中,

所述梯形电路包含2个以上的所述电容成分。

6.根据权利要求1至5中的任一项所述的基板设计辅助装置,其中,

所述单元包含在所述一对电源侧贯通导体与地侧贯通导体间并联连接的第一电容器元件及第二电容器元件作为所述电容器元件,

表示所述单元的等效电路包含表示所述第一电容器元件的第一等效电路以及表示所述第二电容器元件的第二等效电路作为表示所述电容器元件的等效电路,

所述第一等效电路与所述第二等效电路彼此等效,

所述第一等效电路连接于所述电源侧贯通导体的靠所述配线基板的一个主面侧的节点以及所述地贯通导体的靠所述配线基板的所述一个主面侧的节点,

所述第二等效电路连接于所述电源侧贯通导体的靠所述配线基板的另一个主面侧的

节点以及所述地贯通导体的靠所述配线基板的所述另一个主面侧的节点。

7.根据权利要求1至6中的任一项所述的基板设计辅助装置,其中,

表示所述电容器元件的等效电路包含经过LR电路后到达所述电容成分的等效电路部。

8.根据权利要求1至7中的任一项所述的基板设计辅助装置,其中,

所述单元包含在所述一对电源侧贯通导体与地侧贯通导体间并联连接的2×n个电容器元件作为所述电容器元件,其中,n为2以上的整数,

表示所述单元的等效电路包含2×n个表示所述电容器元件的等效电路。

9.根据权利要求1至8中的任一项所述的基板设计辅助装置,其中,

由用户设定的各对电源侧贯通导体及地侧贯通导体分别位于规定的格子的交点上。

10.根据权利要求1至9中的任一项所述的基板设计辅助装置,其中,

所述输入受理部还获取由用户设定的、与基板的除了所述单元以外的构成要素有关的信息即基板信息,

所述运算部基于所述电路信息以及所述输入受理部所获取到的所述基板信息,来运算所述电源线的阻抗。

11.根据权利要求1至10中的任一项所述的基板设计辅助装置,其中,

所述存储部将表示所述单元的电路信息与所述单元的并联连接的数量即连结数对应地存储,

所述输入受理部还获取由用户设定的连结数,

所述运算部从所述存储部获取与所述输入受理部获所取到的所述间距及所述连结数对应的电路信息,基于所获取到的电路信息来运算所述电源线的阻抗。

12.一种基板设计辅助系统,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,所述基板设计辅助系统具备:

存储部,其按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距存储电路信息,所述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于所述电源侧贯通导体与地侧贯通导体间的电容器元件的单元;

输入受理部,其获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与所述多个规定间距中的任一个规定间距对应的间距;以及

运算部,其从所述存储部获取与所述输入受理部所获取到的所述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,

其中,存储于所述存储部的所述电路信息包含表示所述单元的等效电路以及与表示所述单元的等效电路的至少一部分相当的参数中的至少一方,

在表示所述单元的等效电路中,表示所述电容器元件的等效电路包含根据所对应的所述规定间距设定的电容成分。

13.一种与电路信息相关的数据结构,用于基板设计辅助装置或基板设计辅助系统,其中,所述基板设计辅助装置或基板设计辅助系统具备输入受理部、存储部以及运算部,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,

所述与电路信息相关的数据结构存储于所述存储部,

所述与电路信息相关的数据结构按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距包含电路信息,所述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于所述电源侧贯通导体与地侧贯通导体间的电容器元件的单元,并且,

所述与电路信息相关的数据结构用于以下的处理:基于所述输入受理部所获取到的由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与所述多个规定间距中的任一个规定间距对应的间距,所述运算部从所述存储部获取与所述输入受理部所获取到的所述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,

所述电路信息包含表示所述单元的等效电路以及与表示所述单元的等效电路的至少一部分相当的参数中的至少一方,

在表示所述单元的等效电路中,表示所述电容器元件的等效电路包含根据所对应的所述规定间距设定的电容成分。

# 基板设计辅助装置、基板设计辅助系统以及与电路信息相关的数据结构

## 技术领域

[0001] 本发明涉及基板设计辅助装置、基板设计辅助系统以及与电路信息相关的数据结构。

## 背景技术

[0002] 在专利文献1中,针对无源部件单体在同一部件内有多个元件的情况下的等效电路模型的再现有所记载。

[0003] 在专利文献2中记载有埋设于基板内部的多端子型的电容器元件。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2015-170004号公报

[0007] 专利文献2:日本特开2020-167361号公报

## 发明内容

[0008] 发明要解决的问题

[0009] 在配线基板的电源线的设计中,将作为无源部件的电容器(例如旁路电容器)、电感器的布局与电源线的布局同时进行研究。此时,关于包含基板在内的电源线整体所具有的传输特性、例如阻抗特性,需要将下面的结构以独立的要素的形式准备,并将它们的特性组合来进行评价。

[0010] •由配线、贯通导体(通孔(through hole)、过孔(via))、基板材料等构成的基板的等效电路模型

[0011] •搭载于该基板的无源部件(电容器、电感器等)的精确的等效电路模型

[0012] 在此,成为“基板”、“部件”的等效电路模型的基础的实测模型需要能够准确地进行测定。实测模型能够不受测定影响地进行测定才能准确地表现在连接节点以后该要素呈现怎样的行为。

[0013] 然而,在对如记载于专利文献2的电容器元件那样内置于基板的一个电容器元件(隔着电介质的2片电极)连接作为引出端子的多个贯通导体的部件中,获得其实测模型本身的困难度高涨。尤其是,在部件本身的XY尺寸大的情况下困难度变高。

[0014] 在将这种部件的实测模型如一般的双端子型的电容器那样设立2个端口来进行测定的情况下,关于距离设立了端口的位置相对远的部位的电容器成分,通过电容器内部路径或配线部观察到该成分,因此只能以附加有路径上的原本无关的RL成分的状态进行测定。

[0015] 对此,能够通过使用以从各端子以同等的阻抗引出的方式设计出的基板、插座等的专用治具进行测定来消除上述的问题。然而,为了在不同于尺寸被标准化的一般的电容器部件的、尺寸或布局可能按每个顾客而变化的上述部件中执行该测定方法,需要将设计

品一次性地组装成完成品。然而,通常来说,电源线所需的旁路电容器是在事先在某种程度上估算出所需的阻抗特性的状态下选定的,但若无法一次性地制造出完成品则无法获得实测模型,难以迅速地应对顾客的需求。

[0016] 专利文献1所记载的模型也仅限于再现无源部件单体的行为,只能通过在配线基板的配线设计后将该模型组合来再现基板整体的阻抗。

[0017] 本发明是为了解决上述的问题而完成的,其目的在于提供适于设计经由多个贯通导体连接了旁路电容器的电源线的基板设计辅助装置、基板设计辅助系统以及与电路信息相关的数据结构。

[0018] 用于解决问题的方案

[0019] 本发明的基板设计辅助装置进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,上述基板设计辅助装置具备:存储部,其按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距存储电路信息,上述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于上述电源侧贯通导体与地侧贯通导体间的电容器元件的单元;输入受理部,其获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与上述多个规定间距中的任一个规定间距对应的间距;以及运算部,其从上述存储部获取与上述输入受理部所获取到的上述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,其中,存储于上述存储部的上述电路信息包含表示上述单元的等效电路以及与表示上述单元的等效电路的至少一部分相当的参数中的至少一方,在表示上述单元的等效电路中,表示上述电容器元件的等效电路包含根据所对应的上述规定间距设定的电容成分。

[0020] 本发明的基板设计辅助系统进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,上述基板设计辅助系统具备:存储部,其按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距存储电路信息,上述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于上述电源侧贯通导体与地侧贯通导体间的电容器元件的单元;输入受理部,其获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与上述多个规定间距中的任一个规定间距对应的间距;以及运算部,其从上述存储部获取与上述输入受理部所获取到的上述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,其中,存储于上述存储部的上述电路信息包含表示上述单元的等效电路以及与表示上述单元的等效电路的至少一部分相当的参数中的至少一方,在表示上述单元的等效电路中,表示上述电容器元件的等效电路包含根据所对应的上述规定间距设定的电容成分。

[0021] 本发明的与电路信息相关的数据结构用于基板设计辅助装置或基板设计辅助系统,上述基板设计辅助装置或基板设计辅助系统具备输入受理部、存储部以及运算部,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,上述与电路信息相关的数据结构存储于上述存储部,上述与电路信息相关的数据结构按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距包含电路信息,上述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于上述电源侧贯通导体与地侧贯通导体间的电容器元件的单元,并且,上述与电路信息相关的数据结构用于以下的处理:基于上述输入受理部所获取到的由用户设定的至

少一对电源侧贯通导体与地侧贯通导体间的与上述多个规定间距中的任一个规定间距对应的间距,上述运算部从上述存储部获取与上述输入受理部所获取到的上述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,上述电路信息包含表示上述单元的等效电路以及与表示上述单元的等效电路的至少一部分相当的参数中的至少一方,在表示上述单元的等效电路中,表示上述电容器元件的等效电路包含根据所对应的上述规定间距设定的电容成分。

[0022] 发明的效果

[0023] 根据本发明,能够提供适于设计经由多个贯通导体连接了旁路电容器的电源线的基板设计辅助装置、基板设计辅助系统以及与电路信息相关的数据结构。

## 附图说明

[0024] 图1是示意性地示出由本发明的实施方式1所涉及的基板设计辅助装置辅助设计的配线基板所具备的电容器部的一例的剖面图。

[0025] 图2A是沿着图1的A线及A’线的俯视图。

[0026] 图2B是沿着图1的B线及B’线的俯视图。

[0027] 图2C是沿着图1的C及C’线的俯视图。

[0028] 图2D是沿着图1的D线及D’线的俯视图。

[0029] 图2E是沿着图1的E线的俯视图。

[0030] 图3是示出本发明的实施方式1所涉及的基板设计辅助装置的结构的一例的框图。

[0031] 图4A是示出表示单元的等效电路的一例的图。

[0032] 图4B是示出表示单元的等效电路的另一例的图。

[0033] 图5是示出表示电源侧贯通导体及地侧贯通导体的等效电路的一例的图。

[0034] 图6是示出存储于存储部的与电路信息相关的数据结构的一例的图,并且示出包含表示单元的等效电路作为电路信息的情况。

[0035] 图7是示出存储于存储部的与电路信息相关的数据结构的另一例的图。

[0036] 图8是示出表示被并联连接的单元的等效电路的一例的图。

[0037] 图9是示出表示电容器元件的等效电路的一例的图。

[0038] 图10A是示出与表示单元的等效电路相当的参数的一例的图。

[0039] 图10B是示出与表示单元的等效电路相当的参数的另一例的图。

[0040] 图11是示出与表示单元的等效电路相当的参数的另一例的图。

[0041] 图12是示出存储于存储部的与电路信息相关的数据结构的另一例的图,并且示出包含参数作为电路信息的情况。

[0042] 图13是示出存储于存储部的与电路信息相关的数据结构的又一例的图,并且示出包含参数作为电路信息的情况。

[0043] 图14是示出存储于存储部的与电路信息相关的数据结构的又一例的图,并且示出包含等效电路和参数作为电路信息的情况。

[0044] 图15是示出存储于存储部的与电路信息相关的数据结构的又一例的图,并且示出包含等效电路和参数作为电路信息的情况。

[0045] 图16是示出与表示被并联连接的单元的等效电路相当的参数的一例的图。

[0046] 图17是示出与表示被并联连接的单元的等效电路相当的参数的另一例的图。

[0047] 图18是示出表示单元的等效电路的另一例的图。

[0048] 图19是示出格子、以及配置于该格子的交点上的电源侧贯通导体及地侧贯通导体的一例的示意图。

[0049] 图20是示出格子、以及配置于该格子的交点上的电源侧贯通导体及地侧贯通导体的另一例的示意图。

[0050] 图21是说明本发明的实施方式1所涉及的基板设计辅助装置的动作的一例的流程图。

## 具体实施方式

[0051] 下面,对本发明的基板设计辅助装置、基板设计辅助系统以及与电路信息相关的数据结构进行说明。

[0052] 然而,本发明不限定于以下的结构,能够在不变更本发明的主旨的范围内适当变更并应用。此外,将以下记载的各个所期望的结构中的两个以上的结构组合而成的结构也属于本发明。

[0053] (实施方式1)

[0054] 在本实施方式所涉及的基板设计辅助装置中,当由用户在配线基板上配置至少一对电源侧贯通导体及地侧贯通导体时,与此同时将电容器元件配置于各对贯通导体间。即,当配置一对电源侧贯通导体及地侧贯通导体时,自动地设定包含该一对贯通导体及连接于该一对贯通导体之间的电容器元件的单元。另外,预先准备精确地再现包含一对电源侧贯通导体及地侧贯通导体的该单元的等效电路、具体而言包含与一对电源侧贯通导体与地侧贯通导体间的间距相应的电容成分的等效电路。另外,预先准备对于多个单元被连结时的尺度(scaling)也精确地再现的等效电路、具体而言与被并联连接的多个单元的连结数相应的等效电路。然后,使用该等效电路(也可以是与其相当的参数)来运算电源线的阻抗,由此即使不使用实测模型,也能够根据用户的仔细的设计验证来准确地估算经由多个贯通导体连接了旁路电容器的电源线的阻抗特性。另外,也能够准确地估算并联连接有多个单元的电源线的阻抗特性。

[0055] 图1是示意性地示出由本发明的实施方式1所涉及的基板设计辅助装置辅助设计的配线基板所具备的电容器部的一例的剖面图。图2A是沿着图1的A线及A'线的俯视图。图2B是沿着图1的B线及B'线的俯视图。图2C是沿着图1的C及C'线的俯视图。图2D是沿着图1的D线及D'线的俯视图。图2E是沿着图1的E线的俯视图。此外,图1是沿着图2A的I-I线的剖面图。

[0056] 图1所示的电容器部101具备电容器元件110和贯通导体120。在图1所示的例子中,电容器部101还具备密封层130、以及导体配线层140A及140B。

[0057] 电容器元件110包括:阳极板111,其在芯部111A的至少一个主面具有多孔质部111B;电介质层113,其设置于多孔质部111B的表面;以及阴极层112,其设置于电介质层113的表面。由此,电容器元件110构成电解电容器。在图1所示的例子中,阳极板111在芯部111A的两个主面具有多孔质部111B,但也可以仅在芯部111A的任一个主面具有多孔质部111B。

[0058] 阴极层112例如包含设置于电介质层113的表面的固体电解质层。优选的是,阴极

层112还包含设置于固体电解质层的表面的导电体层。在阴极层112包含固体电解质层的情况下,电容器元件110构成固体电解电容器。

[0059] 贯通导体120沿厚度方向(图1中为上下方向)贯通电介质层113和阳极板111。

[0060] 贯通导体120包含与阴极层112电连接的阴极贯通导体120A以及与阳极板111电连接的阳极贯通导体120B。阴极贯通导体120A作为连接于地线的地侧贯通导体而发挥功能,阳极贯通导体120B作为连接于电源线的电源侧贯通导体而发挥功能。

[0061] 在图1所示的例子中,以沿厚度方向贯通密封层130和电容器元件110的方式设置有多个阴极贯通导体120A。各个阴极贯通导体120A在端部与设置于密封层130的表面的导体配线层140A连接。

[0062] 优选的是,如图2C所示,阴极贯通导体120A在从阳极板111的厚度方向俯视时存在于阴极层112内。

[0063] 阴极贯通导体120A只要设置于沿厚度方向贯通密封层130和电容器元件110的贯通孔的至少内壁面即可。即,阴极贯通导体120A也可以仅设置于上述贯通孔的内壁面,还可以设置于上述贯通孔的内部整体。在阴极贯通导体120A仅设置于上述贯通孔的内壁面的情况下,也可以用含有树脂的材料来填充上述贯通孔内的由阴极贯通导体120A所包围的空间。即,也可以在阴极贯通导体120A的内侧设置有树脂填充部125A。

[0064] 如图1所示,在沿厚度方向贯通密封层130及电容器元件110的贯通孔与阴极贯通导体120A之间填充密封层130等的绝缘性材料。

[0065] 在图1所示的例子中,以沿厚度方向贯通密封层130和电容器元件110的方式设置有多个阳极贯通导体120B。各个阳极贯通导体120B在端部与设置于密封层130的表面的导体配线层140B连接。

[0066] 优选的是,如图2C所示,阳极贯通导体120B在从阳极板111的厚度方向俯视时存在于阴极层112内。

[0067] 阳极贯通导体120B只要设置于沿厚度方向贯通密封层130和电容器元件110的贯通孔的至少内壁面即可。即,阳极贯通导体120B也可以仅设置于上述贯通孔的内壁面,还可以设置于上述贯通孔的内部整体。在阳极贯通导体120B仅设置于上述贯通孔的内壁面的情况下,也可以用含有树脂的材料来填充上述贯通孔内的由阳极贯通导体120B所包围的空间。即,也可以在阳极贯通导体120B的内侧设置有树脂填充部125B。

[0068] 优选的是,如图1所示,阳极贯通导体120B在沿厚度方向贯通密封层130及电容器元件110的贯通孔的内壁面处与阳极板111电连接。更具体而言,优选的是,阳极贯通导体120B同阳极板111的在面方向上与上述贯通孔的内壁面相向的端面电连接。在该情况下,不在沿厚度方向贯通密封层130及电容器元件110的贯通孔与阳极贯通导体120B之间填充密封层130等的绝缘性材料。

[0069] 优选的是,如图1所示,芯部111A及多孔质部111B露出于阳极板111的与阳极贯通导体120B电连接的端面。在该情况下,除了芯部111A以外,多孔质部111B也与阳极贯通导体120B电连接。

[0070] 优选的是,在从阳极板111的厚度方向观察时,如图2D及图2E所示,阳极贯通导体120B遍及沿厚度方向贯通密封层130及电容器元件110的贯通孔全周地与阳极板111电连接。

[0071] 阳极贯通导体120B也可以经由阳极连接层来与阳极板111电连接,还可以直接连接于阳极板111的端面。

[0072] 密封层130以覆盖电容器元件110的方式设置。通过密封层130,电容器元件110被密封层130保护。

[0073] 优选的是,如图1所示,密封层130设置于电容器元件110的在厚度方向上相对的两个主面。

[0074] 导体配线层140A及140B设置于密封层130的表面,并且与阴极贯通导体120A及阳极贯通导体120B中的某一方电连接。

[0075] 导体配线层140A与阴极贯通导体120A电连接。在图1所示的例子中,导体配线层140A设置于阴极贯通导体120A的表面,作为电容器部101的连接端子而发挥功能。

[0076] 具体而言,在图1所示的例子中,导体配线层140A经由贯通密封层130的过孔导体145来与阴极层112电连接,作为阴极层112用的连接端子而发挥功能。

[0077] 导体配线层140B与阳极贯通导体120B电连接。在图1所示的例子中,导体配线层140B设置于阳极贯通导体120B的表面,作为电容器部101的连接端子而发挥功能。

[0078] 具体而言,在图1所示的例子中,导体配线层140B经由阳极贯通导体120B来与阳极板111电连接,作为阳极板111用的连接端子而发挥功能。

[0079] 而且,在覆盖导体配线层140A及140B的绝缘层(未图示)上设置的地线(未图示)经由贯通该绝缘层的过孔导体(未图示)来与导体配线层140A电连接,由此,地线经由阴极贯通导体120A来与电容器元件110的阴极层112电连接。另一方面,在覆盖导体配线层140A及140B的上述绝缘层上设置的电源线(未图示)经由贯通该绝缘层的过孔导体(未图示)来与导体配线层140B电连接,由此,电源线经由阳极贯通导体120B来与电容器元件110的阳极板111电连接。

[0080] 图3是示出本发明的实施方式1所涉及的基板设计辅助装置的结构的一例的框图。

[0081] 图3所示的基板设计辅助装置1是用于辅助设计配线基板的装置,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助。

[0082] 基板设计辅助装置1具备输入部10、控制部20、存储部30以及显示部40。

[0083] 输入部10例如由键盘及鼠标等构成,显示部40例如由液晶显示器等构成。基板设计辅助装置1构成为:能够通过由用户(配线基板的设计者等)一边确认显示于显示部40的图像一边操作输入部10,来设计(绘制)配线基板。

[0084] 控制部20构成为具备CPU(Central Processing Unit:中央处理单元)等的计算机系统。控制部20通过在该CPU中执行存储于存储部30的规定的软件程序来实现各种处理。

[0085] 存储部30由RAM(Random Access Memory:随机存取存储器)、ROM(Read Only Memory:只读存储器)、硬盘等存储装置构成,存储有用于控制基板设计辅助装置1的各种程序、信息(数据)。作为程序,例如存储有作为用于辅助设计配线基板的软件的设计辅助程序。

[0086] 存储部30存储有与电路信息相关的数据结构,该数据结构按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距具有电路信息,该电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于该电源侧贯通导体与地侧贯通导体间的

电容器元件的单元。下面,在简称为“规定间距”的情况下,是指包含于单元的一对电源侧贯通导体与地侧贯通导体间的规定间距。

[0087] 更具体而言,电路信息包含表示单元的等效电路(下面有时称为“单元等效电路”),单元等效电路包含表示包含于单元的电容器元件的等效电路(下面有时称为“电容器等效电路”),电容器等效电路包含根据所对应的规定间距设定的电容成分。即,存储部30存储有与多个规定间距对应地预先设定(准备)的多个单元等效电路。另外,包含于电容器等效电路的电容成分是根据该电容所对应的规定间距设定的。

[0088] 在此,规定间距是指能够在基板设计辅助装置1中选择的预先设定的包含于单元的一对电源侧贯通导体与地侧贯通导体间的间距。此外,只要规定间距的数量为2以上,则不特别限定,能够适当设定。

[0089] 此外,与电路信息相关的数据结构可以被预先导入到基板设计辅助装置1中,也可以记录于计算机可读取的记录介质而提供给用户、或经由网络提供给用户。另外,与电路信息相关的数据结构也可以如制程设计套件(process design kit)那样与外接程序(add-ins)一起嵌入至通用的设计辅助程序中。

[0090] 优选的是,单元等效电路包含不依据规定间距设定的表示电源侧贯通导体的电感成分以及表示地侧贯通导体的电感成分。由此,能够提高电源线的阻抗的计算精度。即,优选的是,表示电源侧贯通导体的等效电路以及表示地侧贯通导体的等效电路分别至少包含对于所有的规定间距共通的电感成分(同一电感)。

[0091] 如此,优选的是,单元等效电路包含表示电源侧贯通导体的等效电路以及表示地侧贯通导体的等效电路。

[0092] 图4A示出表示单元的等效电路的一例的图。

[0093] 图4A所示的单元等效电路50包含表示连接于电源线的电源侧贯通导体的等效电路S、表示连接于地线的地侧贯通导体的等效电路G、以及连接于等效电路S与等效电路G之间的电容器等效电路C。电容器等效电路C连接于等效电路S及等效电路G的靠输出端口(Port2)侧的节点。对输入端口(Port1)连接电源及地,对输出端口(Port2)连接CPU等负载。单元等效电路50表示仅在阳极板的表面和背面中的单侧形成有电容器元件的情况。

[0094] 图5是示出表示电源侧贯通导体及地侧贯通导体的等效电路的一例的图。

[0095] 如图5所示,表示电源侧贯通导体的等效电路S以及表示地侧贯通导体的等效电路G分别包含被串联连接的电感成分L及电阻成分R。电感成分L连接于输入端口(Port1),电阻成分R连接于输出端口(Port2)(参照图4A)。

[0096] 在此,电感成分L和电阻成分R是不依据规定间距设定的。即,设定对于所有的规定间距共通使用的电感及电阻(同一电感及同一电阻)。在基板设计辅助装置1中,设定设计规则来进行电路设计。在电路设计中还针对贯通导体设定φ直径、镀敷厚度、其材质、所连接的树脂基板的厚度(=通孔长度)。因而,在指示了通过贯通导体将哪个层间进行连接的时间点,理论上求出针对该部位的电感成分L及电阻成分R。此外,贯通导体的材质一般为Cu,但不特别限定于此,能够分配与所设定的配线种类相应的电阻成分R。

[0097] 优选的是,表示电源侧贯通导体的等效电路包含在输入端口与输出端口之间串联连接的第一电路部及第二电路部,表示地侧贯通导体的等效电路包含在输入端口与输出端口之间串联连接的第三电路部及第四电路部,电容器等效电路连接于第一电路部与第二电

路部之间的节点以及第三电路部与第四电路部之间的节点。由此,能够考虑输出端口侧的反射特性来设定输出端口侧的各电路部的各成分,因此能够进一步提高基板设计辅助的精度。

[0098] 图4B是示出表示单元的等效电路的另一例的图。

[0099] 单元等效电路50除是图4A所例示的电路之外,还可以是图4B所例示的电路。在该情况下,表示电源侧贯通导体的等效电路S包含在输入端口(Port1)与输出端口(Port2)之间串联连接的第一电路部S'及第二电路部S",表示地侧贯通导体的等效电路G包含在输入端口(Port1)与输出端口(Port2)之间串联连接的第三电路部G'及第四电路部G",电容器等效电路C连接于第一电路部S'与第二电路部S"之间的节点51以及第三电路部G'与第四电路部G"之间的节点52。在此,输出端口(Port2)侧的第二电路部S"及第四电路部G"的各成分是考虑输出端口(Port2)侧的反射特性而设定的。因而,第一电路部S'与第二电路部S"可能存在至少一部分的成分彼此不同的情况,同样地,第三电路部G'与第四电路部G"可能存在至少一部分的成分彼此不同的情况。

[0100] 此外,如图5所示,第一电路部S'、第二电路部S"、第三电路部G'以及第四电路部G"分别包含被串联连接的电感成分L及电阻成分R。另外,在任一电路部中,电感成分L均位于输入端口(Port1)侧,电阻成分R均位于输出端口(Port2)侧。在图4B所例示的单元等效电路50中,这些电感成分L及电阻成分R也是不依据规定间距设定的。

[0101] 图6是示出存储于存储部的与电路信息相关的数据结构的一例的图,并且示出包含表示单元的等效电路作为电路信息的情况。

[0102] 如图6所示,存储部30按一对电源侧贯通导体与地侧贯通导体间的规定间距P1、P2、P3、……中的每个规定间距存储有单元等效电路。但是,表示电源侧贯通导体的等效电路S与表示地侧贯通导体的等效电路G对于各规定间距是共通的。此外,在本说明书中,两个等效电路共通或等效是指构成要素(成分)的种类、数量、连接及其值(电容、电感、电阻等)全部相同。另一方面,电容器等效电路C包含按每个规定间距分别独立地设定的电容成分。此外,与不同的规定间距对应地设定的多个电容成分通常具有彼此不同的电容,但也可以包含具有相同电容的多个电容成分。

[0103] 另外,存储部30将表示单元的电路信息与单元的并联连接的数量即连结数对应地存储。即,按每个与同一电源线并联连接的单元数存储有单元等效电路作为电路信息。

[0104] 图7是示出存储于存储部的与电路信息相关的数据结构的另一例的图。

[0105] 如图7所示,存储部30按单元的每个连结数存储有单元等效电路。但是,表示电源侧贯通导体的等效电路S与表示地侧贯通导体的等效电路G对于各连结数是共通的。另一方面,电容器等效电路C包含按每个连结数分别独立地设定的电容成分。此外,与不同的连结数对应地设定的多个电容成分通常具有彼此不同的电容,但也可以包含具有相同电容的多个电容成分。

[0106] 图8是示出表示被并联连接的单元的等效电路的一例的图。

[0107] 图8所示的等效电路表示并联连接于同一电源线的多个、在此为3个单元。图4A所示的单元等效电路50在输入端口(Port1)与输出端口(Port2)间并联连接。在该情况下,各单元等效电路50的电容器等效电路C包含与规定间距及连结数(=3)对应的共通的电容成分。

[0108] 此外,在图8中示出了被并联连接的单元等效电路50全部为图4A所例示的电路的情况,但这些单元等效电路50中的至少一个单元等效电路50也可以为图4B所例示的电路。

[0109] 优选的是,电容器等效电路包含梯形电路。由此,能够更高精度地再现内置于基板且连接有作为引出端子的多个贯通导体的电容器元件。

[0110] 从计算精度的观点出发,优选的是,梯形电路包含2个以上的根据所对应的规定间距设定的电容成分。

[0111] 如此,梯形电路包含彼此并联连接的多个电容成分,这些多个电容成分的电容是根据所对应的规定间距设定的。

[0112] 此外,包含于梯形电路的电容成分的上限不特别限定,能够适当设定,但优选为5以下,更优选为4以下。这是由于通过梯形电路产生的计算精度提高的效果会随着电容成分的个数增加而趋于饱和。

[0113] 图9是示出表示电容器元件的等效电路的一例的图。

[0114] 图9所示的电容器等效电路60包含:连接于电源侧贯通导体的第一端子61;连接于地侧贯通导体的第二端子62;第一电容部63;第二电容部64;以及连接于第一端子61与第一电容部63之间的LR电路65。

[0115] 第一电容部63与第二电容部64彼此等效。即,由相同的RLC成分构成。另外,第一电容部63及第二电容部64在第一端子61与第二端子62之间并联连接。

[0116] 第一电容部63及第二电容部64分别由3个电容成分C1、C2及C3、4个电阻成分R1、R2、R3及Rsh1、以及电感成分L1构成。3个电容成分C1、C2及C3与3个电阻成分R1、R2及R3梯状地连接。电阻成分Rsh1连接于第一级的电容成分C1与电阻成分R1之间。电感成分L1连接于第一级的电阻成分R1。

[0117] LR电路65是由被串联连接的电阻成分RS1及电感成分LS1构成的LR串联电路。如此,电容器等效电路60包含经由LR电路65之后到达电容成分C1、C2及C3的等效电路部(由第一电容部63和LR电路65构成的等效电路)。

[0118] 在此,这些电容成分C1、C2及C3是按每个规定间距设定的。另外,其它电阻成分R1、R2、R3及Rsh1以及电感成分L1也是按每个规定间距设定的。即,关于各成分,根据规定间距来设定不同的成分(电容、电阻或电感)。

[0119] 包含于电容器等效电路60的各电容成分、各电感成分以及各电阻成分是基于实测数据决定的。如在上述问题所述,当单元的连结数增加时,观测到配线部分的RL成分增强的状态的特性,因此以能够忽略其影响的程度的连结数来确认尺度效应,将与实测值、构造特征最一致的各乘数设定为与其对应的成分,从而定义为电容器等效电路60。

[0120] 此外,存储于存储部30的电路信息也可以包含与单元等效电路的至少一部分相当的参数(以下有时称为替代参数)取代单元等效电路,还可以包含单元等效电路与替代参数这两方。

[0121] 作为替代参数,具体而言,举出对应的单元等效电路、电容器等效电路的阻抗的频率特性、S参数等。替代参数也可以为根据对应的单元等效电路、电容器等效电路进行运算所得到的参数,还可以是基于实测来直接设定的参数。

[0122] 图10A是示出与表示单元的等效电路相当的参数的一例的图。

[0123] 图10A所示的替代参数是与图4A所示的单元等效电路50相当的参数,是将图4A所

示的表示电源侧贯通导体的等效电路S、表示地侧贯通导体的等效电路G以及电容器等效电路C分别置换成与它们相当的替代参数Z1、Z2以及Z3而得到的。因而，各替代参数的连接关系与图4A所示的情况相同。

[0124] 图11是示出与表示单元的等效电路相当的参数的另一例的图。

[0125] 图11所示的替代参数也是与图4A所示的单元等效电路50相当的参数，但是将图4A所示的表示电源侧贯通导体的等效电路S、表示地侧贯通导体的等效电路G以及电容器等效电路C置换成与它们整体的等效电路相当的替代参数Zunit而得到的。因而，替代参数Zunit是考虑到表示电源侧贯通导体的等效电路S以及表示地侧贯通导体的等效电路G的参数。

[0126] 图10B是示出与表示单元的等效电路相当的参数的另一例的图。

[0127] 图10B所示的替代参数是与图4B所示的单元等效电路50相当的参数，是将图4B所示的表示电源侧贯通导体的等效电路S的第一电路部S’及第二电路部S”分别置换成与它们相当的替代参数Z1’及Z1”、并将表示地侧贯通导体的等效电路G的第三电路部G’及第四电路部G”分别置换成与它们相当的替代参数Z2’及Z2”、并将电容器等效电路C置换成与其相当的替代参数Z3而得到的。因而，各替代参数的连接关系与图4B所示的情况相同。在此，考虑输出端口(Port2)侧的反射特性来设定输出端口(Port2)侧的替代参数Z1”及Z2”。因而，能够进一步提高基板设计辅助的精度。

[0128] 此外，图11所示的替代参数Zunit也可以是与图4B所示的单元等效电路50相当的参数。即，图11所示的替代参数Zunit也可以与图10B所示的替代参数等效的参数。

[0129] 图12是示出存储于存储部的与电路信息相关的数据结构的另一例的图，并且示出包含参数作为电路信息的情况。

[0130] 如图12所示，存储部30也可以按每个规定间距存储有与表示电源侧贯通导体的等效电路相当的替代参数Z1、与表示地侧贯通导体的等效电路相当的替代参数Z2、以及与电容器等效电路相当的替代参数Z3。但是，与表示电源侧贯通导体的等效电路相当的替代参数Z1对于各规定间距是共通的，与表示地侧贯通导体的等效电路相当的替代参数Z2对于各规定间距也是共通的。另一方面，与电容器等效电路相当的替代参数Z3反映了按每个规定间距分别独立地设定的电容器等效电路的电容成分。此外，在本说明书中，2个替代参数共通是指这些替代参数相当于2个彼此等效的等效电路。

[0131] 此外，分别与表示电源侧贯通导体的等效电路S的第一电路部S’及第二电路部S”相当的替代参数Z1’及Z1”对于各规定间距也是共通的，分别与表示地侧贯通导体的等效电路G的第三电路部G’及第四电路部G”相当的替代参数Z2’及Z2”对于各规定间距也是共通的。

[0132] 另外，也可以存储有图10B所示的替代参数Z1’及Z1”来取代图12所示的替代参数Z1中的至少一个替代参数Z1。同样地，也可以存储有图10B所示的替代参数Z2’及Z2”来取代图12所示的替代参数Z2中的至少一个替代参数Z2。

[0133] 图13是示出存储于存储部的与电路信息相关的数据结构的又一例的图，并且示出包含参数作为电路信息的情况。

[0134] 如图13所示，存储部30也可以按每个规定间距存储有与表示电源侧贯通导体的等效电路、表示地侧贯通导体的等效电路以及电容器等效电路整体相当的替代参数Zunit。因而，替代参数Zunit反映了按每个规定间距分别独立地设定的电容器等效电路的电容成分。

[0135] 图14是示出存储于存储部的与电路信息相关的数据结构的又一例的图,并且示出包含等效电路和参数作为电路信息的情况。

[0136] 如图14所示,存储部30也可以按每个规定间距存储有单元等效电路的一部分(例如,电容器等效电路C)、以及与单元等效电路的其余部分(例如,表示电源侧贯通导体的等效电路及表示地侧贯通导体的等效电路)相当的替代参数(例如,替代参数Z1及Z2)。

[0137] 另外,也可以存储有图10B所示的替代参数Z1'及Z1"来取代图14所示的替代参数Z1中的至少一个替代参数Z1。同样地,也可以存储有图10B所示的替代参数Z2'及Z2"来取代图14所示的替代参数Z2中的至少一个替代参数Z2。

[0138] 图15是示出存储于存储部的与电路信息相关的数据结构的又一例的图,并且示出包含等效电路和参数作为电路信息的情况。

[0139] 如图15所示,存储部30也可以存储有与1个以上的规定间距相应的单元等效电路以及与其它1个以上的规定间距相应的替代参数Zunit(与单元等效电路整体相当)。

[0140] 另外,存储部30也可以将图6、图12～图15所示的电路信息适当组合并存储。

[0141] 图16是示出与表示被并联连接的单元的等效电路相当的参数的一例的图。

[0142] 图16所示的替代参数是与图8所示的表示被并联连接的单元的等效电路相当的参数,是将图8所示的表示电源侧贯通导体的等效电路S、表示地侧贯通导体的等效电路G以及电容器等效电路C分别置换成与它们相当的替代参数Z1、Z2及Z3而得到的。因而,各替代参数的连接关系与图8所示的情况相同。

[0143] 此外,在图16中示出了被并联连接的替代参数全部为图10A所例示的参数的情况,但这些替代参数中的至少一个替代参数也可以是图10B所例示的参数。

[0144] 图17是示出与表示被并联连接的单元的等效电路相当的参数的另一例的图。

[0145] 图17所示的替代参数也是与图8所示的表示被并联连接的单元的等效电路相当的参数,但是置换成与图8所示的3个单元等效电路50整体的等效电路相当的替代参数Ztot而得到的。

[0146] 此外,图17所示的替代参数Ztot也可以是与图8所示的单元等效电路50中的至少一个单元等效电路50为图4B所例示的电路的等效电路相当的参数。

[0147] 优选的是,单元等效电路包含表示第一电容器元件的第一等效电路以及表示第二电容器元件的第二等效电路作为电容器等效电路,第一等效电路与第二等效电路彼此等效,第一等效电路连接于电源侧贯通导体的靠配线基板的一个主面(第一主面)侧的节点以及地贯通导体的靠配线基板的一个主面(第一主面)侧的节点,第二等效电路连接于电源侧贯通导体的靠配线基板的另一个主面(第二主面)侧的节点以及地贯通导体的靠配线基板的另一个主面(第二主面)侧的节点。由此,能够高精度地再现单元包含在一对电源侧贯通导体与地侧贯通导体间并联连接的第一电容器元件及第二电容器元件作为电容器元件的情况。这些第一电容器元件及第二电容器元件隔着阳极板独立地配置于阳极板的表面和背面。

[0148] 图18是示出表示单元的等效电路的另一例的图。

[0149] 图18所示的单元等效电路80包含表示连接于电源线的电源侧贯通导体的等效电路S、表示连接于地线的地侧贯通导体的等效电路G、以及连接于等效电路S与等效电路G之间的2个电容器等效电路C。一个电容器等效电路C是表示第一电容器元件的第一等效电路

81,并且连接于等效电路S的靠输出端口(Port2)侧的节点83以及等效电路G的靠输出端口(Port2)侧的节点84。另一个电容器等效电路C是表示第二电容器元件的第二等效电路82,并且连接于等效电路S的靠输入端口(Port1)侧的节点85以及等效电路G的靠输入端口(Port1)侧的节点86。单元等效电路80是对于图4A所示的单元等效电路50在等效电路S及等效电路G的输入端口(Port1)侧追加电容器等效电路C而得到的。单元等效电路80表示在阳极板的表面和背面的两侧分别形成有第一电容器元件和第二电容器元件的情况。

[0150] 第一等效电路81及第二等效电路82与图9所示的电容器等效电路60相同,第一等效电路81与第二等效电路82彼此等效。即,由相同的RLC成分构成。图9所示的第一端子61连接于节点83或85,图9所示的第二端子62连接于节点84或86。

[0151] 另外,第一等效电路81连接于电源侧贯通导体的靠配线基板的一个主面侧的节点以及地贯通导体的靠配线基板的一个主面侧的节点,第二等效电路82连接于电源侧贯通导体的靠配线基板的另一个主面侧的节点以及地贯通导体的靠配线基板的另一个主面侧的节点。即,节点83及84相当于电源侧贯通导体的靠配线基板的一个主面侧的节点以及地贯通导体的靠配线基板的一个主面侧的节点,节点85及86相当于电源侧贯通导体的靠配线基板的另一个主面侧的节点以及地贯通导体的靠配线基板的另一个主面侧的节点。

[0152] 如图18所说明的那样,单元等效电路也可以包含2×n个(其中,n为2以上的整数)电容器等效电路。由此,能够再现单元包含在一对电源侧贯通导体与地侧贯通导体间并联连接的2×n个电容器元件作为电容器元件的情况。这种单元能够通过在将多个内置有电容器元件的基板层叠之后一次形成贯通这些基板的贯通导体来实现。2×n个电容器等效电路彼此并联连接,n个电容器等效电路连接于表示电源侧贯通导体的等效电路的输入端口(Port1)侧以及表示地贯通导体的等效电路的输入端口(Port1)侧,其余的n个电容器等效电路连接于表示电源侧贯通导体的等效电路的输出端口(Port2)侧以及表示地贯通导体的等效电路的输出端口(Port2)侧。

[0153] 此外,在图18中例示了单元的连结数为1的情况,但单元的连结数也可以为2以上。在该情况下,也可以是,至少一个单元包含图18所示的第一等效电路81及第二等效电路82,但优选的是,全部单元分别包含图18所示的第一等效电路81及第二等效电路82。另外,无论哪种情况都可以将图18所示的等效电路G、等效电路G、第一等效电路81及第二等效电路82的至少一部分置换为与其相当的替代参数。

[0154] 接着,对控制部20的功能进行详述。

[0155] 如图3所示,控制部20具有输入受理部21、运算部22以及输出部23。

[0156] 输入受理部21进行获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与多个规定间距中的任一个规定间距对应(一致)的间距的处理。即,在基板设计辅助装置1中,用户不能以任意的间距将电源侧贯通导体及地侧贯通导体配置(设计)于配线基板,只能以与预先设定的规定间距中的任一个规定间距一致的间距将电源侧贯通导体及地侧贯通导体配置(设计)于配线基板。

[0157] 此外,关于由用户设定的每对电源侧贯通导体与地侧贯通导体间的间距,例如,输入受理部21能够根据该一对电源侧贯通导体和地侧贯通导体的坐标信息来获取该间距。

[0158] 另外,输入受理部21进行获取由用户设定的连结数(单元的并联连接的数量)的处理。

[0159] 此外,例如能够从并联连接于同一电源线的电源侧贯通导体及地侧贯通导体的对的数量获得该连结数。

[0160] 另外,优选的是,由用户设定的各对电源侧贯通导体及地侧贯通导体分别位于规定格子的交点上。由此,能够配置降低了等效串联电阻(ESR)及等效串联电感(ESL)的电容器元件。

[0161] 更具体而言,例如,当用户借助输入部10配置第一个电源侧贯通导体或地侧贯通导体时,该贯通导体位于交点上的规定格子被显示于显示部40。在此,格子的种类及间距构成为能够由用户设定(指定),格子的间距与一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的任一个规定间距一致。而且,第二个以后的电源侧贯通导体及地侧贯通导体被设定为只能配置于格子的其它交点上。此时,优选的是,一对电源侧贯通导体及地侧贯通导体位于格子的相邻的交点上,但也可以位于格子的不相邻的交点上。

[0162] 图19是示出格子、以及配置于其交点上的电源侧贯通导体及地侧贯通导体的一例的示意图。

[0163] 在图19所示的例子中,显示了正方形的格子,电源侧贯通导体71及地侧贯通导体72被进行正方形配置。在正方形配置中,电源侧贯通导体71及地侧贯通导体72被配置于正方形状的各顶点。如图19所示,也可以将电源侧贯通导体71及地侧贯通导体72在上下方向及左右方向上交替地配置。

[0164] 图20是示出格子、以及配置于其交点上的电源侧贯通导体及地侧贯通导体的另一例的示意图。

[0165] 在图20所示的例子中,显示了菱形(内角为60°或120°)的格子,电源侧贯通导体71及地侧贯通导体72被进行六边形配置。在六边形配置中,电源侧贯通导体71及地侧贯通导体72被配置于正六边形状的各顶点及该正六边形状的中心。如图20所示,也可以将电源侧贯通导体71及地侧贯通导体72在上下方向上交替地配置。

[0166] 此外,在图19及图20中,包围一对电源侧贯通导体71及地侧贯通导体72的矩形状的虚线是表示单元的区域的虚拟线。

[0167] 输入受理部21还获取由用户设定的与基板的除了单元以外的构成要素有关的信息即基板信息。即,关于除了单元以外的构成要素,获取由用户设计(例如绘制)的信息。作为基板信息,例如,举出与配线、树脂基板、未包含于单元的贯通导体(过孔、通孔)有关的信息等。在与配线相关的信息中,例如包含配线的布局(坐标)、配线层的导体厚度等。在与树脂基板相关的信息中,例如包含在进行多层化时的树脂基板部分的厚度等。在与未包含于单元的贯通导体相关的信息中,例如包含贯通导体的坐标、尺寸等。

[0168] 另外,这些基板信息是按照规定的设计规则输入的。即,由用户设定的基板信息被限制为满足设计规则的信息。此外,也可以是,并非像这样仅受理按照设计规则的基板信息,而是验证所输入的基板信息是否满足设计规则,在存在不满足设计规则的项目的情况下,在显示部40通知错误,以催促用户进行该项目的变更。

[0169] 设计规则包含配线层的导体厚度、配线的L/S规则、贯通导体的导体量、进行多层化时的树脂基板部分的厚度等形成配线基板所需的各种信息。

[0170] 运算部22进行以下处理:从存储部30获取同输入受理部21所获取到的各对电源侧贯通导体与地侧贯通导体间的间距以及单元的连结数对应的电路信息,基于所获取到的电

路信息(单元等效电路和/或参数)来运算电源线的阻抗。与该间距对应的电路信息能够高精度地再现以该间距配置有一对电源侧贯通导体及地侧贯通导体的单元,因此能够高精度地运算电源线的阻抗特性。另外,该电路信息是按单元的每个连结数准备的,因此能够进一步提高电源线的阻抗特性的运算精度。

[0171] 更详细而言,运算部22进行以下处理:除了基于与输入受理部21所获取到的间距以及连结数对应的电路信息以外,还基于输入受理部21获取到的基板信息,来运算电源线的阻抗。

[0172] 此时,运算部22进行以下处理:基于所获取到的电路信息(单元等效电路和/或参数)来运算单元的阻抗特性;以及基于所获取到的基板信息来运算基板(但单元除外)的阻抗特性。而且,进行以下处理:将两者的阻抗特性合成,以合成后的状态运算基板整体、在此为电源线的阻抗特性。在这些运算处理中能够使用SPICE(Simulation Program with Integrated Circuit Emphasis:集成电路通用模拟程序)。

[0173] 输出部23进行使显示部40显示作为由运算部22得到的运算结果的电源线的阻抗的处理。

[0174] 接着,对基板设计辅助装置1的动作(由基板设计辅助装置1进行的基板设计辅助方法)进行说明。

[0175] 图21是说明本发明的实施方式1所涉及的基板设计辅助装置的动作的一例的流程图。

[0176] 如图21所示,首先,输入受理部21进行经由输入部10获取与多个规定间距中的任一个规定间距对应的至少一对电源侧贯通导体与地侧贯通导体间的间距、单元的并联连接的连结数以及基板信息的处理(步骤S11)。

[0177] 接着,运算部22进行从存储部30获取与在步骤S11中获取到的间距以及连结数对应的电路信息(单元等效电路和/或参数)的处理(步骤S12)。

[0178] 接着,运算部22进行基于在步骤S12中获取到的电路信息来运算单元的阻抗特性的处理(步骤S13)。

[0179] 接着,运算部22进行基于在步骤S11中获取到的基板信息来运算基板(但单元除外)的阻抗特性的处理(步骤S14)。

[0180] 此外,步骤S12、S13及S14的顺序并不特别限定于此顺序,例如也可以按步骤S14、S12及S13的顺序来进行,还可以将步骤S12及S13与步骤S14并行地进行。

[0181] 接着,运算部22进行将在步骤S13中计算出的单元的阻抗特性与在步骤S14中计算出的基板(但单元除外)的阻抗特性合成、并以合成后的状态运算电源线的阻抗特性的处理(步骤S15)。

[0182] 然后,输出部23进行使显示部40显示作为由运算部22得到的运算结果的电源线的阻抗的处理,结束基板设计辅助装置1的动作。

[0183] 用户能够基于显示于显示部40的电源线的阻抗,来使例如旁路电容器的数量即电源侧贯通导体及地侧贯通导体的对的数量、一对电源侧贯通导体与地侧贯通导体间的间距增减。

[0184] 如以上说明的那样,上述实施方式所涉及的基板设计辅助装置能够良好地利用于经由多个贯通导体连接有旁路电容器的电源线的设计。

[0185] 此外,在上述实施方式中,说明了使用同电源侧贯通导体与地侧贯通导体间的规定间距以及单元的连结数对应的电路信息的情况,但电路信息至少按每个规定间距设定即可。例如,也可以是,除了间距和连结数以外,还根据包含于单元的电容器元件的电容、配线基板的层数等来设定电路信息,或者,除了间距以外还根据取代连结数的、包含于单元的电容器元件的电容、配线基板的层数等来设定电路信息。

[0186] 另外,在上述实施方式中,说明了将基板设计辅助装置构成为一个装置的情况,但也可以通过将基板设计辅助装置的各功能适当分散于多个装置的分散处理系统来实现。例如,也可以是,在用户所使用的终端装置中仅进行信息的输入与运算结果的显示,在服务器装置(例如,云端)进行基于与输入信息相应的电路信息等的阻抗的运算处理。在该情况下,也可以将电路信息存储于服务器装置的存储部。另外,例如,也可以在不同的装置(终端装置、服务器装置)执行基于电路信息的单元的阻抗的运算处理以及基于基板信息的基板(但单元除外)的阻抗的运算处理。

[0187] 在本说明书中公开了以下的内容。

[0188] <1>

[0189] 一种基板设计辅助装置,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,所述基板设计辅助装置具备:

[0190] 存储部,其按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距存储电路信息,所述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于所述电源侧贯通导体与地侧贯通导体间的电容器元件的单元;

[0191] 输入受理部,其获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与所述多个规定间距中的任一个规定间距对应的间距;以及

[0192] 运算部,其从所述存储部获取与所述输入受理部所获取到的所述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,

[0193] 其中,存储于所述存储部的所述电路信息包含表示所述单元的等效电路以及与表示所述单元的等效电路的至少一部分相当的参数中的至少一方,

[0194] 在表示所述单元的等效电路中,表示所述电容器元件的等效电路包含根据所对应的所述规定间距设定的电容成分。

[0195] <2>

[0196] 根据<1>所记载的基板设计辅助装置,其中,

[0197] 表示所述单元的等效电路包含不依据所述规定间距设定的、表示所述电源侧贯通导体的电感成分以及表示所述地侧贯通导体的电感成分。

[0198] <3>

[0199] 根据<1>或<2>所记载的基板设计辅助装置,其中,

[0200] 表示所述单元的等效电路包含表示所述电源侧贯通导体的等效电路以及表示所述地侧贯通导体的等效电路,

[0201] 表示所述电源侧贯通导体的等效电路包含在输入端口与输出端口之间串联连接的第一电路部及第二电路部,

[0202] 表示所述地侧贯通导体的等效电路包含在所述输入端口与所述输出端口之间串

联连接的第三电路部及第四电路部，

[0203] 表示所述电容器元件的等效电路连接于所述第一电路部与所述第二电路部之间的节点以及所述第三电路部与所述第四电路部之间的节点。

[0204] ＜4＞

[0205] 根据＜1＞至＜3＞中的任一者所记载的基板设计辅助装置，其中，

[0206] 表示所述电容器元件的等效电路包含梯形电路。

[0207] ＜5＞

[0208] 根据＜4＞所记载的基板设计辅助装置，其中，

[0209] 所述梯形电路包含2个以上的所述电容成分。

[0210] ＜6＞

[0211] 根据＜1＞至＜5＞中的任一者所记载的基板设计辅助装置，其中，

[0212] 所述单元包含在所述一对电源侧贯通导体与地侧贯通导体间并联连接的第一电容器元件及第二电容器元件作为所述电容器元件，

[0213] 表示所述单元的等效电路包含表示所述第一电容器元件的第一等效电路以及表示所述第二电容器元件的第二等效电路作为表示所述电容器元件的等效电路，

[0214] 所述第一等效电路与所述第二等效电路彼此等效，

[0215] 所述第一等效电路连接于所述电源侧贯通导体的靠所述配线基板的一个主面侧的节点以及所述地贯通导体的靠所述配线基板的所述一个主面侧的节点，

[0216] 所述第二等效电路连接于所述电源侧贯通导体的靠所述配线基板的另一个主面侧的节点以及所述地贯通导体的靠所述配线基板的所述另一个主面侧的节点。

[0217] ＜7＞

[0218] 根据＜1＞至＜6＞中的任一者所记载的基板设计辅助装置，其中，

[0219] 表示所述电容器元件的等效电路包含经过LR电路后到达所述电容成分的等效电路部。

[0220] ＜8＞

[0221] 根据＜1＞至＜7＞中的任一者所记载的基板设计辅助装置，其中，

[0222] 所述单元包含在所述一对电源侧贯通导体与地侧贯通导体间并联连接的2×n个(其中，n为2以上的整数)电容器元件作为所述电容器元件，

[0223] 表示所述单元的等效电路包含2×n个表示所述电容器元件的等效电路。

[0224] ＜9＞

[0225] 根据＜1＞至＜8＞中的任一者所记载的基板设计辅助装置，其中，

[0226] 由用户设定的各对电源侧贯通导体及地侧贯通导体分别位于规定的格子的交点上。

[0227] ＜10＞

[0228] 根据＜1＞至＜9＞中的任一者所记载的基板设计辅助装置，其中，

[0229] 所述输入受理部还获取由用户设定的、与基板的除了所述单元以外的构成要素有关的信息即基板信息，

[0230] 所述运算部基于所述电路信息以及所述输入受理部所获取到的所述基板信息，来运算所述电源线的阻抗。

[0231] ＜11＞

[0232] 根据＜1＞至＜10＞中的任一者所记载的基板设计辅助装置,其中,

[0233] 所述存储部将表示所述单元的电路信息与所述单元的并联连接的数量即连结数对应地存储,

[0234] 所述输入受理部还获取由用户设定的连结数,

[0235] 所述运算部从所述存储部获取与所述输入受理部获所取到的所述间距及所述连结数对应的电路信息,基于所获取到的电路信息来运算所述电源线的阻抗。

[0236] ＜12＞

[0237] 一种基板设计辅助系统,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,所述基板设计辅助系统具备:

[0238] 存储部,其按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距存储电路信息,所述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于所述电源侧贯通导体与地侧贯通导体间的电容器元件的单元;

[0239] 输入受理部,其获取由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与所述多个规定间距中的任一个规定间距对应的间距;以及

[0240] 运算部,其从所述存储部获取与所述输入受理部所获取到的所述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,

[0241] 其中,存储于所述存储部的所述电路信息包含表示所述单元的等效电路以及与表示所述单元的等效电路的至少一部分相当的参数中的至少一方,

[0242] 在表示所述单元的等效电路中,表示所述电容器元件的等效电路包含根据所对应的所述规定间距设定的电容成分。

[0243] ＜13＞

[0244] 一种与电路信息相关的数据结构,用于基板设计辅助装置或基板设计辅助系统,其中,所述基板设计辅助装置或基板设计辅助系统具备输入受理部、存储部以及运算部,进行用于将经由至少一对电源侧贯通导体及地侧贯通导体而连接于电源线及地线的旁路电容器配置于配线基板的辅助,

[0245] 所述与电路信息相关的数据结构存储于所述存储部,

[0246] 所述与电路信息相关的数据结构按一对电源侧贯通导体与地侧贯通导体间的多个规定间距中的每个规定间距包含电路信息,所述电路信息表示包含一对电源侧贯通导体及地侧贯通导体、以及连接于所述电源侧贯通导体与地侧贯通导体间的电容器元件的单元,并且,

[0247] 所述与电路信息相关的数据结构用于以下的处理:基于所述输入受理部所获取到的由用户设定的至少一对电源侧贯通导体与地侧贯通导体间的与所述多个规定间距中的任一个规定间距对应的间距,所述运算部从所述存储部获取与所述输入受理部所获取到的所述间距对应的电路信息,基于所获取到的电路信息来运算电源线的阻抗,

[0248] 所述电路信息包含表示所述单元的等效电路以及与表示所述单元的等效电路的至少一部分相当的参数中的至少一方,

[0249] 在表示所述单元的等效电路中,表示所述电容器元件的等效电路包含根据所对应

的所述规定间距设定的电容成分。

[0250] 附图标记说明

[0251] 1:基板设计辅助装置;10:输入部;20:控制部;21:输入受理部;22:运算部;23:输出部;30:存储部;40:显示部;50、80:单元等效电路;51、52、83、84、85、86:节点;60:电容器等效电路;61:第一端子;62:第二端子;63:第一电容部;64:第二电容部;65:LR电路;71:电源侧贯通导体;72:地侧贯通导体;81:第一等效电路;82:第二等效电路;101:电容器部;110:电容器元件;111:阳极板;111A:芯部;111B:多孔质部;112:阴极层;113:电介质层;120:贯通导体;120A:阴极贯通导体;120B:阳极贯通导体;125A、125B:树脂填充部;130:密封层;140A、140B:导体配线层;145:过孔导体。

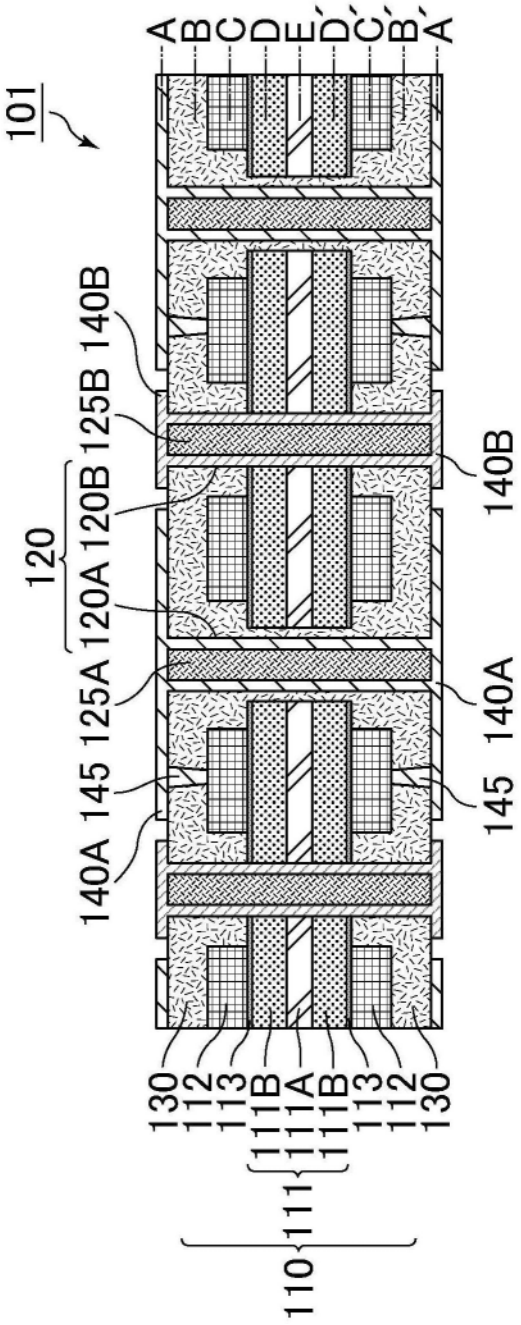

A
B
C
D
E
D`
C`
B`
A`
101
140B
125B
120B
120
120A
125A
145
140A
140B
140A
145
130
112
113
111B
111A
111B
113
112
130
111
110

图1

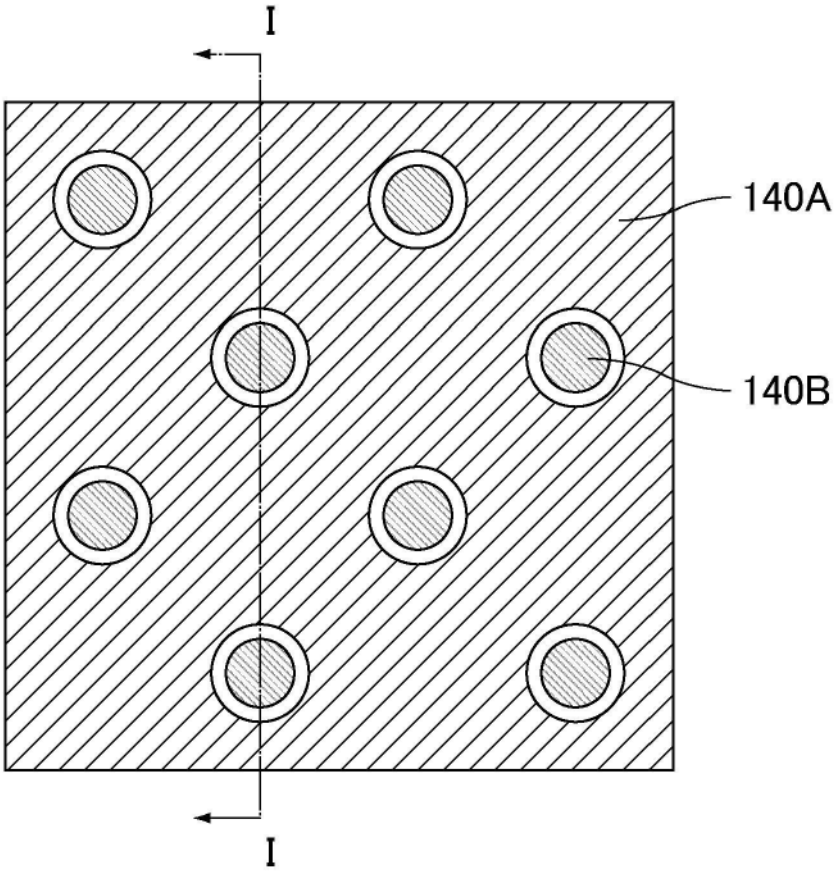



图2A

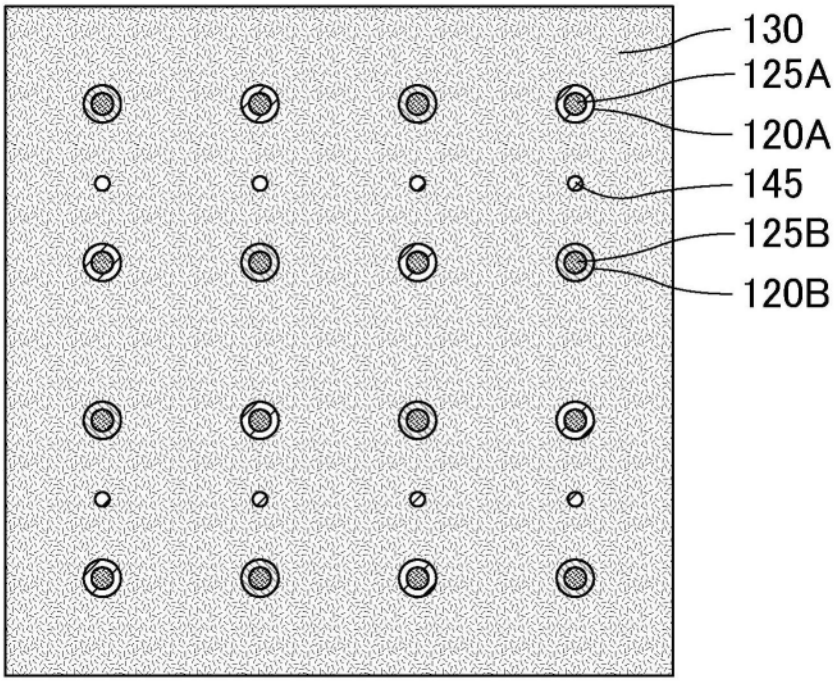



图2B

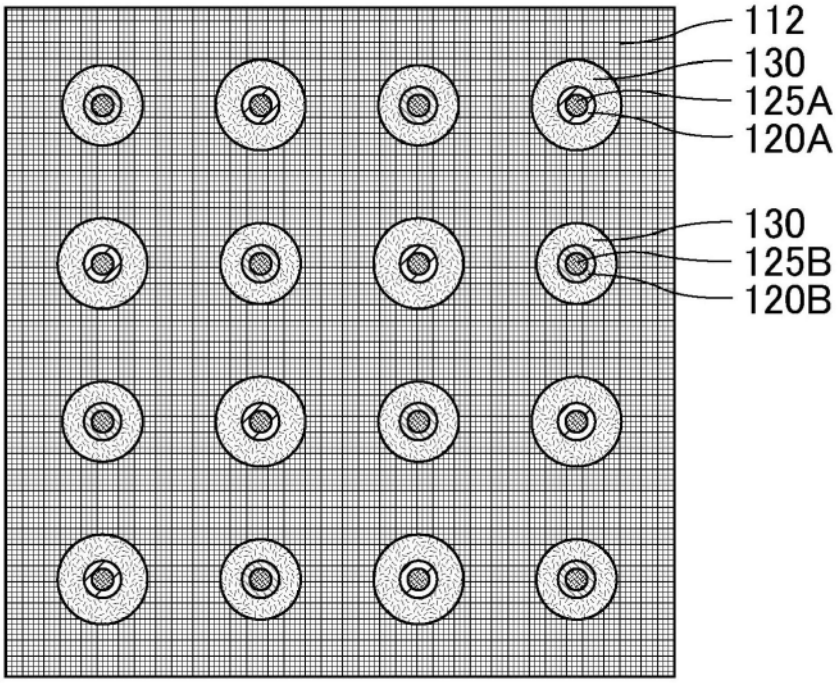

112
130
125A
120A
130
125B
120B

图2C

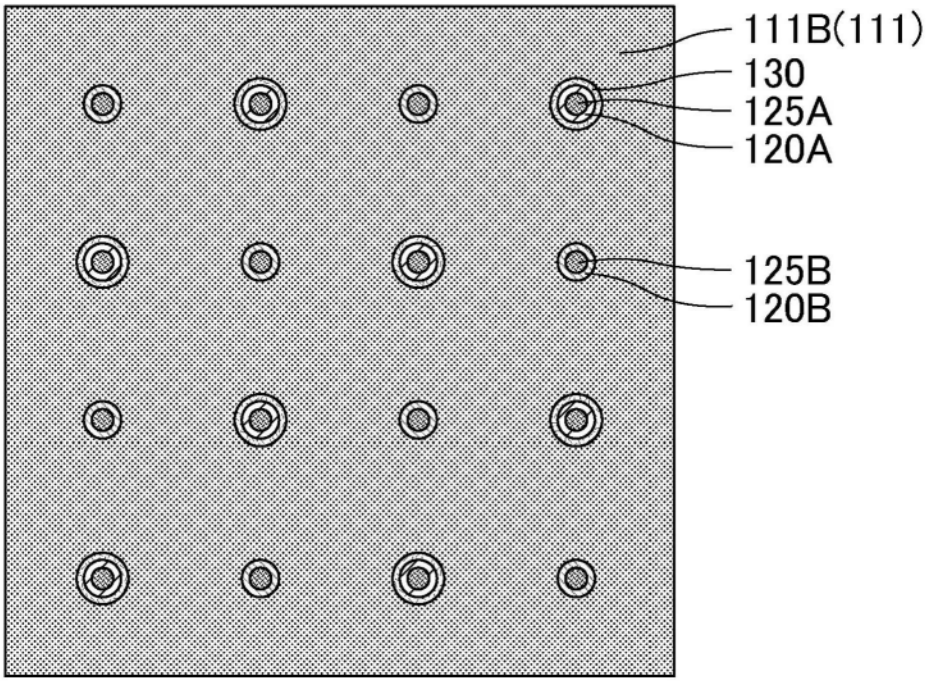

111B(111)
130
125A
120A
125B
120B

图2D

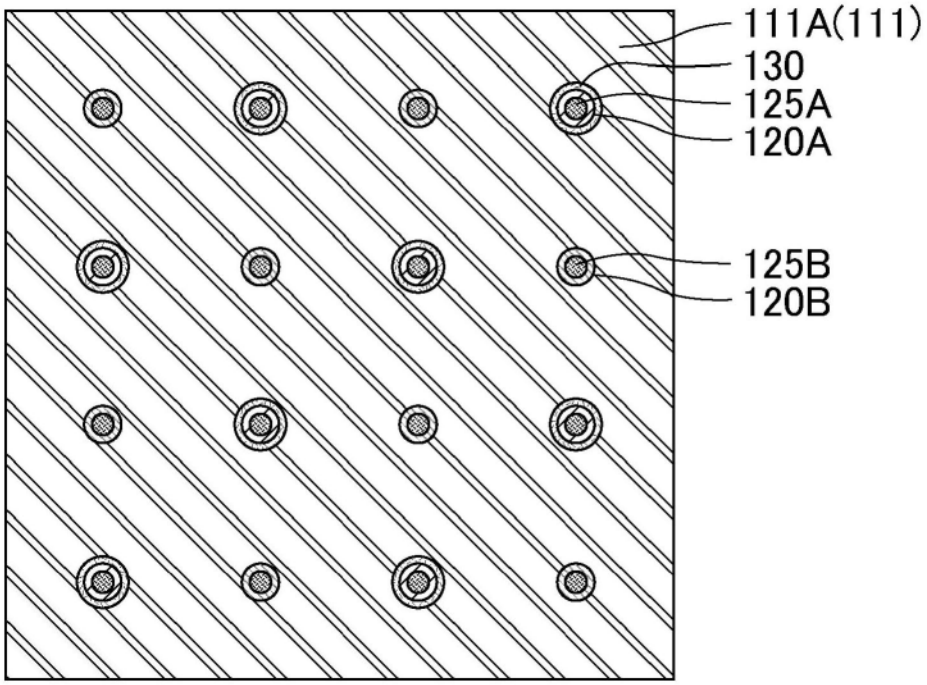

111A(111)
130
125A
120A
125B
120B

图2E

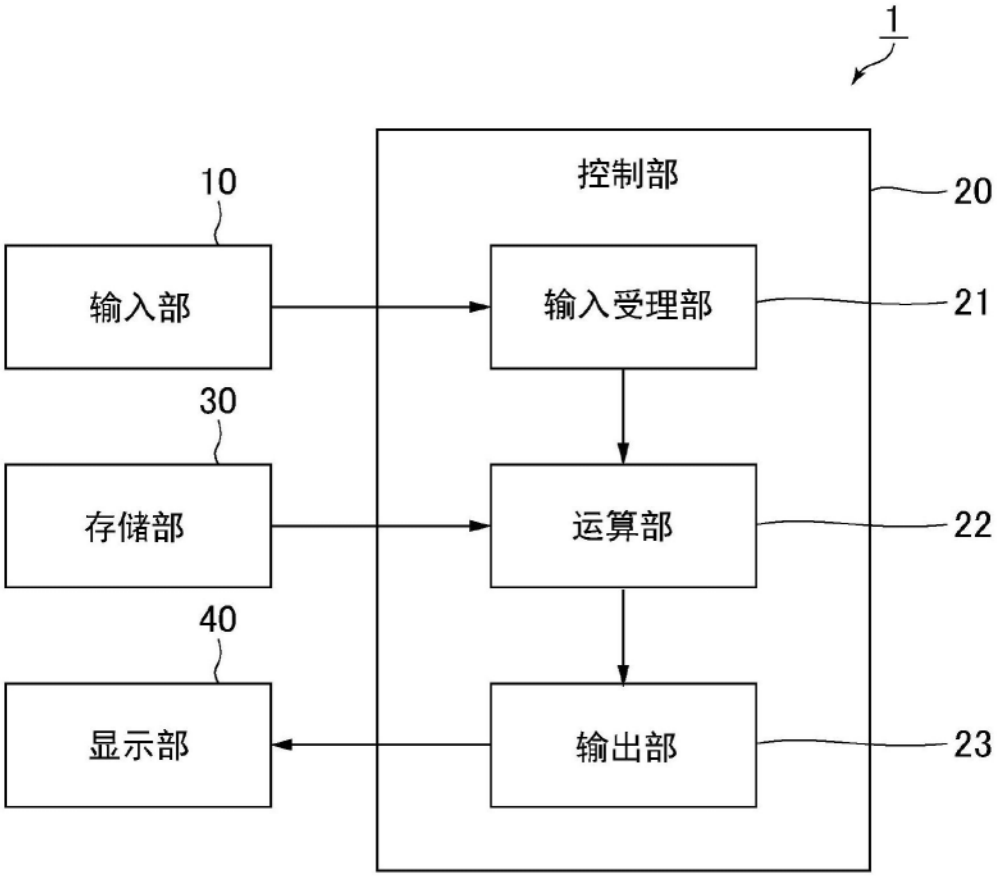

1
控制部
20
10
输入部
输入受理部
21
30
存储部
运算部
22
40
显示部
输出部
23

图3

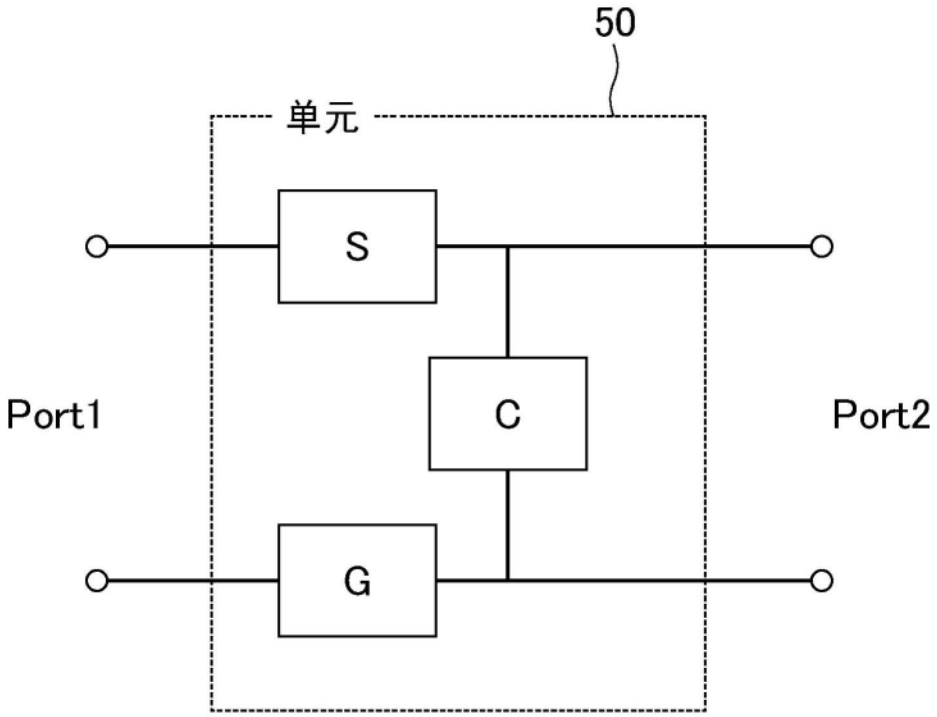



图4A

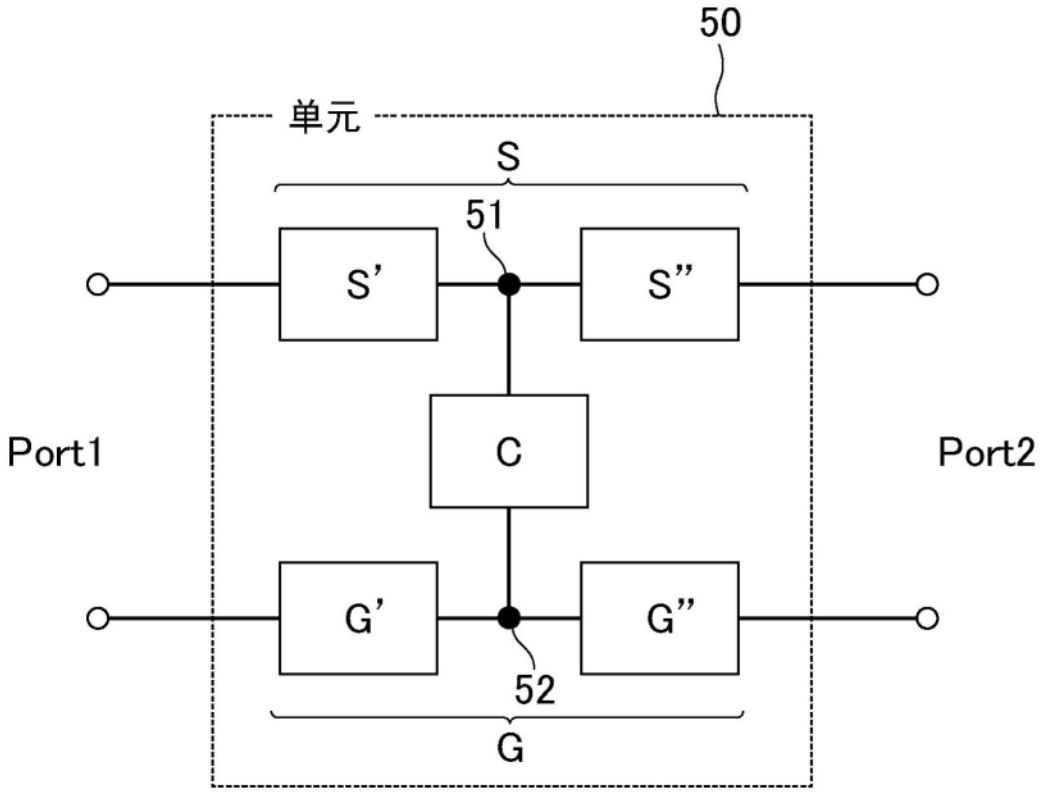



图4B

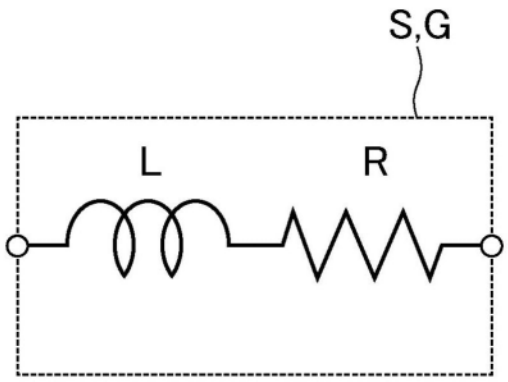



图5

| | 等效电路 | | |
|---|---|---|---|
| 间距P1 | S | G | C |
| 间距P2 | S | G | C |
| 间距P3 | S | G | C |
| ⋮ | ⋮ | ⋮ | ⋮ |

图6

| 连结数=1 | 等效电路 | | |
|---|---|---|---|
| 间距P1 | S | G | C |
| 间距P2 | S | G | C |
| 间距P3 | S | G | C |
| ⋮ | ⋮ | ⋮ | ⋮ |

| 连结数=2 | 等效电路 | | |
|---|---|---|---|
| 间距P1 | S | G | C |
| 间距P2 | S | G | C |
| 间距P3 | S | G | C |
| ⋮ | ⋮ | ⋮ | ⋮ |

| 连结数=3 | 等效电路 | | |
|---|---|---|---|
| 间距P1 | S | G | C |
| 间距P2 | S | G | C |
| 间距P3 | S | G | C |
| ⋮ | ⋮ | ⋮ | ⋮ |

⋮

图7

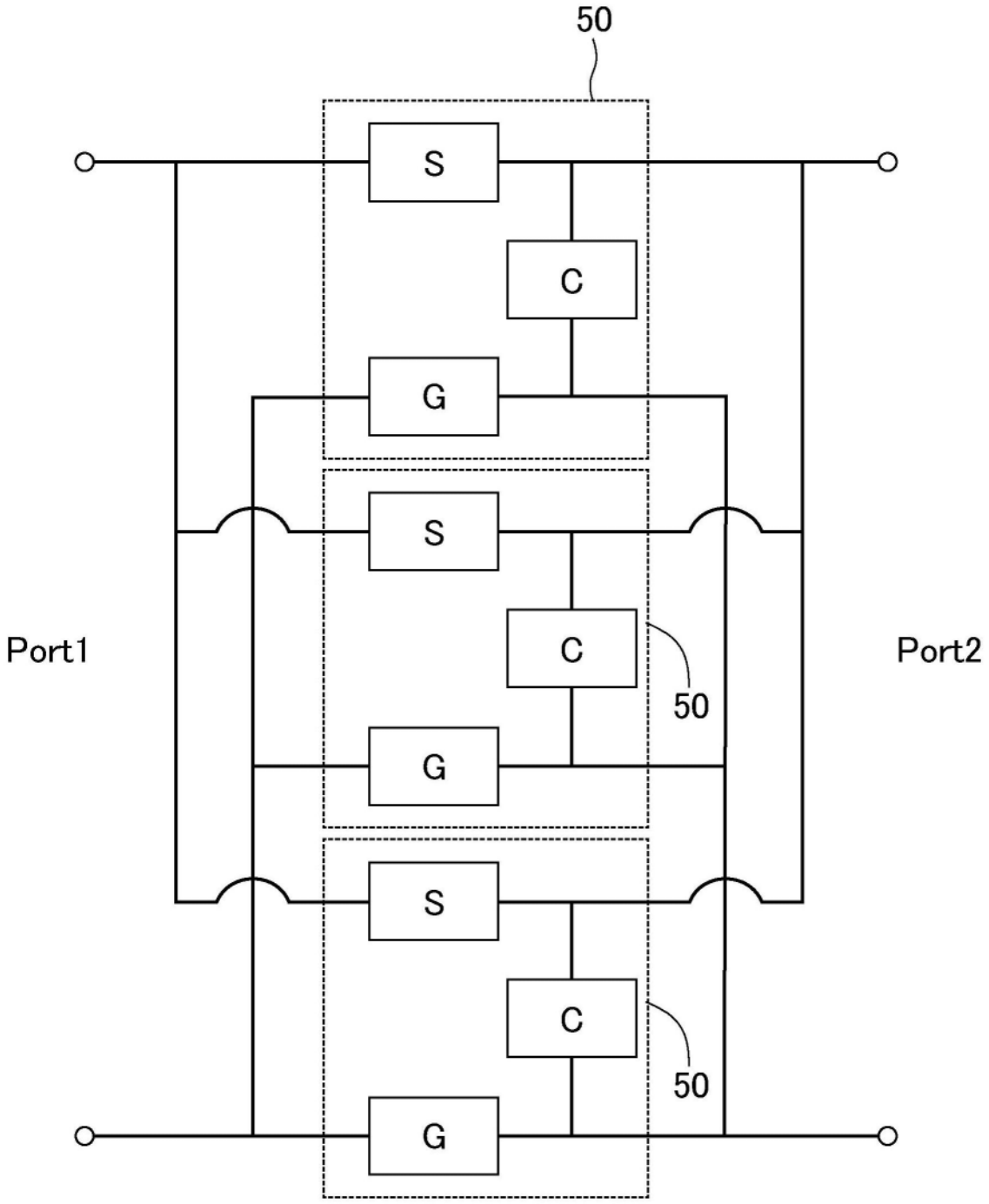



图8

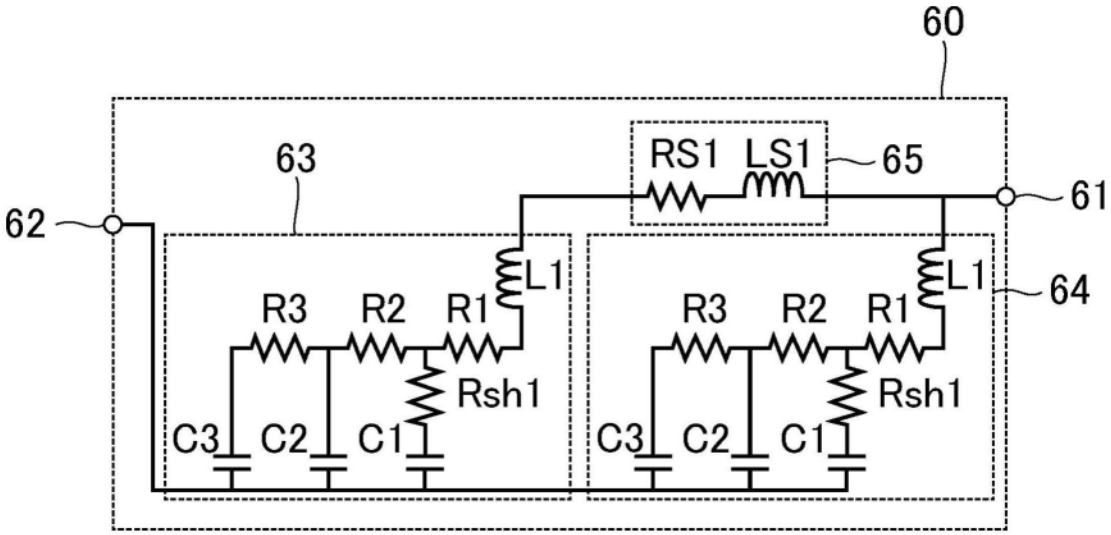

60
63
RS1
LS1
65
61
62
L1
64
R3
R2
R1
Rsh1
C3
C2
C1

图9

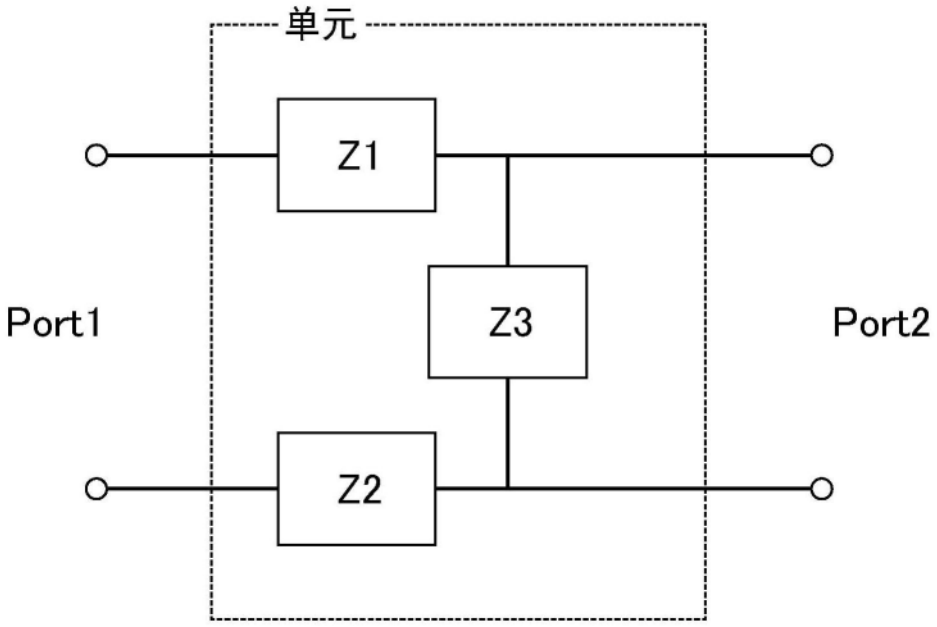

单元
Z1
Z3
Z2
Port1
Port2

图10A

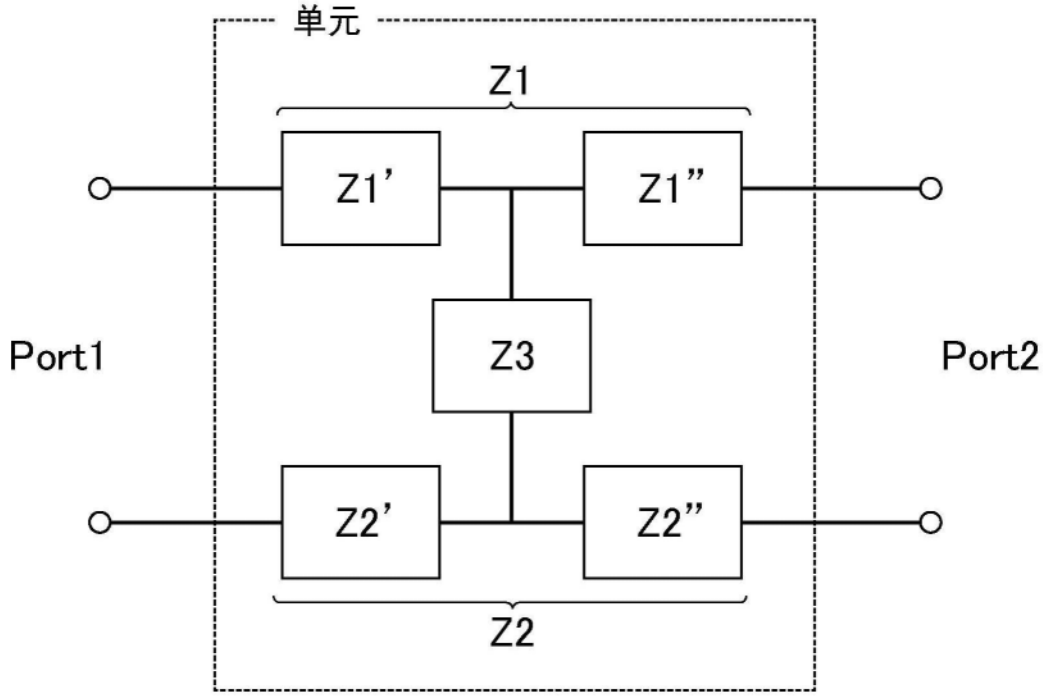



图10B

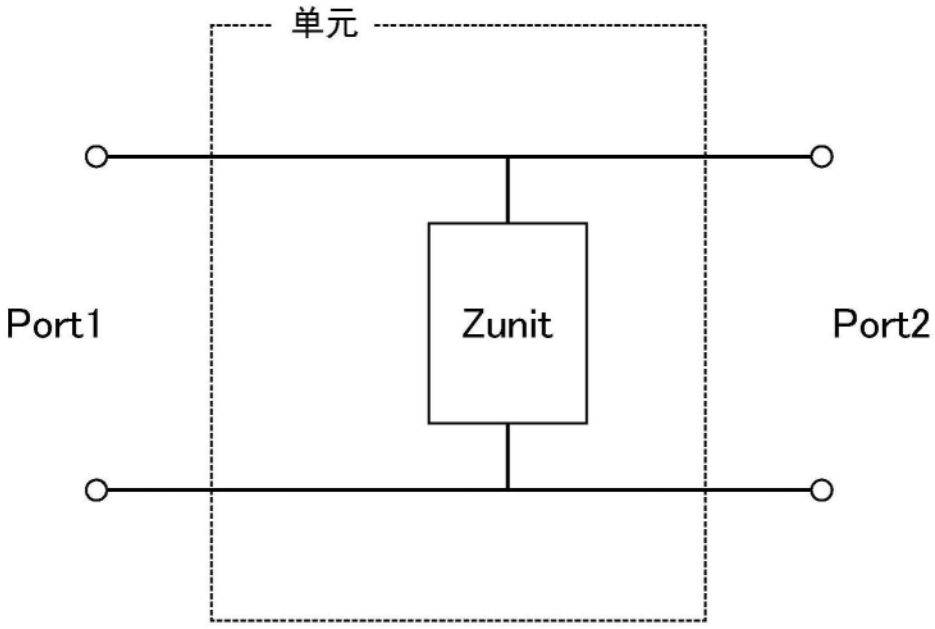



图11

| | 参数 | | |
|---|---|---|---|
| 间距P1 | Z1 | Z2 | Z3 |
| 间距P2 | Z1 | Z2 | Z3 |
| 间距P3 | Z1 | Z2 | Z3 |
| ⋮ | ⋮ | ⋮ | ⋮ |

图12

| | 参数 |
|---|---|
| 间距P1 | Zunit |
| 间距P2 | Zunit |
| 间距P3 | Zunit |
| ⋮ | ⋮ |

图13

| | 等效电路 | 参数 | |
|---|---|---|---|
| 间距P1 | C | Z1 | Z2 |
| 间距P2 | C | Z1 | Z2 |
| 间距P3 | C | Z1 | Z2 |
| ⋮ | ⋮ | ⋮ | ⋮ |

图14

| | 等效电路 | | | 参数 |
|---|---|---|---|---|
| 间距P1 | | | | Zunit |
| 间距P2 | S | G | C | |
| 间距P3 | | | | Zunit |
| ⋮ | ⋮ | ⋮ | ⋮ | ⋮ |

图15

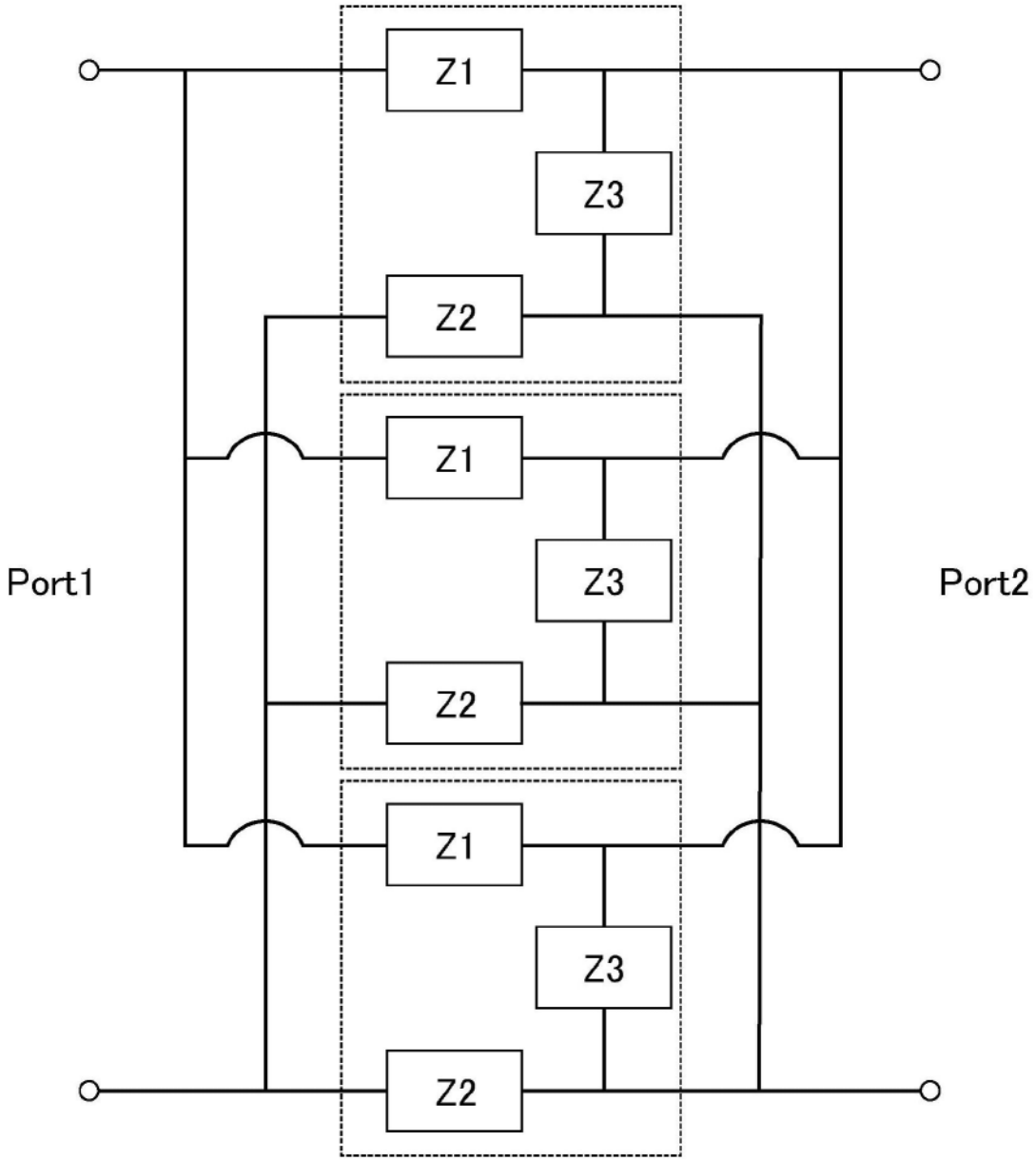



图16

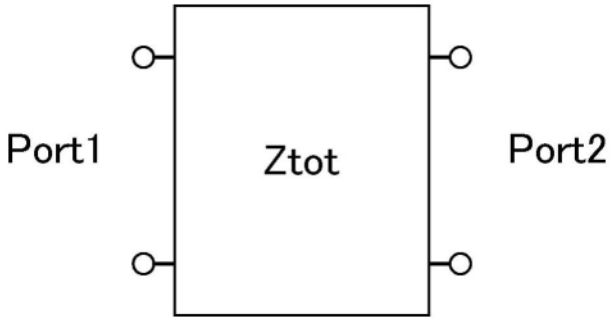



图17

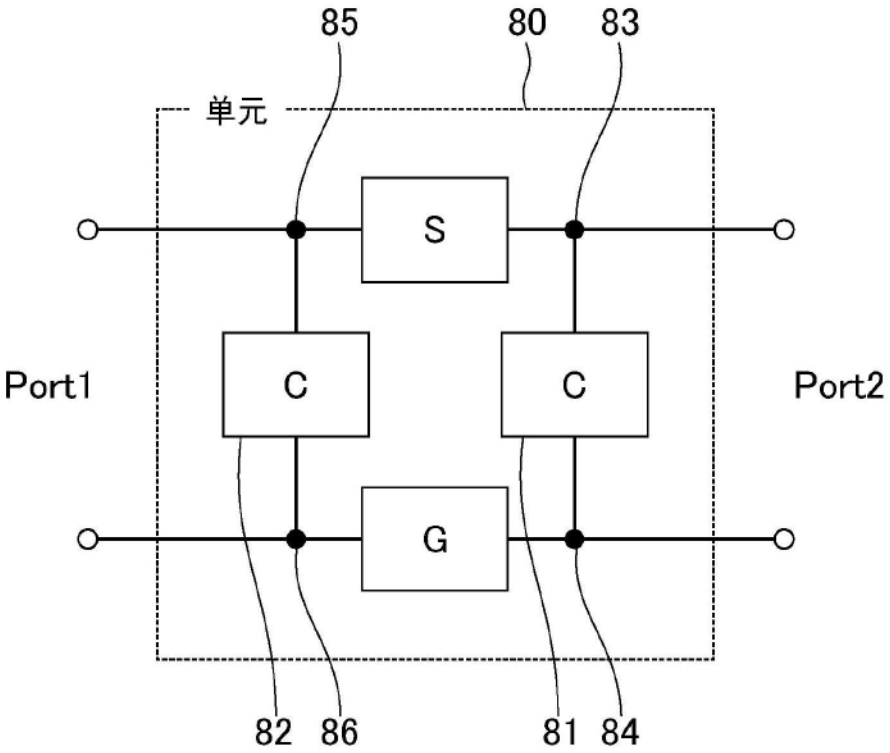



图18

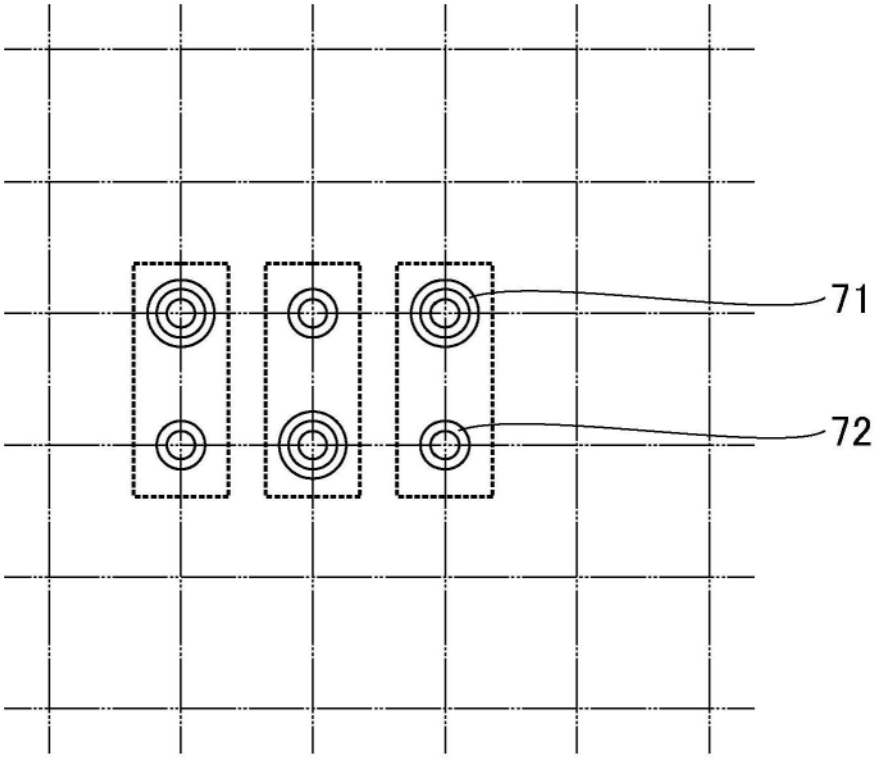



图19

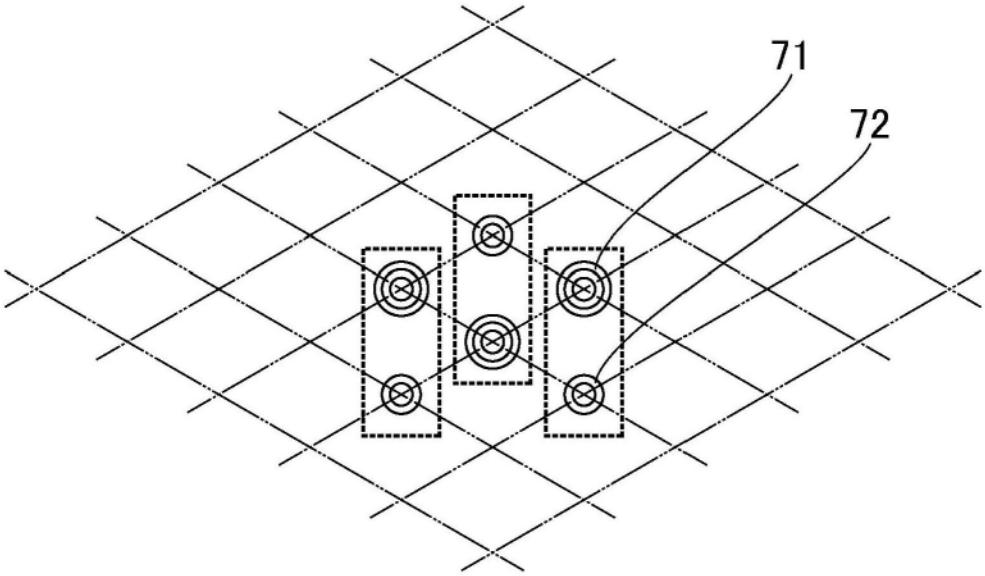



图20

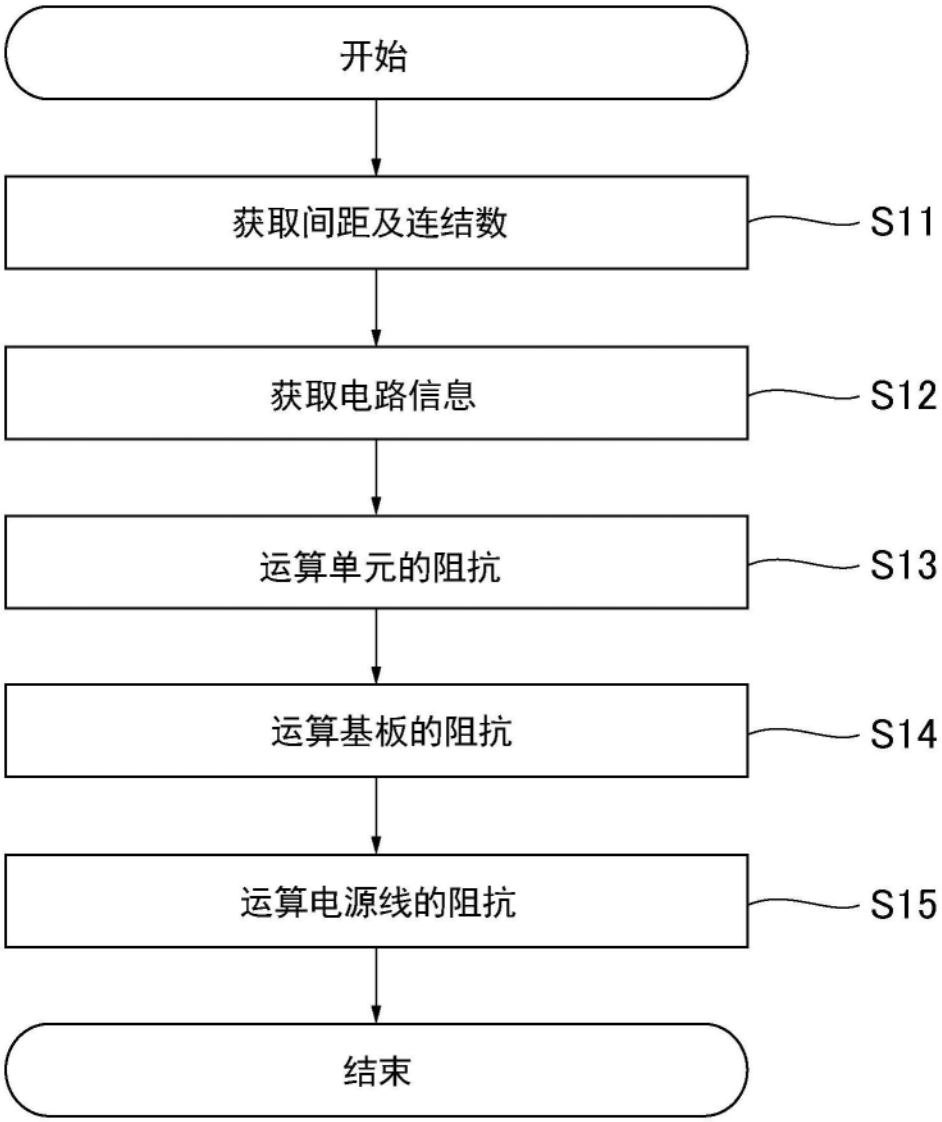

开始
获取间距及连结数
S11
获取电路信息
S12
运算单元的阻抗
S13
运算基板的阻抗
S14
运算电源线的阻抗
S15
结束

图21