



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3718208/24-24

(22) 29.03.84

(46) 23.11.85.Бюл. № 43

(71) Винницкий политехнический институт

(72) В.П.Кожемяко, Т.Б.Мартынюк,
Т.Г.Демянчук и С.Б.Юдин

(53) 681.325.5 (088.8)

(56) Букреев И.Н. и др. Микроэлектронные схемы цифровых устройств. М.: Советское радио, 1975, с.339-341, рис.8.15, 8.16.

Авторское свидетельство СССР
№ 842798, кл. G 06 F 7/50, 1978.

(54) (57) УСТРОЙСТВО ДЛЯ СЛОЖЕНИЯ И ВЫЧИТАНИЯ, содержащее сумматор-вычитатель и блок управления, включающий узел анализа соотношения знаков операндов и узел формирования знака результата, причем первая группа информационных входов сумматора-вычитателя соединена с входами первого операнда устройства, выходы сумматора-вычитателя соединены с выходами устройства, узел анализа соотношения операндов знаков содержит три элемента НЕ, первый, второй, третий и четвертый элементы И, первый элемент ИЛИ, узел формирования знака результата содержит элемент НЕ, три элемента И и элемент ИЛИ, при этом выходы первого и второго элементов НЕ узла анализа соотношения знаков операндов соединены соответственно с первым и вторым входами первого элемента И узла анализа соотношения знаков операндов, выход которого соединен с первым входом первого элемента ИЛИ узла анализа соотношения

знаков операндов, второй вход которого подключен к выходу второго элемента И узла анализа соотношения знаков операндов, а выход соединен с первым входом первого элемента И узла формирования знака результата, выход элемента НЕ узла формирования знака результата подключен к первому входу второго элемента И узла формирования знака результата, выход которого соединен с первым входом элемента ИЛИ узла формирования знака результата, отличающееся тем, что, с целью повышения быстродействия, устройство содержит регистр, в блок управления введен узел формирования сигналов синхронизации, содержащий генератор тактовых импульсов, сдвиговый регистр, элемент НЕ, элемент И, элемент ИЛИ, в узел анализа соотношения знаков операндов введены пятый и шестой элементы И, второй, третий и четвертый элементы ИЛИ, причем информационные входы регистра соединены с входами второго операнда устройства, выходы регистра соединены с первой и второй группами информационных входов сумматора-вычитателя, выход знакового разряда которого соединен с входом первого элемента НЕ и первыми входами третьего, четвертого, пятого и шестого элементов И узла анализа соотношения знаков операндов, выход знакового разряда регистра соединен с входом второго элемента НЕ, первым входом второго элемента И и вторыми входами четвертого и шестого элементов И узла анализа соотношения знаков операндов, вход кода опера-

ции устройства соединен с входом третьего элемента НЕ, третьими входами первого и четвертого элементов И и вторым входом пятого элемента И узла анализа соотношения знаков операндов, второй и третий входы второго элемента И узла анализа соотношения знаков операндов соединены с выходами первого и третьего элементов НЕ узла анализа соотношения знаков операндов соответственно, третий вход пятого и шестого элементов И узла анализа соотношения знаков операндов соединены с выходами второго и третьего элементов НЕ узла анализа соотношения знаков операндов соответственно, выходы третьего и четвертого элементов И узла анализа соотношения знаков операндов соединены с входами второго элемента ИЛИ узла анализа соотношения знаков операндов, выходы пятого и шестого элементов И узла анализа соотношения знаков операндов соединены с входами третьего элемента ИЛИ узла соотношения знаков операндов, выходы первого и второго элементов ИЛИ узла соотношения знаков операндов соединены с входами четвертого элемента ИЛИ узла анализа соотношения знаков операндов, выход которого подключен к входу признака записи информации сумматора-вычитателя, выход заема старшего разряда которого соединен с входом элемента НЕ и вторым входом первого элемента И узла формирования знака результата, выход элемента НЕ узла формирования знака результата соединен с первым входом третьего элемента И узла формирования знака результата, выходы второго и третьего элементов ИЛИ уз-

ла анализа соотношения знаков операндов соединены с вторыми входами второго и третьего элементов И узла формирования знака результата соответственно, выходы первого и третьего элементов И узла формирования знака результата подключены соответственно к второму и третьему входам элемента ИЛИ узла формирования знака результата, выход которого соединен с информационным входом знакового разряда сумматора-вычитателя, вход запуска устройства соединен с установочным входом сдвигового регистра узла формирования сигналов синхронизации, выход первого разряда которого соединен с первым входом элемента ИЛИ узла формирования сигналов синхронизации, выход которого соединен с входом разрешения записи сумматора-вычитателя, выход второго разряда сдвигового регистра узла формирования сигналов синхронизации соединен с входом разрешения записи регистра, выход третьего разряда сдвигового регистра узла формирования сигналов синхронизации соединен с входом разрешения считывания регистра и с вторым входом элемента ИЛИ узла формирования сигналов синхронизации, выход четвертого разряда сдвигового регистра узла формирования сигналов синхронизации соединен с входом разрешения записи знакового разряда сумматора-вычитателя, выход пятого разряда сдвигового регистра узла формирования сигналов синхронизации соединен с входом разрешения считывания сумматора-вычитателя и с входом элемента НЕ узла формирования сигналов синхронизации, выход которого соединен с первым входом элемента И узла формирования сигналов синхронизации, второй вход и выход которого соединены соответственно с выходом генератора тактовых импульсов и входом сдвига сдвигового регистра узла формирования сигналов синхронизации.

сложения и вычитания десятичных чисел.

Целью изобретения является повышение быстродействия устройства.

На фиг.1 представлена блок-схема устройства для сложения и вычитания; на фиг.2 - структурная схема блока управления.

Устройство для сложения и вычитания содержит сумматор-вычитатель 1, регистр 2 и блок 3 управления. Знаковые разряды сумматора-вычитателя 1 и регистра 2 связаны соответственно с входами 4 и 5 блока 3 управления, на вход 6 которого подается код операции с входа кода операции устройства. Выходы 7 и 8 блока 3 управления соединены соответственно с входами разрешения записи и разрешения считывания сумматора-вычитателя 1, а выходы 9 и 10 - с управляющими входами разрешения записи и разрешения считывания регистра 2. Выход заема старшего разряда сумматора-вычитателя 1 подключен к входу 11 блока 3 управления, вход 12 которого соединен с входом запуска, а выход 13 соединен с информационным входом знакового разряда сумматора-вычитателя 1. Входы 14 регистра 2 соединены с входами второго операнда устройства, выходы регистра 2 соединены с информационными входами 15 и 16 первой и второй групп сумматора-вычитателя 1. Выход 17 блока 3 управления подключен к входу разрешения записи знакового разряда сумматора-вычитателя 1, а выход 18 - к входу признака записи информации сумматора-вычитателя 1, выходы 19 которого соединены с выходами устройства.

Блок 3 управления (фиг.2) содержит узел 20 анализа соотношения знаков операндов, узел 21 формирования знака результата и узел 22 формирования сигналов синхронизации.

В узле 20 входы 4, 5 и 6 блока 3 управления соединены соответственно с входами элементов НЕ 23-25. Вход 4 блока 3 управления соединен с входами элементов И 26-29, вход 5 - с входами элементов И 27, 29 и 30, вход 6 - с входами элементов И 27, 28 и 31. Выход элемента НЕ 23 соединен с входами элементов И 30 и 31, выход элемента НЕ 24 -

с входами элементов И 26, 28 и 31, выход элемента НЕ 25 - с входами элементов И 26, 29 и 30. Выходы элементов И 30 и 31 подключены к входам элемента ИЛИ 32, выходы элементов И 26 и 27 - к входам элемента ИЛИ 33, выходы элементов И 28 и 29 - к входам элемента ИЛИ 34. Входы элемента ИЛИ 35 соединены с выходами элементов ИЛИ 32 и 33, а его выход является выходом 18 блока 3 управления.

В узле 21 формирования знака результата вход 11 блока 3 управления соединен с входом элемента НЕ 36 и входом элемента И 37, выход элемента НЕ 36 подключен к входам элементов И 38 и 39. Другие входы элементов И 37-39 соединены соответственно с выходами элементов ИЛИ 32-34, а выходы - с входами элемента ИЛИ 40, выход которого является выходом 13 блока 3 управления.

Узел 22 формирования сигналов синхронизации содержит генератор 41 тактовых импульсов, сдвиговый регистр 42 и элементы НЕ 43, И 44, ИЛИ 45, причем вход 12 блока 3 управления соединен с установочным входом сдвигового регистра 42, выходы генератора 41 и элемента НЕ 43 соединены с входами элемента И 44, выход которого подключен к входу сдвига сдвигового регистра 42, содержащего пять разрядов. Выходы первого и третьего разрядов сдвигового регистра 42 соединены с входами элемента ИЛИ 45, выход которого является выходом 7 блока 3 управления, выходы второго, третьего, четвертого и пятого разрядов сдвигового регистра 42 являются выходами 9, 10, 17 и 8 блока 3 управления соответственно, кроме того, выход пятого разряда регистра 42 соединен с входом элемента НЕ 43.

Устройство работает следующим образом.

В начальный момент времени сумматор-вычитатель 1 и регистр 2 обнулены. Запись информации в сумматор-вычитатель 1 выполняется при появлении управляющего сигнала на выходе 7 блока 3 управления; этот сигнал формируется при наличии сигнала запуска на входе 12 блока 3 управления. Затем выполняется запись второго операнда в регистр 2 по управляющему сигналу, поступающему с выхода 9

блока 3 управления. Запись информации в сумматор-вычитатель 1 и регистр 2 осуществляется по входам 15 и 14 соответственно. С выходов знаковых разрядов сумматора-вычитателя 1 и регистра 2 информации о знаках операндов по входам 4 и 5 подается в блок 3 управления, на вход 6 которого поступает код операции. Блок 3 управления формирует в соответствии с этим сигнал на выходе 18, разрешающий запись информации из регистра 2 в сумматор-вычитатель 1 по входам 16 при наличии сигналов одновременно на выходах 7 и 10 блока 3 управления, управляющих записью информации в сумматор-вычитатель 1 и считыванием информации из регистра 2. При записи в сумматор-вычитатель 1 второго слагаемого происходит параллельное суммирование операндов, если второе слагаемое поступает по входам 15, или параллельное вычитание, если оно поступает по входам 16. По управляющему сигналу на выходе 17 блока 3 управления в знаковый разряд сумматора-вычитателя 1 осуществляется запись знака результата, поступающего с выхода 13 блока 3 управления. Считывание результата выполняется с выходов 19 сумматора-вычитателя 1 при наличии управляющего сигнала на выходе 8 блока 3 управления.

Управляющий сигнал γ на выходе 18 блока 3 и знак результата формируется с помощью узлов 20 и 21 блока 3 управления в соответствии с данными таблицы, в которой представлена зависимость сигнала γ и знака результата ($Зн R$) от комбинаций знаков операндов ($Зн A$, $Зн B$), кода выполняемой операции (КОП) и сигнала заема старшего информационного разряда сумматора-вычитателя 1 (P_k).

Для $Зн A$, $Зн B$, $Зн R$ и КОП положительный знак "+" кодируется нулем ("0"), а отрицательный знак "-" — единицей ("1"). Равенство управляющего сигнала γ единице означает разрешение записи второго слагаемого в сумматор-вычитатель 1 по входам 16 и запрещение одновременной его записи по вхо-

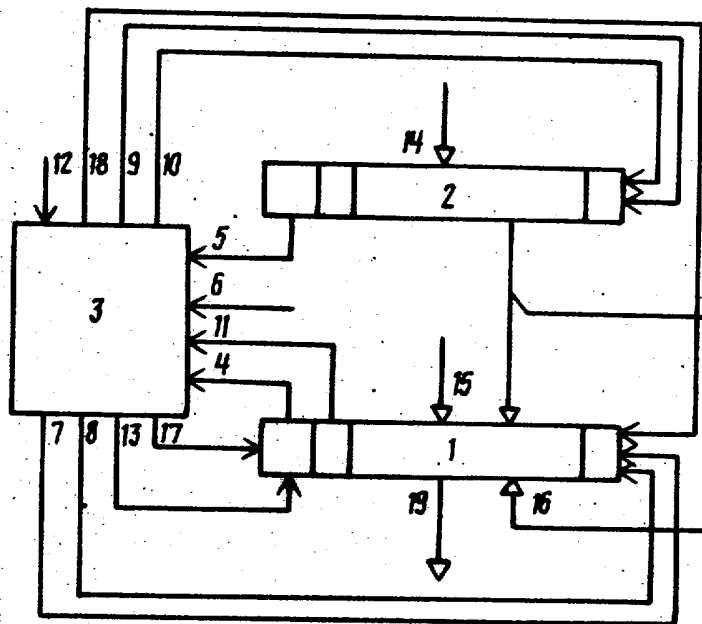
дам 15, при равенстве управляющего сигнала γ нулю разрешается запись второго слагаемого по входам 15 и запрещение его записи по входам 16.

В таблице не использованы четыре комбинации входных величин $Зн A$, $Зн B$, КОП и P_k как не имеющие смысла, поскольку при сложении двух операндов не может быть случая, когда $P_k=1$, так как P_k является сигналом заема.

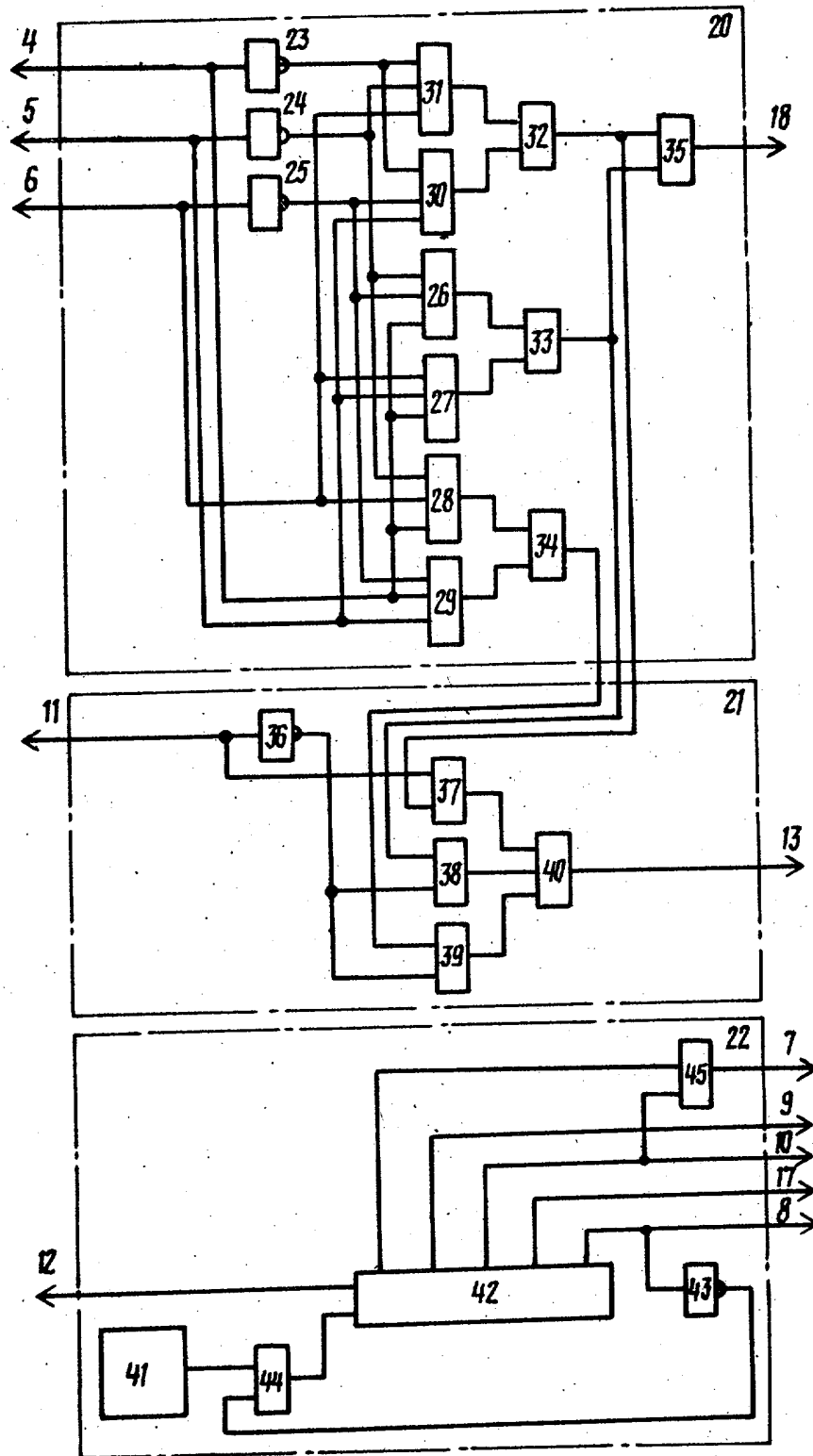
Блок 3 управления работает следующим образом.

В начальном состоянии регистр 42 находится в нулевом состоянии. При появлении на входе 12 единичного сигнала запуска происходит запись единицы в первый разряд регистра 42, что приводит к появлению единичного управляющего сигнала на выходе 7, разрешающего запись первого операнда A в сумматор-вычитатель 1. С приходом следующего синхроимпульса происходит сдвиг информации на один разряд вправо в регистре 42, что приводит к появлению единичного управляющего сигнала на выходе 9, разрешающего запись второго операнда в регистр 2. В третий такт работы происходит установка в единичное состояние третьего разряда регистра 42, что вызывает появление единичных управляющих сигналов на выходах 7 и 10, которые разрешают считывание информации из регистра 2 и запись ее в сумматор-вычитатель 1. К этому времени на выходе 18 узла 20 сформирован сигнал γ , разрешающий запись информации в сумматор-вычитатель 1 по одной из его групп информационных входов 15 или 16. Появление единичного сигнала на выходе четвертого разряда регистра 42 разрешает запись в знаковый разряд сумматора-вычитателя 1 знака результата, поступающего с выхода 13 блока 3 управления. За пятый такт работы происходит формирование управляющего сигнала на выходе 8, разрешающего считывание результата из сумматора-вычитателя 1. Одновременно с этим происходит запрещение поступления синхроимпульсов на вход регистра 42 и, таким образом, останов работы устройства.

7		1193664				8
ЗнА	ЗнВ	КОП	Р _к	У	ЗнR	
0	0	0	0	0	0	
0	0	1	0	1	0	
0	0	1	1	1	1	
0	1	0	0	1	0	
0	1	0	1	1	1	
0	1	1	0	0	0	
1	0	0	0	1	1	
1	0	0	1	1	0	
1	0	1	0	0	1	
1	1	0	0	0	1	
1	1	1	0	1	1	
1	1	1	1	1	0	



Фиг. 1



Фиг.2

ВНИИПИ Заказ 7316/52 Тираж 709 Подписное

Филиал ИПП "Патент", г.Ужгород, ул.Проектная, 4