

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95 1 3 4 4 1 5

※申請日期：95. 9. 18

※IPC 分類：H3L 5/0 (2006.01)

一、發明名稱：(中文/英文)

具有嵌入之多工器與內插功能之電壓控制延遲線路(VCDL)

VOLTAGE CONTROLLED DELAY LINE (VCDL) HAVING EMBEDDED
MULTIPLEXER AND INTERPOLATION FUNCTIONS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司

ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S / DRAKE, PAUL S.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P.O. Box 3453, Sunnyvale, CA 94088-3453 U.S.A.

國籍：(中文/英文) 美國 / U.S.A.

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 庫馬 露希特/KUMAR, ROHIT

2. 大葛 安納德/DAGA, ANAND

3. 西斯 珊宜/SETHI, SANJAY

國籍：(中文/英文)

1. 至 3. 印度/INDIA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國 2005 年 9 月 30 日 11/240,231 （主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種電壓控制延遲線路(VCDL)。該 VCDL 包括一個或更多個單元。各個該一個或更多個單元包括兩個或更多個輸入、及輸出。各個該一個或更多個單元係配置以提供延遲及內插(interpolation)功能與多工器(multiplexer)功能。該 VCDL 可用以提供在延遲鎖相迴路(DLL)中之延遲。

六、英文發明摘要：

A voltage controlled delay line (VCDL). The VCDL includes one or more cells. Each of the one or more cells includes two or more inputs and an output. Each of the one or more cells is configured to provide a delay as well as an interpolation function and a multiplexer function. The VCDL may be used to provide delay in a delay locked loop (DLL).

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

- 100 延遲鎖相迴路
- 102 相位偵測器
- 104 數位濾波器
- 106 上/下數計數器
- 108 數位轉類比轉換器
- 112 時脈樹
- 120 電壓控制延遲線路/多工器/相位內插器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於電子電路，且尤係關於延遲鎖相迴路 (delay locked loop, DLL)。

【先前技術】

延遲鎖相迴路 (DLL) 為電腦及其他數位系統中常用之電路。延遲鎖相迴路可用以提供針對製程、電壓及溫度 (process, voltage, and temperature, PVT) 變化經過補償的任意延遲 (arbitrary delay)。

第1圖係顯示典型的延遲鎖相迴路之一個實施例。該延遲鎖相迴路包括相位偵測器 (phase detector)，耦接以接受參考時脈並配置以作該參考時脈與回授信號間之相位比較。該相位偵測器之輸出由數位濾波器接收，該數位濾波器然後過濾該數位信號並將其傳送至上/下數計數器 (up/down counter)。由該上/下數計數器接收之濾波信號代表該參考時脈信號與該回授信號間的相位關係 (其中該回授迴路之目的在使該回授時脈之下降緣 (falling edge) 與該參考時脈之上升緣 (rising edge) 對齊)，且因此可導致該上/下數計數器能往上或往下計數以獲得所希望的相位關係。該上/下數計數器之輸出可提供至數位轉類比轉換器 (digital-to-analog converter, DAC)，該數位轉類比轉換器可根據該計數器所提供之計數而配置以產生並提供控制電壓。該控制電壓係由電壓控制延遲線路 (voltage controlled delay line, VCDL) 所接收，然後配置該電壓

控制延遲線路以提供由該控制電壓指示所希望的延遲。然後該延遲輸出透過多工器及相位內插器 (phase interpolator, PI) 提供至時脈樹 (clock tree)，時脈信號係從時脈樹傳送。第二多工器/相位內插器傳送該回授信號至該相位偵測器。

由電壓控制延遲線路提供至各個多工器/相位內插器之輸出係通過穿過該多工器 (其選擇適當輸出) 及該相位內插器之數條線路之其中一條的延遲信號 (該數條線路代表在該電壓控制延遲線路中延遲元件之輸出)，其中該相位內插器內插於兩個相位劃分 (phase division) 之間。因此，假使該電壓控制延遲線路具有 16 個輸出 (而因此該多工器為 16:1 多工器) 且該相位內插器能內插於兩個相位劃分之間，則該參考時脈之時脈週期最多能分成 32 等份。

雖然第 1 圖所示之實施例在某些情況是可以接受的，但是其可能導致時脈信號之相位間之回授信號 (及整個該延遲鎖相迴路) 發生極大的靜態誤差 (static error)。再者，因為該實施例在回授路徑與該輸出時脈信號使用分離的多工器/相位內插器，則可能無法解釋這兩個單元間的不匹配 (mismatch)。許多應用可能無法接受該靜態誤差及不匹配，尤其在增加電腦及其他數位系統之時脈速度的情況下。

【發明內容】

本發明係揭露一種電壓控制延遲線路 (VCDL)。在一個實施例中，該 VCDL 包括一個或更多個單元 (cell)。各個

該一個或更多個單元包括兩個或更多個輸入、及輸出。各個該一個或更多個單元係配置以提供延遲及內插功能與多工器功能。該 VCDL 可用以提供在延遲鎖相迴路 (DLL) 中之延遲。

在一個實施例中，各單元包括與各個該兩個或更多個輸入相關聯之選擇電路。當給定輸入之相關聯的選擇電路被啟動(activated)時，對於該給定輸入實現該多工器功能，因而操作地耦合該輸入至該輸出。當與兩個不同的輸入相關聯之選擇電路被啟動時，所提供之該輸出係提供給各個該兩個不同的輸入之信號的內插。該單元亦包括至少一個載入電路。由各個單元所提供之延遲量係根據流經其載入電路的電流量來決定，該電流遂根據控制電壓。

該 VCDL 包括第一複數個單元及第二複數個單元。該第一及第二複數個單元係相同的，且該第一複數個單元耦合至該第二複數個單元。然而，對於第一複數個單元禁能(disable)該多工器及內插功能，而對於該第二複數個單元致能(enable)該多工器及內插功能。

DLL 電路可實行該 VCDL 之各種實施例。該 DLL 電路亦可包括具有相位偵測器、濾波器(filter)、計數器及數位轉類比轉換器之數位控制迴路。該 VCDL 可從該數位轉類比轉換器接收該控制電壓(由各單元之該載入電路所使用)，並亦可接收該參考時脈信號。該 DLL 之時脈信號輸出可由該 VCDL 提供，而且亦可提供此信號作為回授信號(feedback signal)。

【實施方式】

現在參閱第 2 圖，圖示將多工器及相位內插功能整合至該電壓控制延遲線路 (VCDL) 之各個單元之延遲鎖相迴路的一個實施例的方塊圖。在圖示之實施例中，延遲鎖相迴路 (DLL) 100 包括相位偵測器 102，其耦合以接收參考時脈信號。電壓控制延遲線路 (VCDL) 120 亦耦合以接收該參考時脈信號。除接收該參考時脈信號外，相位偵測器 102 亦耦合以接收來自電壓控制延遲線路 120 的回授信號。相位偵測器 102 係設定以執行該參考時脈信號與該回授時脈信號之間的相位比較。該相位比較之結果為誤差信號由相位偵測器 102 傳送作為輸出。應注意到在某些實施例中，該參考時脈信號與該回授信號可以是差動信號 (differential signal)，而在其他實施例中這些信號可以是單端信號。相似地，在第 2 圖所示之該其他單元間傳送之該信號亦可以是差動信號或是單端信號。

數位濾波器 104 係耦合以接收由相位偵測器 102 產生之該誤差信號。在一個實施例中，數位濾波器 104 可以是無限脈衝響應 (infinite impulse response, IIR) 濾波器，然而能夠考慮到使用其他類型的濾波器在實施例上。數位濾波器 104 用來消除由相位偵測器 102 所輸出之該誤差信號的高頻部分，因而可以實行作為低通濾波器。

上/下數 (Up/Down, U/D) 計數器 106 係耦合以接收由數位濾波器 104 所提供之該濾波誤差信號。上/下數計數器 106 係根據從數位濾波器 104 接收之該濾波誤差信號增加

或減少。上/下數計數器 106 之增加或減少係根據該參考時脈信號及該回授時脈信號之間之相位關係（如該誤差信號所指示）而決定。

數位轉類比轉換器（DAC）108 耦合以接收由上/下數計數器 106 產生之計數值。在各種實施例中，該計數器輸出可由上/下數計數器 106 傳送至數位轉類比轉換器 108 作為複數個二進制信號(binary signal)。接收到指示該計數器輸出之二進制信號後，數位轉類比轉換器 108 將該計數值轉換為控制電壓值。此控制電壓值可以是單一電壓或可包括使用差動信號之實施例的多個電壓。

由數位轉類比轉換器 108 所提供之控制電壓係傳送至電壓控制延遲線路（VCDL）120，其亦耦合以接收該參考時脈信號。電壓控制延遲線路 120 包括複數個單元，並且配置以整合多工器、延遲及內插功能。電壓控制延遲線路 120 之輸出可以是一些不同的相位偏移增量(phase offset increment)之其中之一者（相對於該參考時脈信號）。在一個實施例中，電壓控制延遲線路 120 可配置以提供 32 個不同增量之其中一個之相位偏移的輸出信號，其中各相位偏移之增量為 11.25 度（假設鎖相電壓控制延遲線路 120 產生總共 360 度的延遲）。具有較大或較小相位偏移增量（及增量大小）的實施例係為可能且可考慮。以下將進一步詳細討論電壓控制延遲線路 120。

由電壓控制延遲線路 120 所提供之輸出信號係提供作為沿著回授路徑（至相位偵測器 102）及至時脈樹 112 之

回授信號。時脈樹 112 將由電壓控制延遲線路 120 提供之時脈信號分配至其所實行之該系統內的各種電路。

現在參閱第 3 圖，顯示使用於第 2 圖所示之延遲鎖相迴路之電壓控制延遲線路之一個實施例的方塊圖。在圖示之實施例中，電壓控制延遲線路包括複數個單元 125。該單元 125 分成兩組，如單元之第一（較高）列及單元之第二（較低）列所示。該第一組中之第一單元 125 係耦合以接收參考時脈信號，同時該第二組中之最後單元 125 係配置以提供輸出時脈信號，該輸出時脈信號係能傳送至時脈樹及相位偵測器（作為回授信號）。

雖然第一組中之單元 125 以不同於第二組中之單元之方式連接，但是應注意到圖示之該實施例中該第一組中之那些單元係與該第二組中之那些單元為相同的，這是很重要的。儘管該第一組中之單元 125 並未使用各個該輸入，但是保持該第一組之單元 125 與該第二組之那些單元相同係能導致匹配之單元有較少的差異。有了較少的差異，由各單元所提供之延遲因而更能預測且較不易於改變。因此，當第一組之單元 125 中沒有單元使用多工器功能或內插功能時，這些單元中各個單元仍然能如此配置。

一個例外是，第二列中之各單元 125 係耦合以接收三個不同輸入之其中至少一個。就各個包含於此子群組中之諸單元而言，該等輸入包括對應在第一組（亦即如圖所示直接在上方面）中之輸入節點、對應在該第一組中之輸出節點、以及緊接在前之單元 125 之輸出節點。對照之下，該

第一組中之各個該單元 125 僅從在前之單元之輸出節點接收輸入，只有接收該參考時脈輸入之該第一單元 125 例外。該第二組之第一單元 125（較低列，在該附圖中之右側）係耦合以接收來自該最後單元 125 之各個該輸入及輸出節點的輸入（較高列，在該附圖之右側）。

如前所述，電壓控制延遲線路 120 之各單元 125 係配置以執行多工器功能。就各個該單元 125 耦合以接收多個輸入而言，該多工器功能可藉由選擇該等輸入之其中一個以操作地耦合至該輸出而實施。應注意的是在某些實施例中，各單元係為反相器（用以提供延遲）並因此執行該輸入信號之邏輯反相。然而，就此揭露之目的而言，假使為選定的輸入，則考慮輸入能可操作地耦合至該輸出，不論其是否經過反相。另外應注意的是實施例能考慮到不須具有反相器功能或實行以提供該延遲。在使用反相器功能以實行延遲之那些實施例中，所提供之精確的延遲量可藉由控制該反相器延遲及/或在鏈路（chain）中反相器的數量而予以控制。

除了執行多工器功能外，各單元 125 亦配置以執行內插功能。就那些具有多個輸入的單元 125 而言，該內插功能可藉由選擇該等輸入之任意兩者以操作地耦合至該輸出而執行。由於傳送於該等選定輸入之諸信號典型地並非彼此同相位，因此在相同節點上這兩個信號的組合將代表該兩個信號的內插。應注意到在含有反相器的實施例中，由該內插產生的信號亦經過反相。

第 4 圖為使用於第 3 圖之電壓控制延遲線路之單元的一個實施例的示意圖。在圖示之實施例中，單元 125 為包含多個差動輸入及差動輸出的差動電路。相似的單端實施例亦為可能且予考慮。

在此特定實施例中，單元 125 包括三個差動輸入， V_a 、 V_b 及 V_c ，以及他們個別的互補差動輸入， V_aX 、 V_bX 及 V_cX 。各個這些輸入所接收之該等信號係有效地為具有相對於其他輸入之相位變化的時脈信號。各單元 125 亦包括三個多工器選擇輸入，即 $MuxA$ 、 $MuxB$ 及 $MuxC$ （具有補數 complement）。應注意的是該多工器選擇輸入並非差動，而是有效複製輸入以提供給其相關差動對的信號。單元 125 亦包括具有互補信號節點的差動輸出 V_{out} 及 V_{outX} 。當其相關的多工器輸入被選擇時，各個輸入 V_aX 、 V_bX 及 V_cX 可耦合至 V_{out} 。當其相關的多工器輸入被選擇時，各個輸入 V_a 、 V_b 及 V_c 可耦合至 V_{outX} 。因此，就此特定電路組態而言，與給定輸入信號相關之輸出信號為該輸入信號之邏輯反相，而因此實行反相器功能。

在圖示之該實施例中，單元 125 係耦合以接收控制電壓 V_{BP} 及 V_{BN} （其由複製電路所產生）。這些控制電壓典型地由數位轉類比轉換器所產生，例如第 2 圖所示之數位轉類比轉換器 108。各單元 125 包括與各輸出節點相關之載入電路。第一載入電路包括電晶體 $Q1$ 及 $Q2$ ，各具有通道耦合在 V_{DD} 與輸出節點 V_{outX} 之間。第二載入電路包括電晶體 $Q3$ 及 $Q4$ ，各具有通道耦合在 V_{DD} 與 V_{out} 之間。就第

4 圖之差動實施例而言，該第二控制電壓 VBN 係用以控制電晶體 Q19、Q20 及 Q21 並因而提供下拉路徑（pull-down path）至地（其中前面討論之載入電路提供上拉路徑至 VDD）。

根據控制電壓的位準可控制流經電路之各選定接腳（leg）的電流，並因此控制流經該載入電路之電流量。在此特定電路組態中，較大的 VBP 值將導致各個 PMOS 電晶體 Q2 及 Q3 有較小的 V_{GS} 值。這將依次導致較小的電流值透過由該選定多工器輸入啟動之電流路徑流經 VDD 與地之間。因此，該較小的電流值將導致 Vout 及 VoutX 較慢的切換時間，因而增加由該單元提供之延遲。相反地，較小的 VBP 值將導致較大的 V_{GS} 值、VDD 與地之間較大的電流值、以及由此 Vout 及 VoutX 較快的切換時間，因而減少由該單元提供的延遲量。因此，各單元 125 之該延遲（因此整體視為該延遲線）係根據該接收之控制電壓所控制。

各單元根據該多工器選擇輸入之狀態提供多工器及內插功能。例如，假使選擇多工器輸入 MuxA 及 MuxAX，則於輸入 Va 及 VaX 所接收之差動時脈信號變成分別操作地耦合至輸出 VoutX 及 Vout。假使只有該輸入 Va 及 VaX 被選擇，則輸入 MuxB 及 MuxC 不會被選擇。輸入 Vb 及 Vc 能以相同方式被選擇以操作地耦合。廣言之，單元 125 之該多工器功能係以相似於單發（one-hot）多工器之功能的方式實行。應注意到上述各種信號的討論包括圖示之該實施例的互補信號，即使其中沒有明白提及。

單元 125 之內插功能係藉由選擇該等輸入之其中兩者而施行。當輸入之其中兩者被選擇時，VDD 與地之間的電流路徑係存在經過該電路之兩個不同的接腳（對比於該多工器功能只有一個接腳）。因此，在各輸出節點 Vout 及 VoutX 上，結合不同相位的兩個信號。此結合信號代表該兩個選定輸入信號之間的內插。下面表 1 列出第 4 圖所示之單元 125 之該實施例的各種操作模式。

表 1

Mux A	Mux B	Mux C	Vout	註釋
0	0	1	Vc	Vc 可操作地耦合至輸出
0	1	0	Vb	Vb 可操作地耦合至輸出
1	0	0	Va	Va 可操作地耦合至輸出
0	1	1	$(\omega' b - \omega' c) / 2$	內插於 Vb 與 Vc 之間
1	1	0	$(\omega' a - \omega' b) / 2$	內插於 Va 與 Vb 之間
1	0	1	$(\omega' a - \omega' c) / 2$	內插於 Va 與 Vc 之間
0	0	0	X	違反規則
1	1	1	X	違反規則

如上表所示，經由選擇其多工器輸入來選擇任何單一輸入係能可操作地耦合該輸入至輸出。選擇任兩個輸入而操作地耦合該兩者至該輸出且因此內插於該輸入間。選擇所有輸入或都不選擇係違反操作規則。

因此，如上所述及表 1 可知，各單元 125 係整合多工器功能、內插功能及延遲功能。藉由使用此類型單元，可避免實行外接於延遲線之該多工器及內插功能及可能發生所導致之偏移。

在某些實施例中，可提供加權內插功能。加權內插功

能可藉由加權至內插於內之兩個輸入而允許微細內插 (fine grain interpolation)。這可藉由調整電晶體 Q7、Q8、Q11、Q12、Q15 及 Q16 之寬度而完成。

現在參閱第 5 圖，顯示使用單端信號之電壓控制延遲線路的一個實施例的圖示。在圖示之實施例中，電壓控制延遲線路 220 包括複數個單元 225，其彼此用虛線區別開來。此實施例之單元 225 係利用反相器建構。與上述之差動實施例相似，各個該反相器將延遲帶入其實行之單一路徑。

圖示之實施例中之各單元 225 包括複數個反相器，包括可選擇並個別地致能或禁能的兩個反相器。在圖示該實施例之各單元 225 之第三反相器係配置以在電壓控制延遲線路 220 之操作期間維持被致能。

給定之單元 225 可藉由致能由此所配置之反相器之其中一個而禁能另一個而實現多工器功能。致能該反相器之其中一個而禁能另一個係能有效地實現給定單元 225 之單發多工器功能。由該致能之反相器之輸出傳送之輸出信號允許以傳播至下一個單元 225 (或在該最後單元的情況時，傳播至電壓控制延遲線路 220 之輸出)。

給定之單元 225 可藉由致能配置為致能/禁能之反相器來實現內插功能。當如此配置之兩種反相器在給定單元 225 中被致能時，他們個別的輸出係連接至共同節點。因此，在此共同節點所導致的信號將代表由各個該致能之反相器提供之該個別信號間的內插。由於在其個別信號路徑

中不同數量的反相器產生不同的延遲，因此這些信號將典型地具有相對於彼此的相位差。因此，在該共同節點所導致的信號將是由具有輸出連接於其中之反相器提供之輸出信號的內插。

雖然本發明已參考特定實施例描述，但是將了解到該等實施例為例示性且本發明範疇並不限於此。任何對所述之該實施例的改變、修飾、添加及改善皆為可能的。這些改變、修飾、添加及改善將落在下列申請專利範圍所詳細描述之本發明之範疇內。

【圖式簡單說明】

在讀完上述詳細說明及參考隨附圖式後，本發明之其他態樣將變得清楚，其中：

第 1 圖（先前技術）為延遲鎖相迴路（DLL）之一個實施例的方塊圖；

第 2 圖為具有整合至電壓控制延遲線路（VCDL）之各個單元中之多工器及相位內插功能之延遲鎖相迴路的一個實施例的方塊圖；

第 3 圖為用於第 2 圖之延遲鎖相迴路中之電壓控制延遲線路的一個實施例的方塊圖；

第 4 圖為用於第 3 圖之電壓控制延遲線路中之單元的一個實施例的示意圖；以及

第 5 圖為使用單端信號之電壓控制延遲線路實作的一個實施例的圖。

雖然本發明容許有各種修改及其他形式，但是在此係

將藉由該附圖之範例顯示其中特定實施例並詳加描述。然而，應了解到該等附圖及其敘述並非意於限制本發明至所揭露之特定形式，相反地，本發明係意於涵蓋由該附加申請專利範圍所定義之本發明之精神及範疇內所有的修飾、等效及替代物。

【主要元件符號說明】

100	延遲鎖相迴路
102	相位偵測器
104	數位濾波器
106	上/下數計數器
108	數位轉類比轉換器
112	時脈樹
120	電壓控制延遲線路/多工器/相位內插器
125	單元
220	電壓控制延遲線路
225	單元
Q1、Q2、Q3、Q4、Q7、Q8、Q9、Q10、Q11、Q12、Q13、Q14、Q15、Q16、Q17、Q18、Q19、Q20、Q21	電晶體
Va、Vb、Vc	差動輸入
VaX、VbX、VcX	互補差動輸入
MuxA、MuxB、MuxC、MuxAX、MuxBX、MuxCX	多工器輸入
Vout、VoutX	輸出
VBP、VBN	控制電壓

十、申請專利範圍：

1. 一種電壓控制延遲線路(VCDL)，包括：

複數個單元，其中各個該複數個單元包含兩個或更多個輸入、及輸出，且其中各個該一個或更多個單元係配置以提供延遲、內插功能及多工器功能，其中各個該兩個或更多個輸入為差動輸入，且其中該輸出為差動輸出。

2. 如申請專利範圍第 1 項之電壓控制延遲線路，其中該多工器功能係藉由選擇該兩個或更多個輸入之其中一者而提供，使得該選擇之輸入操作地耦合至該輸出。

3. 如申請專利範圍第 2 項之電壓控制延遲線路，其中各個該兩個或更多個輸入係與選擇電路相關聯，其中該選擇電路在被致能時操作地耦合其個別輸入至該輸出。

4. 如申請專利範圍第 1 項之電壓控制延遲線路，其中該內插功能係藉由選擇該兩個或更多個輸入之其中兩者而提供，使得各個該選擇之輸入操作地耦合至該輸出。

5. 如申請專利範圍第 4 項之電壓控制延遲線路，其中該各個該一個或更多個單元包含第一輸入、第二輸入及第三輸入。

6. 如申請專利範圍第 5 項之電壓控制延遲線路，其中該各個單元係配置以藉由選擇該第一與第二輸入而內插於該第一輸入與該第二輸入之間，使得各個該第一與第二輸入操作地耦合至該輸出。

7. 如申請專利範圍第 5 項之電壓控制延遲線路，其中該各

個單元係配置以藉由選擇該第二與第三輸入而內插於該第二輸入與該第三輸入之間，使得各個該第二與第三輸入操作地耦合至該輸出。

8. 如申請專利範圍第 5 項之電壓控制延遲線路，其中各個單元係配置以藉由選擇該第一與第三輸入而內插於該第一輸入與該第三輸入之間，使得各個該第一與第三輸入操作地耦合至該輸出。
9. 如申請專利範圍第 1 項之電壓控制延遲線路，其中各個該一個或更多個單元包含一個或更多個載入電路，且其中由各個該一個或更多個單元提供之延遲量係由流經各個該一個或更多個載入電路之電流量來決定。
10. 如申請專利範圍第 9 項之電壓控制延遲線路，其中各個該一個或更多個該載入電路係耦合以接收控制電壓，且其中流經各個該一個或更多個載入電路之該電流係根據該控制電壓。
11. 如申請專利範圍第 1 項之電壓控制延遲線路，其中該電壓控制延遲線路包含第一複數個單元及第二複數個單元，其中對於該第一單元組禁能該多工器及內插功能，而對於該第二單元組致能該多工器及內插功能。
12. 如申請專利範圍第 11 項之電壓控制延遲線路，其中該兩個或更多個輸入之其中只有一者係耦合以接收對於各個該第一複數個單元之輸入信號。
13. 如申請專利範圍第 12 項之電壓控制延遲線路，其中該第一複數個單元之其中一者的輸入係作為參考時脈輸

入，且其中該第二複數個單元之其中一者的輸出係作為時脈輸出。

14. 如申請專利範圍第 11 項之電壓控制延遲線路，其中該第一複數個單元係耦合至該第二複數個單元。
15. 如申請專利範圍第 1 項之電壓控制延遲線路，其中各個該兩個或更多個輸入為單端輸入，且其中該輸出為單端輸出。
16. 如申請專利範圍第 1 項之電壓控制延遲線路，其中該電壓控制延遲線路包含 16 個單元。
17. 如申請專利範圍第 16 項之電壓控制延遲線路，其中該電壓控制延遲線路係配置以提供 32 個不同延遲增量之其中一者。
18. 一種延遲鎖相迴路(DLL)，包括：
 - 相位偵測器，配置以接收參考時脈信號；
 - 濾波器，耦合以接收來自該相位偵測器的輸出；
 - 計數器，耦合以接收來自該濾波器的輸出；
 - 數位轉類比轉換器(DAC)，耦合以接收來自該計數器的輸出；以及
 - 電壓控制延遲線路(VCDL)，耦合以接收來自該數位轉類比轉換器的控制電壓及該參考時脈信號，其中該電壓控制延遲線路包含複數個單元，其中各個該複數個單元包含兩個或更多個輸入、及輸出，且其中各個該複數個單元係配置以提供延遲、內插功能及多工器功能，其中各個該複數個單元之各個該兩個或更多個輸入為差

動輸入，且其中各個該複數個單元之該輸出為差動輸出。

19. 如申請專利範圍第 18 項之延遲鎖相迴路，其中該多工器功能係藉由選擇該兩個或更多個輸入之其中一者而提供，使得該選擇之輸入操作地耦合至該輸出。
20. 如申請專利範圍第 19 項之延遲鎖相迴路，其中各個該兩個或更多個輸入係與選擇電路相關聯，其中該選擇電路當被致能時操作地耦合其個別輸入至該輸出。
21. 如申請專利範圍第 18 項之延遲鎖相迴路，其中該內插功能係藉由選擇該兩個或更多個輸入之其中兩者而提供，使得各個該選擇之輸入操作地耦合至該輸出。
22. 如申請專利範圍第 21 項之延遲鎖相迴路，其中各個該複數個單元包含第一輸入、第二輸入及第三輸入。
23. 如申請專利範圍第 22 項之延遲鎖相迴路，其中各個該複數個單元係配置以藉由選擇該第一與第二輸入而內插於該第一輸入與該第二輸入之間，使得各個該第一與第二輸入操作地耦合至該輸出。
24. 如申請專利範圍第 22 項之延遲鎖相迴路，其中各個該複數個單元係配置以藉由選擇該第二與第三輸入而內插於該第二輸入與該第三輸入之間，使得各個該第二與第三輸入操作地耦合至該輸出。
25. 如申請專利範圍第 22 項之延遲鎖相迴路，其中各個該複數個單元係配置以藉由選擇該第一與第三輸入而內插於該第一輸入與該第三輸入之間，使得各個該第一與

第三輸入操作地耦合至該輸出。

26. 如申請專利範圍第 18 項之延遲鎖相迴路，其中各個該複數個單元包含一個或更多個載入電路，且其中由各個單元提供之延遲量係由流經各個該一個或更多個載入電路之電流量來決定。
27. 如申請專利範圍第 26 項之延遲鎖相迴路，其中各個該一個或更多個該載入電路係耦合以接收來自該數位轉類比轉換器的控制電壓，且其中該電流流經各個該一個或更多個載入電路，其中流經各個該一個或更多個載入電路之該電流係根據該控制電壓。
28. 如申請專利範圍第 18 項之延遲鎖相迴路，其中該電壓控制延遲線路包含第一複數個單元及第二複數個單元，其中對於該第一單元組禁能該多工器及內插功能，而對於該第二單元組致能該多工器及內插功能。
29. 如申請專利範圍第 28 項之延遲鎖相迴路，其中該兩個或更多個輸入之其中只有一者係作用於該第一複數個單元中。
30. 如申請專利範圍第 29 項之延遲鎖相迴路，其中該第一複數個單元之其中一者的輸入係作為參考時脈輸入，且其中該第二複數個單元之其中一者的輸出係作為時脈輸出。
31. 如申請專利範圍第 28 項之延遲鎖相迴路，其中該第一複數個單元係耦合至該第二複數個單元。
32. 如申請專利範圍第 18 項之延遲鎖相迴路，其中各個該

複數個單元之各個該兩個或更多個輸入為單端輸入，且其中各個該複數個單元之該輸出為單端輸出。

33. 如申請專利範圍第 18 項之延遲鎖相迴路，其中該電壓控制延遲線路包含 16 個單元。
34. 如申請專利範圍第 33 項之延遲鎖相迴路，其中該電壓控制延遲線路係配置以提供 32 個不同延遲增量之其中之一者。
35. 如申請專利範圍第 18 項之延遲鎖相迴路，其中該複數個單元之其中之一者或更多者係配置以提供加權內插功能，其中該複數個單元之其中該一者或更多者之至少一個輸入電晶體的寬度係相對於該複數個單元之其中該一者或更多者之另一個輸入電晶體而調整。
36. 一種配置用於電壓控制延遲線路的單元電路，該單元電路包括：

兩個或更多個輸入節點；以及

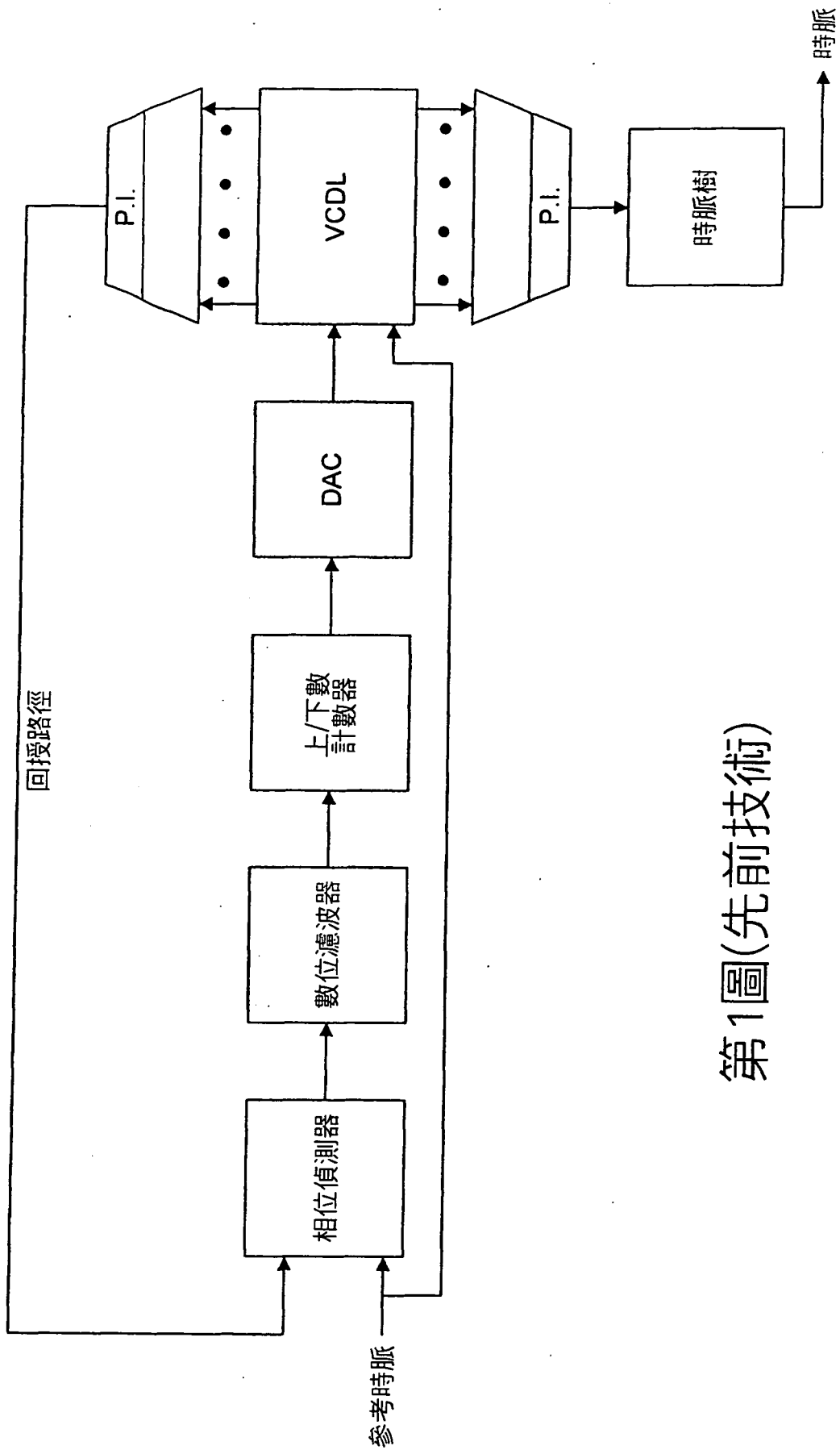
輸出節點；

其中該單元電路係配置以提供延遲給提供至各個該兩個或更多個輸入節點的信號；

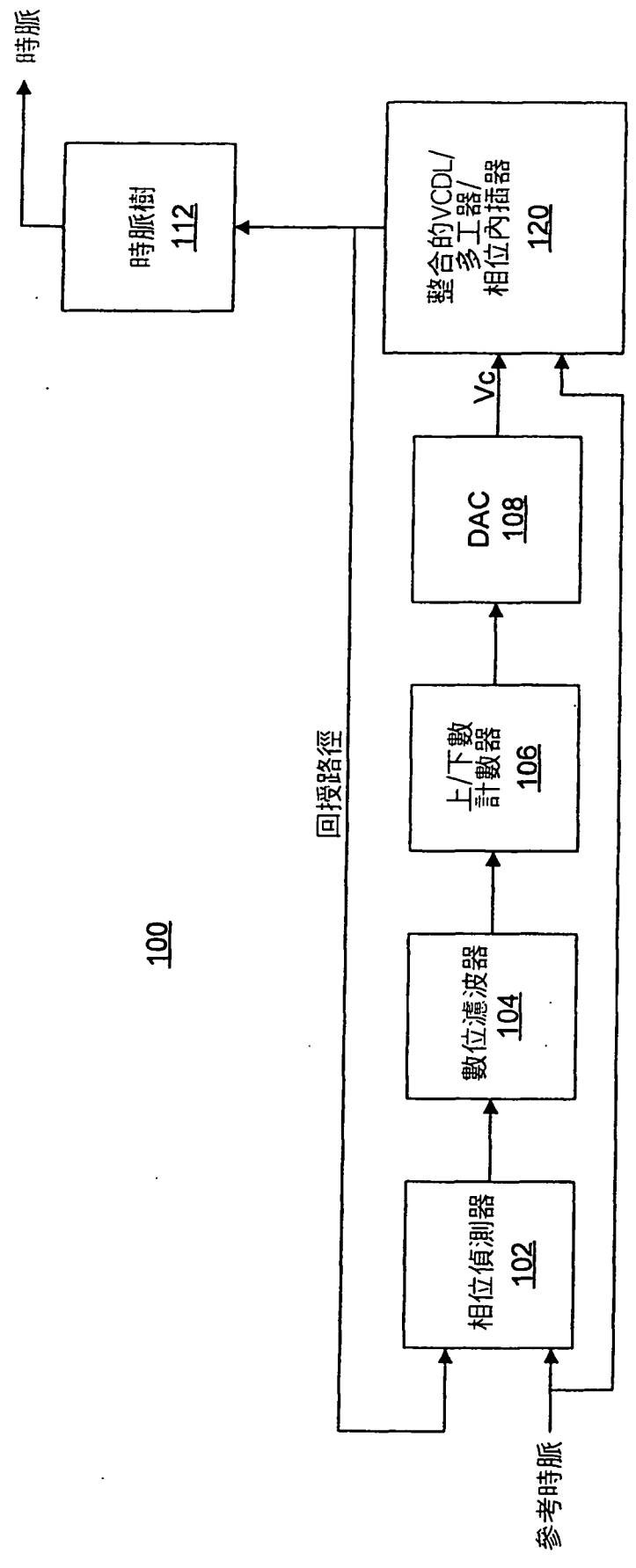
其中該單元電路係配置以藉由選擇欲操作地耦合至該輸出節點之該兩個或更多個輸入節點之其中之一者而操作為在第一操作模式的多工器，其中在該第一模式之該輸出節點上傳送的信號為在該兩個或更多個輸入節點之其中該選擇之一者上傳送之信號的延遲版本；

其中該單元電路係配置以藉由選擇欲操作地耦合

至該輸出節點之該兩個或更多個輸入節點之其中兩者而操作為在第二操作模式的內插器，其中在該第二模式之該輸出節點上傳送的信號為提供至該選擇之兩個輸入節點之輸入信號之間的延遲內插。

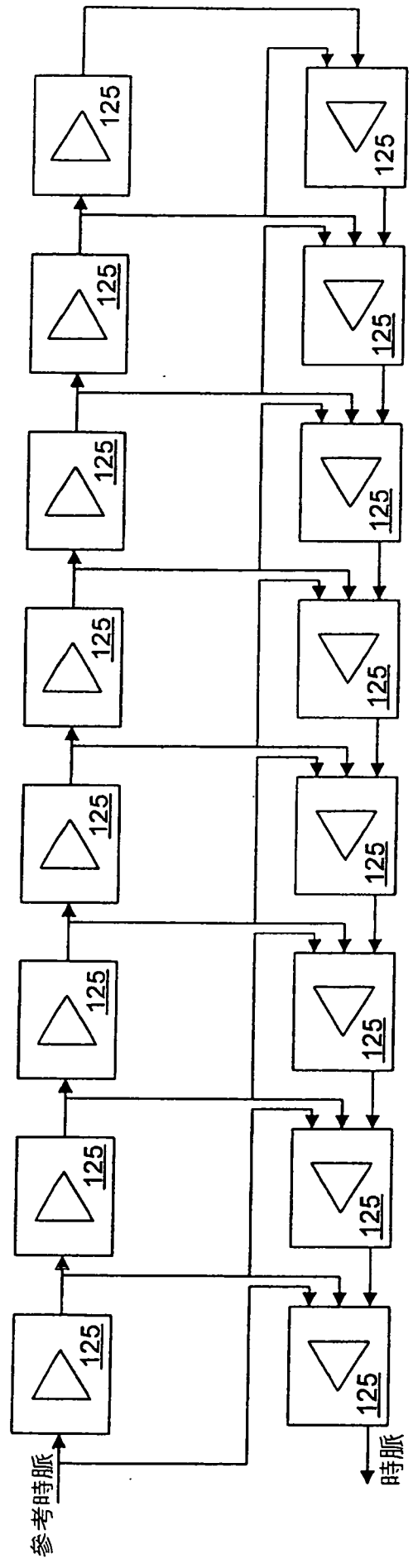


第1圖(先前技術)

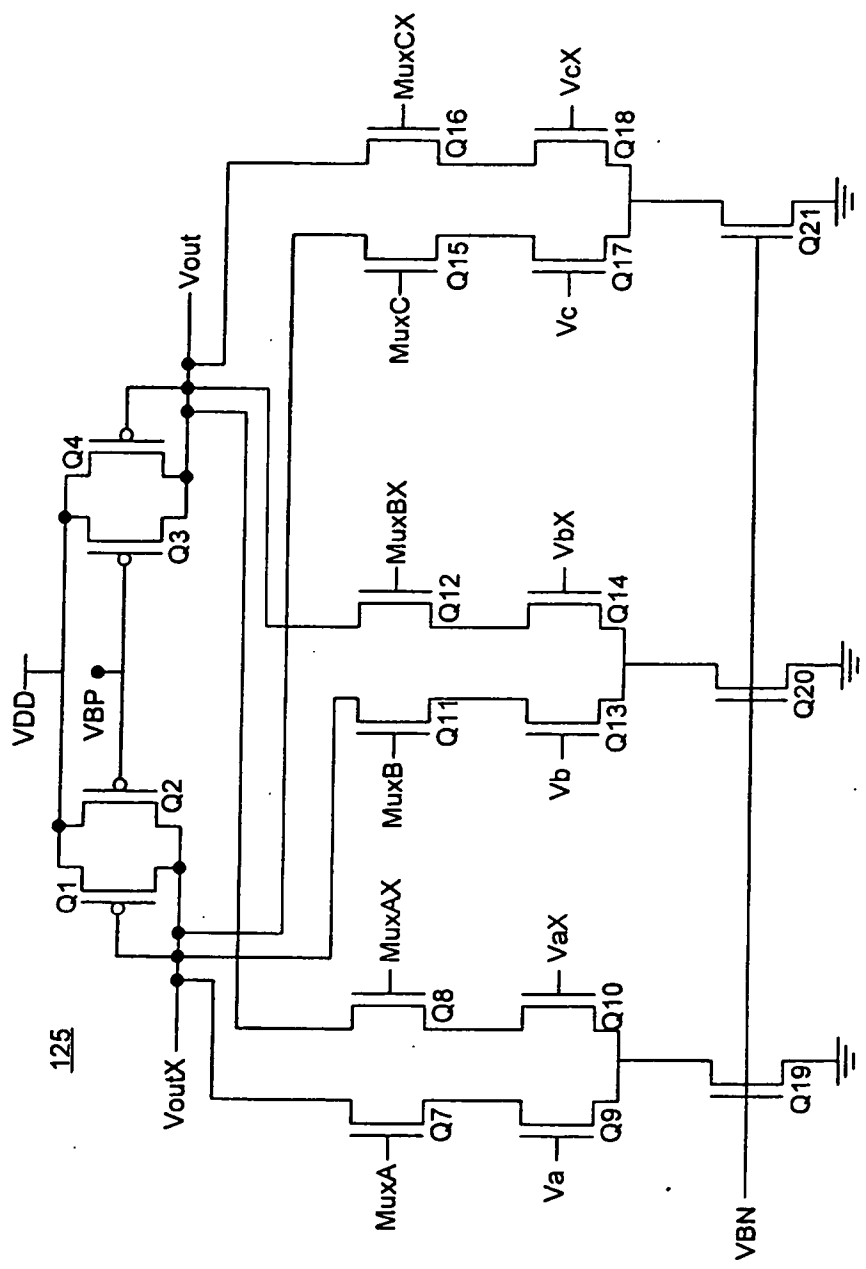


第2圖

120

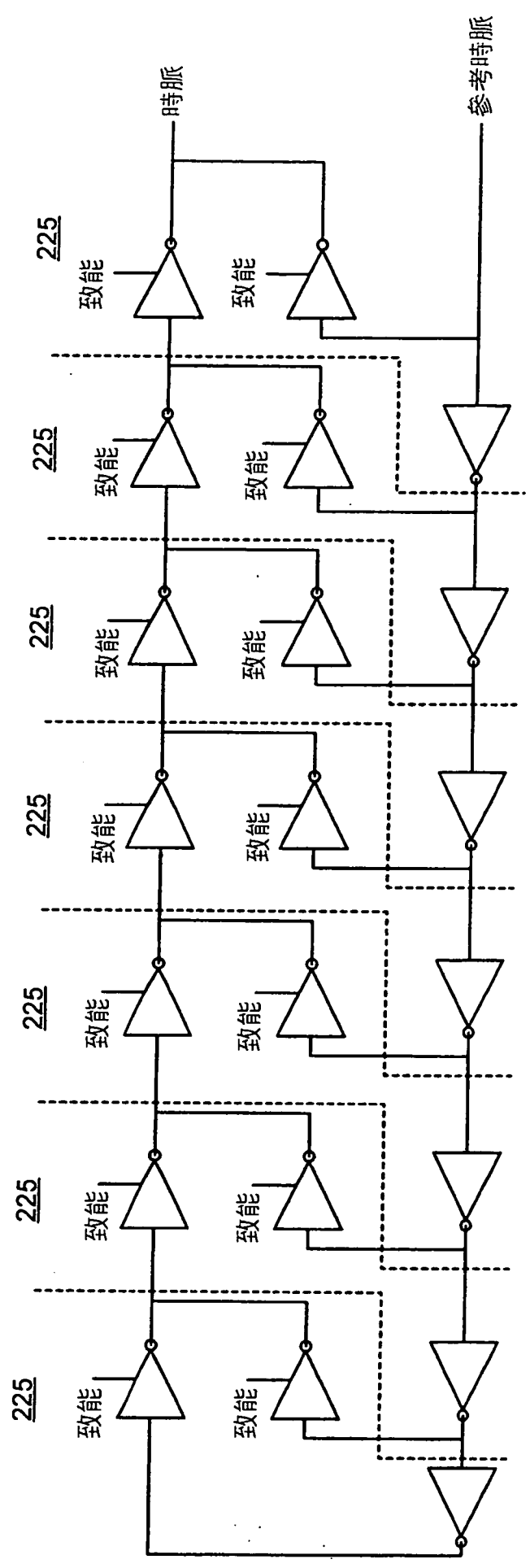


第3圖



第4圖

220



第5圖

