



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

209221
(11) (B1)

(51) Int. Cl.³
G 06 F 3/00

(22) Přihlášeno 05 01 79
(21) (PV 147-79)

(40) Zveřejněno 27 02 81

(45) Vydáno 01 05 83

(75)

Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54) Zapojení aritmetické a logické jednotky mikroprocesoru

Vynález se týká zapojení aritmetické a logické jednotky mikroprocesoru, zejména pro aplikaci v inteligentních terminálech.

Známa zapojení aritmetických a logických jednotek umožňují většinou kromě logických operací provádění aritmetické operace, na příklad sčítání, pouze v binárním tvaru. Tyto jednotky provádějí operace na datech paralelně, takže realizace binárně-dekadických operací by znamenala velký rozsah aritmetické a logické jednotky, který pro inteligentní terminály není únosný. Nemožnost přímého provádění binárně-dekadických operací znamená značnou nevýhodu, neboť převody na dekadický tvar je nutno zajistit programem, což znamená velké zpomalení operací. Jsou známa též zapojení, umožňující kromě logických operací provádění aritmetické operace, na příklad sčítání pouze v binárně dekadickém tvaru a použitím některého známého kódu, na příklad kódu 8421. U těchto zapojení je nevýhodou nemožnost provádění binárních operací. Známa zapojení, která představují kombinaci předchozích uvedených zapojení, jsou buď rozsáhlá a složitá, nebo nevyhovují svou rychlostí.

Uvedené nevýhody odstraňuje zapojení aritmetické a logické jednotky mikroprocesoru podle vynálezu, jehož podstatou je, že vstup prvního invertoru je připojen na první vstup druhého

dvouvstupového obvodu typu negace logického součinu a tvoří současně první vstup zapojení, kdežto jeho výstup je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu, na první vstup prvního dvouvstupového obvodu neekvivalence a na první vstup prvního bitu čtyřbitové binární sčítačky, vstup druhého invertoru je připojen na druhý vstup dvouvstupového obvodu typu negace logického součinu a tvoří současně druhý vstup zapojení, kdežto jeho výstup je připojen na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu, na druhý vstup prvního dvouvstupového obvodu neekvivalence a na druhý vstup prvního bitu čtyřbitové binární sčítačky, vstup třetího invertoru je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu a tvoří současně třetí vstup zapojení, kdežto jeho výstup je připojen na první vstup pátého dvouvstupového obvodu typu negace logického součinu, na první vstup druhého dvouvstupového obvodu neekvivalence a na první vstup druhého bitu čtyřbitové binární sčítačky, vstup čtvrtého invertoru je připojen na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu a tvoří současně čtvrtý vstup zapojení, kdežto jeho výstup je připojen na druhý vstup pátého dvouvstupového obvodu typu negace

209221

logického součinu, na druhý vstup druhého dvouvstupového obvodu neekvivalence a na druhý vstup druhého bitu čtyřbitové binární sčítačky, vstup pátého invertoru je připojen na první vstup šestého dvouvstupového obvodu typu negace logického součinu a tvoří současně pátý vstup zapojení, kdežto jeho výstup je připojen na první vstup sedmého dvouvstupového obvodu typu negace logického součinu, na první vstup třetího dvouvstupového obvodu neekvivalence a na první vstup třetího bitu čtyřbitové binární sčítačky, vstup šestého invertoru je připojen na druhý vstup šestého dvouvstupového obvodu typu negace logického součinu a tvoří současně šestý vstup zapojení, kdežto jeho výstup je připojen na druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu, na druhý vstup třetího dvouvstupového obvodu neekvivalence a na druhý vstup třetího bitu čtyřbitové binární sčítačky, vstup sedmého invertoru je připojen na první vstup druhého třívstupového obvodu typu negace logického součinu, na první vstup osmého dvouvstupového obvodu typu negace logického součinu a tvoří současně sedmý vstup zapojení, kdežto jeho výstup je připojen na první vstup čtvrtého třívstupového obvodu typu negace logického součinu, na první vstup devátého dvouvstupového obvodu typu negace logického součinu, na první vstup čtvrtého dvouvstupového obvodu neekvivalence a na první vstup čtvrtého bitu čtyřbitové binární sčítačky, vstup osmého invertoru je připojen na druhý vstup druhého třívstupového obvodu typu negace logického součinu, na druhý vstup osmého dvouvstupového obvodu typu negace logického součinu a tvoří současně osmý vstup zapojení, kdežto jeho výstup je připojen na druhý vstup čtvrtého třívstupového obvodu typu negace logického součinu, na druhý vstup devátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu neekvivalence a na druhý vstup čtvrtého bitu čtyřbitové binární sčítačky, první vstup binárně dekadického dekodéru 4 : 10 tvoří současně devátý vstup zapojení, kdežto jeho druhý vstup tvoří současně desátý vstup zapojení, jeho třetí vstup tvoří současně jedenáctý vstup zapojení a jeho čtvrtý vstup tvoří současně dvanáctý vstup zapojení, připojitelný na nulový potenciál, výstup dvouvstupového obvodu typu negace logického součinu s otevřeným výstupem je připojen jednak na nastavovací vstup prvního klopného obvodu typu D, jednak přes odpor na kladný pól zdroje elektrické energie a tvoří současně třináctý vstup zapojení, druhý vstup dvouvstupového obvodu typu negace logického součinu s otevřeným výstupem je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu a tvoří současně osmnáctý vstup zapojení, první vstup prvního třívstupového obvodu typu negace logického součinu je připojen na první vstup pátého třívstupového obvodu typu negace logického součinu a tvoří současně šestnáctý vstup zapojení, druhý vstup prvního třívstupového obvo-

du typu negace logického součinu je připojen na druhý vstup pátého třívstupového obvodu typu negace logického součinu a tvoří současně sedmáctý vstup zapojení, nastavovací vstup druhého klopného obvodu typu D tvoří současně čtrnáctý vstup zapojení, nulovací vstup druhého klopného obvodu typu D tvoří současně patnáctý vstup zapojení, hodinový vstup třetího klopného obvodu typu D a hodinový vstup čtvrtého klopného obvodu typu D jsou spojeny a tvoří současně devatenáctý vstup zapojení, výstup prvního bitu čtyřbitové binární sčítačky je připojen na osmý vstup prvního osmivstupového součtově součinnového hradla, výstup druhého bitu čtyřbitové binární sčítačky, je připojen na osmý vstup druhého osmivstupového součtově součinnového hradla, na první vstup prvního čtyřvstupového obvodu typu negace logického součinu, na první vstup sedmého třívstupového obvodu typu negace logického součinu, na druhý vstup desátého třívstupového obvodu typu negace logického součinu, na první vstup dvanáctého třívstupového obvodu typu negace logického součinu a na vstup devátého invertoru, jehož výstup je připojen na první vstup druhého čtyřvstupového obvodu typu negace logického součinu, na první vstup šestého třívstupového obvodu typu negace logického součinu, na druhý vstup devátého třívstupového obvodu typu negace logického součinu a na první vstup pátého čtyřvstupového obvodu typu negace logického součinu, výstup třetího bitu čtyřbitové binární sčítačky je připojen na osmý vstup třetího osmivstupového součtově součinnového hradla, na druhý vstup druhého čtyřvstupového obvodu typu negace logického součinu, na druhý vstup sedmého třívstupového obvodu typu negace logického součinu, na první vstup osmého třívstupového obvodu typu negace logického součinu, na první vstup jedenáctého třívstupového obvodu typu negace logického součinu a na vstup desátého invertoru, jehož výstup je připojen na druhý vstup pátého čtyřvstupového obvodu typu negace logického součinu, výstup čtvrtého bitu čtyřbitové binární sčítačky je připojen na třetí vstup druhého třívstupového obvodu typu negace logického součinu, na osmý vstup čtvrtého osmivstupového součtově součinnového hradla, na třetí vstup druhého čtyřvstupového obvodu typu negace logického součinu, na třetí vstup pátého čtyřvstupového obvodu typu negace logického součinu, na druhý vstup jedenáctého třívstupového obvodu typu negace logického součinu, na druhý vstup dvanáctého třívstupového obvodu typu negace logického součinu a na vstup jedenáctého invertoru, jehož výstup je připojen na třetí vstup čtvrtého třívstupového obvodu typu negace logického součinu, na druhý vstup prvního čtyřvstupového obvodu typu negace logického součinu a na druhý vstup osmého třívstupového obvodu typu negace logického součinu, další výstup čtyřbitové binární sčítačky je připojen na druhý vstup šestého třívstupového obvodu typu negace logického součinu, na první vstup devátého třívstupového obvodu typu negace logického

součinu, na první vstup desátého třívstupového obvodu typu negace logického součinu a na vstup dvanáctého invertoru, jehož výstup je připojen na třetí vstup prvního čtyřvstupového obvodu typu negace logického součinu a na třetí vstup čtrnáctého třívstupového obvodu typu negace logického součinu, výstup prvního třívstupového obvodu typu negace logického součinu je připojen na hodinový vstup prvního klopného obvodu typu D, jehož jedničkový výstup je připojen na další vstup čtyřbitové binární sčítačky a tvoří současně pátý výstup zapojení, kdežto jeho nulový výstup tvoří současně šestý výstup zapojení, výstup prvního dvouvstupového obvodu typu negace logického součinu je připojen na nulovací vstup prvního klopného obvodu typu D, výstup druhého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup třetího třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na základní vstup druhého klopného obvodu typu D, výstup čtvrtého třívstupového obvodu typu negace logického součinu je připojen na třetí vstup třetího třívstupového obvodu typu negace logického součinu, výstup pátého třívstupového obvodu typu negace logického součinu je připojen na hodinový vstup druhého klopného obvodu typu D, jehož nulový výstup je připojen na první vstup třetího třívstupového obvodu typu negace logického součinu a jeho jedničkový výstup tvoří současně sedmý výstup zapojení, výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup prvního osmivstupového součtově součinového hradla, jehož výstup je připojen na vstup sedmnáctého invertoru, jehož výstup tvoří současně první výstup zapojení, výstup třetího dvouvstupového obvodu typu negace logického součinu je připojen na vstup třináctého invertoru, jehož výstup je připojen na čtvrtý vstup prvního osmivstupového součtově součinového hradla, výstup prvního dvouvstupového obvodu neekvivalence je připojen na šestý vstup prvního osmivstupového součtově součinového hradla, výstup čtvrtého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup druhého osmivstupového součtově součinového hradla, jehož výstup je připojen na čtvrtý vstup třetího čtyřvstupového obvodu typu negace logického součinu, výstup pátého dvouvstupového obvodu typu negace logického součinu je připojen na vstup čtrnáctého invertoru, jehož výstup je připojen na čtvrtý vstup druhého osmivstupového součtově součinového hradla, výstup druhého dvouvstupového obvodu neekvivalence je připojen na šestý vstup druhého osmivstupového součtově součinového hradla, výstup šestého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup třetího osmivstupového součtově součinového hradla, jehož výstup je připojen na čtvrtý vstup čtvrtého čtyřvstupového obvodu typu negace logického součinu, výstup sedmého dvouvstupového obvodu typu negace logického součinu je

připojen na vstup patnáctého invertoru, jehož výstup je připojen na čtvrtý vstup třetího osmivstupového součtově součinového hradla, výstup třetího dvouvstupového obvodu neekvivalence je připojen na šestý vstup třetího osmivstupového součtově součinového hradla, výstup osmého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup čtvrtého osmivstupového součtově součinového hradla, jehož výstup je připojen na třetí vstup třináctého třívstupového obvodu typu negace logického součinu, výstup devátého dvouvstupového obvodu typu negace logického součinu je připojen na vstup šestnáctého invertoru, jehož výstup je připojen na čtvrtý vstup čtvrtého osmivstupového součtově součinového hradla, výstup čtvrtého dvouvstupového obvodu neekvivalence je připojen na šestý vstup čtvrtého osmivstupového součtově součinového hradla, výstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na první vstup třetího čtyřvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně druhý výstup zapojení, výstup druhého čtyřvstupového obvodu typu negace logického součinu je připojen na druhý vstup třetího čtyřvstupového obvodu typu negace logického součinu, výstup šestého třívstupového obvodu typu negace logického součinu je připojen na třetí vstup třetího čtyřvstupového obvodu typu negace logického součinu, výstup sedmého třívstupového obvodu typu negace logického součinu je připojen na první vstup čtvrtého čtyřvstupového obvodu typu negace logického součinu, výstup osmého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup čtvrtého čtyřvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně třetí výstup zapojení, výstup devátého třívstupového obvodu typu negace logického součinu je připojen na třetí vstup čtvrtého čtyřvstupového obvodu typu negace logického součinu, výstup desátého třívstupového obvodu typu negace logického součinu je připojen na první vstup třináctého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně čtvrtý výstup zapojení, výstup pátého čtyřvstupového obvodu typu negace logického součinu je připojen na druhý vstup třináctého třívstupového obvodu typu negace logického součinu, výstup jedenáctého třívstupového obvodu typu negace logického součinu je připojen na první vstup čtrnáctého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na základní vstup prvního klopného obvodu typu D, výstup dvanáctého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup čtrnáctého třívstupového obvodu typu negace logického součinu, první výstup binárně dekadického dekodéru 4 : 10 je připojen na první vstup patnáctého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup prvního osmivstupového součtově součinového hradla, na první vstup druhého osmivstupového součtově součino-

vého hradla, na první vstup třetího osmivstupového součtově součinového hradla a na první vstup čtvrtého osmivstupového součtově součinového hradla, druhý výstup binárně dekadického dekodéru 4 : 10 je připojen na druhý vstup patnáctého třívstupového obvodu typu negace logického součinu a na základní vstup čtvrtého klopného obvodu typu D, jehož nulový výstup je připojen na první vstup dvouvstupového obvodu typu negace logického součinu s otevřeným výstupem, třetí výstup binárně dekadického dekodéru 4 : 10 je připojen na třetí vstup patnáctého třívstupového obvodu typu negace logického součinu a na základní vstup třetího klopného obvodu typu D, jehož nulový výstup je připojen na první vstup prvního dvouvstupového obvodu typu negace logického součinu, čtvrtý výstup binárně dekadického dekodéru 4 : 10 je připojen na vstup osmnáctého invertoru, jehož výstup je připojen na třetí vstup prvního osmivstupového součtově součinového hradla, na třetí vstup druhého osmivstupového součtově součinového hradla, na třetí vstup třetího osmivstupového součtově součinového hradla a na třetí vstup čtvrtého osmivstupového součtově součinového hradla, pátý výstup binárně dekadického dekodéru 4 : 10 je připojen na vstup devatenáctého invertoru, jehož výstup je připojen na pátý vstup prvního osmivstupového součtově součinového hradla, na pátý vstup druhého osmivstupového součtově součinového hradla, na pátý vstup třetího osmivstupového součtově součinového hradla a na pátý vstup čtvrtého osmivstupového součtově součinového hradla, šestý výstup binárně dekadického dekodéru 4 : 10 je připojen na třetí vstup šestnáctého třívstupového obvodu typu negace logického součinu a na druhý vstup desátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na sedmý vstup druhého osmivstupového součtově součinového hradla, na sedmý vstup třetího osmivstupového součtově součinového hradla a na sedmý vstup čtvrtého osmivstupového součtově součinového hradla, sedmý výstup binárně dekadického dekodéru 4 : 10 je připojen na vstup dvacátého invertoru, jehož výstup je připojen na čtvrtý vstup prvního čtyřvstupového obvodu typu negace logického součinu, na čtvrtý vstup druhého čtyřvstupového obvodu typu negace logického součinu, na třetí vstup sedmého třívstupového obvodu typu negace logického součinu, na třetí vstup šestého třívstupového obvodu typu negace logického součinu, na třetí vstup osmého třívstupového obvodu typu negace logického součinu, na třetí vstup devátého třívstupového obvodu typu negace logického součinu, na třetí vstup desátého třívstupového obvodu typu negace logického součinu, na čtvrtý vstup pátého čtyřvstupového obvodu typu negace logického součinu, na třetí vstup jedenáctého třívstupového obvodu typu negace logického součinu a na třetí vstup dvanáctého třívstupového obvodu typu negace logického součinu, sedmý výstup binárně dekadického dekodéru 4 : 10 je dále připojen na druhý vstup

šestnáctého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup prvního třívstupového obvodu typu negace logického součinu a na sedmý vstup prvního osmivstupového součtově součinového hradla, osmý výstup binárně dekadického dekodéru 4 : 10 je připojen na první vstup desátého dvouvstupového obvodu typu negace logického součinu, na první vstup šestnáctého třívstupového obvodu typu negace logického součinu a na vstup dvacátého prvního invertoru, jehož výstup je připojen na třetí vstup pátého třívstupového obvodu typu negace logického součinu.

Zapojení aritmetické a logické jednotky mikroprocesoru podle vynálezu má výhodu v tom, že umožňuje provádění všech základních logických operací a kromě binárního sčítání umožňuje sčítání v binárně dekadickém kódu 8421, které probíhá stejnou rychlostí jako sčítání binární. Celé zapojení je přitom velmi jednoduché. Uvedených vlastností je dosaženo tím, že pro všechny operace jsou využívány stejné části zapojení. Současně je dosaženo vysoké rychlosti binárně dekadického sčítání tím, že korekce je provedena jednoduchou kombinací logikou bez použití korekční sčítačky. Rovněž pro oba druhy přenosu tj. pro binární i dekadický přenos jsou používány stejné obvody, což dále zjednodušuje celé zapojení logické a aritmetické jednotky. Zapojením podle vynálezu se dosáhne toho, že je možno provádět operace logického součtu, součinu, neekvivalence, binárního sčítání a sčítání v kódu 8421 s libovolným počtem bitů binárního slova nebo s libovolným počtem dekadických číslic vyjádřených v kódu 8421, přičemž operace se provádí serioparalelně po čtyřech bitech a rychlost dekadického sčítání je stejná jako rychlost binárního sčítání, včetně generace přenosů. Současně se dosáhne těchto vlastností s minimálním počtem logických prvků.

Příklad zapojení aritmetické a logické jednotky mikroprocesoru podle vynálezu je znázorněn schematicky na obr. 1a až 1c připojených výkresů.

Vstup prvního invertoru **INV1** pro signál **RBUS(0)** je připojen na první vstup druhého dvouvstupového obvodu **NSD2** typu negace logického součinu a tvoří současně první vstup **01** zapojení, připojitelný na neznázorněný mikroprocesor, kdežto jeho výstup pro signál **RBUS(0)** je připojen na první vstup třetího dvouvstupového obvodu **NSD3** typu negace logického součinu, na první vstup prvního dvouvstupového obvodu **ON1** neekvivalence a na první vstup **1** prvního bitu čtyřbitové binární sčítačky **SC**. Vstup druhého invertoru **INV2** pro signál **SBUS(0)** je připojen na druhý vstup dvouvstupového obvodu **NSD2** typu negace logického součinu a tvoří současně druhý vstup **02** zapojení, připojitelný na mikroprocesor, kdežto jeho výstup pro signál **SBUS(0)** je připojen na druhý vstup třetího dvouvstupového obvodu **NSD3** typu negace logického součinu, na druhý vstup prvního dvouvstupového obvodu **ON1** neekvivalence a na druhý vstup **2** prvního bitu čtyřbitového

vše binární sčítačky **SČ**. Vstup třetího invertoru **INV3** pro signál **RBUS(1)** je připojen na první vstup čtvrtého dvouvstupového obvodu **NSD4** typu negace logického součinu a tvoří současně třetí vstup **03** zapojení, připojitelný na mikroprocesor, kdežto jeho výstup pro signál **RBUS(1)** je připojen na první vstup pátého dvouvstupového obvodu **NSD5** typu negace logického součinu, na první vstup druhého dvouvstupového obvodu **ON2** neekvivalence a na první vstup **3** druhého bitu čtyřbitové binární sčítačky **SČ**. Vstup čtvrtého invertoru **INV4** pro signál **SBUS(1)** je připojen na druhý vstup čtvrtého dvouvstupového obvodu **NSD4** typu negace logického součinu a tvoří současně čtvrtý vstup **04** zapojení, připojitelný na mikroprocesor, kdežto jeho výstup pro signál **SBUS(1)** je připojen na druhý vstup pátého dvouvstupového obvodu **NSD5** typu negace logického součinu, na druhý vstup druhého dvouvstupového obvodu **ON2** neekvivalence a na druhý vstup **4** druhého bitu čtyřbitové binární sčítačky **SČ**. Vstup pátého invertoru **INV5** pro signál **RBUS(2)** je připojen na první vstup šestého dvouvstupového obvodu **NSD6** typu negace logického součinu a tvoří současně pátý vstup **05** zapojení, připojitelný na mikroprocesor, kdežto jeho výstup pro signál **RBUS(2)** je připojen na první vstup sedmého dvouvstupového obvodu **NSD7** typu negace logického součinu, na první vstup třetího dvouvstupového obvodu **ON3** neekvivalence a na první vstup **5** třetího bitu čtyřbitové binární sčítačky **SČ**. Vstup šestého invertoru **INV6** pro signál **SBUS(2)** je připojen na druhý vstup šestého dvouvstupového obvodu **NSD6** typu negace logického součinu a tvoří současně šestý vstup **06** zapojení, připojitelný na mikroprocesor, kdežto jeho výstup pro signál **SBUS(2)** je připojen na druhý vstup sedmého dvouvstupového obvodu **NSD7** typu negace logického součinu, na druhý vstup třetího dvouvstupového obvodu **ON3** neekvivalence a na druhý vstup **6** třetího bitu čtyřbitové binární sčítačky **SČ**. Vstup sedmého invertoru **INV7** pro signál **RBUS(3)** je připojen na první vstup druhého třívstupového obvodu **NST2** typu negace logického součinu, na první vstup osmého dvouvstupového obvodu **NSD8** typu negace logického součinu a tvoří současně sedmý vstup **07** zapojení, připojitelný na mikroprocesor, kdežto jeho výstup pro signál **RBUS(3)** je připojen na první vstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu, na první vstup devátého dvouvstupového obvodu **NSD9** typu negace logického součinu, na první vstup čtvrtého dvouvstupového obvodu **ON4** neekvivalence a na první vstup **7** čtvrtého bitu čtyřbitové binární sčítačky **SČ**. Vstup osmého invertoru **INV8** pro signál **SBUS(3)** je připojen na druhý vstup druhého třívstupového obvodu **NST2** typu negace logického součinu, na druhý vstup osmého dvouvstupového obvodu **NSD8** typu negace logického součinu a tvoří současně osmý vstup **08** zapojení, připojitelný na mikroprocesor, kdežto jeho výstup pro signál

SBUS(3) je připojen na druhý vstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu, na druhý vstup devátého dvouvstupového obvodu **NSD9** typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu **ON4** neekvivalence a na druhý vstup **8** čtvrtého bitu čtyřbitové binární sčítačky **SČ**. První vstup binárně dekadického dekodéru **DK 4 : 10** pro signál **ROM(23)** tvoří současně devátý vstup **09** zapojení, připojitelný na neznázorněnou řídicí paměť typu **ROM**, kdežto jeho druhý vstup pro signál **ROM(24)** tvoří současně desátý vstup **010** zapojení, připojitelný na řídicí paměť typu **ROM**, jeho třetí vstup pro signál **ROM(25)** tvoří současně jedenáctý vstup **011** zapojení, připojitelný na řídicí paměť typu **ROM** a jeho čtvrtý vstup tvoří současně dvanáctý vstup **012** zapojení, připojený na nulový potenciál. Výstup dvouvstupového obvodu **NSOV** typu negace logického součinu s otevřeným výstupem pro signál **PNSS1** je připojen jednak na nastavovací vstup **14** prvního klopného obvodu **APNS** typu **D**, jednak přes odpor **R** na kladný pól zdroje elektrické energie a tvoří současně třináctý vstup **013** zapojení, připojitelný na neznázorněný řadič vstupu a výstupu. Druhý vstup dvouvstupového obvodu **NSOV** typu negace logického součinu s otevřeným výstupem pro signál **T5A** je připojen na druhý vstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu a tvoří současně osmnáctý vstup **018** zapojení, připojitelný na neznázorněný časový zdroj. První vstup prvního třívstupového obvodu **NST1** typu negace logického součinu pro signál **TOSC** je připojen na první vstup pátého třívstupového obvodu **NST5** typu negace logického součinu a tvoří současně šestnáctý vstup **016** zapojení, připojitelný na časový zdroj. Druhý vstup prvního třívstupového obvodu **NST1** typu negace logického součinu pro signál **HODP** je připojen na druhý vstup pátého třívstupového obvodu **NST5** typu negace logického součinu a tvoří současně sedmáctý vstup **017** zapojení, připojitelný na časový zdroj. Nastavovací vstup **24** druhého klopného obvodu **AOVF** typu **D** pro signál **OVFS** tvoří současně čtrnáctý vstup **014** zapojení, připojitelný na řadič vstupu a výstupu. Nulovací vstup **23** druhého klopného obvodu **AOVF** typu **D** pro signál **OVFR** tvoří současně patnáctý vstup **015** zapojení, připojitelný na řadič vstupu a výstupu. Hodinový vstup **32** třetího klopného obvodu **APNSR** typu **D** a hodinový vstup **42** čtvrtého klopného obvodu **APNSS** typu **D** pro signál **TAKT** jsou spojeny a tvoří současně devatenáctý vstup **019** zapojení, připojitelný na časový zdroj. Výstup **10** prvního bitu čtyřbitové binární sčítačky **SČ** pro signál **C1** je připojen na osmý vstup prvního osmivstupového součtově součinnového hradla **SSH01**. Výstup **20** druhého bitu čtyřbitové binární sčítačky **SČ** pro signál **C2** je připojen na osmý vstup druhého osmivstupového součtově součinnového hradla **SSH02**, na první vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu,

209221

na první vstup sedmého třívstupového obvodu **NST7** typu negace logického součinu, na druhý vstup desátého třívstupového obvodu **NST10** typu negace logického součinu, na první vstup dvanáctého třívstupového obvodu **NST12** typu negace logického součinu a na vstup devátého invertoru **INV9**, jehož výstup pro signál **C2** je připojen na první vstup druhého čtyřvstupového obvodu **NSC2** typu negace logického součinu, na první vstup šestého třívstupového obvodu **NST6** typu negace logického součinu, na druhý vstup devátého třívstupového obvodu **NST9** typu negace logického součinu a na první vstup pátého čtyřvstupového obvodu **NSC5** typu negace logického součinu. Výstup **30** třetího bitu čtyřbitové binární sčítačky **SČ** pro signál **C4** je připojen na osmý vstup třetího osmivstupového součtově součinového hradla **SSH03**, na druhý vstup druhého čtyřvstupového obvodu **NSC2** typu negace logického součinu, na druhý vstup sedmého třívstupového obvodu **NST7** typu negace logického součinu, na první vstup osmého třívstupového obvodu **NST8** typu negace logického součinu, na první vstup jedenáctého třívstupového obvodu **NST11** typu negace logického součinu a na vstup desátého invertoru **INV10**, jehož výstup pro signál **C4** je připojen na druhý vstup pátého čtyřvstupového obvodu **NSC5** typu negace logického součinu. Výstup **40** čtvrtého bitu čtyřbitové binární sčítačky **SČ** pro signál **C8** je připojen na třetí vstup druhého třívstupového obvodu **NST2** typu negace logického součinu, na osmý vstup čtvrtého osmivstupového součtově součinového hradla **SSH04**, na třetí vstup druhého čtyřvstupového obvodu **NSC2** typu negace logického součinu, na třetí vstup pátého čtyřvstupového obvodu **NSC5** typu negace logického součinu, na druhý vstup jedenáctého třívstupového obvodu **NST11** typu negace logického součinu, na druhý vstup dvanáctého třívstupového obvodu **NST12** typu negace logického součinu a na vstup jedenáctého invertoru **INV11**, jehož výstup pro signál **C8** je připojen na třetí vstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu, na druhý vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu a na druhý vstup osmého třívstupového obvodu **NST8** typu negace logického součinu. Další výstup **50** čtyřbitové binární sčítačky **SČ** pro signál **P** je připojen na druhý vstup šestého třívstupového obvodu **NST6** typu negace logického součinu, na první vstup devátého třívstupového obvodu **NST9** typu negace logického součinu, na první vstup desátého třívstupového obvodu **NST10** typu negace logického součinu a na vstup dvanáctého invertoru **INV12**, jehož výstup pro signál **P** je připojen na třetí vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu a na třetí vstup čtrnáctého třívstupového obvodu **NST14** typu negace logického součinu. Výstup prvního třívstupového obvodu **NST1** typu negace logického součinu je připojen na hodinový vstup **12** prvního klopného obvodu **APNS** typu D, jehož jedničkový výstup **101** pro

signál **PNS** je připojen na další vstup **9** čtyřbitové binární sčítačky **SČ** a tvoří současně pátý výstup **005** zapojení, kdežto jeho nulový výstup **102** pro signál **PNS** tvoří současně šestý výstup **006** zapojení. Výstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu je připojen na nulovací vstup **13** prvního klopného obvodu **APNS** typu D. Výstup druhého třívstupového obvodu **NST2** typu negace logického součinu je připojen na druhý vstup třetího třívstupového obvodu **NST3** typu negace logického součinu, jehož výstup je připojen na základní vstup **21** druhého klopného obvodu **AOVF** typu D. Výstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu je připojen na třetí vstup třetího třívstupového obvodu **NST3** typu negace logického součinu. Výstup pátého třívstupového obvodu **NST5** typu negace logického součinu je připojen na hodinový vstup **22** druhého klopného obvodu **AOVF** typu D, jehož nulový výstup **202** je připojen na první vstup třetího třívstupového obvodu **NST3** typu negace logického součinu a jeho jedničkový výstup **201** pro signál **OVF** tvoří současně sedmý výstup **007** zapojení, připojitelný na mikroprocesor. Výstup druhého dvouvstupového obvodu **NSD2** typu negace logického součinu je připojen na druhý vstup prvního osmivstupového součtově součinového hradla **SSH01**, jehož výstup je připojen na vstup sedmnáctého invertoru **INV17**, jehož výstup pro signál **ALJ(0)** tvoří současně první výstup **001** zapojení, připojitelný na mikroprocesor. Výstup třetího dvouvstupového obvodu **NSD3** typu negace logického součinu je připojen na vstup třináctého invertoru **INV13**, jehož výstup je připojen na čtvrtý vstup prvního osmivstupového součtově součinového hradla **SSH01**. Výstup prvního dvouvstupového obvodu **ON1** neekvivalence je připojen na šestý vstup prvního osmivstupového součtově součinového hradla **SSH01**. Výstup čtvrtého dvouvstupového obvodu **NSD4** typu negace logického součinu je připojen na druhý vstup druhého osmivstupového součtově součinového hradla **SSH02**, jehož výstup je připojen na čtvrtý vstup třetího čtyřvstupového obvodu **NSC3** typu negace logického součinu. Výstup pátého dvouvstupového obvodu **NSD5** typu negace logického součinu je připojen na vstup čtrnáctého invertoru **INV14**, jehož výstup je připojen na čtvrtý vstup druhého osmivstupového součtově součinového hradla **SSH02**. Výstup druhého dvouvstupového obvodu **ON2** neekvivalence je připojen na šestý vstup druhého osmivstupového součtově součinového hradla **SSH02**. Výstup šestého dvouvstupového obvodu **NSD6** typu negace logického součinu je připojen na druhý vstup třetího osmivstupového součtově součinového hradla **SSH03**, jehož výstup je připojen na čtvrtý vstup čtvrtého čtyřvstupového obvodu **NSC4** typu negace logického součinu. Výstup sedmého dvouvstupového obvodu **NSD7** typu negace logického součinu je připojen na vstup patnáctého invertoru **INV15**, jehož výstup je připojen na čtvrtý vstup třetího osmivstupového

součtově součinnového hradla **SSH03**. Výstup třetího dvouvstupového obvodu **ON3** neekvivalence je připojen na šestý vstup třetího osmivstupového součtově součinnového hradla **SSH03**. Výstup osmého dvouvstupového obvodu **NSD8** typu negace logického součinu je připojen na druhý vstup čtvrtého osmivstupového součtově součinnového hradla **SSH04**, jehož výstup je připojen na třetí vstup třináctého třívstupového obvodu **NST13** typu negace logického součinu. Výstup devátého dvouvstupového obvodu **NSD9** typu negace logického součinu je připojen na vstup šestnáctého invertoru **INV16**, jehož výstup je připojen na čtvrtý vstup čtvrtého osmivstupového součtově součinnového hradla **SSH04**. Výstup čtvrtého dvouvstupového obvodu **ON4** neekvivalence je připojen na šestý vstup čtvrtého osmivstupového součtově součinnového hradla **SSH04**. Výstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu je připojen na první vstup třetího čtyřvstupového obvodu **NSC3** typu negace logického součinu, jehož výstup pro signál **ALJ(1)** tvoří současně druhý výstup **002** zapojení připojitelný na mikroprocesor. Výstup druhého čtyřvstupového obvodu **NSC2** typu negace logického součinu je připojen na druhý vstup třetího čtyřvstupového obvodu **NSC3** typu negace logického součinu. Výstup šestého třívstupového obvodu **NST6** typu negace logického součinu je připojen na třetí vstup třetího čtyřvstupového obvodu **NSC3** typu negace logického součinu. Výstup sedmého třívstupového obvodu **NST7** typu negace logického součinu je připojen na první vstup čtvrtého čtyřvstupového obvodu **NSC4** typu negace logického součinu. Výstup osmého třívstupového obvodu **NST8** typu negace logického součinu je připojen na druhý vstup čtvrtého čtyřvstupového obvodu **NSC4** typu negace logického součinu, jehož výstup pro signál **ALJ(2)** tvoří současně třetí výstup **003** zapojení, připojitelný na mikroprocesor. Výstup devátého třívstupového obvodu **NST9** typu negace logického součinu je připojen na třetí vstup čtvrtého čtyřvstupového obvodu **NSC4** typu negace logického součinu. Výstup desátého třívstupového obvodu **NST10** typu negace logického součinu je připojen na první vstup třináctého třívstupového obvodu **NST13** typu negace logického součinu, jehož výstup pro signál **ALJ(3)** tvoří současně čtvrtý výstup **004** zapojení, připojitelný na mikroprocesor. Výstup pátého čtyřvstupového obvodu **NSC5** typu negace logického součinu je připojen na druhý vstup třináctého třívstupového obvodu **NST13** typu negace logického součinu. Výstup jedenáctého třívstupového obvodu **NST11** typu negace logického součinu je připojen na první vstup čtrnáctého třívstupového obvodu **NST14** typu negace logického součinu, jehož výstup pro signál **OPV** je připojen na základní vstup **11** prvního klopného obvodu **APNS** typu D. Výstup dvanáctého třívstupového obvodu **NST12** typu negace logického součinu je připojen na druhý vstup čtrnáctého třívstupového obvodu **NST14**

typu negace logického součinu. První výstup **61** binárně dekadického dekodéru **DK 4 : 10** je připojen na první vstup patnáctého třívstupového obvodu **NST15** typu negace logického součinu, jehož výstup pro signál **IOR** je připojen na první vstup prvního osmivstupového součtově součinnového hradla **SSH01**, na první vstup druhého osmivstupového součtově součinnového hradla **SSH02**, na první vstup třetího osmivstupového součtově součinnového hradla **SSH03** a na první vstup čtvrtého osmivstupového součtově součinnového hradla **SSH04**. Druhý výstup **62** binárně dekadického dekodéru **DK 4 : 10** pro signál **IOBS** je připojen na druhý vstup patnáctého třívstupového obvodu **NST15** typu negace logického součinu a na základní vstup **41** čtvrtého klopného obvodu **APNSS** typu D, jehož nulový výstup **402** pro signál **PNSS** je připojen na první vstup dvouvstupového obvodu **NSOV** typu negace logického součinu s otevřeným výstupem. Třetí výstup **63** binárně dekadického dekodéru **DK 4 : 10** pro signál **IORC** je připojen na třetí vstup patnáctého třívstupového obvodu **NST15** typu negace logického součinu a na základní vstup **31** třetího klopného obvodu **APNSR** typu D, jehož nulový výstup **302** pro signál **PNSR** je připojen na první vstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu. Čtvrtý výstup **64** binárně dekadického dekodéru **DK 4 : 10** je připojen na vstup osmnáctého invertoru **INV18**, jehož výstup pro signál **AND** je připojen na třetí vstup prvního osmivstupového součtově součinnového hradla **SSH01**, na třetí vstup druhého osmivstupového součtově součinnového hradla **SSH02**, na třetí vstup třetího osmivstupového součtově součinnového hradla **SSH03** a na třetí vstup čtvrtého osmivstupového součtově součinnového hradla **SSH04**. Pátý výstup **65** binárně dekadického dekodéru **DK 4 : 10** je připojen na vstup devatenáctého invertoru **INV19**, jehož výstup pro signál **XOR** je připojen na pátý vstup prvního osmivstupového součtově součinnového hradla **SSH01**, na pátý vstup druhého osmivstupového součtově součinnového hradla **SSH02**, na pátý vstup třetího osmivstupového součtově součinnového hradla **SSH03** a na pátý vstup čtvrtého osmivstupového součtově součinnového hradla **SSH04**. Šestý výstup **66** binárně dekadického dekodéru **DK 4 : 10** je připojen na třetí vstup šestnáctého třívstupového obvodu **NST16** typu negace logického součinu a na druhý vstup desátého dvouvstupového obvodu **NSD10** typu negace logického součinu, jehož výstup pro signál **ADD** je připojen na sedmý vstup druhého osmivstupového součtově součinnového hradla **SSH02**, na sedmý vstup třetího osmivstupového součtově součinnového hradla **SSH03** a na sedmý vstup čtvrtého osmivstupového součtově součinnového hradla **SSH04**. Sedmý výstup **67** binárně dekadického dekodéru **DK 4 : 10** je připojen na vstup dvacátého invertoru **INV20**, jehož výstup pro signál **ADEK** je připojen na čtvrtý vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu, na čtvrtý vstup druhého čtyř-

209221

vstupového obvodu **NSC2** typu negace logického součinu, na třetí vstup sedmého třívstupového obvodu **NST7** typu negace logického součinu, na třetí vstup šestého třívstupového obvodu **NST6** typu negace logického součinu, na třetí vstup osmého třívstupového obvodu **NST8** typu negace logického součinu, na třetí vstup devátého třívstupového obvodu **NST9** typu negace logického součinu, na třetí vstup desátého třívstupového obvodu **NST10** typu negace logického součinu, na čtvrtý vstup pátého čtyřvstupového obvodu **NSC5** typu negace logického součinu, na třetí vstup jedenáctého třívstupového obvodu **NST11** typu negace logického součinu a na třetí vstup dvanáctého třívstupového obvodu **NST12** typu negace logického součinu. Sedmý výstup **67** binárně dekadického dekodéru **DK 4 : 10** je dále připojen na druhý vstup šestnáctého třívstupového obvodu **NST16** typu negace logického součinu, jehož výstup pro signál **ADD DEK** je připojen na třetí vstup prvního třívstupového obvodu **NST1** typu negace logického součinu a na sedmý vstup prvního osmivstupového součtové součinového hradla **SSH01**. Osmý výstup **68** binárně dekadického dekodéru **DK 4 : 10** je připojen na první vstup desátého dvouvstupového obvodu **NSD10** typu negace logického součinu, na první vstup šestnáctého třívstupového obvodu **NST16** typu negace logického součinu a na vstup dvacátého prvního invertoru **INV21**, jehož výstup pro signál **ADDO** je připojen na třetí vstup pátého třívstupového obvodu **NST5** typu negace logického součinu.

Do aritmetické a logické jednotky jsou přiváděny vstupní signály **RBUS(0)** až **RBUS(3)** ze čtyřbitové sběrnice **R** mikroprocesoru **SBUS(0)** až **SBUS(3)** ze čtyřbitové sběrnice **S** mikroprocesoru, **ROM(23)**, **ROM(24)**, **ROM(25)** z řídicí paměti typu **ROM** mikroprocesoru, jež určují zakódování, povel pro požadovanou operaci aritmetické a logické jednotky **OVFS**, **OVFR**, **PNSS1** z radiče vstupu a výstupu, umožňující ovládání přenosového bitu aritmetické jednotky nebo bitu přepnutí **TOSC**, **TAKT**, **HODP**, **T5A** z časového zdroje, které provádí časové řízení operací aritmetické a logické jednotky. Naproti tomu generuje aritmetická a logická jednotka výstupní signály **ALJ(0)** až **ALJ(3)** představující čtyři bity výsledku aritmetické nebo logické operace **PNS**, **PNS** znamenající binární nebo dekadický přenos a **OVF** znamenající signál přepnutí. Pro vykonání požadované operace se na vstupy **09**, **010**, **011** přivede zakódovaný povel z neznázorněné řídicí paměti typu **ROM**. Přitom signál **ROM(23)** představuje váhu 1, **ROM(24)** váhu 2 a **ROM(25)** váhu 4 vstupního kódu. V závislosti na stavu bitů signálů **ROM(23)**, **ROM(24)**, **ROM(25)** mají povely význam uvedené v tabulce 1.

Tabulka 1

				Operace vykonaná v aritmetické a logické jednotce	
0	0	0	0	IOR	Logický součet
0	0	1	1	IO RS	Logický součet + nastavení přenosového bitu
0	1	0	2	IO RC	Logický součet + nulování přenosového bitu
0	1	1	3	AND	Logický součin
1	0	0	4	XOR	Neekvivalence
1	0	1	5	ADD	Binární sčítání bez vlivu na bit OVF
1	1	0	6	ADEK	Dekadické sčítání v kódu 8421
1	1	1	7	ADDO	Binární sčítání s ovlivněním bitu OVF

Jakmile se nastaví příslušný povel podle tabulky 1, aritmetická a logická jednotka se pomocí neznázorněného dekodéru rekonfiguruje tak, aby prováděla tuto operaci. Po ustálení přechodových jevů v logické síti je aritmetická a logická jednotka okamžitě schopna vykonat příslušnou operaci. Například při stavu 6 budou na výstupu dekodéru **DK** aktivní signály **ADEK**, **ADD DEK**. Tyto signály aktivují obvody **NSC1**, **NSC2**, **NST6**, **NST7**, **NST8**, **NST9**, **NST10**, **NSC5**, **NST11**, **NST12**, a **SSH01** pro realizaci korekce sčítání v kódu 8421. Uvedené signály současně s tím připraví klopný obvod **APNS** pro přijetí signálu **OPV**, znamenající dekadický přenos. Jsou-li v tomto stavu na vstupy **01** až **08** přivedeny dva operandy ve formě dekadických čísel v kódu 8421, bude na výstupech **001** až **004** výsledek rovněž v kódu 8421 a signál **PNS** bude indikovat přenos do následujícího dekadického řádu. Tento přenos se zapamatuje v klopném obvodu **APNS** a bude automaticky přičten k následujícímu dekadickému řádu. Analogicky budou probíhat ostatní aritmetické a logické operace podle uvedené tabulky. Například při operaci binárního sčítání, to je při stavu 7 v tabulce 1, vznikne výsledek postupně po čtyřech bitech, počínaje nejnižšími čtyřmi bity, takže dvě šestnáctibitová slova se binárně sečtou ve čtyřech krocích aritmetické a logické jednotky. Kromě binárního přenosu **PNS** vznikne při binárním sčítání signál **OVF**, indikující přepnutí kladného výsledku, nebo vypůjčenou jednotku záporného výsledku, je-li záporné číslo vyjádřeno ve dvojkovém doplňku. Ostatní operace **IOR**, **AND**, **XOR** (tabulka 1) probíhají stejným způsobem, avšak ponechávají signály **PNS**, **OVF** v předchozím

stavu. Pouze operace IORS, IORC provádí kromě operace IOR navíc nucené nastavení signálu PNS do stavu logické 1 nebo 0, což umožňuje mikropro-

gramové nastavení nebo nulování přenosového bitu PNS.

PŘEDMĚT VYNÁLEZU

Zapojení aritmetické a logické jednotky mikroprocesoru, vyznačené tím, že vstup prvního invertoru (INV1) je připojen na první vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu a tvoří současně první vstup (01) zapojení, kdežto jeho výstup je připojen na první vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, na první vstup prvního dvouvstupového obvodu (ON1) neekvivalence a na první vstup (1) prvního bitu čtyřbitové binární sčítačky (SČ), vstup druhého invertoru (INV2) je připojen na druhý vstup dvouvstupového obvodu (NSD2) typu negace logického součinu a tvoří současně druhý vstup (02) zapojení, kdežto jeho výstup je připojen na druhý vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, na druhý vstup prvního dvouvstupového obvodu (ON1) neekvivalence a na druhý vstup (2) prvního bitu čtyřbitové binární sčítačky (SČ), vstup třetího invertoru (INV3) je připojen na první vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu a tvoří současně třetí vstup (03) zapojení, kdežto jeho výstup je připojen na první vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu, na první vstup druhého dvouvstupového obvodu (ON2) neekvivalence a na první vstup (3) druhého bitu čtyřbitové binární sčítačky (SČ), vstup čtvrtého invertoru (INV4) je připojen na druhý vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu a tvoří současně čtvrtý vstup (04) zapojení, kdežto jeho výstup je připojen na druhý vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu, na druhý vstup druhého dvouvstupového obvodu (ON2) neekvivalence a na druhý vstup (4) druhého bitu čtyřbitové binární sčítačky (SČ), vstup pátého invertoru (INV5) je připojen na první vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu a tvoří současně pátý vstup (05) zapojení, kdežto jeho výstup je připojen na první vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu, na první vstup třetího dvouvstupového obvodu (ON3) neekvivalence a na první vstup (5) třetího bitu čtyřbitové binární sčítačky (SČ), vstup šestého invertoru (INV6) je připojen na druhý vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu a tvoří současně šestý vstup (06) zapojení, kdežto jeho výstup je připojen na druhý vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu, na druhý vstup třetího dvouvstupového obvodu (ON3) neekvivalence a na druhý vstup (6)

třetího bitu čtyřbitové binární sčítačky (SČ), vstup sedmého invertoru (INV7) je připojen na první vstup druhého třívstupového obvodu (NST2) typu negace logického součinu, na první vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu a tvoří současně sedmý vstup (07) zapojení, kdežto jeho výstup je připojen na první vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, na první vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu, na první vstup čtvrtého dvouvstupového obvodu (ON4) neekvivalence a na první vstup (7) čtvrtého bitu čtyřbitové binární sčítačky (SČ) vstup osmého invertoru (INV8) je připojen na druhý vstup druhého třívstupového obvodu (NST2) typu negace logického součinu, na druhý vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu, a tvoří současně osmý vstup (08) zapojení, kdežto jeho výstup je připojen na druhý vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, na druhý vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu (ON4) neekvivalence a na druhý vstup (8) čtvrtého bitu čtyřbitové binární sčítačky (SČ), první vstup binárně dekadického dekodéru (DK) 4 : 10 tvoří současně devátý vstup (09) zapojení, kdežto jeho druhý vstup tvoří současně desátý vstup (010) zapojení, jeho třetí vstup tvoří současně jedenáctý vstup (011) zapojení a jeho čtvrtý vstup tvoří současně dvanáctý vstup (012) zapojení, připojitelný na nulový potenciál, výstup dvouvstupového obvodu (NSOV) typu negace logického součinu s otevřeným výstupem je připojen jednak na nastavovací vstup (14) prvního klopného obvodu (APNS) typu D, jednak přes odpor (R) na kladný pól zdroje elektrické energie a tvoří současně třináctý vstup (013) zapojení, druhý vstup dvouvstupového obvodu (NSOV) typu negace logického součinu s otevřeným výstupem je připojen na druhý vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu a tvoří současně osmnáctý vstup (018) zapojení, první vstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na první vstup pátého třívstupového obvodu (NST5) typu negace logického součinu a tvoří současně šestnáctý vstup (016) zapojení, druhý vstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na druhý vstup pátého třívstupového obvodu (NST5) typu negace logického součinu a tvoří současně sedmnáctý vstup (017) zapojení, nastavovací vstup (24) druhého klopného obvodu (AOVF) typu D tvoří současně

209221

čtrnáctý vstup (014) zapojení, nulovací vstup (23) druhého klopného obvodu (AOVF) typu D tvoří současně patnáctý vstup (015) zapojení, hodinový vstup (32) třetího klopného obvodu (APNSR) typu D a hodinový vstup (42) čtvrtého klopného obvodu (APNSS) typu D jsou spojeny a tvoří současně devatenáctý vstup (019) zapojení, výstup (10) prvního bitu čtyřbitové binární sčítačky (SČ) je připojen na osmý vstup prvního osmivstupového součtově součinnového hradla (SSH01), výstup (20) druhého bitu čtyřbitové binární sčítačky (SČ) je připojen na osmý vstup druhého osmivstupového součtově součinnového hradla (SSH02), na první vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, na první vstup sedmého třívstupového obvodu (NST7) typu negace logického součinu, na druhý vstup desátého třívstupového obvodu (NST10) typu negace logického součinu, na první vstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu a na vstup devátého invertoru (INV9), jehož výstup je připojen na první vstup druhého čtyřvstupového obvodu (NS02) typu negace logického součinu, na první vstup šestého třívstupového obvodu (NST6) typu negace logického součinu, na druhý vstup devátého třívstupového obvodu (NST9) typu negace logického součinu a na první vstup pátého čtyřvstupového obvodu (NSC5) typu negace logického součinu, výstup (30) třetího bitu čtyřbitové binární sčítačky (SČ) je připojen na osmý vstup třetího osmivstupového součtově součinnového hradla (SSH03), na druhý vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, na druhý vstup sedmého třívstupového obvodu (NST7) typu negace logického součinu, na první vstup osmého třívstupového obvodu (NST8) typu negace logického součinu, na první vstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu a na vstup desátého invertoru (INV10), jehož výstup je připojen na druhý vstup pátého čtyřvstupového obvodu (NSC5) typu negace logického součinu, výstup (40) čtvrtého bitu čtyřbitové binární sčítačky (SČ) je připojen na třetí vstup druhého třívstupového obvodu (NST2) typu negace logického součinu, na osmý vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), na třetí vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, na třetí vstup pátého čtyřvstupového obvodu (NSC5) typu negace logického součinu, na druhý vstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu, na druhý vstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu a na vstup jedenáctého invertoru (INV11), jehož výstup je připojen na třetí vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, na druhý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu a na druhý vstup osmého třívstupového obvodu (NST8) typu negace logického součinu, další výstup (50) čtyřbitové binární sčítačky (SČ) je připojen na druhý

vstup šestého třívstupového obvodu (NST6) typu negace logického součinu, na první vstup devátého třívstupového obvodu (NST9) typu negace logického součinu, na první vstup desátého třívstupového obvodu (NST10) typu negace logického součinu a na vstup dvanáctého invertoru (INV12), jehož výstup je připojen na třetí vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu a na třetí vstup čtrnáctého třívstupového obvodu (NST14) typu negace logického součinu, výstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na hodinový vstup (12) prvního klopného obvodu (APNS) typu D, jehož jedničkový výstup (101) je připojen na další vstup (9) čtyřbitové binární sčítačky (SČ) a tvoří současně pátý výstup (005) zapojení, kdežto jeho nulový výstup (102) tvoří současně šestý výstup (006) zapojení, výstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu je připojen na nulovací vstup (13) prvního klopného obvodu (APNS) typu D, výstup druhého třívstupového obvodu (NST2) typu negace logického součinu je připojen na druhý vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, jehož výstup je připojen na základní vstup (21) druhého klopného obvodu (AOVF) typu D, výstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu je připojen na třetí vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, výstup pátého třívstupového obvodu (NST5) typu negace logického součinu je připojen na hodinový vstup (22) druhého klopného obvodu (AOVF) typu D, jehož nulový výstup (202) je připojen na první vstup třetího třívstupového obvodu (NST3) typu negace logického součinu a jeho jedničkový výstup (201) tvoří současně sedmý výstup (007) zapojení, výstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu je připojen na druhý vstup prvního osmivstupového součtově součinnového hradla (SSH01), jehož výstup je připojen na vstup sedmnáctého invertoru (INV17), jehož výstup tvoří současně první výstup (001) zapojení, výstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu je připojen na vstup třináctého invertoru (INV13), jehož výstup je připojen na čtvrtý vstup prvního osmivstupového součtově součinnového hradla (SSH01), výstup prvního dvouvstupového obvodu (ON1) neekvivalence je připojen na šestý vstup prvního osmivstupového součtově součinnového hradla (SSH01), výstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu je připojen na druhý vstup druhého osmivstupového součtově součinnového hradla (SSH02), jehož výstup je připojen na čtvrtý vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu, výstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu je připojen na vstup čtrnáctého invertoru (INV 14), jehož výstup je připojen na čtvrtý vstup druhého osmivstupového součtově součinnového hradla (SSH02),

výstup druhého dvouvstupového obvodu (ON2) neekvivalence je připojen na šestý vstup druhého osmivstupového součtově součinnového hradla (SSH02), výstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu je připojen na druhý vstup třetího osmivstupového součtově součinnového hradla (SSH03), jehož výstup je připojen na čtvrtý vstup čtvrtého čtyřvstupového obvodu (NSC4) typu negace logického součinu, výstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu je připojen na vstup patnáctého invertoru (INV15), jehož výstup je připojen na čtvrtý vstup třetího osmivstupového součtově součinnového hradla (SSH03), výstup třetího dvouvstupového obvodu (ON3) neekvivalence je připojen na šestý vstup třetího osmivstupového součtově součinnového hradla (SSH03), výstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu je připojen na druhý vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), jehož výstup je připojen na třetí vstup třináctého třívstupového obvodu (NST13) typu negace logického součinu, výstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu je připojen na vstup šestnáctého invertoru (INV16), jehož výstup je připojen na čtvrtý vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), výstup čtvrtého dvouvstupového obvodu (ON4) neekvivalence je připojen na šestý vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), výstup prvního čtyřvstupového obvodu (NST1) typu negace logického součinu je připojen na první vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu, jehož výstup tvoří současně druhý výstup (002) zapojení, výstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu je připojen na druhý vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu, výstup šestého třívstupového obvodu (NST6) typu negace logického součinu je připojen na třetí vstup třetího čtyřvstupového obvodu (NSC3) typu negace logického součinu, výstup sedmého třívstupového obvodu (NST7) typu negace logického součinu je připojen na první vstup čtvrtého čtyřvstupového obvodu (NSC4) typu negace logického součinu, výstup osmého třívstupového obvodu (NST8) typu negace logického součinu je připojen na druhý vstup čtvrtého čtyřvstupového obvodu (NSC4) typu negace logického součinu, jehož výstup tvoří současně třetí výstup (003) zapojení, výstup devátého třívstupového obvodu (NST9) typu negace logického součinu je připojen na třetí vstup čtvrtého čtyřvstupového obvodu (NSC4) typu negace logického součinu, výstup desátého třívstupového obvodu (NST10) typu negace logického součinu je připojen na první vstup třináctého třívstupového obvodu (NST13) typu negace logického součinu, jehož výstup tvoří současně čtvrtý výstup (004) zapojení, výstup pátého čtyřvstupového obvodu (NSC5) typu negace logického součinu je připojen

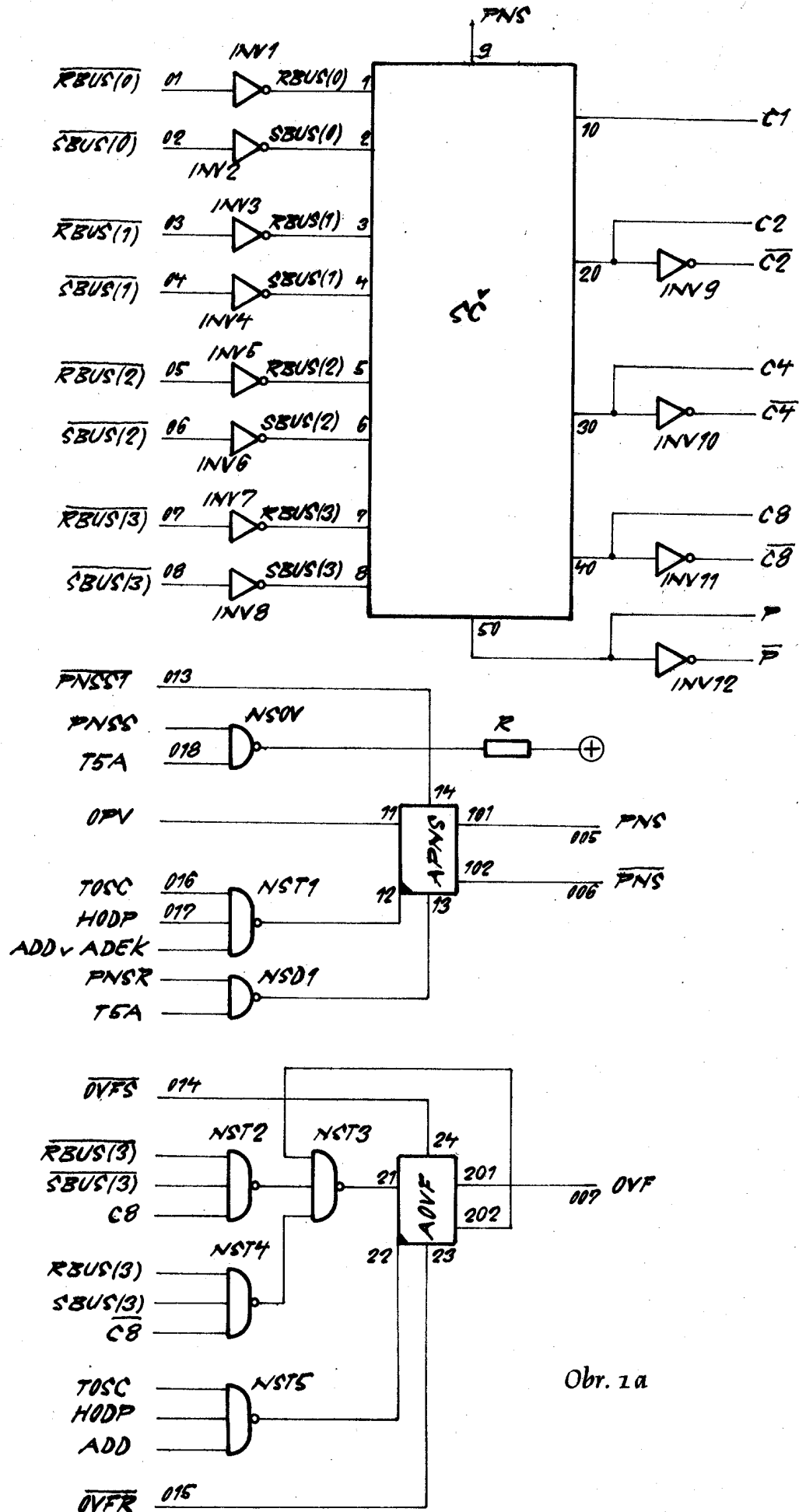
na druhý vstup třináctého třívstupového obvodu (NST13) typu negace logického součinu, výstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu je připojen na první vstup čtrnáctého třívstupového obvodu (NST14) typu negace logického součinu, jehož výstup je připojen na základní vstup (11) prvního klopného obvodu (APNS) typu D, výstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu je připojen na druhý vstup čtrnáctého třívstupového obvodu (NST14) typu negace logického součinu, první výstup (61) binárně dekadického dekodéru (DK) 4 : 10 je připojen na první vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu, jehož výstup je připojen na první vstup prvního osmivstupového součtově součinnového hradla (SSH01), na první vstup druhého osmivstupového součtově součinnového hradla (SSH02), na první vstup třetího osmivstupového součtově součinnového hradla (SSH03) a na první vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), druhý výstup (62) binárně dekadického dekodéru (DK) 4 : 10 je připojen na druhý vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu a na základní vstup (41) čtvrtého klopného obvodu (APNSS) typu D, jehož nulový výstup (402) je připojen na první vstup dvouvstupového obvodu (NSOV) typu negace logického součinu s otevřeným výstupem, třetí výstup (63) binárně dekadického dekodéru (DK) 4 : 10 je připojen na třetí vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu a na základní vstup (31) třetího klopného obvodu (APNSR) typu D, jehož nulový výstup (302) je připojen na první vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu, čtvrtý výstup (64) binárně dekadického dekodéru (DK) 4 : 10 je připojen na vstup osmnáctého invertoru (INV18), jehož výstup je připojen na třetí vstup prvního osmivstupového součtově součinnového hradla (SSH01), na třetí vstup druhého osmivstupového součtově součinnového hradla (SSH02), na třetí vstup třetího osmivstupového součtově součinnového hradla (SSH03) a na třetí vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), pátý výstup (65) binárně dekadického dekodéru (DK) 4 : 10 je připojen na vstup devatenáctého invertoru (INV19), jehož výstup je připojen na pátý vstup prvního osmivstupového součtově součinnového hradla (SSH01), na pátý vstup druhého osmivstupového součtově součinnového hradla (SSH02), na pátý vstup třetího osmivstupového součtově součinnového hradla (SSH03) a na pátý vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), šestý výstup (66) binárně dekadického dekodéru (DK) 4 : 10 je připojen na třetí vstup šestnáctého třívstupového obvodu (NST16) typu negace logického součinu a na druhý vstup desátého dvouvstupového obvodu (NSD10) typu negace logického součinu, jehož výstup je připojen na sedmý vstup

209221

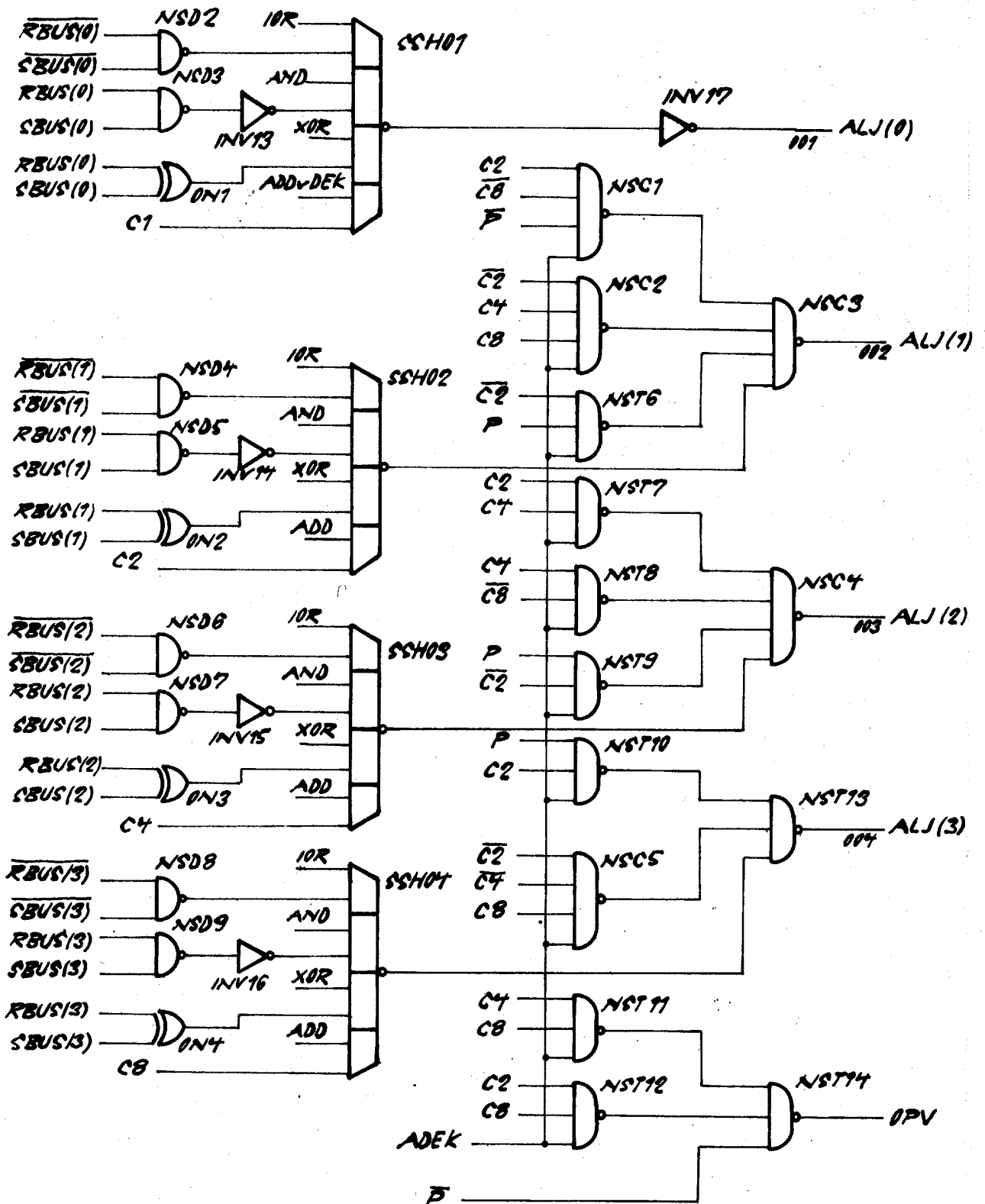
druhého osmivstupového součtově součinnového hradla (SSH02), na sedmý vstup třetího osmivstupového součtově součinnového hradla (SSH03) a na sedmý vstup čtvrtého osmivstupového součtově součinnového hradla (SSH04), sedmý výstup (67) binárně dekadického dekodéru (DK) 4 : 10 je připojen na vstup dvacátého invertoru (INV20), jehož výstup je připojen na čtvrtý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, na čtvrtý vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, na třetí vstup sedmého třívstupového obvodu (NST7) typu negace logického součinu, na třetí vstup šestého třívstupového obvodu (NST6) typu negace logického součinu, na třetí vstup osmého třívstupového obvodu (NST8) typu negace logického součinu, na třetí vstup devátého třívstupového obvodu (NST9) typu negace logického součinu, na třetí vstup desátého třívstupového obvodu (NST10) typu negace logického součinu, na čtvrtý vstup pátého čtyřvstupového obvodu (NSC5) typu

negace logického součinu, na třetí vstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu a na třetí vstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu, sedmý výstup (67) binárně dekadického dekodéru (DK) 4 : 10 je dále připojen na druhý vstup šestnáctého třívstupového obvodu (NST16) typu negace logického součinu, jehož výstup je připojen na třetí vstup prvního třívstupového obvodu (NST1) typu negace logického součinu a na sedmý vstup prvního osmivstupového součtově součinnového hradla (SSH01), osmý výstup (68) binárně dekadického dekodéru (DK) 4 : 10 je připojen na první vstup desátého dvouvstupového obvodu (NSD 10) typu negace logického součinu, na první vstup šestnáctého třívstupového obvodu (NST16) typu negace logického součinu a na vstup dvacátého prvního invertoru (INV21), jehož výstup je připojen na třetí vstup pátého třívstupového obvodu (NST5) typu negace logického součinu.

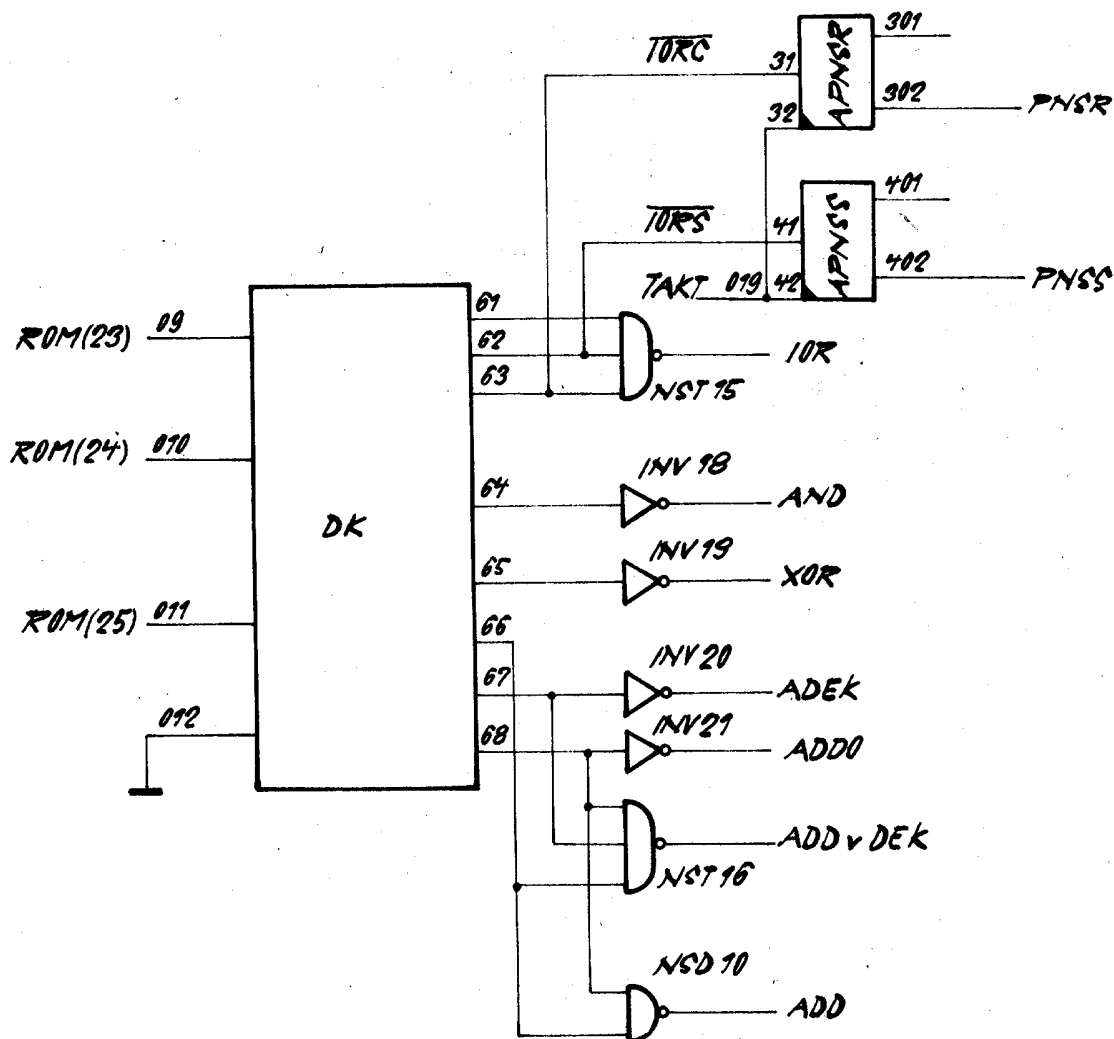
3 výkresy



Obr. 1a



Obr. 1b



Obr. 1c