

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810133553.9

[51] Int. Cl.

H01L 27/108 (2006.01)

H01L 23/522 (2006.01)

H01L 21/8242 (2006.01)

H01L 21/768 (2006.01)

[43] 公开日 2009年5月6日

[11] 公开号 CN 101425515A

[22] 申请日 2008.7.17

[21] 申请号 200810133553.9

[30] 优先权

[32] 2007.11.2 [33] KR [31] 10-2007-0111632

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道利川市

[72] 发明人 成敏圭 赵兴在 金龙水 林宽容  
张世亿

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 刘继富 顾晋伟

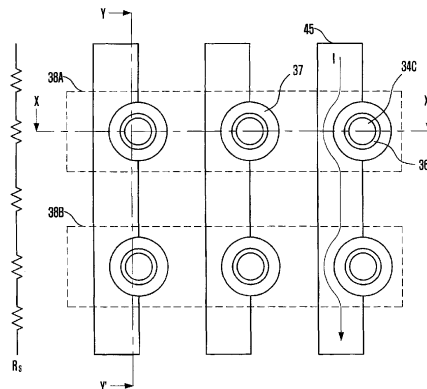
权利要求书 3 页 说明书 8 页 附图 10 页

[54] 发明名称

具有垂直沟道晶体管的半导体器件及其制造方法

[57] 摘要

本发明提供一种具有垂直沟道晶体管的半导体器件，包括：形成在衬底上的柱结构；包围所述柱结构的下部外壁的栅电极；和在一定方向上延伸以部分接触所述栅电极的外壁的字线，其中所述字线移向所述柱结构的一侧，从而使得晶体管速度提高。本发明还提供一种制造具有垂直沟道晶体管的半导体器件的方法。



1. 一种半导体器件，包括：  
形成在衬底上的柱结构；  
包围所述柱结构的下部的外壁的栅电极；和  
在一定方向上延伸以部分接触所述栅电极的外壁的字线，其中所述字线移向所述柱结构的一侧。
2. 根据权利要求1所述的半导体器件，还包括在所述柱结构和另一个柱结构之间的所述衬底中掩埋的位线，所述位线布置为与所述字线交叉。
3. 根据权利要求2所述的半导体器件，其中所述位线是通过杂质注入而形成的杂质区域。
4. 根据权利要求2所述的半导体器件，其中所述位线通过所述栅电极和所述柱结构之间形成的栅极介电层来绝缘并且形成在所述衬底上。
5. 根据权利要求1所述的半导体器件，其中所述栅电极包括硅层，并且所述字线包括金属层。
6. 根据权利要求5所述的半导体器件，其中所述字线包含选自以下的一种材料：硅化钨 ( $WSi_x$ )、氮化钛 (TiN)、钨 (W)、铝 (Al)、铜 (Cu)、金 (Au) 和钌 (Ru)。
7. 根据权利要求1所述的半导体器件，还包括在所述栅电极和所述字线之间形成的阻挡金属。
8. 根据权利要求7所述的半导体器件，其中所述阻挡金属包括选自以下的一种材料：TiN、碳氮化钽 (TaCN)、碳化钽 (TaC)、氮化钨 (WN)、氮化硅钨 (WSiN)、氮化钽 (TaN)、钛 (Ti) 和硅化钨 ( $WSi_x$ )。
9. 根据权利要求1所述的半导体器件，其中所述柱结构包括：  
柱体；和  
形成在所述柱体上的柱头，所述柱头具有大于所述柱体的宽度，  
其中所述栅电极包围所述柱体的外壁，在所述栅电极和所述外壁之间插入有栅极介电层。
10. 一种制造半导体器件的方法，所述方法包括：  
在衬底上形成柱结构；  
形成包围所述柱结构的下部的外壁的栅电极；和  
形成在一定方向上延伸以部分接触所述栅电极的外壁的字线，其中所

述字线移向所述柱结构的一侧。

11. 根据权利要求 10 所述的方法, 还包括在所述柱结构和另一个柱结构之间的所述衬底中形成掩埋位线。

12. 根据权利要求 11 所述的方法, 其中所述字线的形成包括:

形成填充所述柱结构和另一个柱结构之间的间隙的内部介电 (ILD) 层;

蚀刻所述 ILD 层以形成部分暴露出所述栅电极的外壁的沟槽, 所述栅电极沿与所述位线交叉的方向布置;

用金属层填充所述沟槽; 和

对所述金属层实施回蚀刻工艺, 以使得所述金属层上表面高于所述栅电极的上表面。

13. 根据权利要求 12 所述的方法, 其中使用具有限定所述沟槽的开口的光刻胶图案来实施所述 ILD 层的蚀刻,

所述光刻胶图案是线间隔形状图案, 其中所述开口的一侧与所述柱结构的中心对准, 并且所述开口的另一侧与所述柱结构和所述另一个柱结构之间的区域的中心对准。

14. 根据权利要求 10 所述的方法, 其中所述栅电极包括硅层。

15. 根据权利要求 10 所述的方法, 其中所述字线包括选自以下的一种材料:  $WSi_x$ 、TiN、W、Al、Cu、Au 和 Ru。

16. 根据权利要求 10 所述的方法, 还包括在所述栅电极和所述字线之间形成阻挡金属。

17. 根据权利要求 16 所述的方法, 其中所述阻挡金属包括选自以下的一种材料: TiN、TaCN、TaC、WN、WSiN、TaN、Ti 和  $WSi_x$ 。

18. 根据权利要求 11 所述的方法, 其中所述位线的形成包括:

将杂质注入所述柱结构和所述另一个柱结构之间的所述衬底中, 以形成待用作所述位线的杂质区域;

形成分隔所述杂质区域的沟槽; 和

用介电层填充所述沟槽。

19. 根据权利要求 11 所述的方法, 还包括在所述柱结构和栅极电介质之间以及在所述栅电极和所述位线之间形成栅极介电层。

20. 根据权利要求 10 所述的方法, 其中所述柱结构包括:

- 柱体；和  
形成在所述柱体上的柱头，所述柱头具有大于所述柱体的宽度，  
其中所述栅电极包围所述柱体的外壁，在所述栅电极和所述外壁之间  
插入有栅极介电层。
21. 根据权利要求 20 所述的方法，其中所述柱结构的形成包括：  
在所述衬底上形成硬掩模图案；  
使用所述硬掩模图案作为蚀刻屏障，首次蚀刻所述衬底以形成所述柱  
头；  
在所述柱头的侧壁上形成覆盖层；  
使用所述覆盖层作为蚀刻屏障，二次蚀刻所述衬底以形成柱体；和  
三次蚀刻去除侧向预定宽度的所述柱体的侧壁。
22. 根据权利要求 21 所述的方法，其中所述衬底的所述首次蚀刻和所述衬  
底的所述二次蚀刻通过各向异性蚀刻实施，并且所述柱体侧壁的三次蚀刻  
通过各向同性蚀刻实施。
23. 一种半导体器件，包括：  
在衬底上以矩阵形式形成并且彼此分隔预定距离的多个柱结构；  
多个栅电极，每个栅电极包围相应的所述柱结构之一的下部的侧壁；  
和  
多个字线，每个字线对应于某些所述柱结构和某些所述栅电极，并且  
每个字线在一定方向上延伸以部分接触所述相应的栅电极的侧壁，其中每  
个字线移向所述相应的柱结构的一侧。

## 具有垂直沟道晶体管的半导体器件及其制造方法

### 相关申请

本发明要求 2007 年 11 月 2 日提交的韩国专利申请第 10-2007-0111632 号的优先权，其全文引入作为参考。

### 技术领域

本发明涉及半导体器件制造技术，并且更具体涉及具有垂直沟道晶体管的半导体器件及制造具有垂直沟道晶体管的半导体器件的方法。

### 背景技术

近来，为了提高集成度，对 40 nm 以下的存储器件的需求已经逐渐增加。然而，使用具有  $8F^2$  或  $6F^2$  单元结构（其中‘F’表示最小特征尺寸）的常规平面或凹陷栅极晶体管难以实现具有 40 nm 或更小线宽的缩微化存储器件。因此，现在需要具有  $4F^2$  单元结构的动态随机存取存储器（DRAM）器件，这是因为它们在不缩减尺寸的情况下提高集成度 1.5 至 2 倍。为此，已经提出垂直沟道晶体管。

在垂直沟道晶体管中，形成包围型栅电极以包围在半导体衬底上垂直延伸的有源柱，并且在栅电极上方和下方的有源柱的上部和下部分别形成源极和漏极区，从而垂直形成沟道。因此，即使缩小晶体管面积，也可以保持沟道长度。

图 1A 示出包含垂直沟道晶体管的常规存储器件的透视图。图 1B 示出常规存储器件中的字线和栅极之间的连接的平面图。

参考图 1A 和 1B，栅电极介电层 13 和栅电极 14 包围在衬底 11 上形成的柱 12 的外壁。存储节点 15 连接至柱 12 的上部，并且在衬底 11 中设置掩埋位线 16。字线 18 通过阻挡金属（barrier metal）17 连接至栅电极 14，并且在一定方向上延伸以与位线 16 交叉。绝缘层 19 形成在存储节点 15 和栅电极 14 之间。栅极介电层 13 可以形成在衬底 11 和栅电极 14 之间。

在常规存储器件中，多晶硅层用作栅电极 14，并且金属层用作字线 18。

因此，因为字线 18 和栅电极 14 是串联连接的，所以流过字线 18 的电流受到用作栅电极 14 的多晶硅层以及用作字线 18 的金属层的影响。

然而，电流不仅仅只是流过字线 18，而且流过栅电极 14 的小区域和字线 18 的大区域（见图 1B 的  $I_1$  和  $I_2$ ）。因此，由于栅电极 14 的小区域导致字线 18 的方块电阻（ $R_s$ ）急剧增大，使得难以实现高速存储器件。

## 发明内容

本发明的实施方案涉及提供包括能够通过减小字线的总电阻而实现高速性能的垂直沟道晶体管的半导体器件，以及制造所述半导体器件的方法。

根据本发明的一个方面，提供一种半导体器件。所述半导体器件包括形成在衬底上的柱结构，包围所述柱结构的下部的外壁的栅电极，以及在一定方向上延伸以部分接触栅电极外壁的字线，所述字线移向柱结构的一侧。

根据本发明的另一个方面，提供一种制造半导体器件的方法。所述方法包括在衬底上形成柱结构，形成包围柱结构的下部的外壁的栅电极，以及形成在一定方向上延伸以部分接触栅电极外壁的字线，所述字线移向柱结构的一侧。

## 附图说明

图 1A 示出具有垂直沟道晶体管的常规存储器件的透视图。

图 1B 示出常规存储器件中的字线和栅电极之间的连接的平面图。

图 2A 示出根据本发明的一个实施方案的半导体器件的透视图。

图 2B 示出根据本发明的该实施方案的半导体器件的截面图。

图 2C 示出根据本发明的该实施方案的半导体器件中的字线和栅电极之间的连接的平面图。

图 3A 至 3I 示出制造根据本发明的该实施方案的半导体器件的方法。

## 具体实施方式

以下，参考附图对根据本发明的包含垂直沟道晶体管的半导体器件以

及制造包含垂直沟道晶体管的半导体器件的方法进行详述。

图 2A 示出根据本发明的一个实施方案的半导体器件的透视图。图 2B 示出根据本发明的该实施方案的半导体器件的截面图。图 2C 示出根据本发明的该实施方案的半导体器件中的字线和栅电极之间的连接的平面图。为方便起见，附图中省略了绝缘层等。

参考图 2A 至 2C，在衬底 31C 上形成矩阵形式的多个柱结构 101，并且彼此分开预定距离。在衬底 31C 上形成的柱结构 101 包括柱体 34C、柱头 34A、缓冲图案 32 和硬掩模图案 33。此处，柱头 34A 的宽度大于柱体 34C 的宽度。柱结构 101 的上侧壁覆盖有覆盖层 35。

在柱体 34C 和衬底 31C 的表面上形成栅极介电层 36，并且在栅极介电层 36 上形成栅电极 37 以包围柱体 34C。因此，栅电极 37 可以是包围在柱结构 101 的下部形成的柱体 34C 的外壁的包围型结构。通过将杂质注入衬底 31C，在衬底 31C 中设置掩埋位线 38A 和 38B。

字线 45 部分接触栅电极 37 的外壁，并且在一定方向上延伸以与设置在衬底 31C 中的位线 38A 和 38B 交叉。亦即，字线 45 延伸以部分接触所有的各个栅电极 37。为了部分接触所有的栅电极 37，字线 45 移向柱结构 101 的一侧。

栅电极 37 可包含多晶硅层，并且字线 45 可包含金属层。字线 45 可包含硅化钨 ( $WSi_x$ )、氮化钛 (TiN)、钨 (W)、铝 (Al)、铜 (Cu)、金 (Au)、钌 (Ru) 或其组合。包含垂直沟道晶体管的存储器件还可在栅电极 37 和字线 45 之间包含阻挡金属。所述阻挡金属可包括 TiN、碳氮化钽 (TaCN)、碳化钽 (TaC)、氮化钨 (WN)、氮化硅钨 ( $WSiN$ )、氮化钽 (TaN)、钛 (Ti)、硅化钨 ( $WSi_x$ ) 或其组合。

如图 2A 至 2C 所示，字线 45 的形状形成使得其移向柱结构 101 的一侧。如果字线 45 移向柱结构 101 的一侧，则字线 45 和栅电极 37 不是串联连接的。因此，流过字线 45 的电流 I 主要受用作字线 45 的金属层的影响。亦即，虽然电流 I 可能在一定程度上受栅电极 37 的影响，但是字线 45 具有金属-至-金属连接方案使得电流 I 主要受字线 45 的大区域的影响。这样的方案使栅电极 37 的作用最小化，而使由金属制成的字线 45 的作用最大化，并且因此显著地减小字线 45 的总电阻 ( $R_s$ )。

与图 1B 的常规存储器件相比,通过减小栅电极 37 的面积和增加字线 45 的面积,可以使根据本发明的半导体器件的字线 45 的总电阻 ( $R_s$ ) 减小为字线 18 的总电阻的约 1/10。具体而言,在常规存储器件中,字线 18 的总电阻受金属层的字线 18 和多晶硅层的栅电极 14 的连接的影响,而在本发明的存储器件中,字线 45 的总电阻 ( $R_s$ ) 主要由金属层的字线 45 确定。因此,可减小字线 45 的总电阻,使得易于实现高速存储器件。

图 3A 至 3I 示出制造根据本发明的实施方案的半导体器件的方法。为了方便起见,图 3A 至 3I 在相同的视图中示出沿线 Y-Y' 截取的截面图和沿线 X-X' 截取的截面图。

参考图 3A,在衬底 31 上形成缓冲图案 32 和硬掩模图案 33。缓冲图案 32 可通过热氧化由二氧化硅 ( $\text{SiO}_2$ ) 形成为约 50~150 Å 的厚度。硬掩模图案 33 由相对于缓冲图案 32 和衬底 31 可选择性蚀刻的材料形成。例如,硬掩模图案 33 可由氮化硅 ( $\text{Si}_3\text{N}_4$ ) 或碳化硅 ( $\text{SiC}$ ) 形成。硬掩模图案 33 可形成为约 2000 Å 的厚度。

利用硬掩模图案 33 作为蚀刻屏障,首次蚀刻衬底 31 至预定深度,例如约 1100 Å。以下,该首次蚀刻将称为‘第一柱蚀刻’。通过第一柱蚀刻,形成用作有源区的柱头 34A。优选地,通过使用单独的氯 ( $\text{Cl}_2$ ) 气、单独的溴化氢 ( $\text{HBr}$ ) 气或  $\text{Cl}_2$  气和  $\text{HBr}$  气的气体混合物的各向异性干蚀刻工艺,实施蚀刻衬底 31 以形成柱头 34A。

参考图 3B,在所得结构上形成覆盖层 35。覆盖层 35 可通过单独沉积氮化物层或依次沉积氧化物层和氮化物层来形成。氧化物层可包括二氧化硅 ( $\text{SiO}_2$ ) 层,而氮化物层可包括氮化硅 ( $\text{Si}_3\text{N}_4$ ) 层。实施直进式蚀刻 (straight etching) 例如回蚀刻,以在柱头 34A 的侧壁上留下覆盖层 35 并且暴露出柱头 34A 之间的衬底 31 的表面。直接蚀刻之后,覆盖层 35 也保留在硬掩模图案 33 和缓冲图案 32 的侧壁上。覆盖层 35 保护柱头 34A 的侧壁免受后续工艺的不利影响。覆盖层 35 可形成为约 50~100 Å 的厚度。

利用覆盖层 35 和硬掩模图案 33 作为蚀刻屏障,第二次蚀刻暴露的衬底 31 至预定深度,例如约 2000 Å。以下,该蚀刻将称为‘第二柱蚀刻’。第二柱蚀刻也通过直接蚀刻实施,由此在柱头 34A 下方形成柱体 34B。柱体 34B 可具有大于柱头 34A 的高度。优选地,通过使用单独的氯 ( $\text{Cl}_2$ ) 气、单独的溴化氢 ( $\text{HBr}$ ) 气或  $\text{Cl}_2$  气和  $\text{HBr}$  气的气体混合物的各向异性干蚀



刻工艺，实施衬底 31 的第二柱蚀刻以形成柱体 34B。在形成柱体 34B 之后，首次蚀刻的衬底表示为附图标记 31A。在完成第二柱蚀刻之后，在衬底 31A 上形成具有预定高度的柱体 34B。

参考图 3C，实施第三柱蚀刻以各向同性地蚀刻柱体 34B 的侧壁。各向同性的第三柱蚀刻通过湿蚀刻或化学干蚀刻（CDE）工艺实施。

这样的各向同性蚀刻称作柱修整工艺。在各向同性蚀刻期间，只有柱体 34B 的暴露侧壁被蚀刻掉约 150 Å，而覆盖有覆盖层 35 的柱头 34A 没有被蚀刻。

因此，柱体 34C 被各向同性蚀刻，并且柱体 34C 上的柱头 34A 形成 T 形柱结构。具体地，柱体 34C 将被以后待形成的栅电极包围，覆盖有覆盖层 35 的柱头 34A 将连接至存储节点。

通过上述蚀刻工艺，形成包括柱头 34A 和柱体 34C 的柱结构 101。即，柱结构 101 包括第一区域、第一区域下方的第二区域和覆盖第一区域侧壁的覆盖层。在此，第二区域具有小于第一区域的宽度。第二区域对应于柱体 34C，而第一区域对应于柱头 34A、缓冲图案 32 和硬掩模图案 33 的多层结构。

参考图 3D，在衬底 31A 和柱体 34C 的暴露表面上形成栅极介电层 36。栅极介电层 36 可包括二氧化硅层，并且栅极介电层 36 可通过沉积或氧化工艺形成为约 50 Å 的厚度。

栅电极 37 形成为包围其上形成有栅极介电层 36 的柱体 34C 的侧壁。具体而言，形成栅电极 37 以使得导电层沉积在衬底 31A 的整个表面上，并且其后实施回蚀刻工艺直至暴露出柱结构 101 之间的衬底 31A 上的栅极介电层 36。栅电极 37 可包含掺杂有 n-型杂质或 p-型杂质的多晶硅层。

参考图 3E，将诸如磷（P）和砷化物（As）的杂质注入柱结构 101 之间的衬底 31A 中，以在衬底 31A 中形成杂质区域 38。杂质区域 38 是其中将要形成掩埋位线的区域。

在所得结构上形成第一层间介电（ILD）层 39 以填充柱结构 101 之间的间隙。第一 ILD 层 39 可由表现出极好的间隙填充性能的硼磷硅酸盐玻璃（BPSG）形成。形成第一 ILD 层 39 之后，可实施化学机械抛光（CMP）以移除台阶部分直至暴露出硬掩模图案 33 的表面。附图标记 31B 表示在

其中通过离子注入形成杂质区域 38 之后的衬底。

参考图 3F, 形成具有间隔线的第一光刻胶图案 40, 以暴露出沿 Y-Y' 方向布置的柱结构 101 之间的间隙。用第一光刻胶图案 40 覆盖沿 X-X' 方向布置的柱结构 101。

利用第一光刻胶图案 40, 蚀刻第一 ILD 层 39 和栅极介电层 36, 并且连续蚀刻衬底 31B 至使杂质区域 38 彼此隔离的深度, 由此形成第一沟槽 41。

杂质区域 38 由第一沟槽 41 隔离, 从而形成位线 38A 和 38B。位线 38A 和 38B 掩埋在衬底 31B 中, 并且因此称为掩埋位线。栅极介电层 36 用作栅极电介质并且也用作使栅电极 37 相对于位线 38A 和 38B 电绝缘的作用。位线 38A 和 38B 在垂直于栅电极 37 的方向上延伸, 并且在垂直于 Y-Y' 方向的方向上布置。附图标记 31C、36A 和 39A 分别表示通过形成第一沟槽 41 的蚀刻工艺而二次蚀刻的衬底、蚀刻的栅极介电层和首次蚀刻的第一 ILD 层。

参考图 3G, 移除第一光刻胶图案 40, 然后在所得结构上沉积第二 ILD 层 42 以间隙填充第一沟槽 41。在此, 第二 ILD 层 42 可由表现出极好的间隙填充性能的 BPSG 形成, 并且用作相邻柱状物 34C 之间以及相邻位线 38A 和 38B 之间的绝缘层。平坦化第二 ILD 层 42 以暴露出柱结构 101 的表面。

参考图 3H, 形成具有间隔线的第二光刻胶图案 43 以在 X-X' 方向上暴露出柱结构 101。第二光刻胶图案 43 在 Y-Y' 方向上暴露出柱结构 101 之间的第一和第二 ILD 层 39 和 42 以及柱结构 101 的上表面 (即, 硬掩模图案的上表面)。

形成第二光刻胶图案 43 使得其在 X-X' 方向上移向柱结构 101 的一侧。例如, 第二光刻胶图案 43 包括限定第二沟槽 44 的开口。开口的一侧与柱结构 101 的中心对准, 并且开口的另一侧与两个柱结构 101 之间的区域的中心对准。即, 当柱结构 101 布置在 X-X' 方向上时, 假定柱结构 101 的宽度是  $P$  并且两个柱结构 101 之间的距离是  $S$ , 则由第二光刻胶图案 43 打开的开口 43A 形成为线状, 使得其同时暴露出对应于约一半的  $P$  (即,  $P/2$ ) 的面积和对应于约一半的  $S$  (即,  $S/2$ ) 的面积。或者, 开口 43A 可不与中心对准。即, 开口可以是各种形状, 只要字线 45 在一定方向上移动以部分

接触栅电极 37 的外壁即可。

使用第二光刻胶图案 43 实施部分蚀刻，由此留下柱结构 101 之间的首次蚀刻的第一 ILD 层 39A 和第二 ILD 层 42 的一部分。例如，实施所述部分蚀刻以使得首次蚀刻的第一 ILD 层 39A 和第二 ILD 层 42 低于栅电极 37 的上表面。所述部分蚀刻通过干蚀刻工艺实施。部分蚀刻之后残留的第一 ILD 层和第二 ILD 层分别表示为“二次蚀刻的第一 ILD 层 39B”和“蚀刻的第二 ILD 层 42A”。由于部分蚀刻的结果，首次蚀刻的第一 ILD 层 39A 在 X-X' 方向上被部分蚀刻，使得二次蚀刻的第一 ILD 层 39B 部分填充柱结构 101 之间的间隙，同时覆盖柱结构 101 一侧的侧壁。在 Y-Y' 方向上，同时部分蚀刻所述首次蚀刻的第一 ILD 层 39A 和所述第二 ILD 层 42，从而保留二次蚀刻的第一 ILD 层 39B 和蚀刻的第二 ILD 层 42A，以部分填充柱结构 101 之间的间隙。

由于部分蚀刻的结果，第二沟槽 44 形成为暴露出栅电极 37 的外壁的上部。例如，第二沟槽 44 暴露出约三分之二的栅电极 37。

参考图 3I，移除第二光刻胶图案 43，然后形成字线 45，以使其部分填充第二沟槽 44 并且电连接至栅电极 37。字线 45 通过沉积金属层然后使一部分金属层凹陷（例如，回蚀刻）来形成。字线 45 延伸以屏蔽栅电极 37。优选地，用作字线 45 的金属层包括  $WSi_x$ 、TiN、W、Al、Cu、Au、Ru 或其组合。金属层可通过原子层沉积 (ALD) 工艺、物理气相沉积 (PVD) 工艺或化学气相沉积 (CVD) 工艺来沉积。阻挡金属还可形成在字线 45 和栅电极 37 之间。阻挡金属包括 TiN、TaCN、TaC、WN、 $WSiN$ 、TaN、Ti、 $WSi_x$  或其组合。

字线 45 接触栅电极 37 的外壁的一部分，并且布置成与位线 38A 和 38B 垂直交叉。

根据前述实施方案，字线 45 具有金属-至-金属连接方案，使得字线 45 的总电阻主要受用作字线 45 的金属层的影响，并且仅受到最小化的栅电极 37 的影响。因此，字线 45 的总电阻减小。

本发明也可应用于具有垂直沟道晶体管的非易失存储器件，例如快闪存储器、SONOS 存储器或 TANOS 存储器以及 DRAM。

如上所述，根据本发明，字线 45 具有金属-至-金属连接方案，因此有

效地减小了字线 45 的总电阻。这在实现高速存储器件中是有利的。

此外，由于字线 45 占据柱结构 101 之间的间隙的一半，因此只有对应于字线 45 的一半宽度的部分而不是两个栅电极 14 对导电性作出贡献。结果，字线 45 电阻可以减小至受栅电极 14 强烈影响的常规存储器件的字线 18 的总电阻的约 1/10。

虽然本发明已经对于具体的实施方案进行了描述，但是本发明的上述实施方案是说明性的而非限定性的。本领域技术人员显然可以在不脱离由以下权利要求限定的本发明的精神和范围内做出各种变化和改变。

(现有技术)

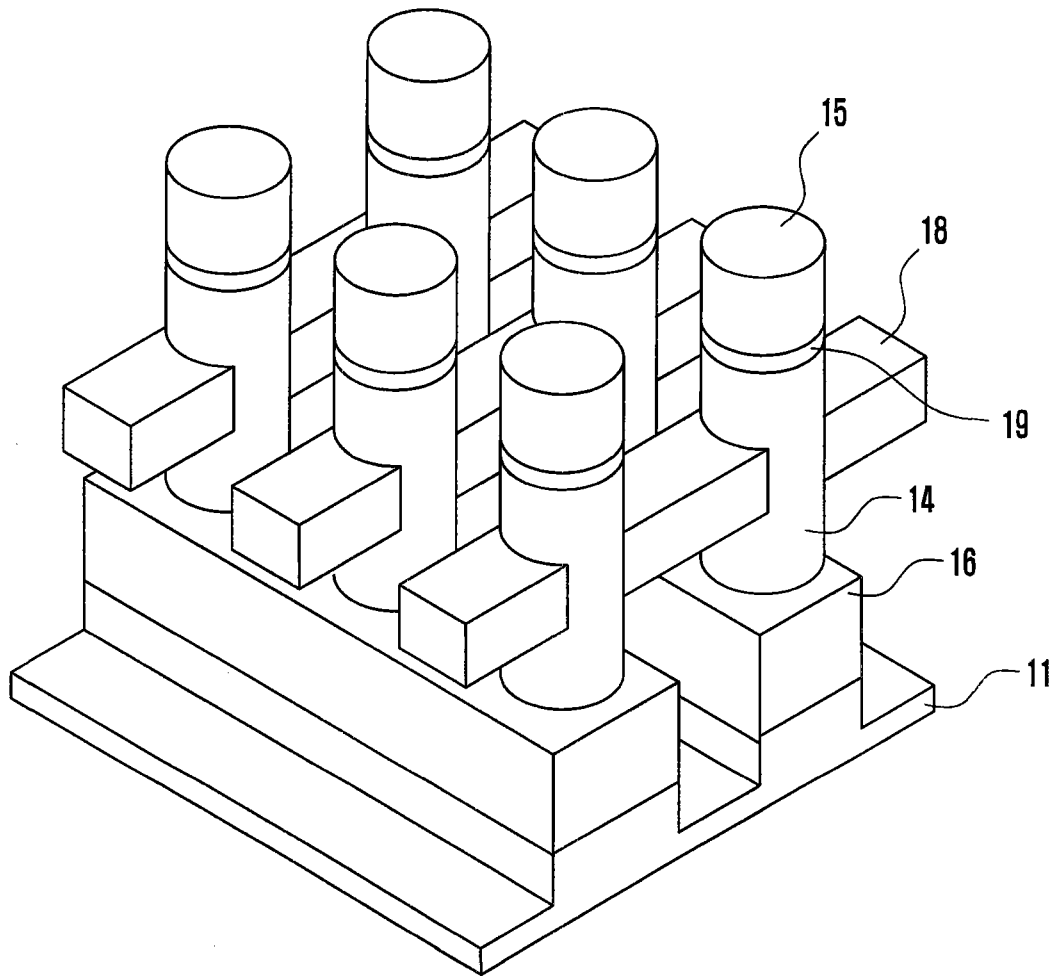


图1A

(现有技术)

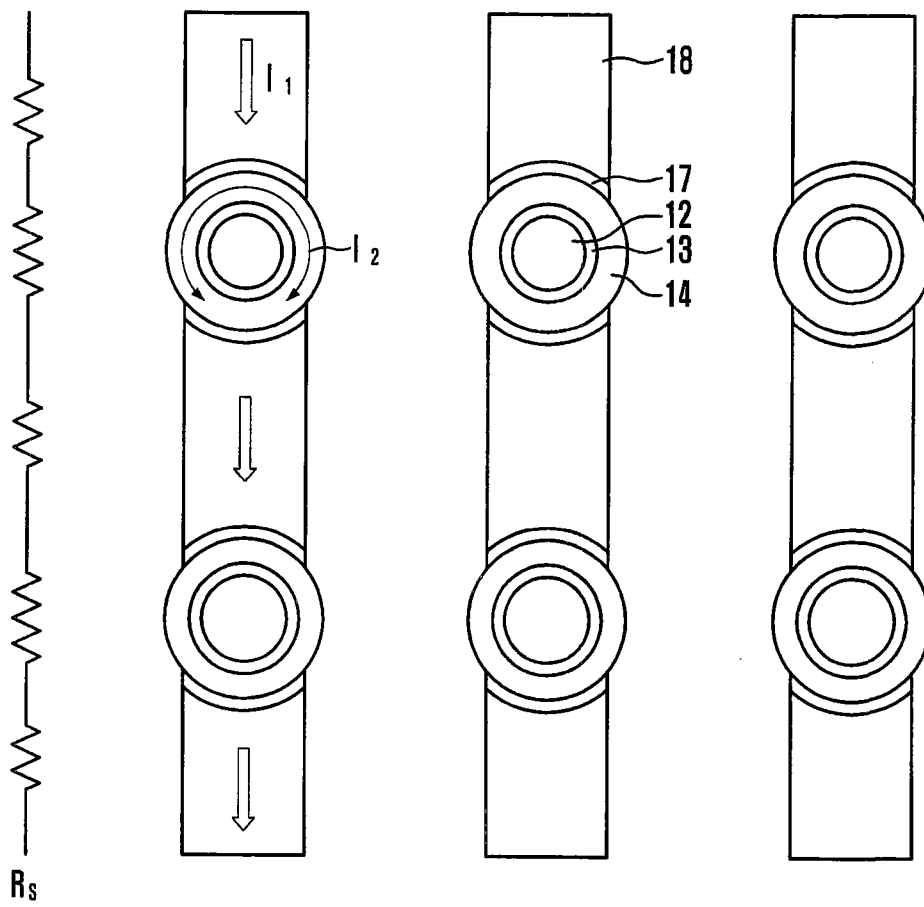


图 1B

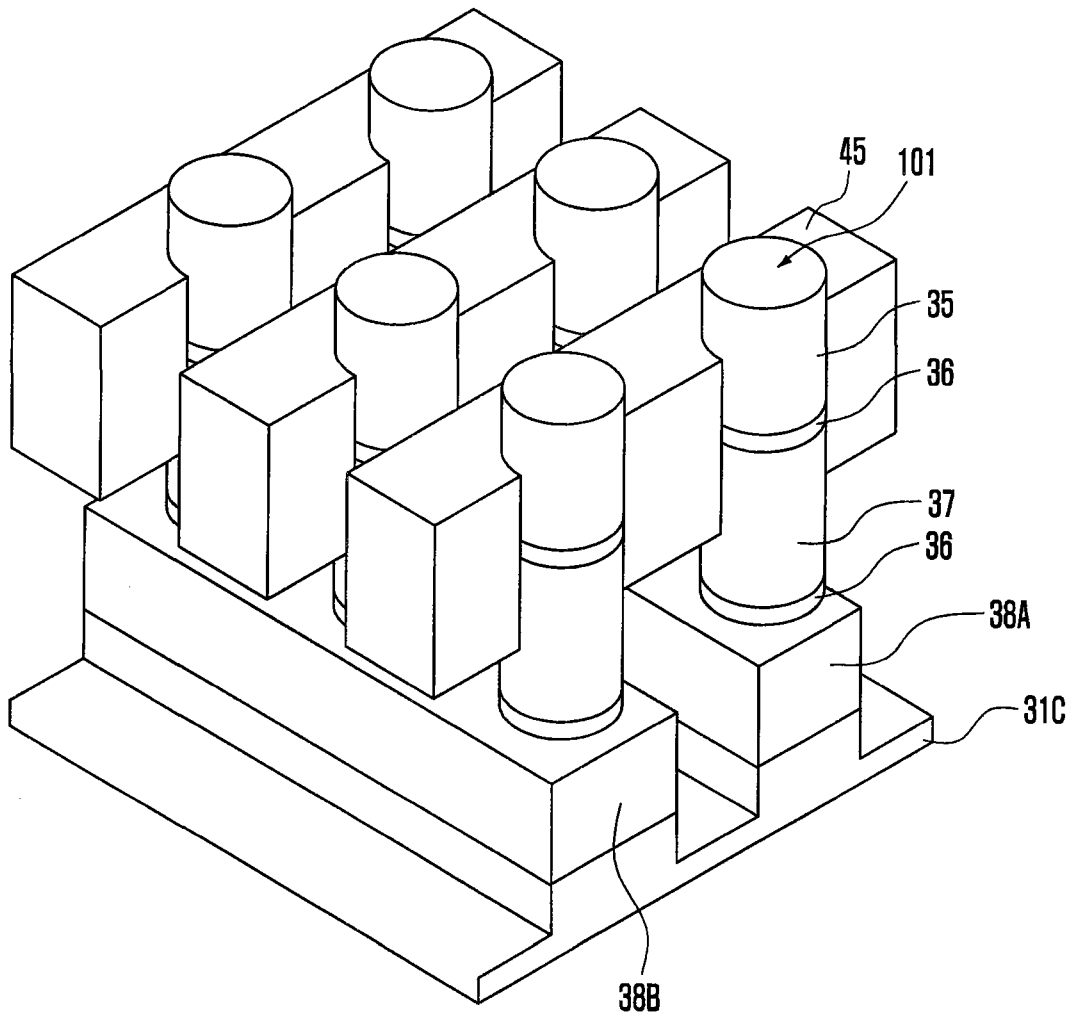


图 2A

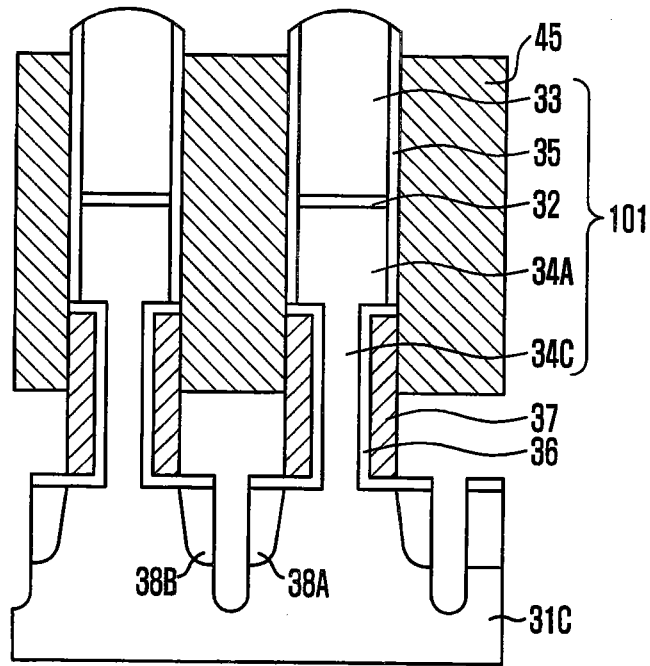


图 2B



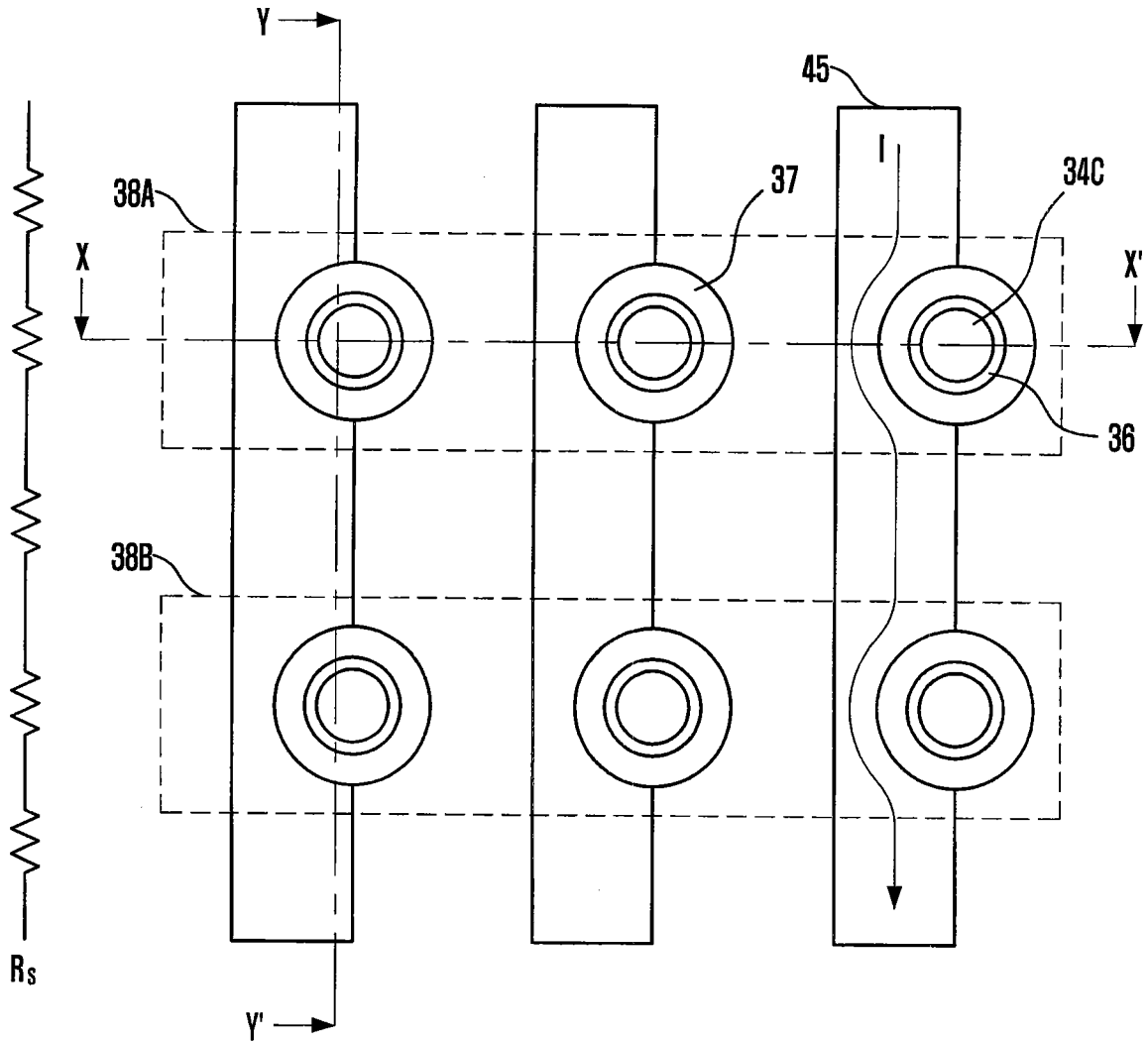


图 2C

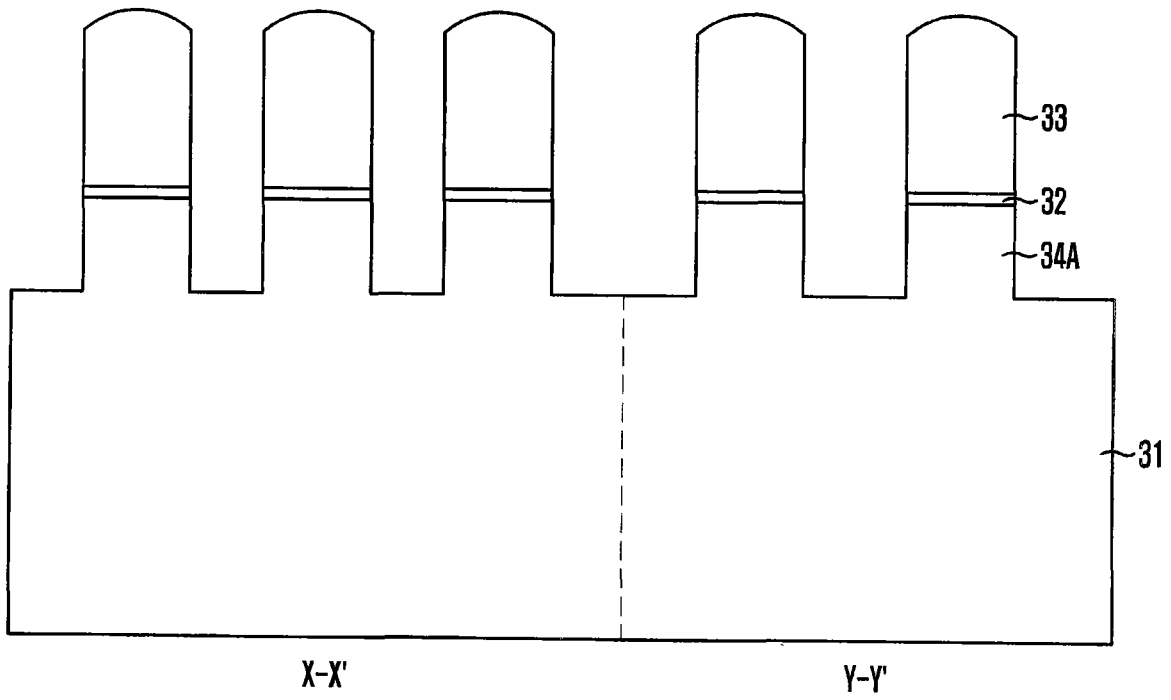


图 3A

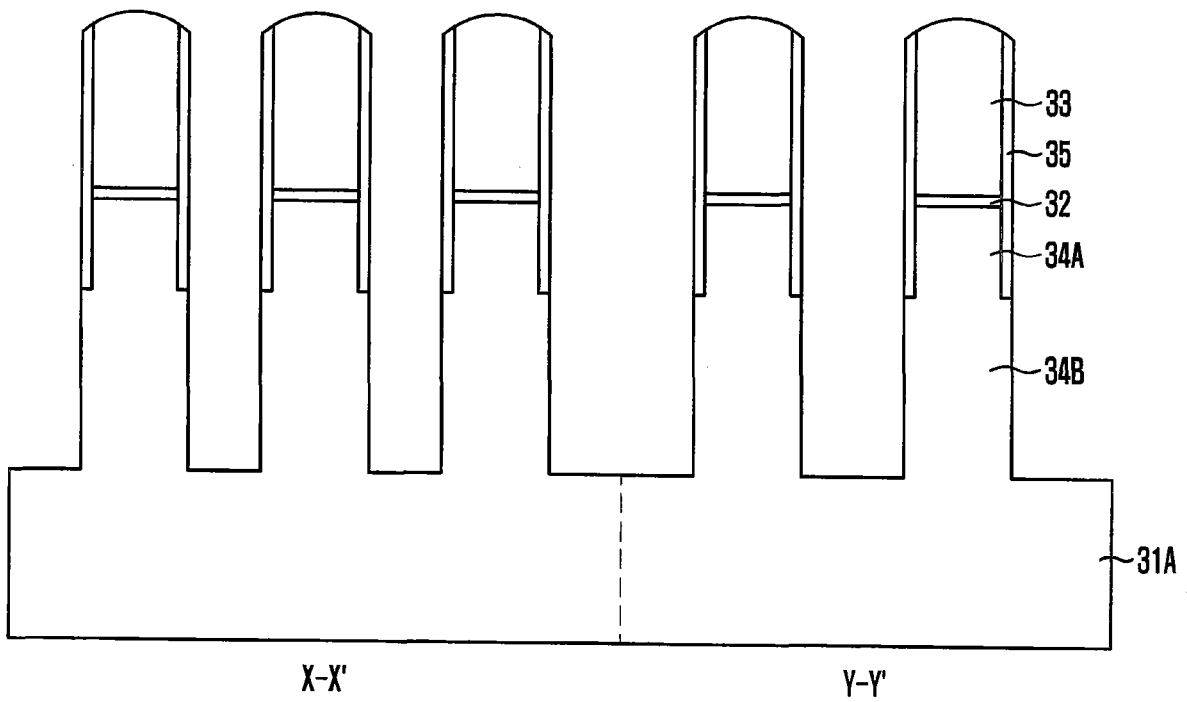


图 3B

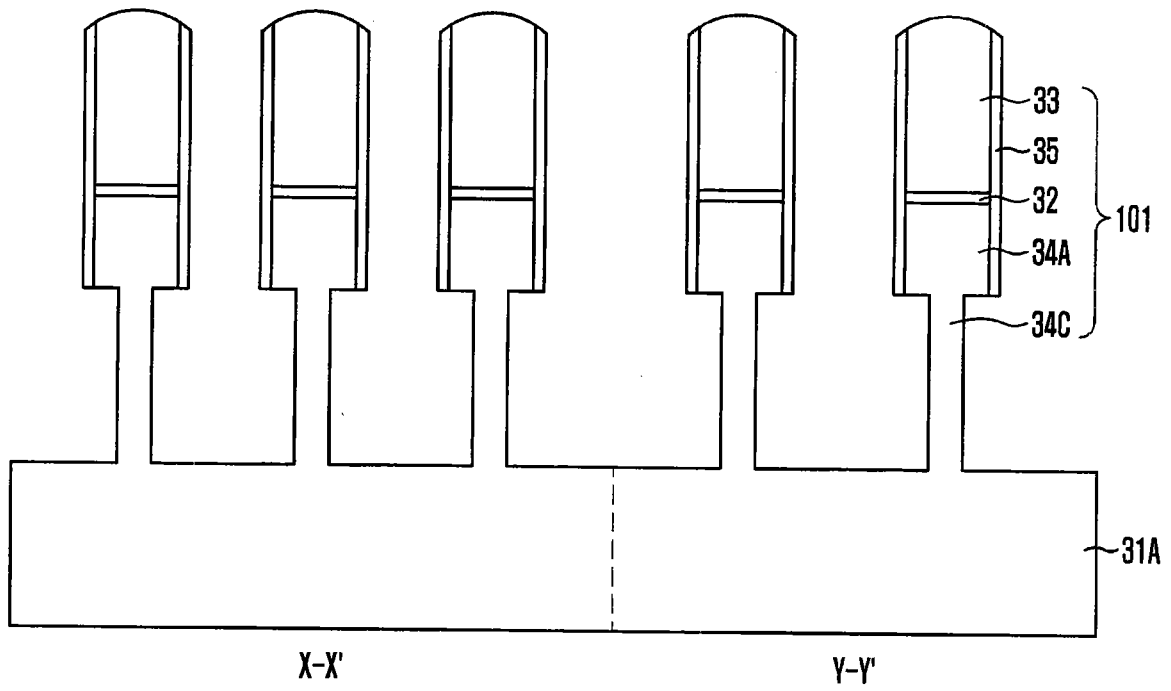


图 3C

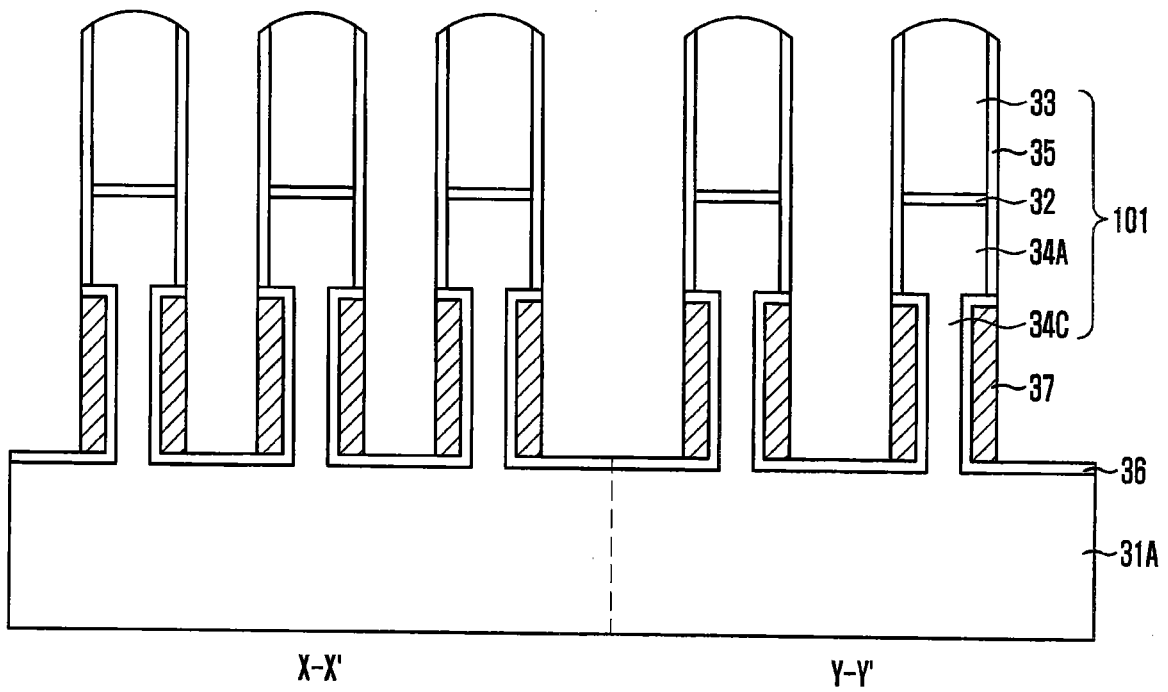


图 3D

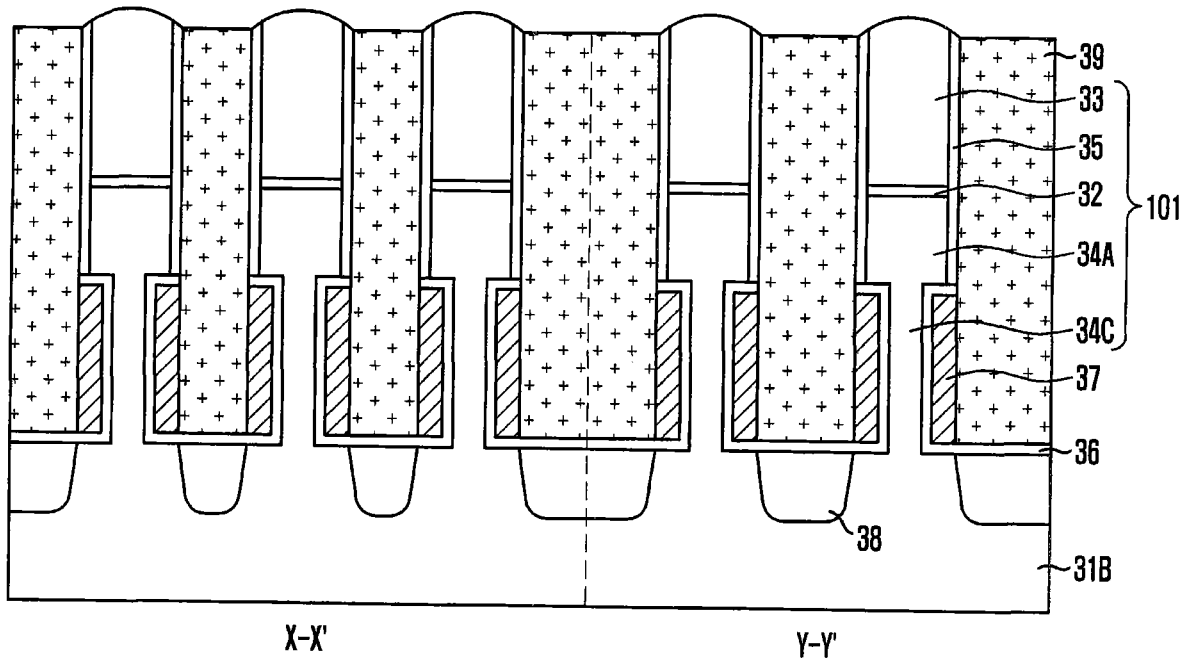


图 3E

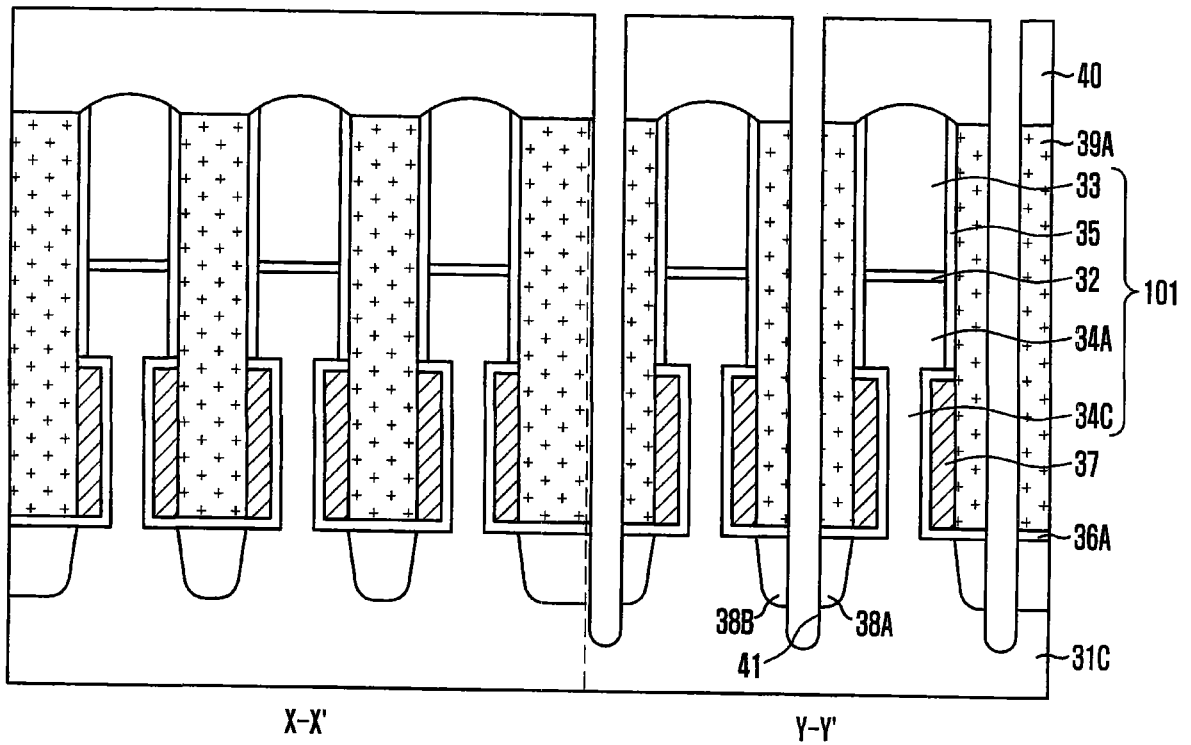


图 3F

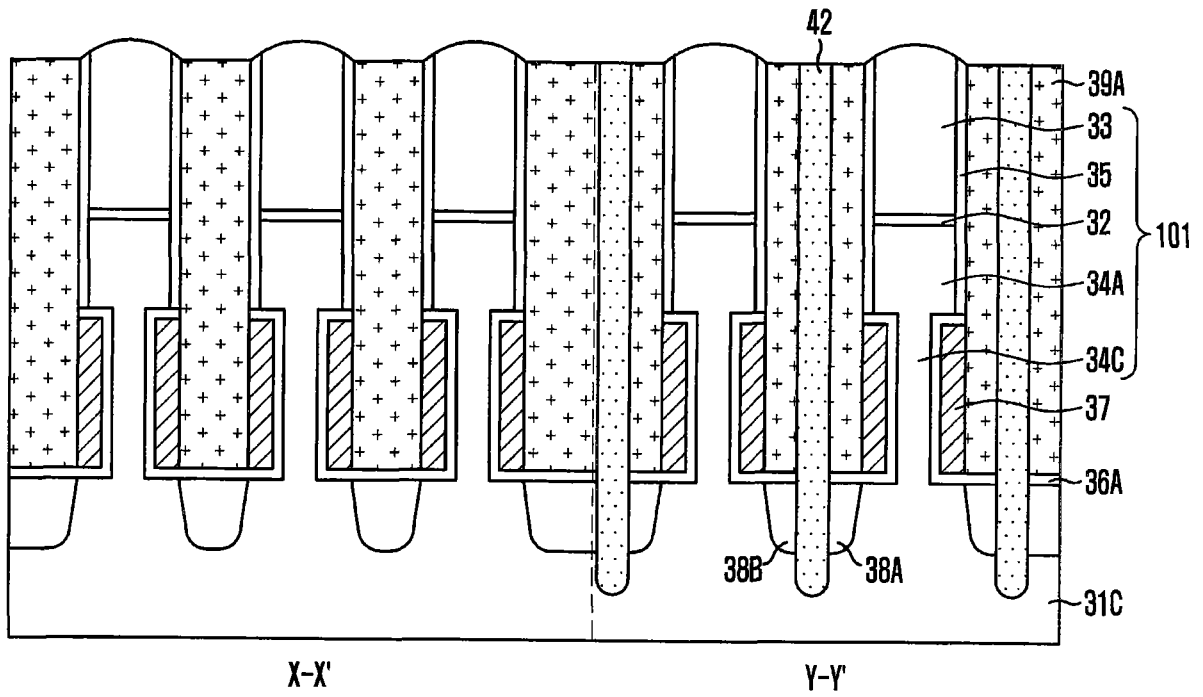


图 3G

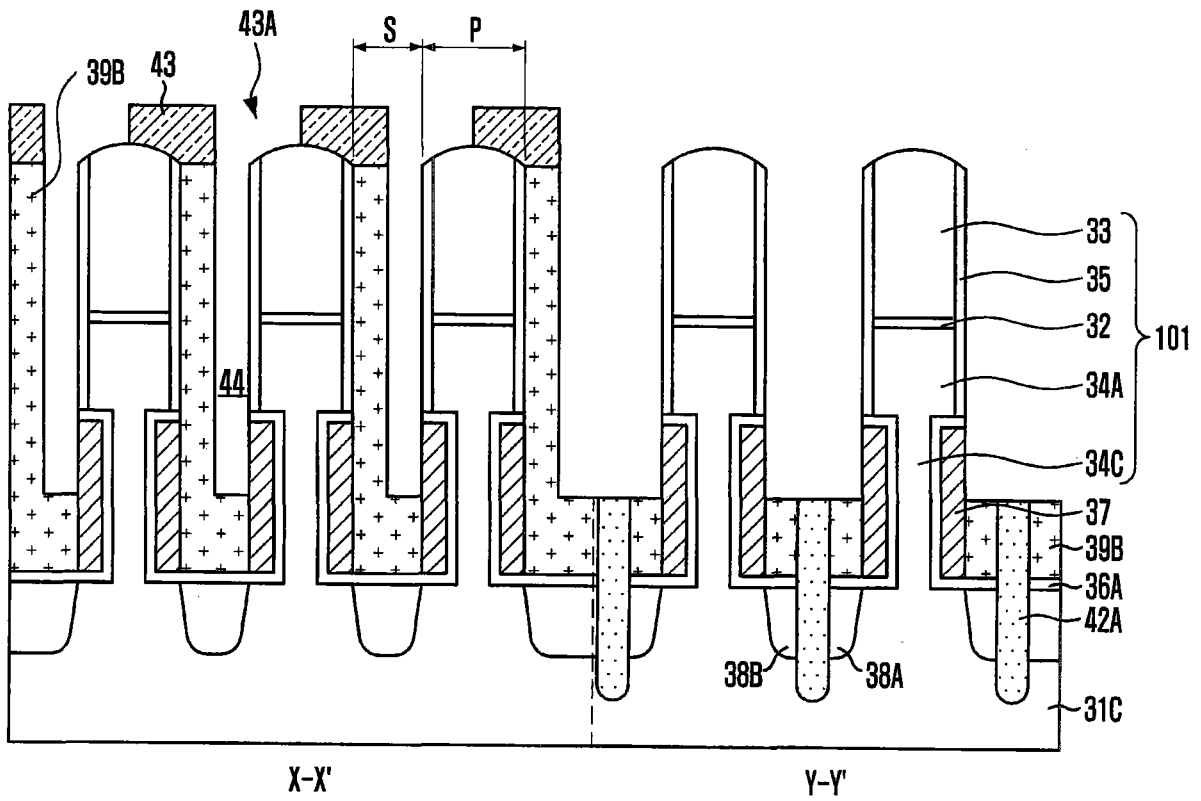


图 3H

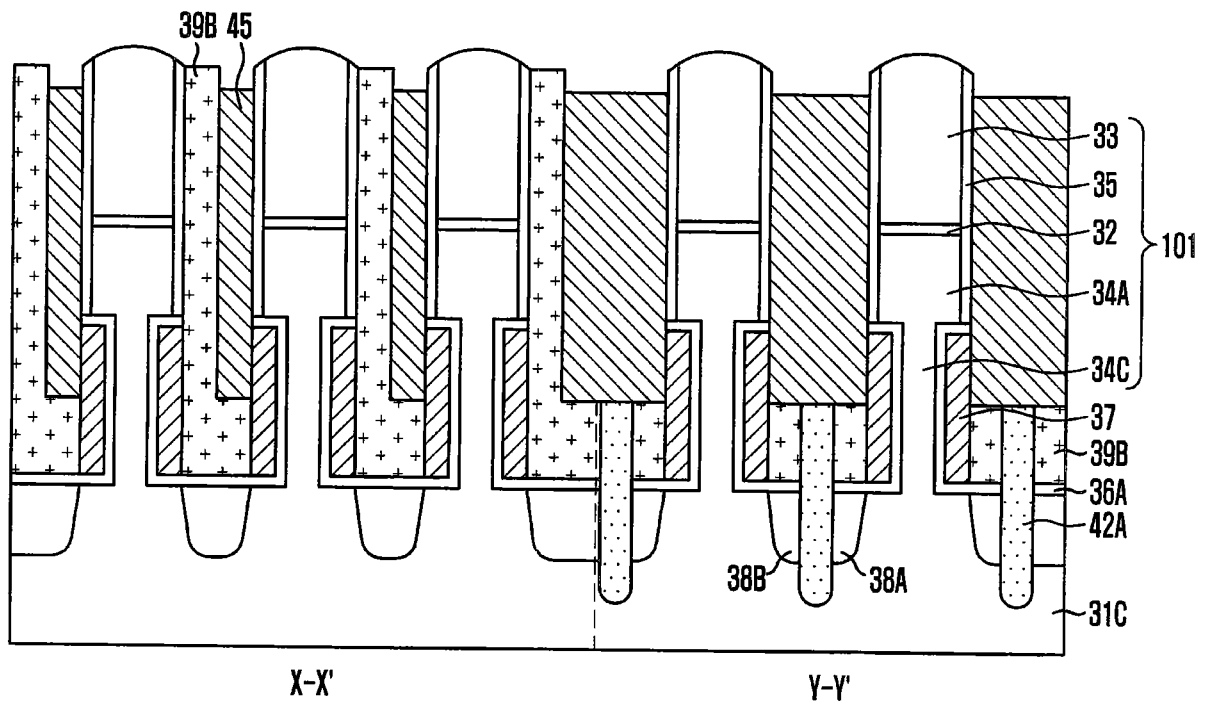


图 3I