

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6914245号
(P6914245)

(45) 発行日 令和3年8月4日 (2021. 8. 4)

(24) 登録日 令和3年7月15日 (2021. 7. 15)

(51) Int. Cl.	F I
H O 1 L 25/065 (2006. 01)	H O 1 L 25/08 Z
H O 1 L 25/07 (2006. 01)	H O 5 K 3/46 Q
H O 1 L 25/18 (2006. 01)	H O 5 K 3/46 N
H O 5 K 3/46 (2006. 01)	H O 5 K 3/46 T

請求項の数 14 (全 31 頁)

(21) 出願番号	特願2018-503557 (P2018-503557)	(73) 特許権者	507364838
(86) (22) 出願日	平成28年7月28日 (2016. 7. 28)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2018-523919 (P2018-523919A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成30年8月23日 (2018. 8. 23)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2016/044487		イブ 5775
(87) 国際公開番号	W02017/019866	(74) 代理人	100108453
(87) 国際公開日	平成29年2月2日 (2017. 2. 2)		弁理士 村山 靖彦
審査請求日	令和1年7月4日 (2019. 7. 4)	(74) 代理人	100163522
(31) 優先権主張番号	14/812, 476		弁理士 黒田 晋平
(32) 優先日	平成27年7月29日 (2015. 7. 29)	(72) 発明者	ホン・ボク・ウィ
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国・カリフォルニア・921
			21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 複数のダイを含むパッケージオンパッケージ (POP) 構造

(57) 【特許請求の範囲】

【請求項 1】

空洞が[あけられたコア層と、](#)
[前記コア層の空洞内に位置する第 1 のダイと、](#)
第 2 のダイと、
前記第 1 のダイと前記第 2 のダイとの間に配設されたフォトイメージング誘電体 (PID) 層と、

前記第 1 のダイから前記 PID 層を通して前記第 2 のダイに至る第 1 の導電性経路であって、前記 PID 層の第 1 の領域を直接通って前記第 1 のダイと前記第 2 のダイとの間で延びる、第 1 の導電性経路と、

前記第 1 のダイから前記 PID 層を通して前記第 2 のダイに至る第 2 の導電性経路であって、前記第 2 の導電性経路の特定の部分が前記第 1 の導電性経路に直角であり、前記第 1 のダイと前記第 2 のダイとの間で直接的にではなく、前記 PID 層の第 2 の領域を通して延びる、第 2 の導電性経路とを備える、パッケージオンパッケージ (POP) 構造。

【請求項 2】

前記第 1 の導電性経路および前記第 2 の導電性経路が、前記第 1 のダイの第 1 の表面から前記第 2 のダイの第 2 の表面まで延びる、請求項 1 に記載の POP 構造。

【請求項 3】

前記第 1 のダイから前記第 2 の導電性経路の前記特定の部分の第 1 の端部までの、前記第 2 の導電性経路の第 1 の部分が、前記第 1 の導電性経路に平行であり、前記第 2 の導電

性経路の前記特定の部分の第2の端部から前記第2のダイまでの、前記第2の導電性経路の第2の部分が、前記第1の導電性経路に平行である、請求項1に記載のPOP構造。

【請求項4】

前記PID層を通るビアをさらに備える、請求項1に記載のPOP構造。

【請求項5】

前記第1の導電性経路が、前記ビアを通して前記第2のダイまで延びる、請求項4に記載のPOP構造。

【請求項6】

前記第1の導電性経路が、シード層、前記ビア、第1の導電層、はんだ、および第2の導電層を通して前記第2のダイまで延びる、請求項4に記載のPOP構造。

10

【請求項7】

前記ビアが銅を含む、請求項4に記載のPOP構造。

【請求項8】

前記第1のダイがプロセッサを含む、請求項1に記載のPOP構造。

【請求項9】

前記プロセッサが、アプリケーションプロセッサ、デジタル信号プロセッサ、グラフィックスプロセッサ、またはそれらの組合せを備える、請求項8に記載のPOP構造。

【請求項10】

前記第2のダイがメモリを含む、請求項1に記載のPOP構造。

【請求項11】

前記メモリがキャッシュメモリを備える、請求項10に記載のPOP構造。

20

【請求項12】

前記第1のダイ、前記第2のダイ、および前記PID層が、コンピュータ、通信デバイス、携帯情報端末(PDA)、エンターテインメントユニット、ナビゲーションデバイス、音楽プレーヤ、ビデオプレーヤ、固定ロケーションデータユニット、セットトップボックス、またはそれらの組合せに組み込まれる、請求項1に記載のPOP構造。

【請求項13】

空洞がけられたコア層、前記コア層の空洞内に位置する第1のダイおよびフォトリソグラフィング誘電体(PID)層を含む第1の集積回路(IC)をパッケージングするための第1の手段と、

30

第2のダイを含む第2のICをパッケージングするための第2の手段とを含み、前記第1のダイから前記PID層を通して前記第2のダイに至る第1の導電性経路が、前記PID層を直接通って前記第1のダイから前記第2のダイに延び、前記第1のダイから前記PID層を通して前記第2のダイに至る第2の導電性経路の一部が、前記第1の導電性経路に直角であり、前記第1のダイと前記第2のダイとの間で直接的にではなく、前記PID層の領域を通して延びる、装置。

【請求項14】

パッケージングするための前記第1の手段およびパッケージングするための前記第2の手段が、コンピュータ、通信デバイス、携帯情報端末(PDA)、エンターテインメントユニット、ナビゲーションデバイス、音楽プレーヤ、ビデオプレーヤ、固定ロケーションデータユニット、セットトップボックス、またはそれらの組合せに組み込まれる、請求項13に記載の装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

優先権の主張

本出願は、参照によりその内容全体が本明細書に明確に組み込まれる、同一出願人が所有する2015年7月29日に出願の米国非仮特許出願第14/812,476号の優先権を主張する。

【0002】

50

本開示は、一般に、複数のダイを含むパッケージオンパッケージ（POP）構造に関する。

【背景技術】

【0003】

技術の進歩は、より小型で、より強力なコンピューティングデバイスをもたらしてきた。たとえば、小型で軽量であり、ユーザによって容易に携帯される、スマートフォンおよびスマートフォンなどのワイヤレス電話、タブレットおよびラップトップコンピュータを含む、様々なポータブルパーソナルコンピューティングデバイスが存在する。これらのデバイスは、ワイヤレスネットワークを介して音声およびデータパケットを伝達することができる。さらに、多くのそのようなデバイスは、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤなどの追加の機能を組み込んでいる。また、そのようなデバイスは、インターネットへのアクセスに使用することができるウェブブラウザアプリケーションなどのソフトウェアアプリケーションを含む、実行可能命令を処理することができる。したがって、これらのデバイスは、高度の計算能力を含むことができる。

10

【0004】

ワイヤレス電話などの電子デバイスは、半導体デバイス内の集積回路を含み得る。半導体デバイスは、第1の集積回路（IC）パッケージと第2のICパッケージとを含み得る。第1のICパッケージはメモリを含んでよく、第2のICパッケージはプロセッサを含んでもよい。第1のICパッケージおよび第2のICパッケージは同一平面内にあってもよい。金属トレースは、第1のICパッケージと第2のICパッケージとの間に経路を形成するために使用され得る。

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

第1のICパッケージと第2のICパッケージとの間の導電性経路の数は、その数が増えると半導体デバイスを製造する複雑さおよびコストが実質的に増加する場合があるため、制限される場合がある。

【課題を解決するための手段】

【0006】

本開示は、第1のダイおよび第2のダイを含むパッケージオンパッケージ（POP）構造を提供する。フォトイメージング誘電体（PID）層は、第1のダイと第2のダイとの間に配設され得る。POP構造は、第1のダイからPID層を通して第2のダイに至る1つまたは複数の導電性経路を含み得る。

30

【0007】

特定の態様では、パッケージオンパッケージ（POP）構造は、第1のダイと、第2のダイと、フォトイメージング誘電体（PID）層とを含む。PID層は、第1のダイと第2のダイとの間に配設される。また、POP構造は、第1のダイからPID層を通して第2のダイに至る第1の導電性経路を含む。第1の導電性経路は、PID層の第1の領域を直接的に通って第1のダイと第2のダイとの間で直接的に延びる。POP構造は、第1のダイからPID層を通して第2のダイに至る第2の導電性経路をさらに含む。第2の導電性経路の一部は第1の導電性経路に直角であり、第1のダイと第2のダイとの間で直接的にではなく、PID層の第2の領域を通して延びる。

40

【0008】

別の態様では、パッケージオンパッケージ（POP）構造を形成する方法は、フォトイメージング可能誘電体材料を、第1のダイが埋め込まれているパッケージの表面上に堆積させるステップを含む。また、方法は、フォトイメージング誘電体（PID）層を形成するためにフォトイメージング可能誘電体材料をパターニングするステップを含む。方法は、PID層を通して第1のダイに至る第1の導電性経路および第2の導電性経路を形成するために導電材料をPID層上に堆積させるステップをさらに含む。また、方法は、第2

50

のダイが第1の導電性経路および第2の導電性経路を介して第1のダイに電氣的に接続されるように、第2のダイをパッケージに結合するステップを含む。第1の導電性経路は、PID層を通して第1のダイから第2のダイに直接的に延びる。第2の導電性経路の一部は第1の導電性経路に直角であり、第1のダイと第2のダイとの間で直接的にではなく、PID層の領域を通して延びる。

【0009】

別の態様では、パッケージオンパッケージ（POP）構造を形成するための方法は、フォトリソグラフィ可能誘電体材料を、第1のダイが埋め込まれているパッケージの表面上に堆積させるステップを含む。また、方法は、フォトリソグラフィ誘電体（PID）層を形成するためにフォトリソグラフィ可能誘電体材料をパターニングするステップを含む。方法は、第1のダイからPID層を経由して第2のダイに至る第1の導電性経路および第2の導電性経路を形成するステップをさらに含む。第1の導電性経路は、PID層を通して第1のダイから第2のダイに直接的に延びる。第2の導電性経路の一部は第1の導電性経路に直角であり、第1のダイと第2のダイとの間で直接的にではなく、PID層の領域を通して延びる。

【0010】

開示する態様のうちの少なくとも1つによって提供される1つの特有の利点は、パッケージオンパッケージ（POP）構造が、第1のダイと第2のダイとの間の他の導電性経路に加えて真っすぐな導電性経路を含み得ることである。第1のダイと第2のダイとの間で直接的に延びるいくつかの導電性経路を有することで、POP構造を製造する複雑さおよびコストが低減され得る。別の特有の利点は、PID層を含むPOP構造が、PID層を除外する別の同様のサイズのPOP構造より多数の導電性経路を第1のダイと第2のダイとの間に含み得ることである。たとえば、PID層を通るフォトビアは、スルーシリコンビア（TSV）より薄い（たとえば、より小さい直径を有する）場合がある。PID層を有するPOP構造は、PID層を除外する別の同様のサイズのPOP構造より多数の導電性経路を第1のダイと第2のダイとの間に含み得る。なぜならば、PID層のフォトビアを通る各導電性経路は、PID層を除外するPOP構造のTSVを通る導電性経路より薄い場合があるからである。第1のダイは、第2のダイと異なるサイズを有し得る。たとえば、POP構造は、第1のダイの第1の表面から第2のダイの第2の表面に至る導電性経路を含み得る。第1の表面は、第2の表面の第2の表面領域より大きい（または小さい）第1の表面領域を有し得る。第1の表面と第2の表面との間で真っすぐな導電性経路に直角である一部を有するいくつかの導電性経路を有することで、POP構造が第1の表面の一部と第2の表面との間で導電性経路を有することが可能になる場合があり、ここで第1の表面の一部は第2の表面を越えて延びる。

【0011】

本開示の他の態様、利点、および特徴は、以下のセクション、すなわち、図面の簡単な説明、発明を実施するための形態、および特許請求の範囲を含む本出願全体の検討後に明らかになるであろう。

【図面の簡単な説明】

【0012】

【図1】パッケージオンパッケージ（POP）構造の断面図である。

【図2】図1のPOP構造の横断面図を示す図である。

【図3】図1のPOP構造の横断面図を示す図である。

【図4】図1のPOP構造の横断面図を示す図である。

【図5】図1のPOP構造を作製する少なくとも1つの段階の間に形成された構造の横断面図を示す図である。

【図6】図1のPOP構造を作製する少なくとも1つの段階の間に形成された構造の横断面図を示す図である。

【図7】図1のPOP構造を作製する少なくとも1つの段階の間に形成された構造の横断面図を示す図である。

【図 8】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 9】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 1 0】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 1 1】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 1 2】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

10

【図 1 3】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 1 4】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 1 5】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 1 6】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

【図 1 7】図 1 の P O P 構造を作製する少なくとも 1 つの段階の間に形成された構造の横断面図を示す図である。

20

【図 1 8】図 1 の P O P 構造を形成する方法の特定の例示的な態様のフローチャートである。

【図 1 9】図 1 の P O P 構造を形成する方法の別の態様のフローチャートである。

【図 2 0】P O P 構造を含む電子デバイスのブロック図である。

【図 2 1】P O P 構造を含む電子デバイスを製造するための製造プロセスの特定の例示的な態様のデータフロー図である。

【発明を実施するための形態】

【0 0 1 3】

図 1 を参照すると、パッケージオンパッケージ (P O P) 構造の特定の例示的な態様が開示され、全体が 1 0 0 で示されている。P O P 構造 1 0 0 は、第 1 のダイ 1 1 6 (たとえば、プロセッサ) と第 2 のダイ 1 5 6 (たとえば、メモリ) とを含む。第 1 のダイ 1 1 6 は、アプリケーションプロセッサ (A P)、デジタル信号プロセッサ (D S P)、グラフィックスプロセッサ、または別のプロセッサのうちの少なくとも 1 つを含み得る。第 2 のダイ 1 5 6 は、キャッシュメモリ、別のメモリまたは両方を含み得る。特定の実装形態では、第 1 のダイ 1 1 6 はメモリ (たとえば、キャッシュメモリ、別のメモリまたは両方) を含んでよく、第 2 のダイ 1 5 6 はプロセッサ (たとえば、アプリケーションプロセッサ (A P)、デジタル信号プロセッサ (D S P)、グラフィックスプロセッサ、または別のプロセッサ) を含んでもよい。

30

【0 0 1 4】

第 1 のダイ 1 1 6 は、第 2 のダイ 1 5 6 の第 2 の寸法 (たとえば、第 2 の高さ、第 2 の幅、および第 2 の長さ) とは異なる第 1 の寸法 (たとえば、第 1 の高さ、第 1 の幅、および第 1 の長さ) を有し得る。たとえば、第 1 の高さは第 2 の高さと異なってよく、第 1 の幅は第 2 の幅と異なってよく、第 1 の長さは第 2 の長さとは異なってよく、またはそれらの組合せであってもよい。

40

【0 0 1 5】

フォトイメージング誘電体 (P I D) 層 1 2 4 (たとえば、ポリアミド層) は、第 1 のダイ 1 1 6 と第 2 のダイ 1 5 6 との間に配設され得る。P O P 構造 1 0 0 は、上部構造 1 6 8 (たとえば、上部パッケージ) と下部構造 1 7 0 (たとえば、下部パッケージ) とを含み得る。下部構造 1 7 0 は、第 1 のダイ 1 1 6 とコア層 1 1 0 とを含み得る。コア層 1 1 0 は、シリコン (S i)、有機材料または両方を含み得る。

50

【 0 0 1 6 】

特定の態様では、下部構造 1 7 0 はまた、ラミネート 1 2 0、P I D 層 1 2 4、誘電体層 1 3 6、誘電体層 1 3 8、はんだレジスト 1 5 2、1 つまたは複数のシード層、ビア 1 4 6、1 つまたは複数の導電層、はんだパッド 1 5 0、はんだパッド 1 8 6、はんだバンブ 1 5 1、はんだバンブ 1 5 3、はんだバンブ 1 5 4、およびはんだバンブ 1 8 4 を含み得る。ラミネート 1 2 0 は、プリント回路基板 (P C B) 基板材料 (たとえば、ポリマー樹脂) を含み得る。ラミネート 1 2 0 は、非導電材料を含み得る。誘電体層 1 3 6、誘電体層 1 3 8 または両方は、ポリイミド、ベンゾシクロブテン (B C B)、シリコン、ハフニウム、ジルコニウム、バリウム、チタン、またはそれらの組合せの成分を含み得る。たとえば、誘電体層 1 3 6、誘電体層 1 3 8 または両方は、一酸化ケイ素、二酸化ケイ素、窒化ケイ素、酸化ハフニウム、酸化ジルコニウム、チタン酸バリウム、酸化チタン、またはそれらの組合せを含み得る。はんだレジスト 1 5 2 (たとえば、はんだマスク) は、ポリマーを含み得る。1 つまたは複数のシード層は、銅または他の金属を含み得る。ビア 1 4 6、1 つまたは複数の導電層、またはそれらの組合せは、導電材料 (たとえば銅、スズ、ニッケル、または別の金属) を含み得る。はんだパッド 1 5 0、はんだパッド 1 8 6、はんだバンブ 1 5 1、はんだバンブ 1 5 3、はんだバンブ 1 5 4、はんだバンブ 1 8 4、またはそれらの組合せは、可溶性金属合金を含み得る。たとえば、はんだパッド 1 5 0、はんだパッド 1 8 6、はんだバンブ 1 5 1、はんだバンブ 1 5 3、はんだバンブ 1 5 4、はんだバンブ 1 8 4、またはそれらの組合せは、スズ、鉛、銅、銀、ビスマス、インジウム、亜鉛、またはアンチモンのうちの少なくとも 1 つを含み得る。

10

20

【 0 0 1 7 】

上部構造 1 6 8 は、第 2 のダイ 1 5 6、1 つまたは複数の第 2 の導電層、および基板 1 5 8 (たとえば、メモリ基板) を含み得る。1 つまたは複数の第 2 の導電層は、導電材料 (たとえば銅、スズ、ニッケル、または別の金属) を含み得る。基板 1 5 8 は、非導電性ペースト (たとえば、非導電性ポリマーペースト) を含み得る。

【 0 0 1 8 】

P O P 構造 1 0 0 は、第 1 のダイ 1 1 6 から P I D 層 1 2 4 を通って第 2 のダイ 1 5 6 に至る 1 つまたは複数の導電性経路を含み得る。たとえば、P O P 構造 1 0 0 は、図 2 を参照しながらさらに説明するように、第 1 のダイ 1 1 6 からビア 1 4 6 (たとえば、金属ビア) を通って第 2 のダイ 1 5 6 に至る導電性経路 (C P) 1 6 2 を含む。ビア 1 4 6 は、P I D 層 1 2 4 を通過し得る。別の例として、P O P 構造 1 0 0 は、第 1 のダイ 1 1 6 から第 2 のダイ 1 5 6 に至る C P 1 8 2、C P 1 0 3 または両方を含み得る。

30

【 0 0 1 9 】

P O P 構造 1 0 0 は、P O P 構造 1 0 0 の第 1 のダイ 1 1 6 からはんだバンブに至る 1 つまたは複数の導電性経路を含み得る。たとえば、P O P 構造 1 0 0 は、第 1 のダイ 1 1 6 から P I D 層 1 2 4 を通ってはんだバンブ 1 5 1 に至る C P 1 0 5 を含み得る。

【 0 0 2 0 】

P O P 構造 1 0 0 は、P O P 構造 1 0 0 の第 2 のダイ 1 5 6 からはんだバンブに至る 1 つまたは複数の導電性経路を含み得る。たとえば、P O P 構造 1 0 0 は、第 2 のダイ 1 5 6 から P I D 層 1 2 4 を通ってはんだバンブ 1 5 3 に至る C P 1 0 7 を含み得る。別の例として、P O P 構造 1 0 0 は、第 2 のダイ 1 5 6 から P I D 層 1 2 4 を通ってはんだバンブ 1 8 4 に至る C P 1 0 1 を含み得る。C P 1 0 1 は、第 2 のダイ 1 5 6 からはんだバンブ 1 8 4 に至る真っすぐな (または実質的に真っすぐな) 経路を含み得る。

40

【 0 0 2 1 】

P O P 構造 1 0 0 は、P I D 層 1 2 4 を通って第 1 のダイ 1 1 6 から第 2 のダイ 1 5 6 まで直接的に延びる 1 つまたは複数の導電性経路 (たとえば、C P 1 6 2、C P 1 8 2 または両方) を含み得る。C P 1 6 2、C P 1 8 2 または両方は、第 1 のダイ 1 1 6 と第 2 のダイ 1 5 6 との間の真っすぐな (または実質的に真っすぐな) 経路であり得る。C P 1 0 3、C P 1 6 2、C P 1 8 2、またはそれらの組合せは、第 1 のダイ 1 1 6 の第 1 の表面から第 2 のダイ 1 5 6 の第 2 の表面まで延び得る。第 1 のダイ 1 1 6 の第 1 の表面は、

50

第2のダイ156の第2の表面に対向することができる。CP101は、CP162、CP182または両方に平行（または実質的に平行）であり得る。CP103は、図2を参照しながらさらに説明するように、導電性経路162、導電性経路182または両方に直角（またはほぼ直角）である少なくとも1つの部分（たとえば、部分113）を含み得る。第2のダイ156は、CP162、CP182または両方に直角（またはほぼ直角）である軸（たとえば、図1の水平軸）に沿って第1のダイ116を越えて延びる少なくとも1つの部分（たとえば、部分190）を含み得る。CP103は、第1のダイ116の第1の表面から第2のダイ156の第2の表面まで延び得る。たとえば、CP103は、第1のダイ116の第1の表面から第2のダイ156の第2の表面に対応する部分190の表面まで延び得る。CP162、CP182または両方に直角（またはほぼ直角）である部分113を有することで、CP103は第2のダイ156の部分190から第1のダイ116まで延びることが可能になり、ここで部分190は、図1の水平軸に沿って第1のダイ116を越えて延びる。

10

【0022】

PID層124を通るフォトビア（たとえば、ビア146）は、スルーシリコンビア（TSV）より薄い（たとえば、より小さい直径を有する）場合がある。PID層124を有するPOP構造100は、PID層124を除外する別の同様のサイズのPOP構造より多数の導電性経路を含み得る。

【0023】

POP構造100は、図5～図8を参照しながら説明するように、第1のダイ116をコア層110内に埋め込むことによって、および図9～図17を参照しながら説明するように、導電性経路101、103、105、107、162および182を形成することによって形成され得る。特定の態様では、POP構造100は、図11を参照しながら説明するように、PID層124を形成するためにフォトイメージング可能誘電体材料を下部構造170上に堆積させることによって、および図12～図17を参照しながら説明するように、導電性経路101、103、105、107、162および182を形成することによって形成され得る。

20

【0024】

本明細書で説明する図2～図4は、図1のPOP構造100の横断面図を示す。POP構造100の導電性経路の様々な態様は、図2～図4を参照しながらさらに説明する。

30

【0025】

図2を参照すると、POP構造100の横断面図の例示的な図が示されている。POP構造100は、CP103、CP162または両方を含み得る。

【0026】

CP103は、CP162、CP182または両方に直角（またはほぼ直角）である少なくとも1つの部分（たとえば、部分113）を含み得る。部分113は、第1の端部215から第2の端部217まで延び得る。第1のダイ116から第1の端部215に至るCP103の第1の部分208は、CP162、CP182または両方に平行（または実質的に平行）であり得る。第2の端部217から第2のダイ156に至るCP103の第2の部分211は、CP162、CP182または両方に平行（または実質的に平行）であり得る。

40

【0027】

第1の部分208は、第1のダイ116からシード層（SL）219を通してビア201まで延び得る。ビア201は、PID層124を通過し得る。部分113は、第1の端部215におけるビア201から第2の端部217におけるビア204まで延び得る。部分113は、誘電体層136の1つまたは複数の部分、およびビア201とビア204との間の1つまたは複数のビアを通過し得る。第2の部分211は、ビア204から第1の導電層（CL）242、はんだ262および第2のCL244を通して第2のダイ156まで延び得る。第2の部分211は、部分190まで延び得る。部分190は、部分113に平行である軸（たとえば、図2の水平軸）に沿って第1のダイ116を越えて延

50

び得る。

【0028】

CP162は、第1のダイ116からSL218、ビア146、第1のCL264、はんだ260、および第2のCL266を通して第2のダイ156まで延び得る。CP162は、第1のダイ116と第2のダイ156との間の真っすぐな（たとえば、実質的に真っすぐな）経路を含み得る。特定の態様では、図1の上部構造168は、第2のCL266を含み得る。

【0029】

SL218、SL219または両方は、銅または他の金属を含み得る。ビア201、ビア204、第1のCL242、第2のCL244、第1のCL264、第2のCL266、またはそれらの組合せは、導電材料（たとえば、銅、スズ、ニッケル、または別の金属）を含み得る。はんだ260、はんだ262または両方は、可溶性金属合金を含み得る。はんだ260、はんだ262または両方は、導電材料を含み得る。

【0030】

PID層124は、第1のダイ116と第2のダイ156との間で真っすぐな第1のPID領域222を含み得る。たとえば、第1のPID領域222は、図2の水平軸に沿って第1のダイ116と重複し得る。PID層124は、第1のダイ116と第2のダイ156との間で直接的ではない第2のPID領域224を含み得る。たとえば、第2のPID領域224は、第1のダイ116を越えて図2の水平軸に沿って一方または両方に延び得る。説明のために、第2のPID領域224の第1の部分は、第1のダイ116を越えて図2の水平軸に沿って第1の方向に延びてよく、第2のPID領域224の第2の部分は、第1のダイ116を越えて図2の水平軸に沿って第2の方向に延びてもよい。第2のPID領域224は、（たとえば、図2の垂直軸に沿って）第1のダイ116と第2のダイ156との間にあり得る。しかしながら、第2のPID領域224の表面に直角の平面は第2のダイ156と交差するが、第1のダイ116と交差しないので、第2のPID領域224は、第1のダイ116と第2のダイ156との間で直接的になり得ない。第2のPID領域224は、図2の水平軸に沿って第2のダイ156と重なることができる（たとえば、PID領域224は、図2の水平軸に沿った一方向に第1のダイ116を越えて延び得る）。

【0031】

CP162、CP182または両方は、第1のPID領域222を通して第1のダイ116から第2のダイ156まで延び得る。第1の部分208は、第1のダイ116から第1のPID領域222を通して第1の端部215まで延び得る。部分113は、第1の端部215から第1のPID領域222、第2のPID領域224または両方を通して第2の端部217まで延び得る。第2の部分211は、第2の端部217から第2のPID領域224を通して第2のダイ156まで延び得る。

【0032】

POP構造100は、第1のダイ116と第2のダイ156との間で複数の導電性経路を含み得る。第1のダイ116と第2のダイ156との間の導電性経路のうちのいくつかは、真っすぐ（または実質的に真っすぐ）であり得る。真っすぐな導電性経路は、PID層を通して第1のダイ116から第2のダイ156に直接的に延び得る。第1のダイ116と第2のダイ156との間の他の導電性経路は、第1のダイ116と第2のダイ156との間の真っすぐな導電性経路に直角（またはほぼ直角）である部分を含み得る。直角（またはほぼ直角）の部分を含む導電性経路は、第1のダイ116から第2のダイ156の部分190まで延び得る。直角の部分は、第1のダイ116と第2のダイ156との間で直接的にではなく、PID層の領域（たとえば、第2のPID領域224）を通して延び得る。たとえば、直角の部分は、図2の水平軸に沿って第1の方向に第1のダイ116を越えて延びる第2のPID領域224の部分を通して延び得る。部分190は、ある軸（たとえば、図2の水平軸）に沿って第1のダイ116を越えて延び得る。

【0033】

図3を参照すると、POP構造100の横断面図の例示的な図が示されている。POP構造100は、CP101、CP105または両方を含み得る。

【0034】

CP101は、はんだバンプ(SB)184からビア346、第1のCL364、はんだ360および第2のCL366を通して第2のダイ156まで延び得る。CP101は、SB184から第2のダイ156に至る真っすぐな(または実質的に真っすぐな)経路を含み得る。ビア346の少なくとも一部は、図1のPID層124を通過し得る。特定の態様では、ビア346は、複数のビアを含み得る。たとえば、ビア346は、誘電体層138を通して延びる第1のビア、ラミネート120を通して延びる第2のビア、コア層110を通して延びる第3のビア、PID層124を通して延びる第4のビア、誘電体層136を通して延びる第5のビア、またはそれらの組合せを含み得る。第4のビアは、第2のPID領域224を通して延び得る。

10

【0035】

CP105は、SB151からビア346、ラミネート120、ビア348、1つまたは複数の追加のビア、誘電体層136の1つまたは複数の部分、ビア350、およびシード層318を通して第1のダイ116まで延び得る。ビア350は、第1のPID領域222を通して延び得る。CP105の少なくとも一部は、CP101に直角(またはほぼ直角)であり得る。たとえば、ビア350からビア348までのCP105の一部は、CP101に直角(またはほぼ直角)であり得る。ビア348は、第2のPID領域224を通して延び得る。CP105の少なくとも一部は、CP101に平行(または実質的に平行)であり得る。たとえば、ビア350から第1のダイ116に至るCP105の一部は、CP101に平行(または実質的に平行)であり得る。別の例として、ラミネート120からSB151に至るCP105の一部は、CP101に平行(または実質的に平行)であり得る。

20

【0036】

SB184、SB151、はんだ360またはそれらの組合せは、可溶性金属合金を含み得る。ビア346、ビア348、1つまたは複数の追加のビア、第1のCL364、第2のCL366、またはそれらの組合せは、導電材料(たとえば、銅、スズ、ニッケル、または別の金属)を含み得る。シード層318は、銅または他の金属を含み得る。はんだ360は、導電材料を含み得る。はんだ360は、可溶性金属合金を含み得る。

30

【0037】

POP構造100は、ダイからはんだバンプに至る導電性経路を含み得る。たとえば、POP構造100は、第2のダイ156からはんだバンプに至る真っすぐな(または実質的に真っすぐな)導電性経路を含み得る。第2のダイ156とはんだバンプとの間の導電性経路は、電力経路または信号経路に対応し得る。別の例として、POP構造100は、第1のダイ116からはんだバンプに至る導電性経路を含み得る。第1のダイ116とはんだバンプとの間の導電性経路は、電力経路または信号経路に対応し得る。

【0038】

図4を参照すると、POP構造100の横断面図の例示的な図が示されている。POP構造100は、CP107を含み得る。

40

【0039】

CP107は、はんだボール153からビア448、誘電体層136の1つまたは複数の部分、1つまたは複数の追加のビア、ビア446、第1のCL464、はんだ460、および第2のCL466を通して第2のダイ156まで延び得る。ビア446の少なくとも一部は、図1のPID層124を通過し得る。CP107の少なくとも一部は、CP101に平行(または実質的に平行)であり得る。たとえば、ビア448からはんだボール153まで延びるCP107の一部は、CP101に平行(または実質的に平行)であり得る。別の例として、ビア446から第2のダイ156まで延びるCP107の一部は、CP101に平行(または実質的に平行)であり得る。CP107の少なくとも一部は、CP101に直角(またはほぼ直角)であり得る。たとえば、ビア448からビア446

50

まで延びるＣＰ１０７の一部は、ＣＰ１０１に直角（またはほぼ直角）であり得る。特定の態様では、ビア４４６は、複数のビアを含み得る。たとえば、ビア４４６は、ラミネート１２０を通して延びる第１のビア、コア層１１０を通して延びる第２のビア、ＰＩＤ層１２４を通して延びる第３のビア、誘電体層１３６を通して延びる第４のビア、またはそれらの組合せを含み得る。第３のビアは、第２のＰＩＤ領域２２４を通して延び得る。ビア４４８は、誘電体層１３８を通して延び得る。

【００４０】

はんだボール１５３、はんだ４６０または両方は、可溶性金属合金を含み得る。ビア４４８、１つまたは複数の追加のビア、ビア４４６、またはそれらの組合せは、導電材料（たとえば、銅、スズ、ニッケル、または別の金属）を含み得る。はんだ４６０は、可溶性金属合金を含み得る。はんだ４６０は、導電材料を含み得る。

10

【００４１】

ＰＯＰ構造１００は、ダイからはんだバンプに至る複数の導電性経路を含み得る。たとえば、ＰＯＰ構造１００は、第２のダイ１５６からはんだバンプに至る導電性経路を含み得る。第２のダイ１５６とはんだバンプとの間の導電性経路は、電力経路または信号経路に対応し得る。導電性経路は、第２のダイ１５６とはんだバンプとの間に真っすぐな（または実質的に真っすぐな）経路を含み得る。代替として、導電性経路は、第２のダイ１５６と別のはんだバンプとの間に、真っすぐな導電性経路に直角（またはほぼ直角）である部分を含み得る。

【００４２】

20

本明細書で説明するように、図５～図１７は、図１のＰＯＰ構造１００を作製する特定の段階の間に形成される構造の横断面図を示す。特定の態様では、図５～図１７に示す各構造は、電子デバイス（たとえば、半導体デバイス）を作製する特定の段階の間に形成される。電子デバイスは、ＰＯＰ構造１００を含み得る。

【００４３】

図５を参照すると、構造の横断面図の例示的な図が示され、全体が５００で示されている。構造５００は、図１のＰＯＰ構造１００を作製するプロセスにおいて少なくとも１つの段階の間に形成され得る。特定の態様では、構造５００は、事前作製され得る。構造５００は、図１のコア層１１０を含み得る。コア層１１０は、１つまたは複数のビア（たとえば、ビア５１２、ビア５１８または両方）を含み得る。１つまたは複数のビア（たとえば、ビア５１２、ビア５１８または両方）は、銅または他の金属を含み得る。コア層１１０の表面は、１つまたは複数の導電層（たとえば、ＣＬ５１４、ＣＬ５１６または両方）を含み得る。１つまたは複数の導電層（たとえば、ＣＬ５１４、ＣＬ５１６または両方）は、銅または他の金属を含み得る。構造５０２は、コア層１１０内に空洞をあけることによって形成され得る。たとえば、空洞は、機械的ドリル加工またはレーザドリル加工によって形成され得る。

30

【００４４】

図６を参照すると、構造の横断面図の例示的な図が示され、全体が６００で示されている。構造６００は、図１のＰＯＰ構造１００を作製するプロセスにおいて少なくとも１つの段階の間に形成され得る。構造６００は、接着膜６１４を図５の構造５０２に接着することによって形成され得る。たとえば、接着膜６１４は、コア層１１０の残りの部分が接着膜６１４上で離間されるように、コア層１１０に接着され得る。接着膜６１４は、粘着テープ（たとえば、ポリエチレンテープ）またはエポキシ接着剤を含み得る。

40

【００４５】

図７を参照すると、構造の横断面図の例示的な図が示され、全体が７００で示されている。構造７００は、図１のＰＯＰ構造１００を作製するプロセスにおいて少なくとも１つの段階の間に形成され得る。構造７００は、第１のダイ１１６を図６の構造６００上に設置することによって形成され得る。たとえば、第１のダイ１１６は、コア層１１０の残りの部分によって形成されるギャップ内の接着膜６１４上に、表を下にして設置され得る。１つまたは複数のシード層（たとえば、シード層（ＳＬ）２１８、ＳＬ２１９、ＳＬ３１

50

8、またはそれらの組合せ)は、第1のダイ116に接着され得る。第1のダイ116を接着膜614上に設置するステップは、第1のダイ116を1つまたは複数のシード層(たとえば、SL118、SL219、SL318、またはそれらの組合せ)および接着膜614の上に設置する前に、1つまたは複数のシード層を接着膜614上に設置するステップを含み得る。

【0046】

図8を参照すると、構造の横断面図の例示的な図が示され、全体が800で示されている。構造800は、図1のPOP構造100を作製するプロセスにおいて少なくとも1つの段階の間に形成され得る。構造800は、図7の構造700をラミネートすることによって形成され得る。たとえば、ラミネート120は、第1のダイ116を接着膜614上に設置した後で構造700上に堆積され得る。ラミネート120は、コア層110および第1のダイ116の上に液体状態で堆積され得る。ラミネート120は、第1のダイ116とコア層110との間の1つまたは複数のギャップを充填し得る。ラミネート120は、固体状態に遷移し得る。たとえば、ラミネート120を固化させるために、熱が構造800に加えられてもよい。

【0047】

図9を参照すると、構造の横断面図の例示的な図が示され、全体が900で示されている。構造900は、図1のPOP構造100を作製するプロセスにおいて少なくとも1つの段階の間に形成され得る。構造900は、図8の構造800をドリル加工することによって形成され得る。たとえば、ラミネート120の部分は、1つまたは複数の開口(たとえば、開口922、開口924、開口926、またはそれらの組合せ)を形成するためにドリル加工され得る。開口922は、ビア512上に(たとえば、ビア512と位置合わせされて)形成され得る。開口924は、導電層514上に(または導電層514と位置合わせされて)形成され得る。開口926は、ビア518上に(たとえば、ビア518と位置合わせされて)形成され得る。

【0048】

図10を参照すると、構造の横断面図の例示的な図が示され、全体が1000で示されている。構造1000は、図1のPOP構造100を作製するプロセスにおいて少なくとも1つの段階の間に形成され得る。構造1000は、接着膜614を図9の構造900から除去することによって形成され得る。特定の態様では、接着膜614は、はぎ取られる場合がある。代替態様では、粘着剥離剤(たとえば、エポキシ溶媒)が、接着膜614を除去するために構造900に塗布され得る。特定の態様では、接着膜614は、図9の1つまたは複数のビア(たとえば、開口922、開口924、開口926、またはそれらの組合せ)を形成する前に除去され得る。たとえば、接着膜614は、図8の構造800から除去されてよく、開口922は、接着膜614を除去した後に形成されてもよい。構造1000は、接着膜614を除去した後に(または除去する前に)反転され得る(たとえば、180度回転され得る)。

【0049】

図11を参照すると、構造の横断面図の例示的な図が示され、全体が1100で示されている。構造1100は、図1のPOP構造100を作製するプロセスにおいて少なくとも1つの段階の間に形成され得る。構造1100は、フォトイメージング可能誘電体材料1124を図10の構造1000上に堆積させることによって形成され得る。たとえば、フォトイメージング可能誘電体材料1124は、接着膜614を除去した後に、コア層110および第1のダイ116の上に堆積され得る。特定の態様では、下部構造170は、コア層110と第1のダイ116とを含み得る。下部構造170は、事前作製され得る。フォトイメージング可能誘電体材料1124は、下部構造170上に堆積され得る。

【0050】

特定の態様では、図1のPID層124は、スピンオン誘電体(SOD)層を含み得る。たとえば、フォトイメージング可能誘電体材料1124は溶媒中に溶解され、コア層110および第1のダイ116の上に回転塗布され得る。PID層124を形成するために

、溶媒がベーキングおよび炉硬化によって除去され得る。代替態様では、フォトリソグラフィ可能誘電体材料 1 1 2 4 は、化学気相堆積 (CVD) を使用して塗布され得る。

【0051】

図 1 2 を参照すると、構造の横断面図の例示的な図が示され、全体が 1 2 0 0 で示されている。構造 1 2 0 0 は、図 1 の POP 構造 1 0 0 を作製するプロセスにおいて少なくとも 1 つの段階の間に形成され得る。構造 1 2 0 0 は、図 1 1 の構造 1 1 0 0 のフォトリソグラフィ可能誘電体材料 1 1 2 4 を露出して現像することによって形成され得る。フォトリソグラフィ可能誘電体材料 1 1 2 4 は、PID 層 1 2 4 を形成するためにパターン化され得る。たとえば、フォトリソグラフィ可能誘電体材料 1 1 2 4 は、フォトリソマスクを通して紫外光に露出され得る。露出されていない領域が、現像液を塗布することによって除去され得る。PID 層 1 2 4 の複数の部分が、1 つまたは複数の開口を形成するためにリソグラフィを使用して除去され得る。説明のために、PID 層 1 2 4 の複数の部分が、開口 1 2 2 6、開口 1 2 2 8、開口 1 2 3 0、開口 1 2 3 2、開口 1 2 3 4、開口 1 2 3 6、またはそれらの組合せを形成するために除去され得る。開口 1 2 2 6 は、シード層 2 1 8 の少なくとも一部を露出し得る。開口 1 2 2 8 は、ビア 5 1 2 上に形成され得る (またはビア 5 1 2 と位置合わせされ得る)。開口 1 2 3 0 は、ビア 5 1 8 上に形成され得る (またはビア 5 1 8 と位置合わせされ得る)。開口 1 2 3 2 は、CL 5 1 6 上に形成され得る (または CL 5 1 6 と位置合わせされ得る)。開口 1 2 3 4 は、シード層 3 1 8 の少なくとも一部を露出し得る。開口 1 2 3 6 は、シード層 3 1 8 の少なくとも一部を露出し得る。

10

20

【0052】

図 1 3 を参照すると、構造の横断面図の例示的な図が示され、全体が 1 3 0 0 で示されている。構造 1 3 0 0 は、図 1 の POP 構造 1 0 0 を作製するプロセスにおいて少なくとも 1 つの段階の間に形成され得る。構造 1 3 0 0 は、図 1 2 の構造 1 2 0 0 の 1 つまたは複数のビアを導電材料 (たとえば、銅または他の金属) で充填することによって形成され得る。たとえば、開口 1 2 2 8 および開口 9 2 2 は、ビア 1 3 3 2 を形成するために導電材料 (たとえば、銅) で充填され得る。ビア 1 3 3 2 は、構造 1 6 0 0 を通過し得る。別の例として、開口 1 2 2 6 は、ビア 1 3 3 4 を形成するために導電材料 (たとえば、銅) で充填され得る。ビア 1 3 3 4 は、シード層 2 1 8 を介して第 1 のダイ 1 1 6 に電気的に結合され得る。追加の例として、開口 9 2 4 は、ビア 1 3 3 6 を形成するために導電材料 (たとえば、銅) で充填され得る。開口 1 2 3 6 は、ビア 3 5 0 を形成するために導電材料 (たとえば、銅) で充填され得る。開口 1 2 3 4 は、ビア 2 0 1 を形成するために導電材料 (たとえば、銅) で充填され得る。開口 1 2 3 2 は、ビア 1 3 0 8 を形成するために導電材料 (たとえば、銅) で充填され得る。開口 1 2 3 0 および開口 9 2 6 は、ビア 1 3 0 4 を形成するために導電材料 (たとえば、銅) で充填され得る。導電材料の一部は、PID 層 1 2 4 上に 1 つまたは複数の導電性パッドを形成するために、開口 1 2 3 0、開口 1 2 3 2、開口 1 2 3 4、開口 1 2 2 6、開口 1 2 3 6、開口 1 2 2 8、またはそれらの組合せからオーバーフローしてもよい。導電材料の一部は、ラミネート 1 2 0 の表面上に 1 つまたは複数の導電性パッドを形成するために、開口 9 2 6、開口 9 2 4、開口 9 2 2、またはそれらの組合せからオーバーフローしてもよい。

30

40

【0053】

図 1 4 を参照すると、構造の横断面図の例示的な図が示され、全体が 1 4 0 0 で示されている。構造 1 4 0 0 は、図 1 の POP 構造 1 0 0 を作製するプロセスにおいて少なくとも 1 つの段階の間に形成され得る。構造 1 4 0 0 は、図 1 3 の構造 1 3 0 0 上に 1 つまたは複数の誘電体層を堆積させることによって形成され得る。たとえば、誘電体層 1 3 6 は、PID 層 1 2 4 上に堆積され得る。別の例として、誘電体層 1 3 8 は、ラミネート 1 2 0 上に堆積され得る。特定の態様では、1 つまたは複数の導電層 (たとえば、CL 1 4 4 4、CL 1 4 7 2、CL 1 4 7 4、またはそれらの組合せ) は、誘電体層 1 3 8 を堆積させる前にラミネート 1 2 0 上に堆積され得る。

50

【 0 0 5 4 】

誘電体層 1 3 6、誘電体層 1 3 8 または両方の部分は、開口を形成するために除去（エッチング）され得る。誘電体層 1 3 6 の 1 つまたは複数の開口（たとえば、開口 1 4 4 0、開口 1 4 4 2、開口 1 4 4 6、開口 1 4 5 6、またはそれらの組合せ）は、P I D 層 1 2 4 のビアと位置合わせされ得る。たとえば、開口 1 4 4 0 は、ビア 1 3 3 2 上に形成され得る（またはビア 1 3 3 2 と位置合わせされ得る）。別の例として、開口 1 4 4 2 は、ビア 1 3 3 4 上に形成され得る（またはビア 1 3 3 4 と位置合わせされ得る）。開口 1 4 4 2 は、シード層 2 1 8 と位置合わせされ得る。開口 1 4 4 6 は、ビア 1 3 0 4 上に形成され得る（またはビア 1 3 0 4 と位置合わせされ得る）。開口 1 4 5 6 は、ビア 1 3 0 8 上に形成され得る（またはビア 1 3 0 8 と位置合わせされ得る）。誘電体層 1 3 6 の 1 つまたは複数の開口（たとえば、開口 1 4 5 4）は、P I D 層 1 2 4 上に堆積された導電層上に形成され得る（または導電層と位置合わせされ得る）。たとえば、開口 1 4 5 4 は、C L 1 3 0 6 上に形成され得る（または C L 1 3 0 6 と位置合わせされ得る）。開口は、マスクを第 1 の誘電体層（たとえば、誘電体層 1 3 6 または誘電体層 1 3 8）に塗布することによって形成され得る。マスクは、第 1 の誘電体層の特定の領域を露出するためにパターン化され得る。特定の領域は、構造（たとえば、構造 1 4 0 0）の別の部分と位置合わせされ得る。たとえば、マスクは、C L 1 3 0 6 と位置合わせされている誘電体層 1 3 6 の領域を露出し得る。第 1 の誘電体層の特定の領域が、除去（エッチング）され得る。

10

【 0 0 5 5 】

誘電体層 1 3 8 の 1 つまたは複数の開口（たとえば、開口 1 4 4 8、開口 1 4 6 2、開口 1 4 6 4、またはそれらの組合せ）は、ラミネート 1 2 0 上に堆積された導電層と位置合わせされ得る。たとえば、開口 1 4 4 8 は、導電層 1 4 4 4 上に形成され得る（または導電層 1 4 4 4 と位置合わせされ得る）。開口 1 4 6 2 は、C L 1 4 7 2 上に形成され得る（または C L 1 4 7 2 と位置合わせされ得る）。開口 1 4 6 4 は、C L 1 4 7 4 上に形成され得る（または C L 1 4 7 4 と位置合わせされ得る）。誘電体層 1 3 8 の 1 つまたは複数の開口（たとえば、開口 1 4 5 2、開口 1 4 5 0 または両方）は、ラミネート 1 2 0 のビアと位置合わせされ得る。たとえば、開口 1 4 5 0 は、ビア 1 3 3 6 上に形成され得る（またはビア 1 3 3 6 と位置合わせされ得る）。開口 1 4 5 2 は、ビア 1 3 0 4 上に形成され得る（またはビア 1 3 0 4 と位置合わせされ得る）。

20

【 0 0 5 6 】

図 1 5 を参照すると、構造の横断面図の例示的な図が示され、全体が 1 5 0 0 で示されている。構造 1 5 0 0 は、図 1 の P O P 構造 1 0 0 を作製するプロセスにおいて少なくとも 1 つの段階の間に形成され得る。構造 1 5 0 0 は、誘電体層 1 3 6 の 1 つまたは複数のビア、誘電体層 1 3 8 の 1 つまたは複数のビア、またはそれらの組合せを導電材料（たとえば、銅）で充填することによって形成され得る。たとえば、開口 1 4 4 2 は、ビア 1 4 6 を形成するために導電材料（たとえば、銅）で充填され得る。ビア 1 4 6 は、誘電体層 1 3 6 および P I D 層 1 2 4 を通過してシード層 2 1 8 に至ることができる。別の例として、開口 1 4 4 0 は、ビア 4 4 6 を形成するために導電材料（たとえば、銅）で充填され得る。開口 1 4 4 6 および開口 1 4 5 2 は、ビア 3 4 6 を形成するために導電材料（たとえば、銅）で充填され得る。開口 1 4 5 4 は、ビア 2 0 4 を形成するために導電材料（たとえば、銅）で充填され得る。開口 1 4 5 6 は、ビア 1 5 5 4 を形成するために導電材料（たとえば、銅）で充填され得る。導電材料の一部は、1 つまたは複数の導電性パッドが誘電体層 1 3 6 の表面上に形成されるように、開口 1 4 4 0、開口 1 4 4 2、開口 1 4 4 6、開口 1 4 5 4、開口 1 4 5 6、またはそれらの組合せからオーバーフローしてもよい。特定の実装形態では、導電材料は、開口 1 4 4 0、開口 1 4 4 2、開口 1 4 4 6、開口 1 4 5 4、開口 1 4 5 6、またはそれらの組合せを充填し、誘電体層 1 3 6 の表面上に層を形成してもよい。導電材料の層の複数の部分は、1 つまたは複数の導電性パッドを形成するために除去（たとえば、エッチング）されてもよい。

30

40

【 0 0 5 7 】

開口 1 4 4 8 は、はんだパッド 1 5 0 を形成するために導電材料（たとえば、銅）で充

50

填され得る。説明のために、導電材料の一部は、はんだパッド 150 を形成するために誘電体層 138 の表面上にオーバーフローしてもよい。別の例として、開口 1450 は、ビア 1550 を形成するために導電材料（たとえば、銅）で充填され得る。開口 1462 は、ビア 346 を形成するために導電材料（たとえば、銅）で充填され得る。開口 1464 は、ビア 448 を形成するために導電材料（たとえば、銅）で充填され得る。

【0058】

導電材料（たとえば、銅）は、1つまたは複数のはんだパッド（たとえば、はんだパッド 1552）を形成するために誘電体層 138 上に堆積され得る。特定の態様では、導電材料（たとえば、銅）は、誘電体層 138 上に堆積され得る。導電材料は、開口 1448、開口 1450、開口 1452、開口 1462、開口 1464、またはそれらの組合せを充填し得る。導電材料の複数の部分は、はんだパッド 150、はんだパッド 1552、ビア 346 に対応するはんだパッド、ビア 346 に対応するはんだパッド、ビア 448 に対応するはんだパッド、またはそれらの組合せを形成するために除去（たとえば、エッチング）されてもよい。

【0059】

図 16 を参照すると、構造の横断面図の例示的な図が示され、全体が 1600 で示されている。構造 1600 は、図 1 の POP 構造 100 を作製するプロセスにおいて少なくとも 1 つの段階の間に形成され得る。構造 1600 は、はんだレジスト 152 を図 15 の構造 1500 上に堆積させることによって形成され得る。たとえば、はんだレジスト 152 は、誘電体層 136、誘電体層 138 または両方の上に堆積され得る。はんだレジスト 152 の複数の部分は開口を形成するために除去（たとえば、エッチング）されてよく、それによって、1つまたは複数のビア（たとえば、ビア 346、ビア 204、ビア 146、ビア 446、ビア 346、ビア 448、またはそれらの組合せ）がカバーを取られ、1つまたは複数のはんだパッド（たとえば、はんだパッド 150、はんだパッド 1552 または両方）がカバーを取られる。たとえば、開口 1650 は、ビア 146 上に形成され得る（またはビア 146 と位置合わせされ得る）。別の例として、開口 1652 は、はんだパッド 150 上に形成され得る（またははんだパッド 150 と位置合わせされ得る）。開口 1654 および開口 1656 は、ビア 346 上に形成され得る（またはビア 346 と位置合わせされ得る）。開口 1654 および開口 1656 は、ビア 346 の対向面上に存在し得る。開口 1658 は、ビア 204 上に形成され得る（またはビア 204 と位置合わせされ得る）。開口 1664 は、ビア 446 上に形成され得る（またはビア 446 と位置合わせされ得る）。開口 1660 は、ビア 346 上に形成され得る（またはビア 346 と位置合わせされ得る）。開口 1662 は、ビア 448 上に形成され得る（またはビア 448 と位置合わせされ得る）。

【0060】

図 17 を参照すると、POP 構造 100 の横断面図の例示的な図が示されている。POP 構造 100 は、図 16 の構造 1600 の 1つまたは複数の開口を導電材料（たとえば、銅）で部分的に充填することによって形成され得る。たとえば、開口 1650 は、第 1 の導電層 264 を形成するために導電材料（たとえば、銅）で部分的に充填され得る。開口 1664 は、第 1 の CL 464 を形成するために導電材料（たとえば、銅）で部分的に充填され得る。開口 1658 は、第 1 の CL 242 を形成するために導電材料（たとえば、銅）で部分的に充填され得る。開口 1654 は、第 1 の CL 364 を形成するために導電材料（たとえば、銅）で部分的に充填され得る。

【0061】

1つまたは複数のはんだバンブ（またははんだボール）は、構造 1600 上に堆積され得る。たとえば、はんだバンブ 154 は、はんだパッド 150 上に設置され得る。開口 1656 の一部は、はんだパッド 186 に対応し得る。はんだバンブ 184 は、はんだパッド 186 上に設置され得る。はんだバンブ 151 は、はんだパッドに対応するビア 346 の一部の上に設置され得る。はんだバンブ 153 は、はんだパッドに対応するビア 448 の一部の上に設置される。

【 0 0 6 2 】

はんだ材料（たとえば、はんだペースト）は、はんだレジスト 1 5 2 の開口内に配設された導電材料上に堆積され得る。たとえば、はんだ 2 6 0、はんだ 4 6 0、はんだ 2 6 2、はんだ 3 6 0 は、開口 1 6 5 0 内の第 1 の導電層 2 6 4、開口 1 6 6 4 内の第 1 の C L 4 6 4、開口 1 6 5 8 内の第 1 の C L 2 4 2、および開口 1 6 5 4 内の第 1 の C L 3 6 4 の上にそれぞれ堆積され得る。基板材料（たとえば、非導電性ペースト）が、基板 1 5 8 を形成するためにはんだレジスト 1 5 2 上に塗布され得る。

【 0 0 6 3 】

導電材料は、1 つまたは複数の第 2 の導電層を形成するために第 2 のダイ 1 5 6 の複数の部分の上に配設され得る。たとえば、第 2 の C L 2 4 4、第 2 の C L 2 6 6、第 2 の C L 3 6 6、第 2 の C L 4 6 6、またはそれらの組合せが、第 2 のダイ 1 5 6 上に配設され得る。1 つまたは複数の導電性経路が、上部構造 1 6 8 と下部構造 1 7 0 との間に形成され得る。たとえば、第 2 のダイ 1 5 6 が基板 1 5 8 上に設置されてよく、それによって、第 2 のダイ 1 5 6 上に配設された導電材料がはんだ材料と位置合わせされる。説明のために、第 2 のダイ 1 5 6 が基板 1 5 8 上に設置されてよく、それによって、第 2 の C L 2 4 4 がはんだ 2 6 2 と位置合わせされ、第 2 の C L 2 6 6 がはんだ 2 6 0 と位置合わせされ、第 2 の C L 3 6 6 がはんだ 3 6 0 と位置合わせされ、第 2 の C L 4 6 6 がはんだ 4 6 0 と位置合わせされ、またはそれらの組合せが存在する。

10

【 0 0 6 4 】

第 2 のダイ 1 5 6 を基板 1 5 8 上に設置することで、導電材料（たとえば、第 2 の C L 2 4 4、第 2 の C L 2 6 6、第 2 の C L 3 6 6、第 2 の C L 4 6 6、またはそれらの組合せ）とはんだ材料（たとえば、はんだ 2 6 2、はんだ 2 6 0、はんだ 3 6 0、はんだ 4 6 0、またはそれらの組合せ）との間にある基板材料（たとえば、非導電性ペースト）の一部が導電材料およびはんだ材料の側に移動され得る。特定の態様では、第 2 のダイ 1 5 6 を基板 1 5 8 上に設置する前に導電材料（たとえば、第 2 の C L 2 4 4、第 2 の C L 2 6 6、第 2 の C L 3 6 6、第 2 の C L 4 6 6、またはそれらの組合せ）を露出させるために、基板材料の複数の部分が（たとえば、エッチングによって）除去され得る。

20

【 0 0 6 5 】

リフローはんだ付けが、第 2 のダイ 1 5 6 を基板 1 5 8 上に設置した後に実行され得る。リフローはんだに続いて、第 1 の導電層 2 6 4 がはんだ 2 6 0 を介して第 2 の導電層 2 6 6 に付着（たとえば、はんだ付け）されてよく、第 1 の C L 4 6 4 がはんだ 4 6 0 を介して第 2 の C L 4 6 6 に付着されてよく、第 1 の C L 2 4 2 がはんだ 2 6 2 を介して第 2 の C L 2 4 4 に付着されてよく、第 1 の C L 3 6 4 がはんだ 3 6 0 を介して第 2 の C L 3 6 6 に付着されてよく、またはそれらの組合せが存在する。リフローはんだに続いて、はんだパンプ 1 5 4 がはんだパッド 1 5 0 に付着（はんだ付け）されてよく、はんだパンプ 1 8 4 がはんだパッド 1 8 6 に付着（はんだ付け）されてよく、はんだパンプ 1 5 1 がはんだパッドに対応するビア 3 4 6 の一部に付着されてよく、はんだパンプ 1 5 3 がはんだパッドに対応するビア 4 4 8 の一部に付着されてよく、またはそれらの組合せが存在する。

30

【 0 0 6 6 】

特定の態様では、上部構造 1 6 8 は、第 2 のダイ 1 5 6、基板 1 5 8、第 2 の導電層 2 6 6、第 2 の C L 3 6 6、第 2 の C L 2 4 4、第 2 の C L 4 6 6、またはそれらの組合せを含み得る。上部構造 1 6 8 は、事前作製され得る。POP 構造 1 0 0 は、はんだ 2 6 0 を第 1 の導電層 2 6 4 上に、第 2 のはんだ 4 6 0 を第 1 の C L 4 6 4 上に、はんだ 2 6 2 を第 1 の C L 2 4 2 上に、はんだ 3 6 0 を第 1 の C L 3 6 4 上に設置することによって形成され得る。第 2 の導電層 2 6 6 がはんだ 2 6 0 上に設置され、第 2 の C L 4 6 6 がはんだ 4 6 0 上に設置され、第 2 の C L 2 4 4 がはんだ 2 6 2 上に設置され、第 2 の C L 3 6 6 がはんだ 3 6 0 上に設置され、または何らかの組合せが存在するように、上部構造 1 6 8 が設置され得る。リフローはんだ付けは、上部構造 1 6 8 の設置に続いて実行され得る。

40

50

【 0 0 6 7 】

P O P 構造 1 0 0 は、第 1 のダイ 1 1 6 からシード層 2 1 8、ビア 1 4 6、第 1 の導電層 2 6 4、はんだ 2 6 0、および第 2 の導電層 2 6 6 を経由して第 2 のダイ 1 5 6 に至る導電性経路 1 6 2 を含み得る。ビア 1 4 6 は、P I D 層 1 2 4 を通過し得る。導電性経路 1 6 2 は、真つすぐ（または実質的に真つすぐ）であり得る。P O P 構造 1 0 0 は、第 2 のダイ 1 5 6 から第 2 の C L 3 6 6、はんだ 3 6 0、第 1 の C L 3 6 4、およびビア 3 4 6 を経由してはんだバンプ 1 8 4 に至る導電性経路 1 0 1 を含み得る。導電性経路 1 0 1 は、真つすぐ（または実質的に真つすぐ）であり得る。導電性経路 1 0 1 は、導電性経路 1 6 2 に平行（または実質的に平行）であり得る。

【 0 0 6 8 】

P O P 構造 1 0 0 は、第 2 のダイ 1 5 6 から第 2 の C L 2 4 4、はんだ 2 6 2、第 1 の C L 2 4 2、ビア 2 0 4、誘電体層 1 3 8 の 1 つまたは複数の部分、1 つまたは複数の追加のビア、ビア 2 0 1、およびシード層 2 1 9 を経由して第 1 のダイ 1 1 6 に至る導電性経路 1 0 3 を含み得る。P O P 構造 1 0 0 は、第 1 のダイ 1 1 6 からシード層 3 1 8、ビア 3 5 0、誘電体層 1 3 8 の 1 つまたは複数の部分、1 つまたは複数の追加の導電層、ビア 3 4 8、ラミネート 1 2 0、およびビア 3 4 6 を経由してはんだバンプ 1 5 1 に至る導電性経路 1 0 5 を含み得る。

【 0 0 6 9 】

誘電体層（たとえば、誘電体層 1 3 6 または誘電体層 1 3 8）は、1 つまたは複数の第 1 のビアを含み得る。第 1 のビアは、導電材料（たとえば、銅）で充填され得る。誘電体層を通して延びる導電性経路（たとえば、導電性経路 1 0 3、導電性経路 1 0 5、または導電性経路 1 0 7）は、第 1 のビアを通して延び得る。ラミネート（たとえば、ラミネート 1 2 0）は、1 つまたは複数の第 2 のビアを含み得る。第 2 のビアは、導電材料（たとえば、銅）で充填され得る。ラミネート 1 2 0 を通って延びる導電性経路（たとえば、導電性経路 1 0 5）は、第 2 のビアを通して延び得る。

【 0 0 7 0 】

P O P 構造 1 0 0 は、第 2 のダイ 1 5 6 から第 2 の C L 4 6 6、はんだ 4 6 0、第 1 の C L 4 6 4、ビア 4 4 6、誘電体層 1 3 8 の 1 つまたは複数の部分、1 つまたは複数の追加の導電層、およびビア 4 4 8 を経由してはんだバンプ 1 5 3 に至る導電性経路 1 0 7 を含み得る。

【 0 0 7 1 】

図 5 ～図 1 7 を参照しながら説明するように形成された P O P 構造 1 0 0 は、第 1 のダイ 1 1 6 と第 2 のダイ 1 5 6 との間で P I D 層 1 2 4 を通る 1 つまたは複数の導電性経路を含み得る。たとえば、P O P 構造 1 0 0 は、導電性経路 1 6 2 を含み得る。導電性経路 1 6 2 は、第 1 のダイ 1 1 6 からシード層 2 1 8、ビア 1 4 6、第 1 の導電層 2 6 4、はんだ 2 6 0、および第 2 の導電層 2 6 6 を通って第 2 のダイ 1 5 6 まで延び得る。ビア 1 4 6 は、P I D 層 1 2 4 を通過し得る。

【 0 0 7 2 】

図 1 8 は、図 1 の P O P 構造 1 0 0 を形成する方法 1 8 0 0 の特定の態様を示すフローチャートである。方法 1 8 0 0 は、1 8 0 2 において、フォトリソ可能誘電体材料を、第 1 のダイが埋め込まれているパッケージの表面上に堆積させるステップを含む。たとえば、図 1 の P O P 構造 1 0 0 は、図 1 1 を参照しながら説明するように、フォトリソ可能誘電体材料 1 1 2 4 を構造 1 0 0 0 上に堆積させることによって形成され得る。第 1 のダイ 1 1 6 は、図 5 ～図 1 0 を参照して説明する構造 1 0 0 0 の中に埋め込まれ得る。

【 0 0 7 3 】

また、方法 1 8 0 0 は、1 8 0 4 において、フォトリソ可能誘電体（P I D）層を形成するためにフォトリソ可能誘電体材料をパターニングするステップを含む。たとえば、図 1 の P O P 構造 1 0 0 を形成するステップは、図 1 2 を参照しながら説明するように、P I D 層 1 2 4 を形成するためにフォトリソ可能誘電体材料 1 1 2 4

10

20

30

40

50

をパターンニングするステップを含み得る。

【0074】

方法1800は、1806において、PID層を通して第1のダイに至る第1の導電性経路および第2の導電性経路を形成するために導電材料をPID層上に堆積させるステップをさらに含む。たとえば、図1のPOP構造100を形成するステップは、図13～図17を参照しながら説明するように、PID層124を通る導電性経路162および導電性経路103を形成するために導電材料を堆積させるステップを含み得る。

【0075】

また、方法1800は、1808において、第2のダイが第1の導電性経路および第2の導電性経路を介して第1のダイに電氣的に接続されるように、第2のダイをパッケージに結合するステップを含む。たとえば、POP構造100は、図17を参照しながら説明するように、第2のダイ156が導電性経路162および導電性経路103を介して第1のダイ116に電氣的に接続されるように第2のダイ156を下部構造170に結合することによって形成され得る。導電性経路162は、PID層124を通して第1のダイ116から第2のダイ156に直接的に延び得る。たとえば、導電性経路162は、図2を参照しながら説明するように、第1のダイ116から第1のPID領域222を通して第2のダイ156まで延び得る。導電性経路103の部分113は、図2を参照しながら説明するように、導電性経路162に直角（またはほぼ直角）であってよく、第1のダイ116と第2のダイ156との間で直接的にではなく、PID層124の第2のPID領域224を通して延び得る。たとえば、導電性経路103の部分113は、第1のPID領域222、第2のPID領域224または両方を通して延び得る。

【0076】

図19は、図1のPOP構造100を形成する方法の別の態様を示すフローチャートである。方法1900は、1902において、フォトリソ可能誘電体材料を、第1のダイが埋め込まれているパッケージの表面上に堆積させるステップを含む。たとえば、図1のPOP構造100は、図11を参照しながら説明するように、フォトリソ可能誘電体材料1124を構造1000上に堆積させることによって形成され得る。第1のダイ116は、図5～図10を参照して説明する構造1000の中に埋め込まれ得る。

【0077】

また、方法1900は、1904において、フォトリソ可能誘電体（PID）層を形成するためにフォトリソ可能誘電体材料をパターンニングするステップを含む。たとえば、図1のPOP構造100は、図12を参照しながら説明するように、PID層124を形成するためにフォトリソ可能誘電体材料1124をパターンニングすることによって形成され得る。

【0078】

方法1900は、1906において、第1のダイからPID層を経由して第2のダイに至る第1の導電性経路および第2の導電性経路を形成するステップをさらに含む。たとえば、図1のPOP構造100は、第1のダイ116からPID層124を経由して第2のダイ156に至る導電性経路162および導電性経路103を形成することによって形成され得る。導電性経路162は、図2を参照しながら説明するように、PID層124を通して第1のダイ116から第2のダイ156に直接的に延び得る。たとえば、導電性経路162は、図2を参照しながらさらに説明するように、第1のダイ116から第1のPID領域222を通して第2のダイ156まで延び得る。導電性経路103の部分113は、図2を参照しながら説明するように、導電性経路162に直角（またはほぼ直角）であってよく、第1のダイ116と第2のダイ156との間で直接的にではなく、PID層124の第2のPID領域224を通して延び得る。たとえば、導電性経路103の部分113は、第1のPID領域222、第2のPID領域224または両方を通して延び得る。

【0079】

図20を参照すると、電子デバイスの特定の例示的な態様のブロック図が図示されてお

10

20

30

40

50

り、全体が2000で示されている。デバイス2000は、メモリ2032に結合された、デジタル信号プロセッサ(DSP)のようなプロセッサ2010を含む。特定の態様では、プロセッサ2010は図1の第1のダイ116に対応してよく、メモリ2032は第2のダイ156に対応してもよい。たとえば、デバイス2000は、図1のPOP構造100を含み得る。第1のダイ116は、プロセッサ2010に含まれてもよく、または結合されてもよい。第2のダイ156は、メモリ2032に含まれてもよく、または結合されてもよい。プロセッサ2010は、メモリ2032に結合され得る。たとえば、POP構造100は、プロセッサ2010とメモリ2032との間に1つまたは複数の導電性経路(たとえば、導電性経路103、導電性経路162、導電性経路182、またはそれらの組合せ)を含み得る。例示的な態様では、POP構造100は、図5~図19を参照して説明する方法または動作のうちの1つまたは複数に従って形成され得る。

10

【0080】

図20は、さらに、プロセッサ2010とディスプレイ2028とに結合されるディスプレイコントローラ2026を示す。コーダ/デコーダ(コーデック)2034が、さらに、プロセッサ2010に結合され得る。スピーカ2036およびマイクロフォン2038をコーデック2034に結合することができる。

【0081】

図20は、さらに、ワイヤレスコントローラ2040をプロセッサ2010とアンテナ2042とに結合できることを示す。特定の態様では、プロセッサ2010、ディスプレイコントローラ2026、メモリ2032、コーデック2034、およびワイヤレスコントローラ2040は、システムインパッケージ2022内に含まれる。特定の態様では、入力デバイス2030および電源2044は、システムインパッケージデバイス2022に結合される。さらに、特定の態様では、図20に示されるように、ディスプレイ2028、入力デバイス2030、スピーカ2036、マイクロフォン2038、アンテナ2042、および電源2044は、システムインパッケージデバイス2022の外部にある。しかしながら、ディスプレイ2028、入力デバイス2030、スピーカ2036、マイクロフォン2038、アンテナ2042、および電源2044の各々は、インターフェースまたはコントローラなどのシステムインパッケージデバイス2022の構成要素に結合され得る。

20

【0082】

説明する態様に関連して、第1のダイおよびフォトイメージング誘電体(PID)層を含む第1の集積回路ICをパッケージングするための第1の手段を含み得る装置が開示される。たとえば、パッケージングするための第1の手段は、図1の下部構造170、ICおよびPID層をパッケージングするように構成された1つまたは複数の他のデバイスもしくは回路、またはそれらの組合せを含み得る。

30

【0083】

また、装置は、第2のダイを含む第2のICをパッケージングするための第2の手段を含み得る。たとえば、パッケージングするための第2の手段は、図1の上部構造168、ICをパッケージングするように構成された1つまたは複数の他のデバイスもしくは回路、またはそれらの組合せを含み得る。第1のダイ116からPID層124を通して第2のダイ156に至る導電性経路162は、PID層124を通して第1のダイ116から第2のダイ156まで直接的に延び得る。第1のダイ116からPID層124を通して第2のダイ156に至る導電性経路103の部分113は、導電性経路162に直角(またはほぼ直角)であってよく、第1のダイ116と第2のダイ156との間で直接的ではなく、PID層124の第2のPID領域224を通して延び得る。

40

【0084】

上記で開示したデバイスおよび機能は、コンピュータ可読媒体上に記憶されたコンピュータファイル(たとえば、RTL、GDSII、GERBERなど)に設計および構成されてもよい。いくつかまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造する製造者に提供されてもよい。結果として得られる製品は、半導体

50

ウエハを含み、次いで、半導体ウエハは半導体ダイに切断され、半導体チップにパッケージングされる。次いでチップが、上で説明されたデバイスにおいて利用される。図 2 1 は、電子デバイス製造プロセス 2 1 0 0 の特定の例示的な態様を示す。

【 0 0 8 5 】

物理デバイス情報 2 1 0 2 は、研究用コンピュータ 2 1 0 6 などにおいて、製造プロセス 2 1 0 0 において受け取られる。物理デバイス情報 2 1 0 2 は、POP 構造 1 0 0 など、半導体デバイスの少なくとも 1 つの物理的な特性を表す設計情報を含み得る。たとえば、物理デバイス情報 2 1 0 2 は、物理パラメータ、材料特性、および、研究用コンピュータ 2 1 0 6 に結合されたユーザインターフェース 2 1 0 4 を介して入力された構造情報を含み得る。研究用コンピュータ 2 1 0 6 は、メモリ 2 1 1 0 などのコンピュータ可読媒体に結合された、1 つまたは複数の処理コアなどのプロセッサ 2 1 0 8 を含む。メモリ 2 1 1 0 は、プロセッサ 2 1 0 8 に、ファイルフォーマットに準拠するように物理デバイス情報 2 1 0 2 を変換させ、ライブラリファイル 2 1 1 2 を生成させるように実行可能である、コンピュータ可読命令を記憶することができる。

10

【 0 0 8 6 】

特定の態様では、ライブラリファイル 2 1 1 2 は、変換された設計情報を含む、少なくとも 1 つのデータファイルを含む。たとえば、ライブラリファイル 2 1 1 2 は、電子設計オートメーション (EDA) ツール 2 1 2 0 とともに使用するために設けられている POP 構造 1 0 0 を含むデバイスを含む半導体デバイスのライブラリを含み得る。

【 0 0 8 7 】

20

ライブラリファイル 2 1 1 2 は、メモリ 2 1 1 8 に結合された 1 つまたは複数の処理コアなどのプロセッサ 2 1 1 6 を含む設計用コンピュータ 2 1 1 4 において、EDA ツール 2 1 2 0 とともに使用され得る。EDA ツール 2 1 2 0 は、設計コンピュータ 2 1 1 4 のユーザがライブラリファイル 2 1 1 2 の POP 構造 1 0 0 を含む回路を設計することを可能にするために、メモリ 2 1 1 8 においてプロセッサ実行可能命令として記憶され得る。たとえば設計コンピュータ 2 1 1 4 のユーザは、設計コンピュータ 2 1 1 4 に結合されたユーザインターフェース 1 8 2 4 を介して回路設計情報 2 1 2 2 を入力することができる。回路設計情報 2 1 2 2 は、POP 構造 1 0 0 などの半導体デバイスの少なくとも 1 つの物理的特性を表す設計情報を含み得る。例示するために、回路設計特性は、特定の回路の識別および回路設計における他の要素に対する関係、位置情報、フィーチャのサイズ情報、相互接続情報、または半導体デバイスの物理的特性を表す他の情報を含み得る。

30

【 0 0 8 8 】

設計用コンピュータ 2 1 1 4 は、回路設計情報 2 1 2 2 を含む設計情報をファイルフォーマットに準拠するように変換するように構成することができる。例示するために、ファイル構成は、平面幾何学的形状と、テキストラベルと、グラフィックデータシステム (GDSII) ファイルフォーマットなどの階層的フォーマット内の回路レイアウトについての他の情報とを表すデータベースバイナリファイルフォーマットを含み得る。設計コンピュータ 2 1 1 4 は、他の回路または情報に加えて、POP 構造 1 0 0 を記述する情報を含む GDSII ファイル 2 1 2 6 などの変換された設計情報を含むデータファイルを生成するように構成され得る。説明のために、データファイルは、POP 構造 1 0 0 を含み、同じくシステムインパッケージ内の追加の電子回路および構成要素を含むシステムインパッケージに対応する情報を含み得る。

40

【 0 0 8 9 】

GDSII ファイル 2 1 2 6 は、GDSII ファイル 2 1 2 6 内の変換された情報に従って POP 構造を製造するために、製造プロセス 2 1 2 8 において受信され得る。たとえば、デバイス製造プロセスは、代表的なマスク 2 1 3 2 として示される、フォトリソグラフィプロセスとともに使用されることになるマスクなどの、1 つまたは複数のマスクを作製するために、マスク製造業者 2 1 3 0 に GDSII ファイル 2 1 2 6 を提供することを含み得る。マスク 2 1 3 2 は、試験されて代表的なダイ 2 1 3 6 などのダイへと分割され得る 1 つまたは複数のウエハ 2 1 3 4 を生成するための製作プロセスの間、使用され得る

50

。ダイ 2 1 3 6 は、P O P 構造 1 0 0 を含むデバイスを含む回路を含む。

【 0 0 9 0 】

ダイ 2 1 3 6 は、ダイ 2 1 3 6 が代表的なパッケージ 2 1 4 0 へと組み込まれるパッケージングプロセス 2 1 3 8 に提供され得る。たとえば、パッケージ 2 1 4 0 は、単一のダイ 2 1 3 6、またはシステムインパッケージ (S i P) 構成などの複数のダイを含み得る。パッケージ 2 1 4 0 は、電子デバイスエンジニアリング連合評議会 (J E D E C) 規格のような 1 つまたは複数の規格または仕様に準拠するように構成され得る。

【 0 0 9 1 】

パッケージ 2 1 4 0 に関する情報は、コンピュータ 2 1 4 6 に記憶されているコンポーネントライブラリなどを介して、様々な製品設計者に配布され得る。コンピュータ 2 1 4 6 は、メモリ 2 1 5 0 に結合された、1 つまたは複数の処理コアなどのプロセッサ 2 1 4 8 を含み得る。プリント回路基板 (P C B) ツールは、ユーザインターフェース 2 1 4 4 を介してコンピュータ 2 1 4 6 のユーザから受け取られた P C B 設計情報 2 1 4 2 を処理するために、プロセッサ実行可能命令としてメモリ 2 1 5 0 に記憶され得る。P C B 設計情報 2 1 4 2 は、回路板上にパッケージングされた半導体デバイスの物理的位置情報を含んでもよく、パッケージングされた半導体デバイスは P O P 構造 1 0 0 を含むパッケージ 2 1 4 0 に対応する。

【 0 0 9 2 】

コンピュータ 2 1 4 6 は、P C B 設計情報 2 1 4 2 を変換して、回路板上にパッケージングされた半導体デバイスの物理的位置情報とともに、配線およびビアなどの電氣的接続のレイアウトを含むデータを有する G E R B E R ファイル 2 1 5 2 などのデータファイルを生成するように構成されてもよく、パッケージングされた半導体デバイスは P O P 構造 1 0 0 を含むパッケージ 2 1 4 0 に対応する。他の態様では、変換された P C B 設計情報によって生成されたデータファイルは、G E R B E R フォーマット以外のフォーマットを有し得る。

【 0 0 9 3 】

G E R B E R ファイル 2 1 5 2 は、基板組立プロセス 2 1 5 4 において受け取られてよく、G E R B E R ファイル 2 1 5 2 内に記憶されている設計情報に従って製造される代表的な P C B 2 1 5 6 などの P C B を作成するために使用されてよい。たとえば G E R B E R ファイル 2 1 5 2 は、P C B 製造プロセスの様々なステップを実行するために、1 つまたは複数の機械にアップロードされ得る。P C B 2 1 5 6 は、代表的なプリント回路アセンブリ (P C A) 2 1 5 8 を形成するために、パッケージ 2 1 4 0 を含む電子構成要素を装着され得る。

【 0 0 9 4 】

P C A 2 1 5 8 は、製品製造プロセス 2 1 6 0 において受け取られ、第 1 の代表的な電子デバイス 2 1 6 2 および第 2 の代表的な電子デバイス 2 1 6 4 などの 1 つまたは複数の電子デバイスに組み込まれ得る。例示的かつ非限定的な例として、第 1 の代表的な電子デバイス 2 1 6 2、第 2 の代表的な電子デバイス 2 1 6 4、またはこれら両方は、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (P D A)、固定位置データユニット、コンピュータというグループから選択されてもよく、その中に、P O P 構造 1 0 0 が組み込まれる。別の例示的で非限定的な例として、電子デバイス 2 1 6 2 および 2 1 6 4 のうちの 1 つもしくは複数の、モバイルフォン、ハンドヘルドパーソナル通信システム (P C S) ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム (G P S) 対応デバイス、ナビゲーションデバイス、メータ検針機器などの固定位置データユニット、または、データもしくはコンピュータ命令を記憶するか、もしくは引き出す任意の他のデバイス、またはそれらの任意の組合せなどの、遠隔ユニットとすることができる。図 2 1 は、本開示の教示による遠隔ユニットを示しているが、本開示は、これらの例示されたユニットに限定されない。本開示の態様は、メモリおよびオンチップ回路を含む能動集積回路を含む任意のデバイスにおいて適切に利用され得る。

【 0 0 9 5 】

POP構造100を含むデバイスは、例示的プロセス2100において説明したように、製造し、処理し、電子デバイスに組み込むことができる。図1～図20に関して開示する態様のうちの1つまたは複数の態様は、ライブラリファイル2112、GDSIIファイル2126、およびGERBERファイル2152内など、様々な処理ステージにおいて含まれ、ならびに、調査コンピュータ2106のメモリ2110、設計コンピュータ2114のメモリ2118、コンピュータ2146のメモリ2150、基板アセンブリプロセス2154においてなど様々なステージにおいて使用される1つまたは複数の他のコンピュータまたはプロセッサ（図示せず）のメモリにおいて格納され、また、マスク2132、ダイ2136、パッケージ2140、PCA2158、プロトタイプ回路もしくはデバイス（図示せず）などの他の製品、またはその任意の組合せなどの1つまたは複数の他の物理的態様に組み込まれ得る。物理的デバイス設計から最終製品までの製品の様々な代表的な段階が示されているが、他の態様では、より少数の段階が使用されてよく、または、追加の段階が含まれてもよい。同様に、プロセス2100は、単一のエンティティによって、またはプロセス2100の様々な段階を実行する1つまたは複数のエンティティによって実行され得る。

10

【 0 0 9 6 】

さらに、本明細書で開示された態様に関して説明された様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、または両方の組合せとして実装され得ることを、当業者は理解されよう。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップについて、上記では概してそれらの機能性に関して説明された。そのような機能性がハードウェアとして実装されるか、プロセッサ実行可能命令として実装されるかは、特定の適用例および全体的なシステムに課された設計制約に依存する。当業者は、記載された機能性を特定の適用例ごとに様々な方法で実現することができるが、そのような実施態様の決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

20

【 0 0 9 7 】

本明細書で開示した態様に関して説明した方法またはアルゴリズムのステップは、ハードウェアにおいて直接、プロセッサによって実行されるソフトウェアモジュールにおいて、またはその2つの組合せにおいて具現される場合がある。ソフトウェアモジュールは、ランダムアクセスメモリ（RAM）、フラッシュメモリ、読出し専用メモリ（ROM）、プログラマブル読出し専用メモリ（PROM）、消去可能プログラマブル読出し専用メモリ（EPROM）、電氣的消去可能プログラマブル読出し専用メモリ（EEPROM）、レジスタ、ハードディスク、取外し可能ディスク、コンパクトディスク読出し専用メモリ（CD-ROM）、または当技術分野で既知の任意の他の形態の非一時的記憶媒体に存在することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み出し、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替では、記憶媒体はプロセッサに一体化されてもよい。プロセッサおよび記憶媒体は、特定用途向け集積回路（ASIC）に存在することができる。ASICは、コンピューティングデバイスまたはユーザ端末に存在することができる。代替では、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末に個別の構成要素として存在することができる。

30

40

【 0 0 9 8 】

開示した態様の上記の説明は、開示した態様を当業者が作成または使用できるようにするために提供される。これらの態様への様々な修正は当業者には容易に明らかになり、本明細書で定義された原理は、本開示の範囲から逸脱することなく、他の態様に適用されてもよい。したがって、本開示は、本明細書に示す態様に限定されることを意図するものではなく、以下の特許請求の範囲によって定義される原理および新規の特徴と可能な限り一致する最も広い範囲が与えられるべきである。

50

【符号の説明】

【 0 0 9 9 】

1 0 0	パッケージオンパッケージ (P O P) 構造	
1 0 1	導電性経路 (C P)	
1 0 3	C P	
1 0 5	C P	
1 0 7	C P	
1 1 0	コア層	
1 1 3	C P の一部	
1 1 6	第 1 のダイ	10
1 2 0	ラミネート	
1 2 4	フォトイメージング誘電体 (P I D) 層	
1 3 6	誘電体層	
1 3 8	誘電体層	
1 4 6	ビア	
1 5 0	はんだパッド	
1 5 1	はんだバンブ	
1 5 2	はんだレジスト	
1 5 3	はんだバンブ	
1 5 4	はんだバンブ	20
1 5 6	第 2 のダイ	
1 5 8	基板	
1 6 2	C P	
1 6 8	上部構造	
1 7 0	下部構造	
1 8 2	C P	
1 8 4	はんだバンブ	
1 8 6	はんだパッド	
1 9 0	C P の一部	
2 0 1	ビア	30
2 0 4	ビア	
2 0 8	C P の一部	
2 1 1	C P の一部	
2 1 5	第 1 の端部	
2 1 7	第 2 の端部	
2 1 8	シード層 (S L)	
2 1 9	S L	
2 2 2	第 1 の P I D 領域	
2 2 4	第 2 の P I D 領域	
2 4 2	第 1 の導電層 (C L)	40
2 4 4	第 2 の C L	
2 6 0	はんだ	
2 6 2	はんだ	
2 6 4	第 1 の C L	
2 6 6	第 2 の C L	
3 1 8	シード層	
3 4 6	ビア	
3 4 8	ビア	
3 5 0	ビア	
3 6 0	はんだ	50

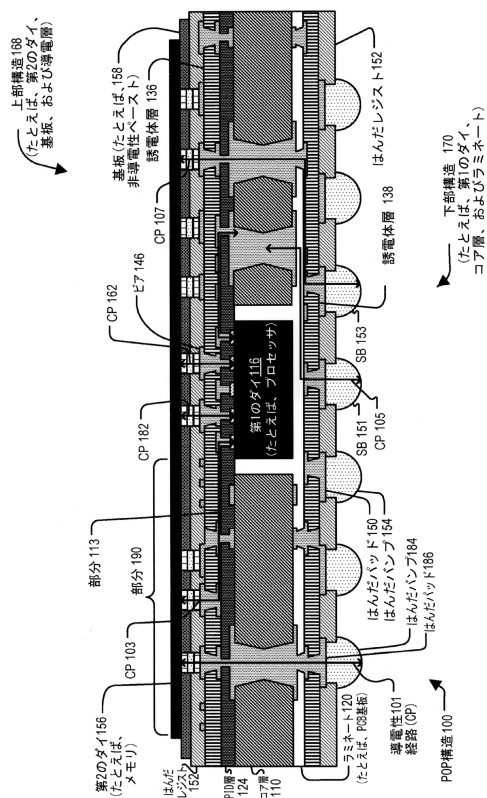
3 6 4	第 1 の C L	
3 6 6	第 2 の C L	
4 4 6	ビア	
4 4 8	ビア	
4 6 0	はんだ	
4 6 4	第 1 の C L	
4 6 6	第 2 の C L	
5 0 0	構造	
5 0 2	構造	
5 1 2	ビア	10
5 1 4	C L	
5 1 6	C L	
5 1 8	ビア	
6 0 0	構造	
6 1 4	接着膜	
7 0 0	構造	
8 0 0	構造	
9 0 0	構造	
9 2 2	開口	
9 2 4	開口	20
9 2 6	開口	
1 0 0 0	構造	
1 1 0 0	構造	
1 1 2 4	フォトイメージング可能誘電体材料	
1 2 0 0	構造	
1 2 2 6	開口	
1 2 2 8	開口	
1 2 3 0	開口	
1 2 3 2	開口	
1 2 3 4	開口	30
1 2 3 6	開口	
1 3 0 0	構造	
1 3 0 4	ビア	
1 3 0 6	C L	
1 3 0 8	ビア	
1 3 3 2	ビア	
1 3 3 4	ビア	
1 3 3 6	ビア	
1 4 0 0	構造	
1 4 4 0	開口	40
1 4 4 2	開口	
1 4 4 4	C L	
1 4 4 6	開口	
1 4 4 8	開口	
1 4 5 0	開口	
1 4 5 2	開口	
1 4 5 4	開口	
1 4 5 6	開口	
1 4 6 2	開口	
1 4 6 4	開口	50

1 4 7 2	C L	
1 4 7 4	C L	
1 5 0 0	構造	
1 5 5 0	ビア	
1 5 5 2	はんだパッド	
1 5 5 4	ビア	
1 6 0 0	構造	
1 6 5 0	開口	
1 6 5 2	開口	
1 6 5 4	開口	10
1 6 5 6	開口	
1 6 5 8	開口	
1 6 6 0	開口	
1 6 6 2	開口	
1 6 6 4	開口	
2 0 0 0	電子デバイスのブロック図	
2 0 1 0	プロセッサ	
2 0 2 2	システムインパッケージ	
2 0 2 6	ディスプレイコントローラ	
2 0 2 8	ディスプレイ	20
2 0 3 0	入力デバイス	
2 0 3 2	メモリ	
2 0 3 4	コーデック	
2 0 3 6	スピーカ	
2 0 3 8	マイクロフォン	
2 0 4 0	ワイヤレスコントローラ	
2 0 4 2	アンテナ	
2 0 4 4	電源	
2 1 0 0	電子デバイス製造プロセス	
2 1 0 2	物理デバイス情報	30
2 1 0 4	ユーザインターフェース	
2 1 0 6	研究用コンピュータ	
2 1 0 8	プロセッサ	
2 1 1 0	メモリ	
2 1 1 2	ライブラリファイル	
2 1 1 4	設計用コンピュータ	
2 1 1 6	プロセッサ	
2 1 1 8	メモリ	
2 1 2 0	電子設計オートメーション (E D A) ツール	
2 1 2 2	回路設計情報	40
2 1 2 4	ユーザインターフェース	
2 1 2 6	グラフィックデータシステム (G D S I I) ファイル	
2 1 2 8	製造プロセス	
2 1 3 0	マスク製造業者	
2 1 3 2	マスク	
2 1 3 3	1 つまたは複数のウエハ	
2 1 3 5	メモリ	
2 1 3 6	ダイ	
2 1 3 8	パッケージングプロセス	
2 1 4 0	パッケージ	50

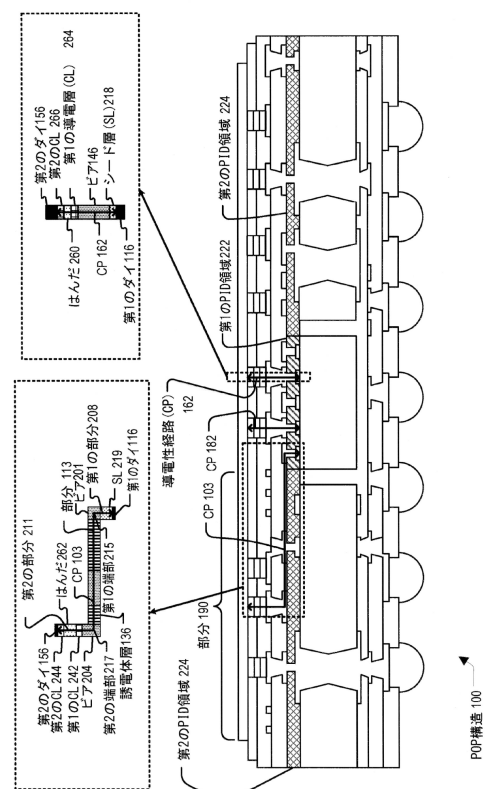
- 2 1 4 2 プリント回路基板 (P C B) 設計情報
- 2 1 4 4 ユーザーインターフェース
- 2 1 4 6 コンピュータ
- 2 1 4 8 プロセッサ
- 2 1 5 0 メモリ
- 2 1 5 2 G E R B E R ファイル
- 2 1 5 4 基板組立プロセス
- 2 1 5 6 P C B
- 2 1 5 8 プリント回路アセンブリ (P C A)
- 2 1 6 0 製品製造プロセス
- 2 1 6 2 電子デバイス
- 2 1 6 4 電子デバイス

10

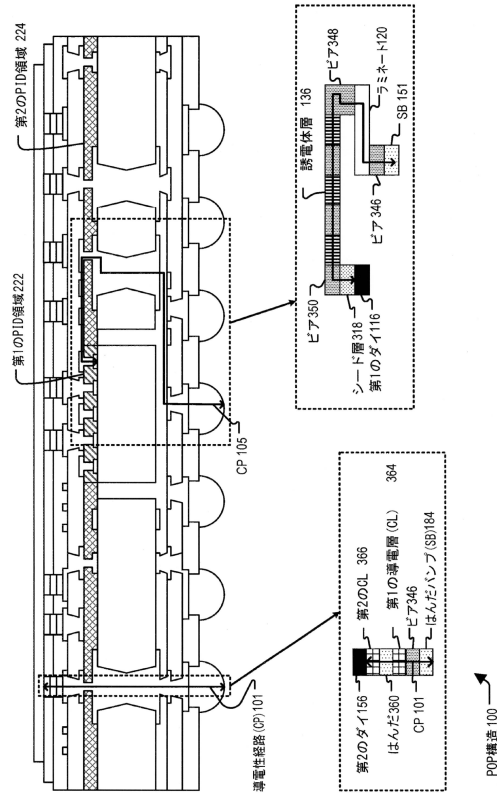
【図 1】



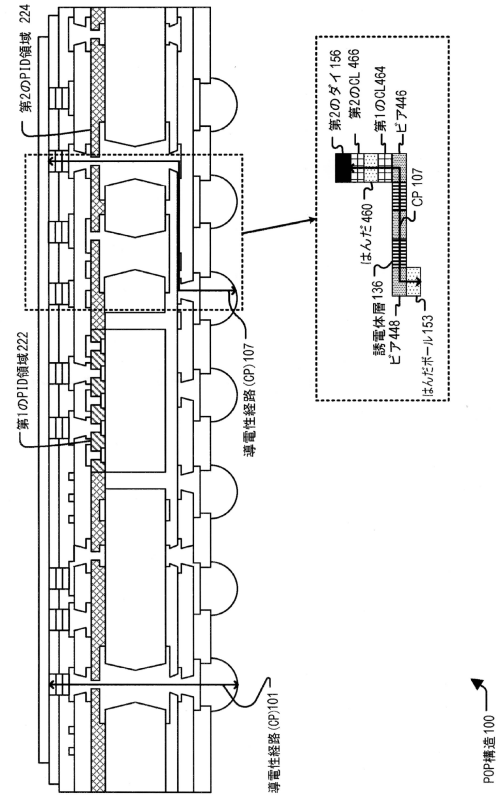
【図 2】



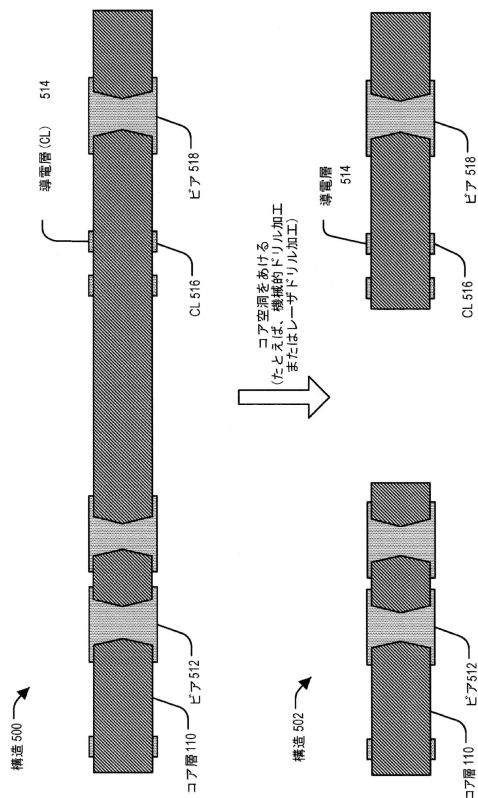
【図 3】



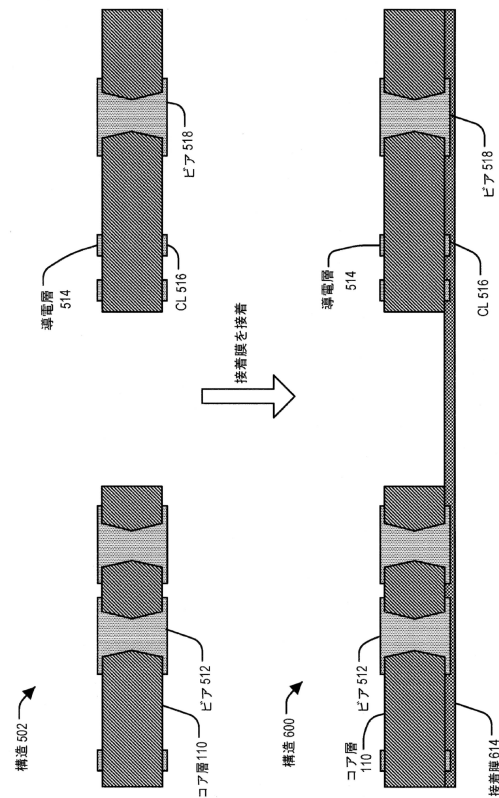
【図 4】



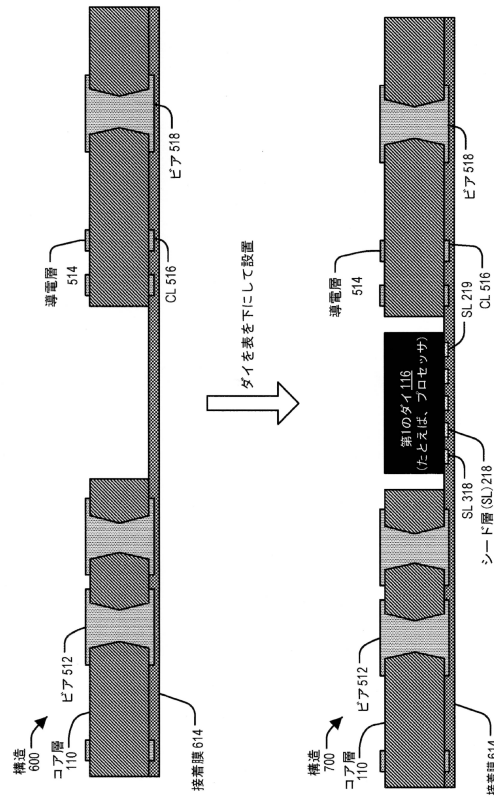
【図 5】



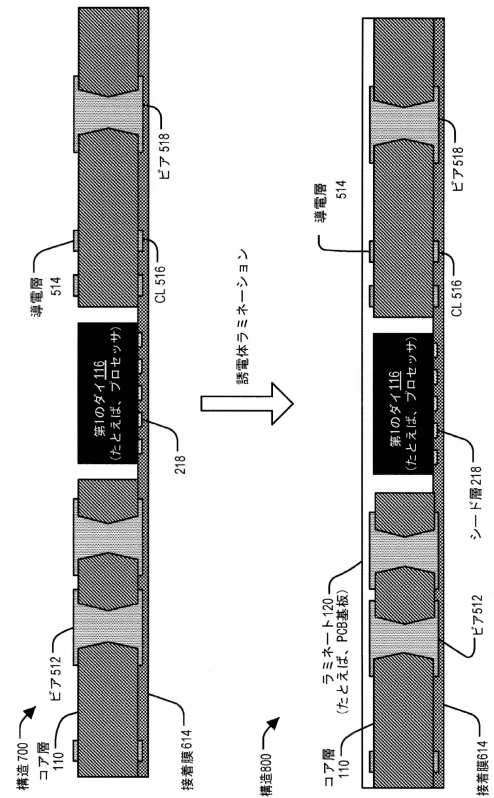
【図 6】



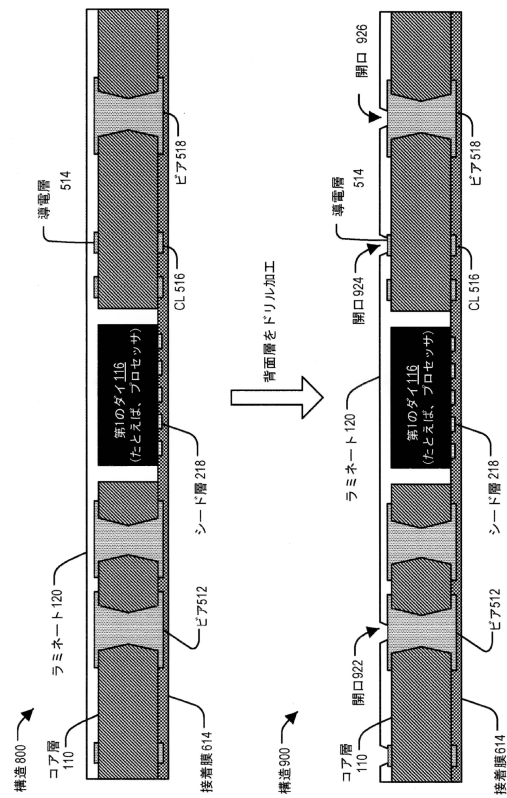
【図 7】



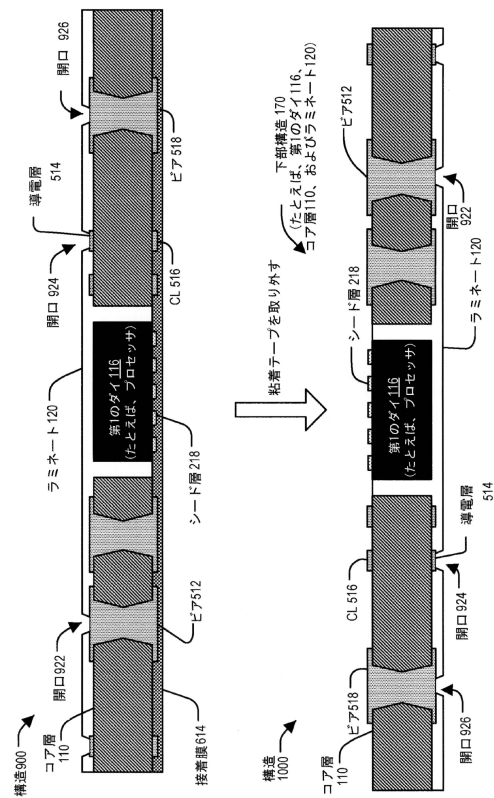
【図 8】



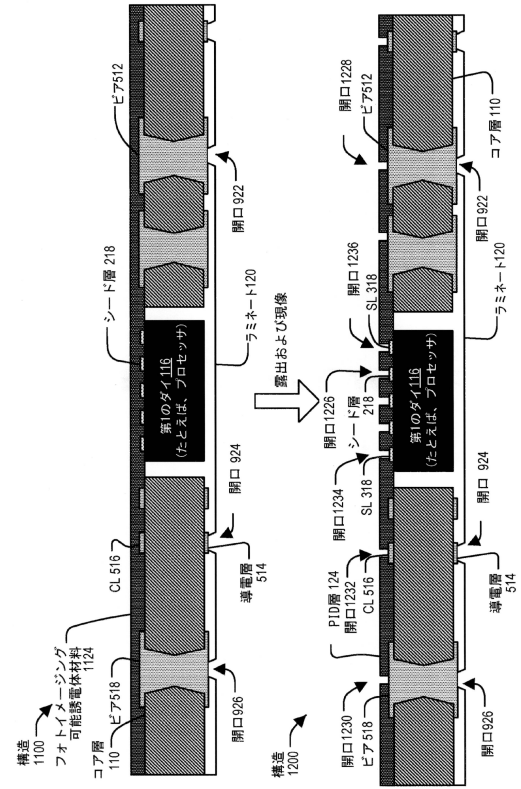
【図 9】



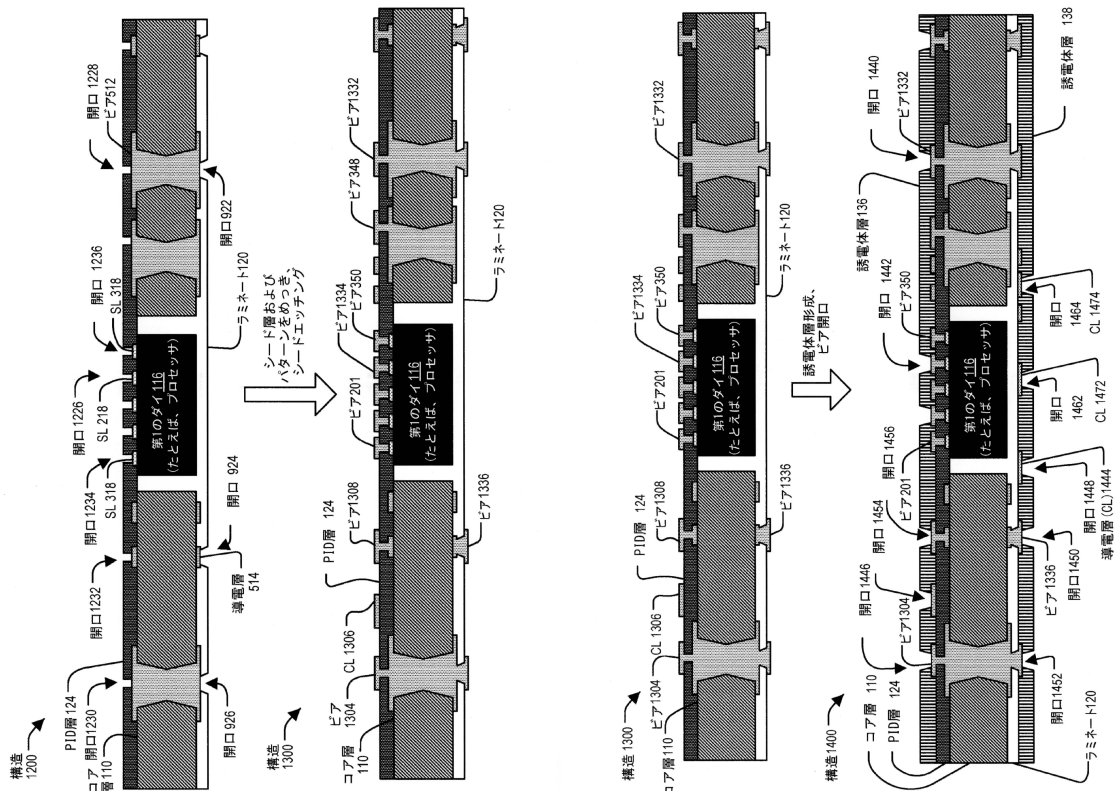
【図 10】



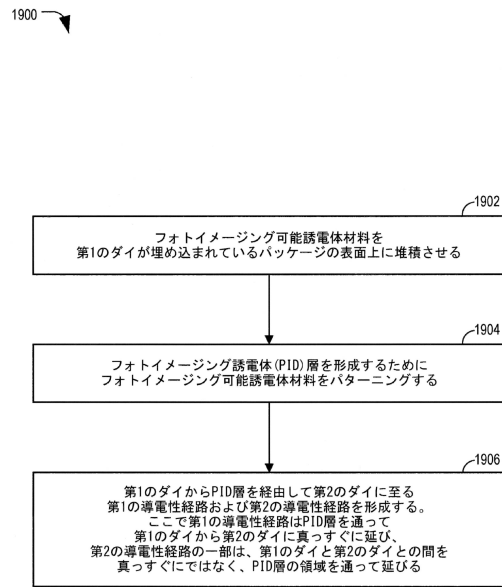
【 図 1 2 】



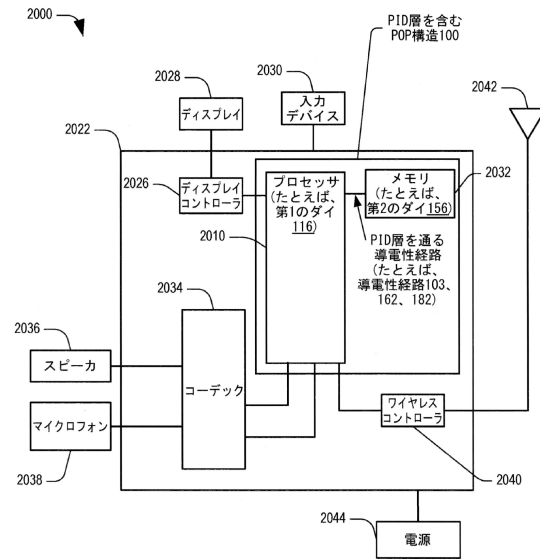
【 図 1 4 】



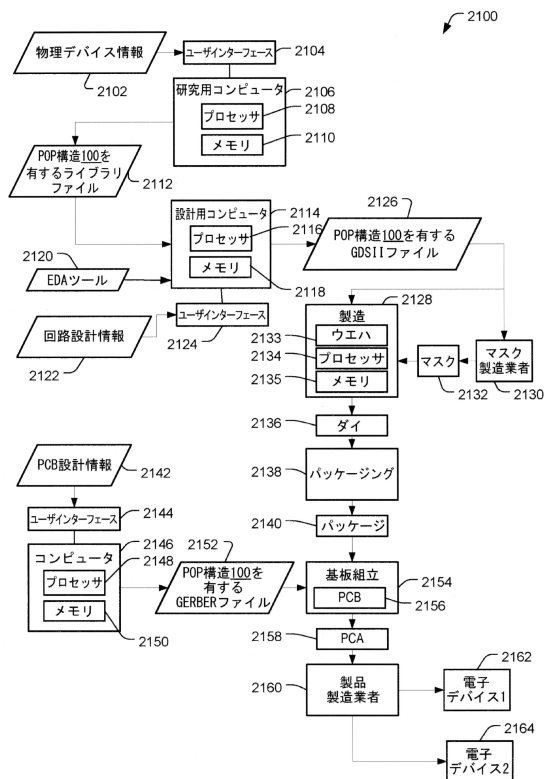
【図 19】



【図 20】



【図 21】



フロントページの続き

- (72)発明者 ジェ・シク・イ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775
- (72)発明者 ドン・ウク・キム
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775
- (72)発明者 シチュン・グ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775

審査官 平林 雅行

- (56)参考文献 特開2010-205893(JP,A)
特開2014-195076(JP,A)
国際公開第2010/101163(WO,A1)
特開2008-166824(JP,A)
米国特許出願公開第2013/0234322(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12-23/15
H01L 25/00-25/07
H01L 25/10-25/11
H01L 25/16-25/18
H05K 3/46