(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3866026号
(P3866026)
(45)発行日　平成19年1月10日(2007.1.10)　(24)登録日　平成18年10月13日(2006.10.13)

(51)Int.Cl.			F I		
H03K	3/353	(2006.01)	H03K	3/353	F
G06N	3/063	(2006.01)	G06N	3/063	
H03K	3/02	(2006.01)	H03K	3/02	Z

請求項の数 9　(全 8 頁)

(21)出願番号　特願2000-295380 (P2000-295380)
(22)出願日　平成12年9月28日 (2000.9.28)
(65)公開番号　特開2001-148619 (P2001-148619A)
(43)公開日　平成13年5月29日 (2001.5.29)
審査請求日　平成14年9月30日 (2002.9.30)
(31)優先権主張番号　09/408377
(32)優先日　平成11年9月29日 (1999.9.29)
(33)優先権主張国　米国(US)

(73)特許権者　596092698
ルーセント　テクノロジーズ　インコーポレーテッド
アメリカ合衆国．０７９７４－０６３６　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100106703
弁理士　産形　和央
(74)代理人　100096943
弁理士　臼井　伸一

最終頁に続く

(54)【発明の名称】スパイキングニューロン回路

(57)【特許請求の範囲】

【請求項１】

電子ニューロン回路であって、

初期的に第１の電圧にある出力端子と、

少なくとも１つの入力電流に応じて電圧V_{in}に充電する第１のコンデンサと、

スイッチングスレショールドV_{th}を有し、$V_{in}>V_{th}$の場合に第１のトリガ信号を発生する第１のスレショールド回路と、

該第１のトリガ信号に応じて、該出力端子を該第１の電圧からスパイク電圧の方へ駆動する第１の回路手段と、

該スパイク電圧の方へ駆動される該出力端子の該電圧に応じて、V_{in}をV_{th}より小さい値にリセットする手段と、

該スパイク電圧の方へ駆動される該出力端子の該電圧に応じて、該出力端子の該駆動を該スパイク電圧の方へスピードアップする第１の帰還手段とを含む電子ニューロン回路。

【請求項２】

請求項１記載のニューロン回路において、該スパイク電圧は、実質的に電源電圧に等しいニューロン回路。

【請求項３】

請求項１記載のニューロン回路において、該第１の回路手段は、該トリガ信号に応じて該出力端子を電源電圧に接続するインバータを含むニューロン回路。

【請求項４】

請求項１記載のニューロン回路において、該V_{in}を該V_{th}より小さい値にリセットする該手段は、該スパイク電圧の方へ駆動される該出力端子の該電圧に応じるスイッチを含み、該スイッチは、該第１のコンデンサに基準電圧を印加するニューロン回路。

【請求項５】

請求項１記載のニューロン回路において、さらに、該少なくとも１つの入力電流を反映して該第１のスレショールド回路に印加する電流ミラー回路を含むニューロン回路。

【請求項６】

少なくとも１つの入力電流に応じて、初期的に第１の電圧にある出力端子にスパイク状パルスを発生するタイミング回路であって、

印加された電流に応じて電圧V_{in}に充電する第１のコンデンサと、

該少なくとも１つの入力電流を該第１のコンデンサに選択的に印加する手段と、

スイッチングスレショールドV_{th}を有し、該$V_{in}＞V_{th}$の場合に第１のトリガ信号を発生する第１のスレショールド回路と、

該第１のトリガ信号に応じて、該出力端子を該第１の電圧から、該第１の電圧と実質的に異なるスパイク電圧の方へ駆動する第１の回路手段と、

該スパイク電圧の方へ駆動される該出力端子の該電圧に応じて、V_{in}を該V_{th}より小さい値にリセットする手段と、

該出力端子が該第１の電圧と実質的に異なる電圧にある場合に、該選択的に印加する手段を接続解除する手段と、

該スパイク電圧の方へ駆動される該出力端子の該電圧に応じて、該出力端子の該駆動を該スパイク電圧の方へスピードアップする帰還手段とを含むタイミング回路。

【請求項７】

請求項６記載のタイミング回路において、さらに、予め決められた期間後、該出力電圧を該第１の電圧に戻す手段を含むタイミング回路。

【請求項８】

請求項６記載のタイミング回路において、該入力電流を該第１のコンデンサに選択的に印加する手段は、複数の入力電流の重み付けされた組み合わせを印加する手段を含むタイミング回路。

【請求項９】

請求項６記載のタイミング回路において、該選択的に印加する手段は電流ミラー回路を含むタイミング回路。

【発明の詳細な説明】

【０００１】

【関連出願】

本出願に関連する主題は、本出願と同日に出願された米国特許出願、すなわち、アール・ヘレラ（R. Herrera）とアール・サーペシュカー（R. Sarpeshkar ）による“エッジトリガー式トグルフリップフロップ回路"、およびアール・ヘレラ（R. Herrera）とアール・サーペシュカー（R. Sarpeshkar ）による“スパイクトリガー式非同期有限状態マシン"において提案されている。これらの出願は、本出願の譲受人に譲渡されており、本出願における参照によりここに含まれる。

【０００２】

【発明の属する技術分野】

本発明は、電子回路に関し、特に、電圧制御および電流制御発振器と単安定パルス発生回路に関する。さらに、本発明の実施例は、動物の神経系においてニューロンを生じるのと同様な出力信号を発生するパルス発生回路に関する。

【０００３】

【従来の技術及び発明が解決しようとする課題】

スパイキング　ニューロン回路は、動物の神経系におけるニューロンの機能によって示唆されている。このようなニューロンをモデル化する簡単で効果的な方方法は、インテグレート　アンド　ファイアユニットとしてである。すなわち、ニューロンは、コンデンサの

電圧が予め決められたスレショールド電圧に達するまで、コンデンサにおける入力電流を積分する。そして、ニューロンは、スパイク信号を発生し、コンデンサの電圧をリセットして基準電位（典型的にはゼロ電圧または接地電位）にする。一般的には、C. Mead, Analog VLSI and Neural Systems, Addison-Wesley, Reading MA, 1989,especially chapters 4 and 12を参照されたい。

【０００４】

ニューロン回路の商業的な重要性は、これらが、電圧制御または電流制御発振器、あるいは単安定パルス発生回路のような、パターン承認のためのニューロンネットワークにおける構築ブロックとして使用できるため、部分的に起こっている。実際には、ニューロン回路は、エス・エム・タム（S. M. Tam ）等に対して１９９０年１０月２日に発行された米国特許第４，９６１，００２号にあるように、アレイ状態で使用されることがある。したがって、ニューロン回路は少数のデバイスを用いて製作されるべきであり、また、これらのデバイスは動作中できるだけ少ない熱を消費すべきであるということが、ニューロン回路の有効な特質となる。さらに、ニューロン回路の多くの先行実施例は、非常に複雑で、多くのタスクに適する密度のパッケージ化を妨げるようなレベルのエネルギーを消費している。

【０００５】

生物学的ニューロンに類似した方法で動作する際、ニューロン回路は、生物学的関係の樹枝状突起に類似した１つ以上のソースから入力信号を受け取ることがある。これらの入力信号は、典型的に、ニューラルネットワークで使用するための論理機能を形成するように重み付けされることがある低レベル信号である。ほとんどのインテグレート　アンド　ファイア回路の特性は、出力におけるファイアリングに基づく累積入力信号のリセットである。先行技術のニューロン回路は、典型的に、ニューロン回路スパイキング信号を発生する際に使用される正帰還ループにおける入力を含むことにより、このリセットを実行している。しかしながら、この帰還は、ニューロン回路のファイアリング中とフィアリング後の過渡期間中に、入力信号源に望ましくない影響を与えることがある。

【０００６】

先行技術のニューロン回路は、ニューロン回路出力のパルス幅、形状、およびニューロン回路のスレショールド電圧に関する制限を示した。さらに、いくつかの先行技術のニューロン回路では、不応期間、すなわち、出力パルスの終了と次の出力パルスの発生の間に経過する時間を制御することができることが証明されていなかった。

【０００７】

【課題を解決するための手段】

以下の実施例で説明される本発明にしたがって、従来技術の制限は克服され、技術的な進歩がなされる。

【０００８】

一実施例において、ニューロン回路は、少数のトランジスタと２個のコンデンサを用いることにより、効率的にデバイスエリアを使用する。出力パルス幅とスレショールド電圧は調整可能であり、不応期間は、たとえば出力スパイク幅と同一になっている。さらに、スパイクの持続期間中、ニューロン回路は、その入力に表れる信号に対して感度がある。

【０００９】

慎重な調整により、実施例のニューロン回路は、非常に広範囲の周波数（典型的には、数ＨｚからＭＨｚまでの範囲）にわたって、パルス状波形または反復のこぎり波形または三角波形を発生するのに使用することができる。たとえば、ニューロン回路は、ニューロン回路のスレショールドと共に変化する調整可能な振幅を有するのこぎり波形を発生することができる。

【００１０】

重要なことに、従来のトポロジーと違って、ニューロン中でファイアするスパイクの原因である正帰還は、入力を正帰還ループに直接含める必要がなく、それにより、ノイズのある出力波形からニューロンの入力における微弱なアナログ波形との干渉が減少する。入力

からの、ノイズのある出力信号の絶縁の結果、さらに、ニューロンの出力状態に関係なく、ニューロンを横切るスレショールド入力負荷のより大きな相似性および整合性を達成することができる。

【００１１】

他の実施例では、入力電流は、電流ミラー配置を用いてさらに絶縁され、それにより、放電電流が入力電流を越える必要がなく、したがって、全エネルギー消費が改善されるというさらなる利点がある。

【００１２】

付随の請求項の精神および範囲内にある他の特定の実施例は、以下の詳細な説明および添付図面に鑑みて、当業者に明らかになるだろう。

【００１３】

【発明の実施の形態】

図１は、本発明の一実施例によるニューロン回路の構成図を示す。図１およびこの詳細な説明のほかの場所において、全てのｉおよびｘに関するトランジスタM_i およびコンデンサC_x は、種々の標準的な工程にしたがう製造に適する標準的なデザインからなる。好適には、ＭＯＳＦＥＴデザインが使用されるが、特定の状況においては、ＰＭＯＳ、ＮＭＯＳ、ＣＭＯＳまたはこれらのタイプの組み合わせのいずれかを使用するのが有利である。標準的な実施に一致して、ｐチャンネルデバイス（たとえば、M_3 ）は、ゲートに“バブル"を含み、ゲートがソースに対して負になるとターンオンするデバイスを示す。また、正電源は、通常、構成図の上部に配置され、負電源は下部に配置される。そこで、ｐチャンネルデバイスのソースは上部にあり、ｎチャンネルデバイス（たとえば、M_9 ）は下部にある。それ以上は、たとえば、ミード（Mead）の３章を参照されたい。

【００１４】

図１に戻ると、それぞれ、ニューロンの入力電流および積分コンデンサを構成する電流I_{in}およびコンデンサC_{in}が示されている。トランジスタM_1 ，M_2 およびM_3 は、V_{th}を可変することにより調整可能なスレショールドを有する既知のデザインのインバータを構成している。V_{th}の大きな値（ほぼV_{DD}、図１の斜線で示される上部電源レールの電圧）は、インバータのスイッチングスレショールドを減少させ、V_{th}の小さな値（ほぼ接地）は、インバータのスイッチングスレショールドをほぼV_{DD}／２に移動させる。トランジスタM_4 およびM_5 は他のインバータを構成し、トランジスタM_7 ，M_8 およびM_6 は、電圧V_{pw}で設定される制限電流を有する電流制限式インバータを構成する。コンデンサC_hの電圧V_h は、図１のニューロン回路の内部状態変数である。V_{pw}の大きな値は、電圧V_h の早い放電を生じさせるが、V_{pw}の小さな値は、電圧V_h の遅い放電を生じさせる。トランジスタM_9 およびM_{10}は、M_4 －M_5 インバータを回る正帰還（V_h でゲートされる）を提供する。トランジスタM_{11}は、ニューロン回路のファイアリングに基づいて積分コンデンサの電圧をリセットする。

【００１５】

次に，図１の回路の典型的な動作を説明するが、電圧V_{in}は接地にあり、電圧V_h はV_{DD}にあると仮定する。電流I_{in}は、I_{in}／C_{in}で与えられる速度でコンデンサC_{in}の充電を開始する。V_{in}が、M_1 －M_2 －M_3 インバータのスイッチングスレショールドに達すると、このインバータは、接地にスイッチし、M_4 －M_5 インバータを作動させてスイッチさせるためのトリガ信号を供給する。ニューロンの出力V_{out} はV_{DD}に切り換わる。V_h はV_{DD}になっているので、M_9 およびM_{10}は、ニューロン回路のスイッチング応答をさらにスピードアップする正帰還を構成する。

【００１６】

電圧V_{out} は急速にV_{DD}に達し、入力電圧V_{in}を、M_{11}を介して接地にリセットする。完全オン時のM_{11}を介する電流は、リセットを成功させるために、好適には電流I_{in}より大きくすべきである。また、M_9 およびM_{10}の直列組み合わせを流れる電流は、電圧V_{in}がM_{11}のリセット動作により接地になっているにもかかわらず、正帰還が電圧V_{out} を効果的にV_{DD}に維持するように、電圧M_2 およびM_3 の直列組み合わせを介する電流より大き

くしなければならない。

【００１７】

ニューロンの電圧V_{out}がV_{DD}になっている間、M_6，M_7およびM_8で構成された電流制限式インバータは、コンデンサC_hの電圧V_hの放電を開始し、正帰還を不作動にする。電圧V_hが、M_9およびM_{10}の直列組み合わせを流れる電流がM_2およびM_3の直列組み合わせを流れる電流より小さくなる電圧に達すると、正帰還が不作動になり、電圧V_{in}が立ち上がり始め、M_4－M_5インバータが切り換わり、V_{out}が急速に接地に下がり、したがって、ニューロンの出力におけるスパイクを終了させる。そして、電圧V_hは、M_8によってV_{DD}にリセットされる。次に、ニューロン回路は、充電およびリセットのサイクルを再び開始する準備をする。

【００１８】

説明したように作用する際、ニューロン回路のリセットは、好適に、ニューロンパルスのタイムスケールより非常に早い（たとえば、１０倍早い）タイムスケールで起こる。これは、電圧V_{in}が接地に達する前に電圧V_{out}が下がり始める場合、ニューロンの放電電流を弱め、その結果V_{in}の接地への完全な放電を妨げる不完全なリセットの可能性を回避する。V_{in}がオーバーシュートするのを避けるために、大電流I_{in}による正帰還作動のスレショールドは、V_{in}が、入力におけるインバータのスイッチングとV_{out}のV_{DD}へのスイッチングの間の時間遅延中多少増加しないように、好適に、十分に小さくなるように選択されている。

【００１９】

図２は、本発明の他の実施例を示す。すなわち、ニューロン回路は、トランジスタM_{12}乃至M_{15}の追加からなる図１の回路の修正を含む。４個の追加のトランジスタは、I_{in}をニューロンの入力に導く電流ミラーを構成している。より詳細には、入力電流I_{in}は、V_{DD}からM_{13}を介してC_{in}に流れる電流で反映される。（たとえば、ミード（Mead）引例の第３９～４０ページを参照されたい。）図２のトランジスタM_{15}は、ニューロンのスパイク状パルスの間、V_{out}によって不作動になることがわかる。したがって、図２の構成では、早いリセットは、放電電流を入力電流より非常に大きくする必要がない。トランジスタM_{14}は、電流ミラーが放電段階の間良好に整合するのを確実にする。トランジスタM_{14}およびM_{15}は共に、この段階中接地になっている。

【００２０】

図２のニューロン回路は、所定の放電速度に対して、小電流が回路で消費されるので、図１の回路よりエネルギー効率が良いのがわかる。しかしながら、図１および図２にしめされるスパイキングニューロン回路は、入力電流がない場合電力を消費しないことが注目される。

【００２１】

図３は、図２の回路に表れる信号の波形例を示す。ここでは、例示の目的で、標準的な例示の０．５μｍ製造工程において、I_{in}＝１５μＡ、C_{in}＝０．５ｐＦ、C_h＝０．０５ｐＦ、V_{pw}＝０．９２Ｖ、V_{TH}＝１．２ＶおよびV_{DD}＝３．３Ｖである。V_{in}の充電およびリセット特性と、V_{out}のスパイク特性と、V_hの充放電特性は、図３から明らかである。図２の回路の他の実施例において、I_{in}＝８０ｎＡ、C_{in}＝０．５ｐＦ、V_{pw}＝０．６９Ｖ、V_{TH}＝１．６ＶおよびV_{DD}＝３．３Ｖは、有効なことがわかった。図１および図２の回路の出力パルス幅およびパルスファイアリング周波数は、それぞれ、V_{pw}およびI_{in}を変更することにより多くのオーダーの大きさにわたって変えることができる。

【００２２】

慎重な調整により、本発明の教示に基づくニューロン回路は、非常に広範囲の周波数（典型的には、数Ｈｚから数百ＭＨｚのレートまで）にわたってパルス状波形または反復のこぎり波形または三角波形を発生するのに使用することができる。たとえば、このニューロン回路は、ニューロン回路のスレショールドと共に変わる調整可能な振幅を有するのこぎり波形を発生することができる。

【００２３】

既に述べたものに加えて本発明の実施例の応用と、上記に引用されて含まれる特許出願で説明されている回路およびシステムと関連するものは、タイミング事象をマークする信号としてスパイク出力の使用を含む。したがって、たとえば、本発明の実施例は、特定の入力から自己トリガされる非同期タイミング事象として役立つ。特定の応用では、それは、スパイク幅に等しい（または、スパイク幅に対して予め決められた関係を有する）例示のパルス回路の不応期間を持つのに有利であることがわかる。この選択された適切な不応期間により、ニューロンへのさらなる入力の禁止を達成することができるが、システムの他の部分は、スパイク信号に応じて終了し、次のレベルに落ち着く。このように、本発明の実施例で発生するスパイクは、従来のデジタルシステムにおけるクロック遷移に類似する仕方で役立つ。

【００２４】

本発明の実施例に対する入力I_{in}は、１つまたは複数の入力信号の直線または非直線作用で供給することができる。いくつかの応用、たとえば典型的なニューラルネットワークパターン承認システムにおいては、本発明の教示に基づくニューラルスレショールド構成要素は、他の特定の信号の重み付けされた直線的な組み合わせに基づくその入力電流を得ることができる。

【００２５】

当業者は、例示のデバイスタイプ、製造工程、極性および回路パラメータ値は、単なる例であることがわかる。他の特定のタイプ、工程、極性および値は、本発明を用いた特定の応用における値からなることがわかる。

【図面の簡単な説明】

【図１】本発明の第１の実施例の概略構成図である。

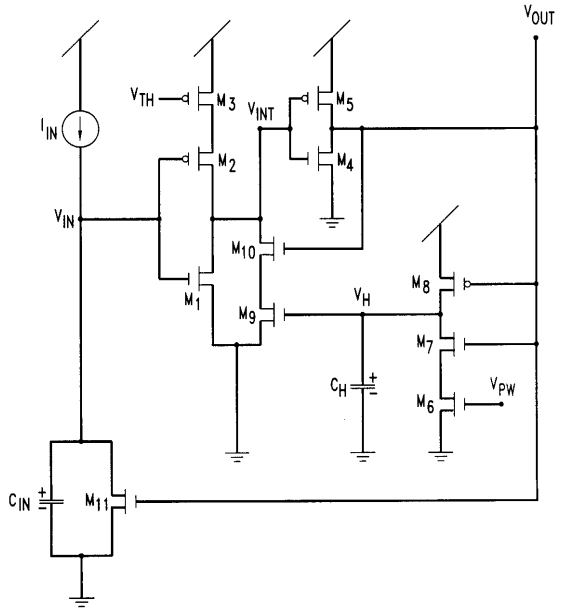
【図２】本発明の第２の実施例の概略構成図である。

【図３】Ａは、図１および図２の回路の入力および出力電圧と、特定の中間電圧の一例を示す図である。

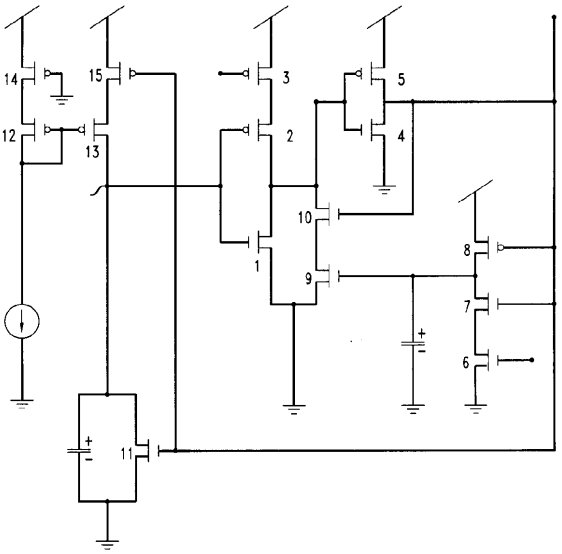
Ｂは、図１および図２の回路の入力および出力電圧と、特定の中間電圧の一例を示す図である。

Ｃは、図１および図２の回路の入力および出力電圧と、特定の中間電圧の一例を示す図である。

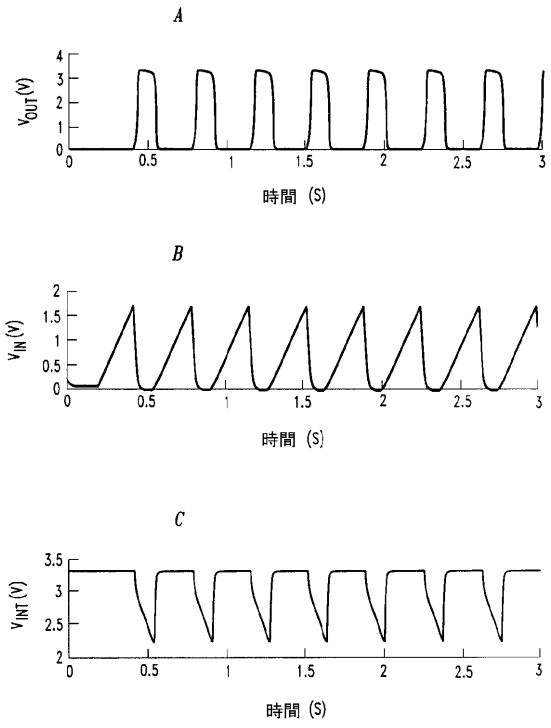
【図１】


V_{OUT}
V_{TH}
M_3
V_{INT}
M_5
I_{IN}
M_2
M_4
V_{IN}
M_{10}
M_8
M_1
M_9
V_H
M_7
C_H
V_{PW}
M_6
C_{IN}
M_{11}

【図２】


14
15
3
5
12
13
2
4
10
8
1
9
7
6
11

【図３】


A
V_{OUT}(V)
4
3
2
1
0
0
0.5
1
1.5
2
2.5
3
時間 (S)
B
V_{IN}(V)
2
1.5
1
0.5
0
0
0.5
1
1.5
2
2.5
3
時間 (S)
C
V_{INT}(V)
3.5
3
2.5
2
0
0.5
1
1.5
2
2.5
3
時間 (S)

フロントページの続き

(74)代理人 100091889
弁理士 藤野 育男
(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100096688
弁理士 本宮 照久
(74)代理人 100102808
弁理士 高梨 憲通
(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100107401
弁理士 高橋 誠一郎
(74)代理人 100106183
弁理士 吉澤 弘司
(72)発明者 ラウル サーペシュカール
アメリカ合衆国 ０７９２８ ニュージャーシィ，チャトハム，ヒコリー プレイス ２５，ナンバー イー７

審査官 石田 勝

(56)参考文献 特開平０８－２０４５１６（ＪＰ，Ａ）
特開平１１－１６８３５８（ＪＰ，Ａ）
特開平０６－０６１８０３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03K 3/26-3/36
H03K 3/00-3/22
H03K 4/00-4/94;6/00-6/04
G06F 15/18
G06N 1/00-3/12;7/08