(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 9 月 28 日 (28.09.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/178607 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) *G11C 19/00* (2006.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2022/082794

(22) 国际申请日: 2022 年 3 月 24 日 (24.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 成都京东方光电科技有限公司 (**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区（西区）合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 魏立恒 (**WEI, Liheng**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 杨慧娟 (**YANG, Huijuan**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 刘庭良 (**LIU, Tingliang**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 张毅 (**ZHANG, Yi**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 舒晓青 (**SHU, Xiaoqing**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 李灵通 (**LI, Lingtong**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 廖茂颖 (**LIAO, Maoying**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 陈天赐 (**CHEN, Tianci**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(54) **Title:** SHIFT REGISTER, GATE DRIVING CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器、栅极驱动电路和显示装置

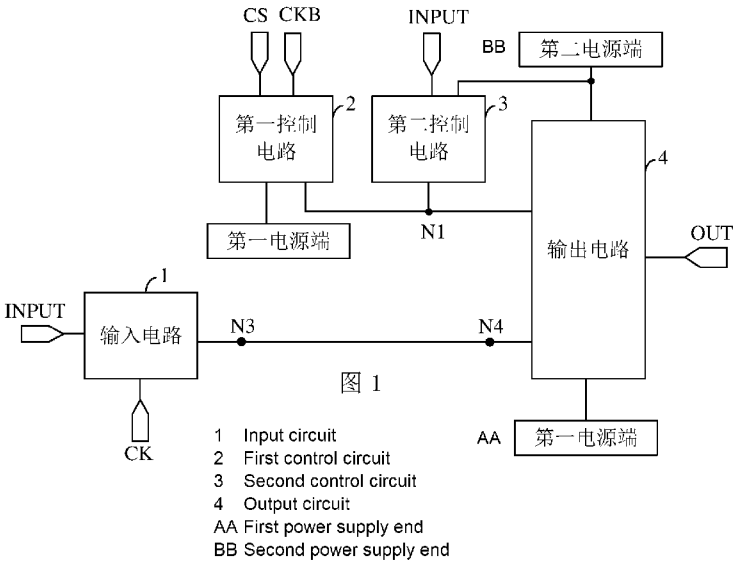


图 1

(57) **Abstract:** A shift register, a gate driving circuit, and a display device. The shift register comprises: an input circuit (1) configured to control, in response to signal control provided by a first clock signal end (CK), a signal provided by a signal input end (INPUT) to a third node (N3); a first control circuit (2) configured to write, in response to a signal provided by a preset control signal end (CS) and signal control provided by a second clock signal end (CKB), a voltage provided by a first power supply end into a first node (N1); a second control circuit (3) configured to write, in response to signal control provided by the signal input end (INPUT), a voltage provided by a second power supply end to the first node (N1); and an output circuit (4) configured to write, in response to the control of a voltage at the first node (N1), the voltage provided by the second power supply end to a signal output end (OUT), and write, in response to the control of a voltage at the fourth node (N4), the voltage provided by the first power supply end to the signal output end (OUT), the third node (N3) being coupled to the fourth node (N4).

WO 2023/178607 A1

[见续页]

(74) 代理人：北京天昊联合知识产权代理有限公司(TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS)；中国北京市东城区东长安街1号东方广场东方经贸城西一办公楼5层1, 6-12室 顾丽波,吕美珍, Beijing 100738 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种移位寄存器、栅极驱动电路和显示装置，移位寄存器包括：输入电路（1），配置为响应于第一时钟信号端（CK）所提供信号控制将信号输入端（INPUT）所提供信号写入至第三节点（N3）；第一控制电路（2），配置为响应于预设控制信号端（CS）所提供信号和第二时钟信号端（CKB）所提供信号控制将第一电源端所提供电压写入至第一节点（N1）；第二控制电路（3），配置为响应于信号输入端（INPUT）所提供信号控制将第二电源端所提供电压写入至第一节点（N1）；输出电路（4），配置为响应于第一节点（N1）处电压的控制将第二电源端所提供电压写入至信号输出端（OUT），以及响应于第四节点（N4）处电压的控制将第一电源端所提供电压写入至信号输出端（OUT），第三节点（N3）与第四节点（N4）耦接。

移位寄存器、栅极驱动电路和显示装置

技术领域

本发明涉及显示领域，特别涉及一种移位寄存器、栅极驱动电路和显示装置。

背景技术

随着显示技术的发展，在像素驱动电路内一般会设置用于控制驱动晶体管是否去输出驱动电流的发光控制晶体管，发光控制晶体管一般受控于发光控制信号线。针对发光控制信号线，则需要配置相应的发光控制用栅极驱动电路。

在现有技术中，采用阵列基板行驱动(Gate Driver on Array，简称GOA)技术将发光控制用栅极驱动电路内的晶体管集成在阵列基板上，用以对显示面板中的发光控制信号线进行扫描驱动，从而可以省掉栅极驱动 IC 的部分，有利于窄边框的实现。

然而，在实际应用中发现，现有发光控制用栅极驱动电路内移位寄存器的电路结构复杂、所占空间大。

发明内容

本发明旨在至少解决现有技术中存在的技术问题之一，提出了一种移位寄存器、栅极驱动电路和显示装置。

第一方面，本公开实施例提供了一种移位寄存器，其中，包括：

输入电路，与信号输入端、第一时钟信号端、第三节点耦接，配置为响应于所述第一时钟信号端所提供信号控制将所述信号输入端所提供信号写入至第三节点；

第一控制电路，与第一电源端、预设控制信号端、第二时钟信号端、第一节点耦接，配置为响应于所述预设控制信号端所提供信号和

所述第二时钟信号端所提供信号控制将所述第一电源端所提供电压写入至所述第一节点；

第二控制电路，与第二电源端、所述信号输入端、所述第一节点耦接，配置为响应于所述信号输入端所提供信号控制将所述第二电源端所提供电压写入至所述第一节点；

输出电路，与信号输出端、所述第一电源端、所述第二电源端、所述第一节点、所述第四节点耦接，配置为响应于所述第一节点处电压的控制将所述第二电源端所提供电压写入至所述信号输出端，以及响应于所述第四节点处电压的控制将所述第一电源端所提供电压写入至所述信号输出端，所述第三节点与所述第四节点耦接。

在一些实施例中，所述第一控制电路包括：第一晶体管和第二晶体管；

所述第一晶体管的控制极与所述预设控制信号端耦接，所述第一晶体管的第一极与所述第一电源端耦接，所述第一晶体管的第二极与所述第二晶体管的第一极耦接；

所述第二晶体管的控制极与第二时钟信号端耦接，所述第二晶体管的第二极与所述第一节点耦接。

在一些实施例中，所述第一控制电路包括：第一晶体管和第二晶体管；

所述第一晶体管的控制极与所述预设控制信号端耦接，所述第一晶体管的第一极与所述第二晶体管的第二极耦接，所述第一晶体管的第二极与所述第一节点耦接；

所述第二晶体管的控制极与第二时钟信号端耦接，所述第二晶体管的第一极与所述第一电源端耦接。

在一些实施例中，所述预设控制信号端为所述第三节点。

在一些实施例中，所述预设控制信号端为所述信号输入端。

在一些实施例中，所述第一晶体管为 N 型晶体管，所述移位寄存器内除所述第一晶体管外的其他晶体管均为 P 型晶体管。

在一些实施例中，所述第一晶体管为金属氧化物型晶体管，所述移位寄存器内除所述第一晶体管外的其他晶体管均为低温多晶硅型晶体管。

在一些实施例中，所述第二控制电路包括：第三晶体管；

所述第三晶体管的控制极与所述信号输入端耦接，所述第三晶体管的第一极与所述第二电源端耦接，所述第三晶体管的第二极与所述第一节点耦接。

在一些实施例中，所述输入电路包括：第四晶体管；

所述第四晶体管的控制极与所述第一时钟信号端耦接，所述第四晶体管的第一极与所述信号输入端耦接，所述第四晶体管的第二极与所述第三节点耦接。

在一些实施例中，所述输出电路包括第七晶体管和第八晶体管；

所述第七晶体管的控制极与所述第四节点耦接，所述第七晶体管的第一极与所述第一电源端耦接，所述第七晶体管的第二极与所述信号输出端耦接；

所述第八晶体管的控制极与所述第一节点耦接，所述第八晶体管的第一极与所述信号输出端耦接，所述第八晶体管的第二极与所述第二电源端耦接。

在一些实施例中，所述移位寄存器还包括：降噪电路，与所述第二电源端、所述第一节点、所述第三节点耦接，配置为响应于所述第一节点处电压的控制将所述第二电源端所提供电压写入至所述第三节点。

在一些实施例中，所述降噪电路包括：第五晶体管；

所述第五晶体管的控制极与所述第一节点耦接，所述第五晶体管的第一极与所述第三节点耦接，所述第五晶体管的第二极与所述第二电源端耦接。

在一些实施例中，移位寄存器还包括：第一电容；

所述第一电容的第一端与第二时钟信号端耦接，所述第一电容的

第二端与所述第四节点耦接。

在一些实施例中，移位寄存器还包括：第六晶体管，所述第六晶体管位于所述第三节点和所述第四节点之间，所述第三节点通过所述第六晶体管与所述第四节点耦接；

所述第六晶体管的控制极与第一电源端耦接，所述第六晶体管的第一极与所述第三节点，所述第六晶体管的第二极与所述第四节点耦接。

在一些实施例中，移位寄存器还包括：第二电容；

所述第二电容的第一端与所述第一节点耦接，所述第二电容的第二端与所述第一电源端或所述第二电源端耦接。

第二方面，本公开实施例还提供了一种栅极驱动电路，其中，包括：级联的多个移位寄存器，所述移位寄存器采用上述第一方面提供的所述移位寄存器；

位于第一级的所述移位寄存器的信号输入端与帧起始信号端耦接；

除位于第一级之外的其他任意一级移位寄存器，所述移位寄存器的信号输入端与前一级的移位寄存器的所述信号输出端耦接。

第三方面，本公开实施例还提供了一种显示装置，其中，包括：如上述第二方面提供的所述栅极驱动电路。

附图说明

图 1 为本公开实施例提供的一种移位寄存器的电路结构示意图；

图 2 为本公开实施例提供的移位寄存器的另一种具体电路结构示意图；

图 3 为本公开实施例提供的移位寄存器的再一种具体电路结构示意图；

图 4 为图 3 所示移位寄存器的一种工作时序图；

图 5 为本公开实施例所提供的移位寄存器的再一种电路结构示意图；

图 6 为本公开实施例提供的移位寄存器的再一种电路结构示意图；

图 7 为本公开实施例提供的移位寄存器的再一种电路结构示意图；

图 8 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 9 为图 8 所示移位寄存器的一种工作时序图；

图 10 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 11 为图 10 所示移位寄存器的一种工作时序图；

图 12A 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 12B 为本公开实施例提供的再一种移位寄存器的电路结构示意图；

图 13 为本公开实施例提供的一种栅极驱动电路的电路结构示意图。

具体实施方式

为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图对本发明提供的一种移位寄存器、栅极驱动电路及显示装置进行详细描述。

需要说明的是，本发明中的晶体管可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。晶体管一般包括三个极：栅极、源极和漏极，晶体管中的源极和漏极在结构上是对称的，根据需要两者是可以互换的。在本发明中，控制极是指晶体管的栅极，第一极和第二极中的一者为源极，另一者为漏极。

此外，按照晶体管特性，可将晶体管分为 N 型晶体管和 P 型晶体管；当晶体管为 N 型晶体管时，其导通电压为高电平电压，截止电压为低电平电压；当晶体管为 P 型晶体管时，其导通电压为低电平电压，截止电压为高电平电压。

图 1 为本公开实施例提供的一种移位寄存器的电路结构示意图，如图 1 所示，本公开实施例所提供的移位寄存器内发光控制用栅极驱动电路内的移位寄存器，该移位寄存器与显示装置内对应行发光控制信号线耦接用以向所耦接发光控制信号线提供相应发光控制信号，该移位寄存器包括输入电路 1、第一控制电路 2、第二控制电路 3 和输出电路 4。

其中，输入电路 1 与信号输入端 INPUT、第一时钟信号端 CK、第三节点 N3 耦接，输入电路 1 配置为响应于第一时钟信号端 CK 所提供信号控制将信号输入端 INPUT 所提供信号写入至第三节点 N3。

第一控制电路 2，与第一电源端、预设控制信号端 CS、第二时钟信号端 CKB、第一节点 N1 耦接，配置为响应于预设控制信号端 CS 所提供信号和第二时钟信号端 CKB 所提供信号控制将第一电源端所提供电压写入至第一节点 N1。

第二控制电路 3 与第二电源端、信号输入端 INPUT、第一节点 N1 耦接，第二控制电路 3 配置为响应于信号输入端 INPUT 所提供信号控制将第二电源端所提供电压写入至第一节点 N1。

输出电路 4 与信号输出端 OUT、第一电源端、第二电源端、第一节点 N1、第四节点 N4 耦接，输出电路 4 配置为响应于第一节点 N1 处电压的控制将第二电源端所提供电压写入至信号输出端 OUT，以及响应于第四节点 N4 处电压的控制将第一电源端所提供电压写入至信号输出端 OUT，第三节点 N3 与第四节点 N4 耦接。

本公开实施例所提供的移位寄存器具备电路结构简单、占用空间小的优势，有利于显示装置的窄边框设计。

图 2 为本公开实施例提供的移位寄存器的另一种具体电路结构示意图，如图 2 所示，在一些实施例中，移位寄存器还包括：降噪电路

5 与第二电源端、第一节点 N1、第三节点 N3 耦接，降噪电路 5 配置为响应于第一节点 N1 处电压的控制将第二电源端所提供电压写入至第三节点 N3。

在本公开实施例中，通过设置降噪电路 5 可在移位寄存器的工作过程中对第三节点 N3 进行降噪处理。

图 3 为本公开实施例提供的移位寄存器的再一种具体电路结构示意图，如图 3 所示，图 3 所示移位寄存器为基于图 2 所示移位寄存器的一种具体化方案。

在一些实施例中，第一控制电路 2 包括第一晶体管 T1 和第二晶体管 T2，第二控制电路 3 包括第三晶体管 T3，输入电路 1 包括第四晶体管 T4，降噪电路 5 包括第五晶体管 T5，输出电路 4 包括第七晶体管 T7 和第八晶体管 T8。

其中，第一晶体管 T1 的控制极与预设控制信号端 CS 耦接，第一晶体管 T1 的第一极与第一电源端耦接，第一晶体管 T1 的第二极与第二晶体管 T2 的第一极耦接；

第二晶体管 T2 的控制极与第二时钟信号端 CKB 耦接，第二晶体管 T2 的第二极与第一节点 N1 耦接。

第三晶体管 T3 的控制极与信号输入端 INPUT 耦接，第三晶体管 T3 的第一极与第二电源端耦接，第三晶体管 T3 的第二极与第一节点 N1 耦接。

第四晶体管 T4 的控制极与第一时钟信号端 CK 耦接，第四晶体管 T4 的第一极与信号输入端 INPUT 耦接，第四晶体管 T4 的第二极与第三节点 N3 耦接。

第五晶体管 T5 的控制极与第一节点 N1 耦接，第五晶体管 T5 的第一极与第三节点 N3 耦接，第五晶体管 T5 的第二极与第二电源端耦接。

第七晶体管 T7 的控制极与第四节点 N4 耦接，第七晶体管 T7 的第一极与第一电源端耦接，第七晶体管 T7 的第二极与信号输出端 OUT

耦接。

第八晶体管 T8 的控制极与第一节点 N1 耦接，第八晶体管 T8 的第一极与信号输出端 OUT 耦接，第八晶体管 T8 的第二极与第二电源端耦接。

在一些实施例中，预设控制信号端 CS 为信号输入端 INPUT。在本公开实施例中，将信号输入端 INPUT 用作预设控制信号端 CS，因而无需再额外配置新控制信号端，从而能够有效减少移位寄存器所配置信号端的数量，有利于降低移位寄存器的控制难度。

在一些实施例中，第一晶体管 T1 为 N 型晶体管，移位寄存器内除第一晶体管 T1 外的其他晶体管均为 P 型晶体管。

目前显示装置内的像素驱动电路开始往低温多晶氧化物（Low Temperature Polycrystalline Oxide，简称 LTPO）技术的方向发展,即像素驱动电路内包括两种类型晶体管：低温多晶硅型晶体管和金属氧化物型晶体管。鉴于 GOA 电路是与像素驱动电路的基于相同工序进行同步制备，为适配 LTPO 型像素驱动电路的制备工序，则移位寄存器内的晶体管也设计为包括低温多晶硅型晶体管和金属氧化物型晶体管两类。在一些实施例中，上述 N 型晶体管采用金属氧化物型晶体管，上述 P 型晶体管采用低温多晶硅型晶体管。也就是说，第一晶体管 T1 为金属氧化物型晶体管，移位寄存器内除第一晶体管 T1 外的其他晶体管均为低温多晶硅型晶体管。

下面将结合附图来对图 2 所示移位寄存器的工作过程进行详细描述。其中，示例性地，第一晶体管 T1 为 N 型晶体管，第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第七晶体管 T7 和第八晶体管 T8 均为 P 型晶体管，第一电源端提供低电平电压 VGL，第二电源端提供高电平电压 VGH。

图 4 为图 3 所示移位寄存器的一种工作时序图，如图 3 所示，该移位寄存器的工作过程包括如下几个阶段：

第一阶段 t1，信号输入端 INPUT 所提供信号处于低电平状态，第一时钟信号端 CK 所提供信号处于高电平状态，第二时钟信号端 CKB

所提供信号处于低电平状态。

由于第二时钟信号端 CKB 所提供信号处于低电平状态，故第二晶体管 T2 导通。

由于信号输入端 INPUT 所提供信号处于低电平状态，故第一晶体管 T1 截止，第三晶体管 T3 导通，第二电源端提供的高电平电压 VGH 通过第三晶体管 T3 写入至第一节点 N1，第一节点 N1 处电压处于高电平状态，第五晶体管 T5 和第八晶体管 T8 均截止。

由于第一时钟信号端 CK 所提供信号处于高电平状态，故第四晶体管 T4 截止，此时第三节点 N3 和第四节点 N4 均处于浮接状态（floating），第三节点 N3 和第四节点 N4 处电压维持前一阶段的低电平状态，此时第七晶体管 T7 维持导通状态，第一电源端提供的低电平信号通过第七晶体管 T7 写入至信号输出端 OUT，故信号输出端 OUT 输出低电平信号。

第二阶段 t2，信号输入端 INPUT 所提供信号处于高电平状态，第一时钟信号端 CK 所提供信号处于低电平状态，第二时钟信号端 CKB 所提供信号处于高电平状态。

由于第二时钟信号端 CKB 所提供信号处于高电平状态，故第二晶体管 T2 截止。

由于信号输入端 INPUT 所提供信号处于高电平状态，故第一晶体管 T1 导通，第三晶体管 T3 截止。此时，第一节点 N1 处于浮接状态，并维持前一阶段的高电平状态。此时，第五晶体管 T5 和第八晶体管 T8 均维持截止。

由于第一时钟信号端 CK 所提供信号处于低电平状态，故第四晶体管 T4 导通，信号输入端 INPUT 所提供高电平信号通过第四晶体管 T4 写入至第三节点 N3，第三节点 N3 和第四节点 N4 处电压处于高电平状态。此时，第七晶体管 T7 处于截止状态。信号输出端 OUT 处于浮接状态，维持前一阶段的低电平状态，即信号输出端 OUT 输出低电平信号。

第三阶段 t3，信号输入端 INPUT 所提供信号处于高电平状态，第

一时钟信号端 CK 所提供信号处于高电平状态，第二时钟信号端 CKB 所提供信号处于低电平状态。

由于第二时钟信号端 CKB 所提供信号处于低电平状态，故第二晶体管 T2 导通。

由于信号输入端 INPUT 所提供信号处于高电平状态，故第一晶体管 T1 导通，第三晶体管 T3 截止，此时第一电源端提供的低电平电压 VGL 通过第一晶体管 T1 和第二晶体管 T2 写入至第一节点 N1，第一节点 N1 处电压处于低电平状态，第五晶体管 T5 和第八晶体管 T8 均导通。

由于第一时钟信号端 CK 所提供信号处于高电平状态，故第四晶体管 T4 截止。但是，由于第五晶体管 T5 是处于导通状态，故第二电源端提供的高电平电压 VGH 通过第五晶体管 T5 写入至第三节点 N3，以实现对第三节点 N3 处电压进行降噪的目的。此时，第七晶体管 T7 维持截止。

由于第八晶体管 T8 导通，故第二电源端提供的高电平电压 VGH 可通过第八晶体管 T8 写入至信号输出端 OUT，故信号输出端 OUT 输出高电平信号。

基于前面内容可见，在降噪电路 5（第五晶体管 T5）可在第三阶段 t3 起到对第三节点 N3 处电压进行降噪的作用，降噪电路 5（第五晶体管 T5)并未为本公开实施例所提供移位寄存器内的必要电路结构，故在一些实施例中可以根据实际需要（例如，简化电路结构、缩小移位寄存器所占用尺寸）去除降噪电路 5。

第四阶段 t4，信号输入端 INPUT 所提供信号处于高电平状态，第一时钟信号端 CK 所提供信号处于低电平状态，第二时钟信号端 CKB 所提供信号处于高电平状态。

由于第二时钟信号端 CKB 所提供信号处于高电平状态，故第二晶体管 T2 截止。

由于信号输入端 INPUT 所提供信号处于高电平状态，故第一晶体管 T1 导通，第三晶体管 T3 截止。此时，第一节点 N1 处于浮接状态，

并维持前一阶段的低电平状态，第五晶体管 T5 和第八晶体管 T8 均维持导通。

由于第一时钟信号端 CK 所提供信号处于低电平状态，故第四晶体管 T4 导通，信号输入端 INPUT 所提供高电平信号通过第四晶体管 T4 写入至第三节点 N3，第三节点 N3 和第四节点 N4 处电压处于高电平状态。此时，第七晶体管 T7 处于截止状态。信号输出端 OUT 处于浮接状态，维持前一阶段的高电平状态，即信号输出端 OUT 输出高电平信号。

需要说明的是，根据输入信号的脉宽设计，在一个周期内可能会存在多个第三阶段 t3 和多个第四阶段 t4，第三阶段 t3 和第四阶段 t4 交替进行。

第五阶段 t5，信号输入端 INPUT 所提供信号处于低电平状态，第一时钟信号端 CK 所提供信号处于低电平状态，第二时钟信号端 CKB 所提供信号处于高电平状态。

由于第二时钟信号端 CKB 所提供信号处于高电平状态，故第二晶体管 T2 截止。

由于信号输入端 INPUT 所提供信号处于低电平状态，故第一晶体管 T1 截止，第三晶体管 T3 导通，此时第二电源端提供的高电平电压 VGH 通过第三晶体管 T3 写入至第一节点 N1，第一节点 N1 处电压处于高电平状态，第五晶体管 T5 和第八晶体管 T8 均截止。

由于第一时钟信号端 CK 所提供信号处于低电平状态，故第四晶体管 T4 导通。信号输入端 INPUT 所提供的低电平信号通过第四晶体管 T4 写入至第三节点 N3，第三节点 N3 和第四节点 N4 处电压处于低电平状态。此时，第七晶体管 T7 导通。

由于第七晶体管 T7 导通，第一电源端提供的低电平电压 VGL 通过第七晶体管 T7 写入至信号输出端 OUT，故信号输出端 OUT 输出低电平信号。需要说明的是，在第五阶段过程中，第三节点 N3 和第四节点 N4 电压会缓慢下降，第七晶体管 T7 会由截止状态缓慢切换至打开状态，故信号输出端 OUT 所输出信号由高电平状态缓慢向低电平状态

进行切换。也就是说，在第五阶段过程中，第七晶体管 T7 实际先输出高电平信号，后输出低电平信号。

第六阶段 t6，信号输入端 INPUT 所提供信号处于低电平状态，第一时钟信号端 CK 所提供信号处于高电平状态，第二时钟信号端 CKB 所提供信号处于低电平状态。

由于第二时钟信号端 CKB 所提供信号处于低电平状态，故第二晶体管 T2 导通。

由于信号输入端 INPUT 所提供信号处于低电平状态，故第一晶体管 T1 截止，第三晶体管 T3 导通，此时第二电源端提供的高电平电压 VGH 写入至第一节点 N1，第一节点 N1 处电压处于高电平状态，第五晶体管 T5 和第八晶体管 T8 均截止。

由于第一时钟信号端 CK 所提供信号处于高电平状态，故第四晶体管 T4 截止。此时，第三节点 N3 和第四节点 N4 处于浮接状态，并维持前一阶段的低电平。第七晶体管 T7 维持导通。

由于第七晶体管 T7 导通，第一电源端提供的低电平电压 VGL 通过第七晶体管 T7 写入至信号输出端 OUT，故信号输出端 OUT 输出低电平信号。

第七阶段 t7，信号输入端 INPUT 所提供信号处于低电平状态，第一时钟信号端 CK 所提供信号处于低电平状态，第二时钟信号端 CKB 所提供信号处于高电平状态。

由于第二时钟信号端 CKB 所提供信号处于高电平状态，故第二晶体管 T2 截止。

由于信号输入端 INPUT 所提供信号处于低电平状态，故第一晶体管 T1 截止，第三晶体管 T3 导通，此时第二电源端提供的高电平电压 VGH 通过第三晶体管 T3 写入至第一节点 N1，第一节点 N1 处电压处于高电平状态，第五晶体管 T5 和第八晶体管 T8 均截止。

由于第一时钟信号端 CK 所提供信号处于低电平状态，故第四晶体管 T4 导通。信号输入端 INPUT 所提供的低电平信号通过第四晶体

管 T4 写入至第三节点 N3 以对第三节点 N3 进行降噪处理，第三节点 N3 和第四节点 N4 处电压处于低电平状态。此时，第七晶体管 T7 导通。

由于第七晶体管 T7 导通，第一电源端提供的低电平电压 VGL 通过第七晶体管 T7 写入至信号输出端 OUT，故信号输出端 OUT 输出低电平信号。

需要说明的是，根据一帧时长设计，在一个周期内会存在多个第六阶段 t6 和多个第七阶段 t7，第六阶段 t6 和第七阶段 t7 交替进行，直至下一周期的第一阶段开始进行。

基于上述内容可见，图 4 所示移位寄存器仅包括 7 个晶体管：第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第七晶体管 T7 和第八晶体管 T8，相较于传统的 12T2C 电路（包括 12 个晶体管和 2 个电容），图 4 所示移位寄存器的电路结构更为简单、所占用尺寸更小，更有利于窄边框设计。

图 5 为本公开实施例所提供的移位寄存器的再一种电路结构示意图，如图 5 所示，与前面实施例中预设控制信号端 CS 为信号输入端 INPUT 所不同，在本公开实施例中预设控制信号端 CS 为第三节点 N3。具体地，图 5 中第一晶体管 T1 的控制极与第三节点 N3 耦接。

图 5 中所示移位寄存器的工作时序也可采用图 4 中所示，具体工作过程可参见前面对图 4 的相关描述，此处不再赘述。需要说明的是，基于图 4 中所示，第三节点 N3 处的信号波形与信号输入端 INPUT 处的信号波形类似，故第一晶体管 T1 的控制极与第三节点 N3 相连时该第一晶体管 T1 在各阶段中的工作状态，与该第一晶体管 T1 的控制极与信号输入端 INPUT 相连时在各阶段中的工作状态相同。

图 6 为本公开实施例提供的移位寄存器的再一种电路结构示意图，图 7 为本公开实施例提供的移位寄存器的再一种电路结构示意图，如图 6 和图 7 所示，与前面实施例中不同的是，图 6 和图 7 所示实施例中，第一晶体管 T1 的控制极与预设控制信号端 CS（图 6 中预设控制信号端 CS 为信号输入端 INPUT，图 7 中预设控制信号端 CS 为第三

节点 N3）耦接，第一晶体管 T1 的第一极与第二晶体管 T2 的第二极耦接，第一晶体管 T1 的第二极与第一节点 N1 耦接；第二晶体管 T2 的控制极与第二时钟信号端 CKB 耦接，第二晶体管 T2 的第一极与第一电源端耦接。

图 6 和图 7 所示移位寄存器的工作时序可参见图 4 所示，具体内容此处不再赘述。

在图 3、图 5、图 6、图 7 所示实施例中，第三节点 N3 与第四节点 N4 直接相连。在第一阶段和第五阶段过程中，信号输入端 INPUT 将低电平信号写入至第三节点 N3 和第四节点 N4，第七晶体管 T7 受控于第四节点 N4 处的低电平电压控制进行输出。一般地，为保证第七晶体管 T7 能够在第一阶段、第五阶段能够处于完全打开状态（第七晶体管 T7 的栅源电压需要小于等于 Vth_T7, Vth_T7 为第七晶体管 T7 的阈值电压，Vth_T7≤0V），则需要第四节点 N4 处电压要小于或等于 VGL（VGL 一般为一个负电压，例如-9），以保证信号输出端 OUT 能够输出低电平电压 VGL，这也就需要信号输入端 INPUT 所提供的低电平电压是小于或等于 VGL。

一般地，在栅极驱动电路中，位于第一级的移位寄存器的信号输入端 INPUT 与帧起始信号端耦接，而除位于第一级之外的其他任意一级移位寄存器，移位寄存器的信号输入端 INPUT 与前一级的移位寄存器的信号输出端 OUT 耦接。也就是说，本级移位寄存器的信号输出端 OUT 所低电平电压会作为下一级移位寄存器的信号输入端 INPUT 所输入的低电平电压。基于此可见，需要使得帧起始信号端所提供的低电平电压为 VGL，以保证各级移位寄存器各自工作于第一阶段、第五阶段、第七阶段时第四节点 N4 处电压为 VGL。然而，在实际应用中，考虑到 IR Drop 等因素，发现在各移位寄存器工作于第一阶段、第五阶段、第七阶段时实际所加载的电压 VN4＞VGL，此时信号输出端 OUT 所输出电压为 VN4-Vth_T7（第七晶体管 T7 先导通，当信号输出端 OUT 处电压放电至 VN4-Vth_T7 时，第七晶体管 T7 截止），由于 Vth_T7≤0，故 VN4-Vth_T7＞VGL，也就是说信号输出端 OUT 无法完全输出

VGL。一旦 VN4 过大，信号输出端 OUT 所输出的低电平电压也会过大，则容易导致信号输出端 OUT 所输出的低电平电压无法对像素驱动电路内的发光控制晶体管进行有效控制。

为有效改善上述技术问题，本公开实施例又提供了一种新移位寄存器。图 8 为本公开实施例提供的再一种移位寄存器的电路结构示意图，图 9 为图 8 所示移位寄存器的一种工作时序图，如图 8 和图 9 所示，与前面实施例所提供的移位寄存器所不同，图 8 所示移位寄存器单元不但包括前面移位寄存器中的电路结构，还包括第一电容 C1；其中，第一电容 C1 的第一端与第二时钟信号端 CKB 耦接，第一电容 C1 的第二端与第四节点 N4 耦接。

图 8 所示移位寄存器的工作过程也包括如前面所描述的第一阶段 t1～第七阶段 t7。其中，在第一阶段 t1 和第五阶段 t5，由于第三节点 N3 和第四节点 N4 处于浮接状态，故当第二时钟信号端 CKB 所提供的信号由高电平状态切换至低电平状态时，在第一电容 C1 的自举作用下，第三节点 N3 和第四节点 N4 也会被下拉。

示例性地，假定在第五阶段 t5 结束后且在第六阶段 t6 开始前第四节点 N4 处电压为 VN4，信号输出端 OUT 所输出电压为 VN4-Vth_T7。在第六阶段开始后，当第二时钟信号端 CKB 所提供的电压由高电平电压 Vgh_C 切换至低电平电压 Vgl_C，则第三节点 N3 和第四节点 N4 处电压会被第一电容 C1 下拉至 VN4-（Vgh_C-Vgl_C），通过对 Vgh_C-Vgl_C 的值进行预先设计，使得 VN4-（Vgh_C-Vgl_C）小于 VGL，则第七晶体管 T7 会在第六阶段处于完全打开状态，此时信号输出端 OUT 可以完全输出低电平电压 VGL。

需要说明的是，在此后的第七阶段 t7 过程中，虽然第四节点 N4 处电压也会被第一电容 C1 上拉至 VN4，但此时由于第七晶体管 T7 的栅源电压大于 Vth_T7，故第七晶体管 T7 在第七阶段 t7 会处于截止状态，信号输出端 OUT 处于浮接状态，维持输出低电平电压 VGL。

同理，在第一阶段 t1 时，第四节点 N4 处电压会被第一电容 C1 下拉至 VN4-（Vgh_C-Vgl_C），信号输出端 OUT 输出低电平电压 VGL。

基于上述内容可见，通过设置上述第一电容 C1，可使得信号输出端 OUT 能够在第一阶段、第六阶段和第七阶段稳定的输出低电平电压 VGL。

图 10 为本公开实施例提供的再一种移位寄存器的电路结构示意图，图 11 为图 10 所示移位寄存器的一种工作时序图，如图 10 和图 11 所示，在一些实施例中，移位寄存器不但包括图 8 中的第一电容 C1，还包括第六晶体管 T6。其中，第六晶体管 T6 位于第三节点 N3 和第四节点 N4 之间，第三节点 N3 通过第六晶体管 T6 与第四节点 N4 耦接；第六晶体管 T6 的控制极与第一电源端耦接，第六晶体管 T6 的第一极与第三节点 N3，第六晶体管 T6 的第二极与第四节点 N4 耦接。

通过图 9 所示时序可见，由于图 8 中第三节点 N3 与第四节点 N4 直接相连，故二者所加载信号始终保持一致。其中，在第一阶段 t1 和第六阶段 t6 过程中，第三节点 N3 处电压处于极低状态（极低的负电压），此时第四晶体管 T4 和第五晶体管 T5 会处于高压状态（晶体管的第一极和第二极具有较大的电压差），这会影响第四晶体管 T4 和第五晶体管 T5 的使用寿命。

为有效改善上述技术问题，在图 11 所示实施例中，在第三节点 N3 和第四节点 N4 之间设置了第六晶体管 T6，第六晶体管 T6 的控制极与第一电源端耦接以接收低电平电压 VGL。参见图 11 所示，在第一阶段 t1 和第六阶段 t6 过程中，当第四节点 N4 处电压被第一电容 C1 拉低至 VN4-（Vgh_C-Vgl_C）后，第六晶体管 T6 的栅源电压会大于其自身的阈值电压，此时第六晶体管 T6 切换至截止状态。故，第四节点 N4 处的极低负电压无法写入至第三节点 N3，此时第三节点 N3 处电压会维持第五阶段时的状态（此时第三节点 N3 处于浮接状态），故能有效避免第四晶体管 T4 和第五晶体管 T5 处于高压状态，以保证第四晶体管 T4 和第五晶体管 T5 的使用寿命。

图 12A 为本公开实施例提供的再一种移位寄存器的电路结构示意图，图 12B 为本公开实施例提供的再一种移位寄存器的电路结构示意图，如图 12A 和图 12B 所示，与前面实施例中不同的是，图 12 所示

移位寄存器内还包括第二电容 C2，第二电容 C2 的第一端与第一节点 N1 耦接，第二电容 C2 的第二端与第一电源端（未给出相应附图）或第二电源端（图 12 中所示）耦接。

在本公开实施例中，在第二阶段和第四阶段过程中第一节点 N1 会处于浮接状态，为维持第一节点 N1 在第二阶段和第四阶段中电压的稳定，故在第一节点 N1 处设置起到稳压作用的第二电容 C2。

图 12A 和图 12B 所示移位寄存器为 8T2C 电路（包括 8 个晶体管和 2 个电容），相较于传统的 12T2C 电路，图 12A 和图 12B 所示移位寄存器的电路结构更为简单、所占用尺寸更小，更有利于窄边框设计.

基于同一发明构思，本公开实施例还提供了一种栅极驱动电路。图 13 为本公开实施例提供的一种栅极驱动电路的电路结构示意图，如图 13 所示，该栅极驱动电路 DC 包括：级联的多个移位寄存器 SR1～SRm，移位寄存器 SR1～SRm 采用前面实施例所提供的移位寄存器。

其中，位于第一级的移位寄存器 SR1 的信号输入端 INPUT 与帧起始信号端 STV 耦接；除位于第一级之外的其他任意一级移位寄存器 SR2～SRm，移位寄存器 SR2～SRm 的信号输入端 INPUT 与前一级的移位寄存器的信号输出端 OUT 耦接。各级移位寄存器 SR1～SRm 的信号输出端 OUT 还与显示装置内对应像素单元所配置的发光控制信号线 EM1～EMm 耦接。

在一些实施例中，针对该栅极驱动电路 DC 还配置有两条时钟信号线 CLK、CLKB：第一时钟信号线 CLK 和第二时钟信号线 CLKB；其中，位于奇数级的移位寄存器的第一时钟信号端 CK 与第一时钟信号线 CLK 耦接，位于奇数级的移位寄存器的第二时钟信号端 CKB 与第二时钟信号线 CLKB 耦接；位于偶数级的移位寄存器的第一时钟信号端 CK 与第二时钟信号线耦接 CLKB，位于奇数级的移位寄存器的第二时钟信号端 CKB 与第一时钟信号线 CLK 耦接。

本公开实施例还提供了一种显示装置，该显示装置包括显示基板和与显示基板相对设置的对置基板，该显示基板采用前面实施例提供的显示基板，对于本实施例中显示基板的描述可参见前面实施例中的

内容，此处不再赘述。

需要说明的是，本实施例所提供的显示装置可以为 OLED 面板、OLED 电视、QLED 面板、QLED 电视、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件；该显示装置还可以包括其他部件，例如数据驱动电路、时序控制器等，本公开实施例对此不作限定。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权利要求

1、一种移位寄存器，其中，包括：

输入电路，与信号输入端、第一时钟信号端、第三节点耦接，配置为响应于所述第一时钟信号端所提供信号控制将所述信号输入端所提供信号写入至第三节点；

第一控制电路，与第一电源端、预设控制信号端、第二时钟信号端、第一节点耦接，配置为响应于所述预设控制信号端所提供信号和所述第二时钟信号端所提供信号控制将所述第一电源端所提供电压写入至所述第一节点；

第二控制电路，与第二电源端、所述信号输入端、所述第一节点耦接，配置为响应于所述信号输入端所提供信号控制将所述第二电源端所提供电压写入至所述第一节点；

输出电路，与信号输出端、所述第一电源端、所述第二电源端、所述第一节点、所述第四节点耦接，配置为响应于所述第一节点处电压的控制将所述第二电源端所提供电压写入至所述信号输出端，以及响应于所述第四节点处电压的控制将所述第一电源端所提供电压写入至所述信号输出端，所述第三节点与所述第四节点耦接。

2、根据权利要求 1 所述移位寄存器，其中，所述第一控制电路包括：第一晶体管和第二晶体管；

所述第一晶体管的控制极与所述预设控制信号端耦接，所述第一晶体管的第一极与所述第一电源端耦接，所述第一晶体管的第二极与所述第二晶体管的第一极耦接；

所述第二晶体管的控制极与第二时钟信号端耦接，所述第二晶体管的第二极与所述第一节点耦接。

3、根据权利要求 1 所述移位寄存器，其中，所述第一控制电路包

括：第一晶体管和第二晶体管；

所述第一晶体管的控制极与所述预设控制信号端耦接，所述第一晶体管的第一极与所述第二晶体管的第二极耦接，所述第一晶体管的第二极与所述第一节点耦接；

所述第二晶体管的控制极与第二时钟信号端耦接，所述第二晶体管的第一极与所述第一电源端耦接。

4、根据权利要求 2 或 3 所述的移位寄存器，其中，所述预设控制信号端为所述第三节点。

5、根据权利要求 2 或 3 所述的移位寄存器，其中，所述预设控制信号端为所述信号输入端。

6、根据权利要求 2 至 5 中任一所述的移位寄存器，其中，所述第一晶体管为 N 型晶体管，所述移位寄存器内除所述第一晶体管外的其他晶体管均为 P 型晶体管。

7、根据权利要求 6 所述的移位寄存器，其中，所述第一晶体管为金属氧化物型晶体管，所述移位寄存器内除所述第一晶体管外的其他晶体管均为低温多晶硅型晶体管。

8、根据权利要求 1 至 7 中任一所述的移位寄存器，其中，所述第二控制电路包括：第三晶体管；

所述第三晶体管的控制极与所述信号输入端耦接，所述第三晶体管的第一极与所述第二电源端耦接，所述第三晶体管的第二极与所述第一节点耦接。

9、根据权利要求 1 至 7 中任一所述的移位寄存器，其中，所述输入电路包括：第四晶体管；

所述第四晶体管的控制极与所述第一时钟信号端耦接，所述第四晶体管的第一极与所述信号输入端耦接，所述第四晶体管的第二极与所述第三节点耦接。

10、根据权利要求 1 至 7 中任一所述的移位寄存器，其中，所述输出电路包括第七晶体管和第八晶体管；

所述第七晶体管的控制极与所述第四节点耦接，所述第七晶体管的第一极与所述第一电源端耦接，所述第七晶体管的第二极与所述信号输出端耦接；

所述第八晶体管的控制极与所述第一节点耦接，所述第八晶体管的第一极与所述信号输出端耦接，所述第八晶体管的第二极与所述第二电源端耦接。

11、根据权利要求 1 至 7 中任一所述的移位寄存器，其中，所述移位寄存器还包括：降噪电路，与所述第二电源端、所述第一节点、所述第三节点耦接，配置为响应于所述第一节点处电压的控制将所述第二电源端所提供电压写入至所述第三节点。

12、根据权利要求 12 所述的移位寄存器，其中，所述降噪电路包括：第五晶体管；

所述第五晶体管的控制极与所述第一节点耦接，所述第五晶体管的第一极与所述第三节点耦接，所述第五晶体管的第二极与所述第二电源端耦接。

13、根据权利要求 1 至 11 中任一所述的移位寄存器，其中，还包括：第一电容；

所述第一电容的第一端与第二时钟信号端耦接，所述第一电容的第二端与所述第四节点耦接。

14、根据权利要求 13 所述的移位寄存器，其中，还包括：第六晶体管，所述第六晶体管位于所述第三节点和所述第四节点之间，所述第三节点通过所述第六晶体管与所述第四节点耦接；

所述第六晶体管的控制极与第一电源端耦接，所述第六晶体管的第一极与所述第三节点，所述第六晶体管的第二极与所述第四节点耦接。

15、根据权利要求 1 至 14 中任一所述的移位寄存器，其特征在于，还包括：第二电容；

所述第二电容的第一端与所述第一节点耦接，所述第二电容的第二端与所述第一电源端或所述第二电源端耦接。

16、一种栅极驱动电路，其中，包括：级联的多个移位寄存器，所述移位寄存器采用上述权利要求 1 至 15 中任一所述移位寄存器；

位于第一级的所述移位寄存器的信号输入端与帧起始信号端耦接；

除位于第一级之外的其他任意一级移位寄存器，所述移位寄存器的信号输入端与前一级的移位寄存器的所述信号输出端耦接。

17、一种显示装置，其中，包括：如上述权利要求 16 中所述栅极驱动电路。

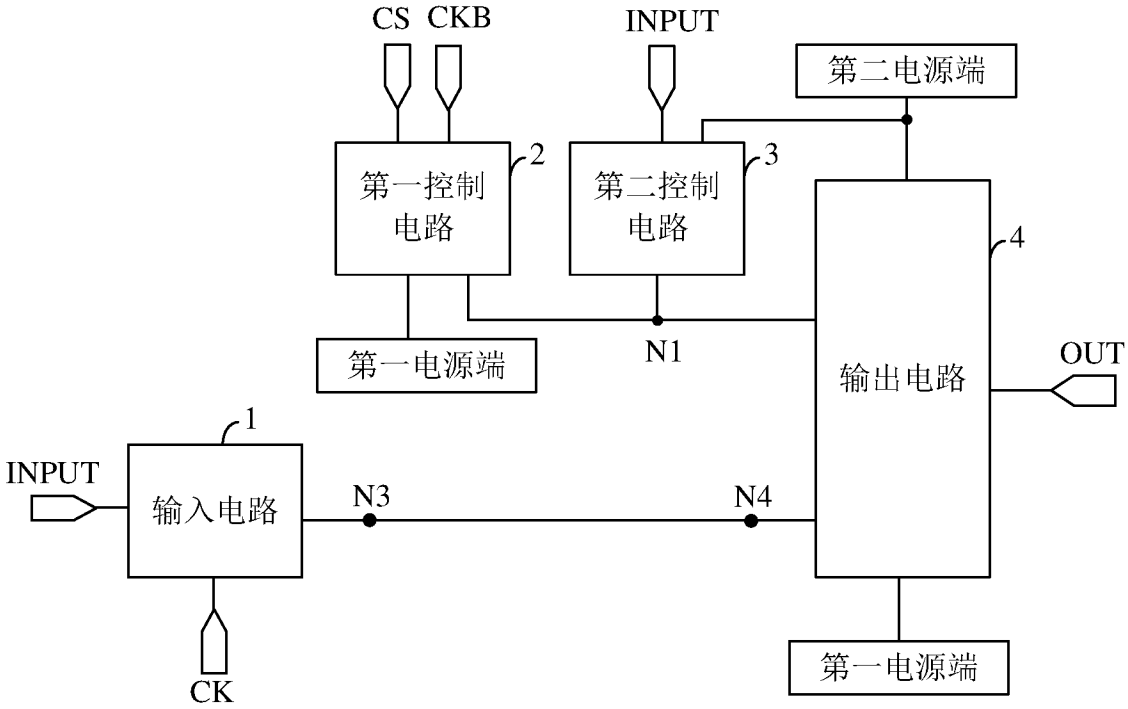

CS CKB
INPUT
第二电源端
第一控制电路
2
第二控制电路
3
4
第一电源端
N1
输出电路
OUT
1
INPUT
输入电路
N3
N4
CK
第一电源端

图 1

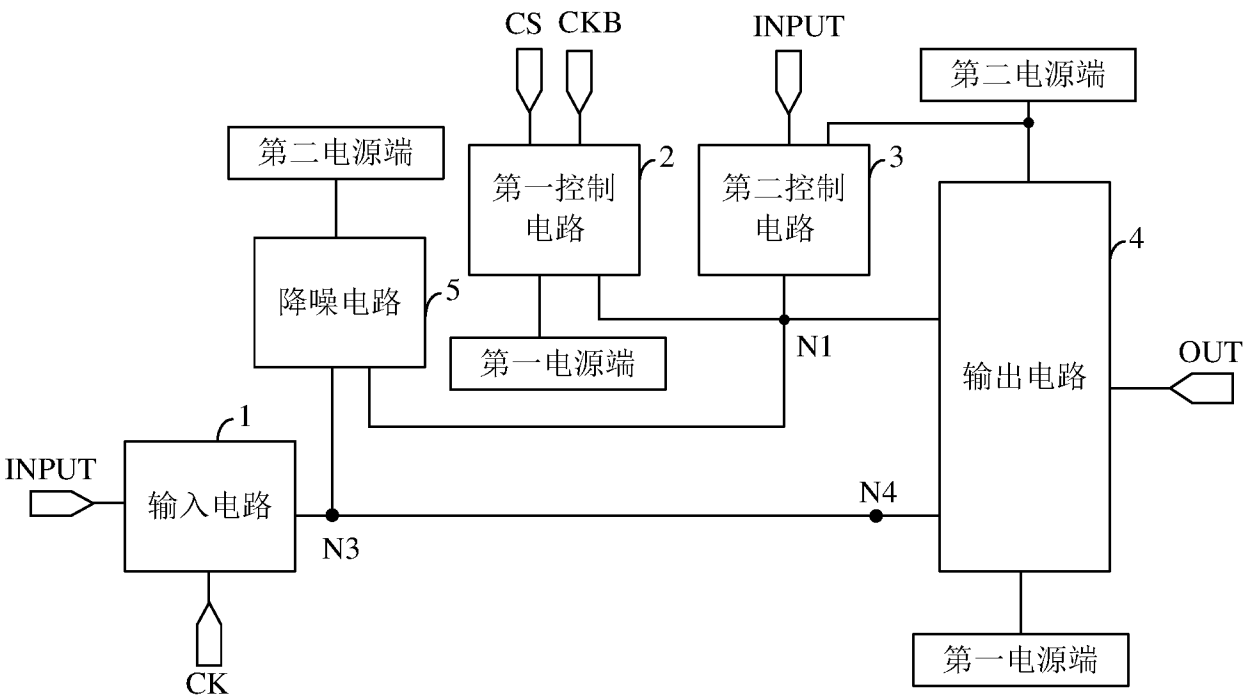

CS CKB
INPUT
第二电源端
第二电源端
第一控制电路
2
第二控制电路
3
降噪电路
5
4
第一电源端
N1
输出电路
OUT
1
INPUT
输入电路
N4
N3
CK
第一电源端

图 2

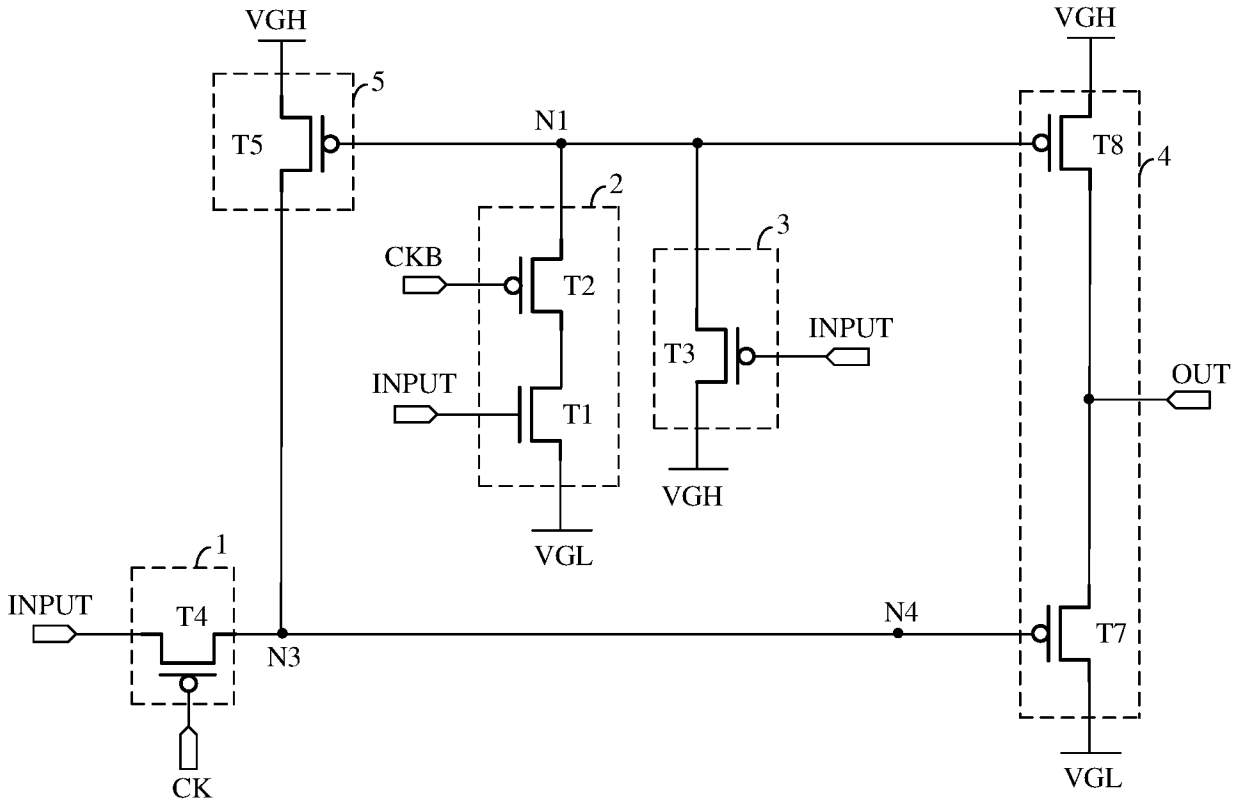

VGH
VGH
5
T5
N1
T8
4
2
3
CKB
T2
INPUT
T3
OUT
INPUT
T1
VGH
VGL
1
INPUT
T4
N4
T7
N3
CK
VGL

图 3

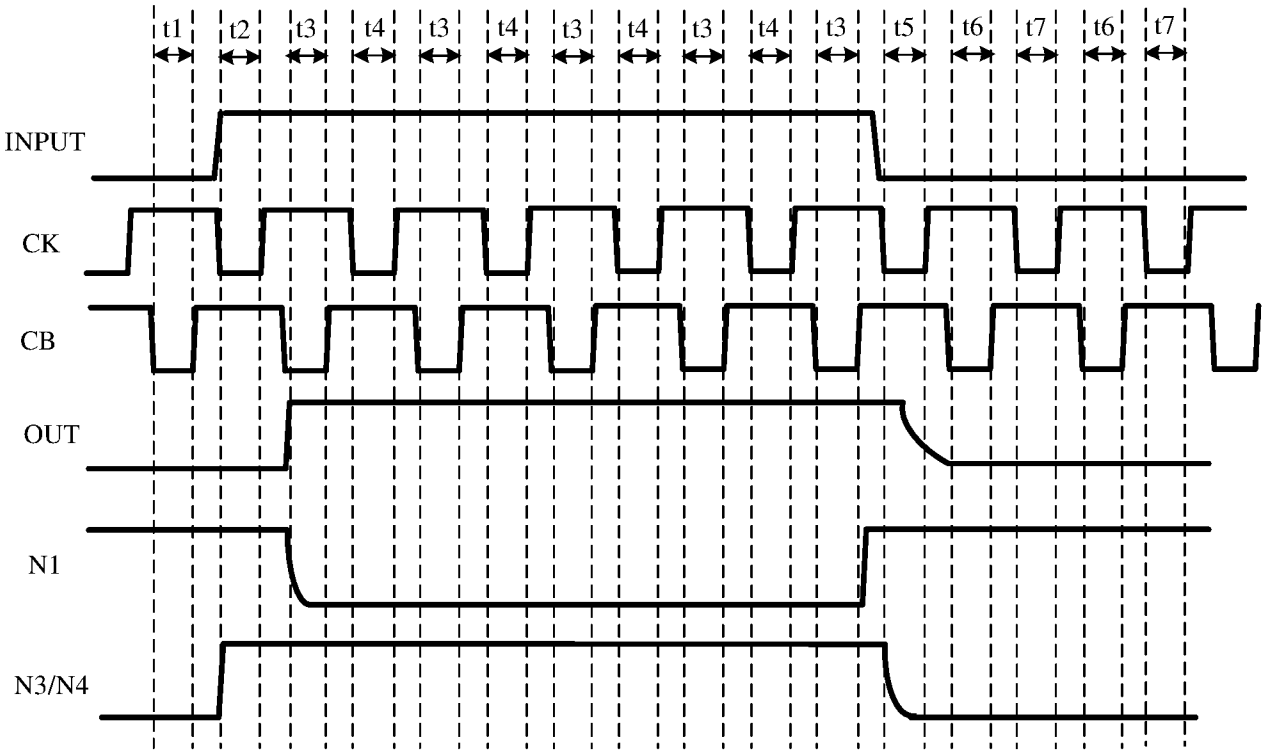

t1
t2
t3
t4
t3
t4
t3
t4
t3
t4
t3
t5
t6
t7
t6
t7
INPUT
CK
CB
OUT
N1
N3/N4

图 4

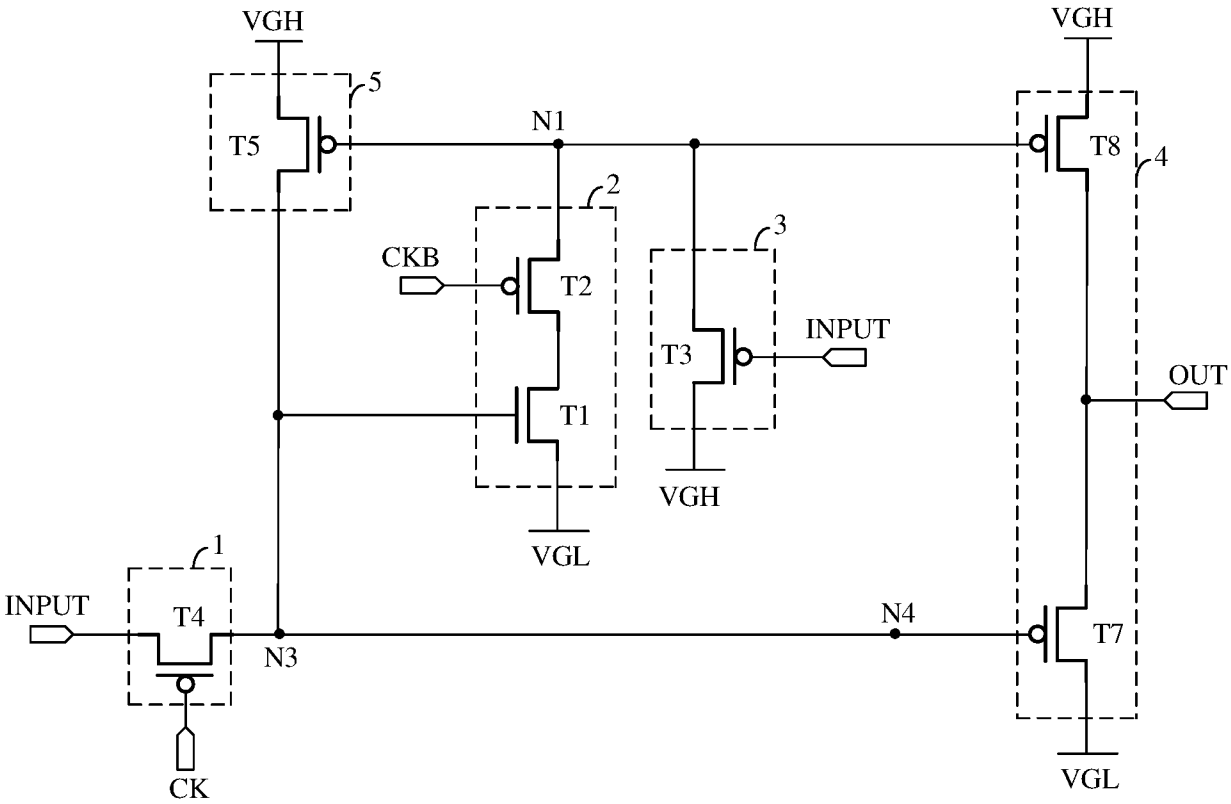

VGH
5
T5
N1
2
CKB
T2
T1
VGL
3
T3
INPUT
VGH
VGH
T8
4
OUT
1
INPUT
T4
N3
CK
N4
T7
VGL

图 5

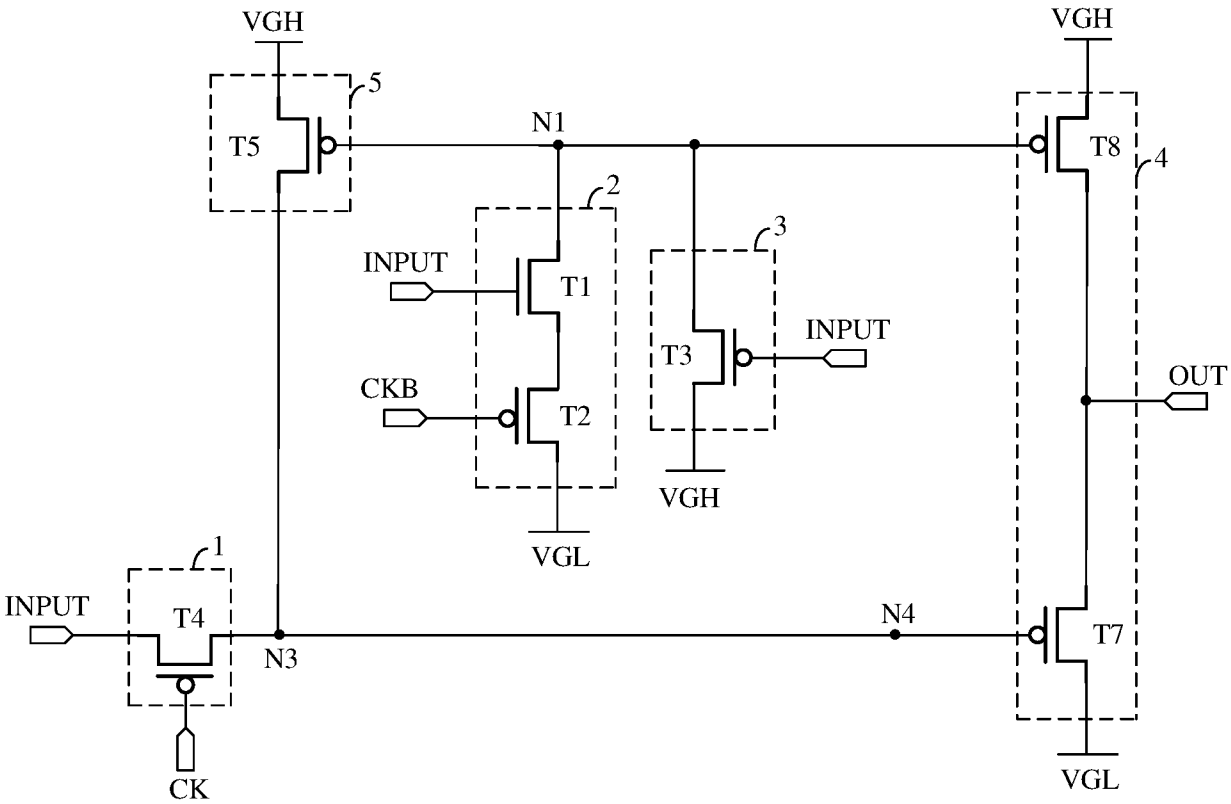

VGH
VGH
5
T5
N1
T8
4
2
INPUT
T1
3
INPUT
T3
OUT
CKB
T2
VGH
VGL
1
INPUT
T4
N4
T7
N3
CK
VGL

图 6

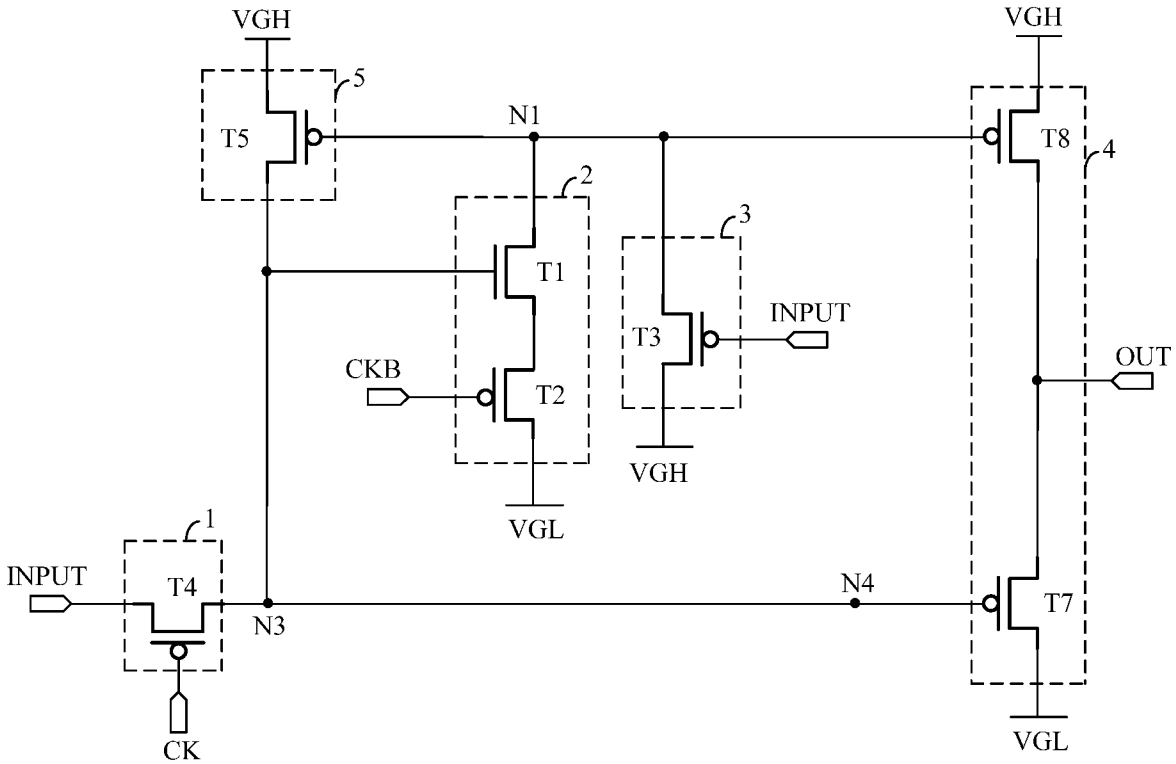

VGH
VGH
5
T5
N1
T8
4
2
T1
3
INPUT
T3
OUT
CKB
T2
VGH
VGL
1
INPUT
T4
N4
T7
N3
CK
VGL

图 7

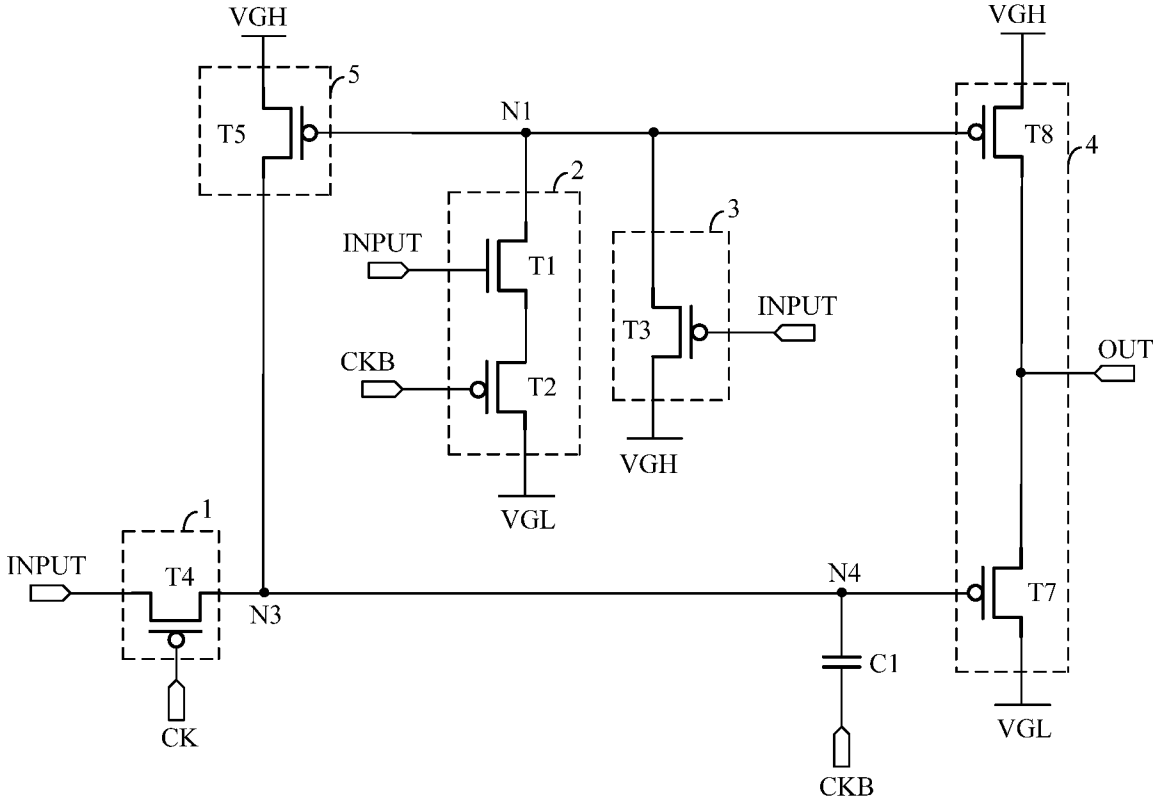

VGH
5
T5
N1
2
INPUT
T1
CKB
T2
VGL
3
T3
INPUT
VGH
VGH
T8
4
OUT
1
INPUT
T4
N3
CK
N4
C1
CKB
T7
VGL

图 8

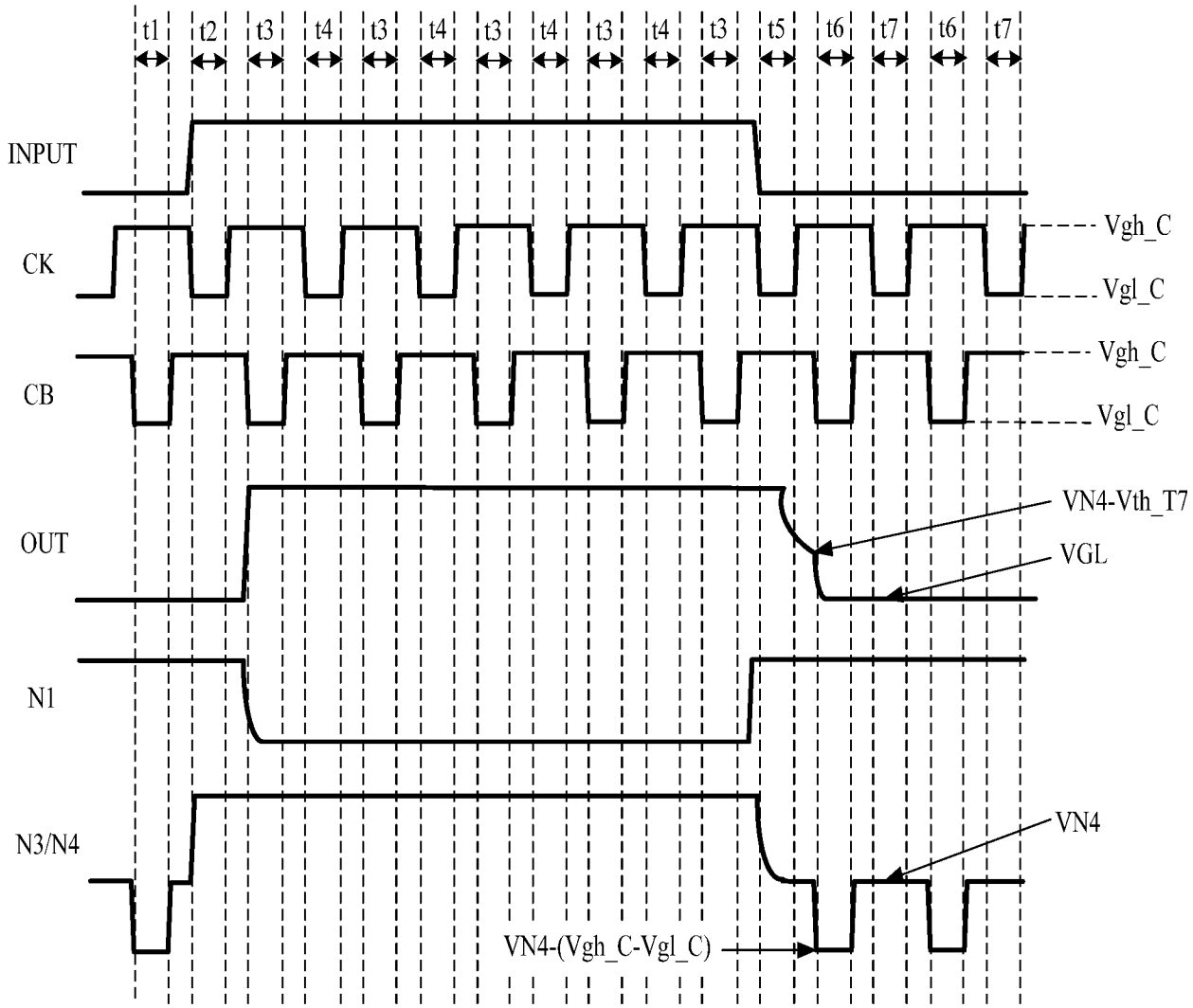

t1
t2
t3
t4
t3
t4
t3
t4
t3
t4
t3
t5
t6
t7
t6
t7
INPUT
CK
CB
OUT
N1
N3/N4
Vgh_C
Vgl_C
Vgh_C
Vgl_C
VN4-Vth_T7
VGL
VN4
VN4-(Vgh_C-Vgl_C)

图 9

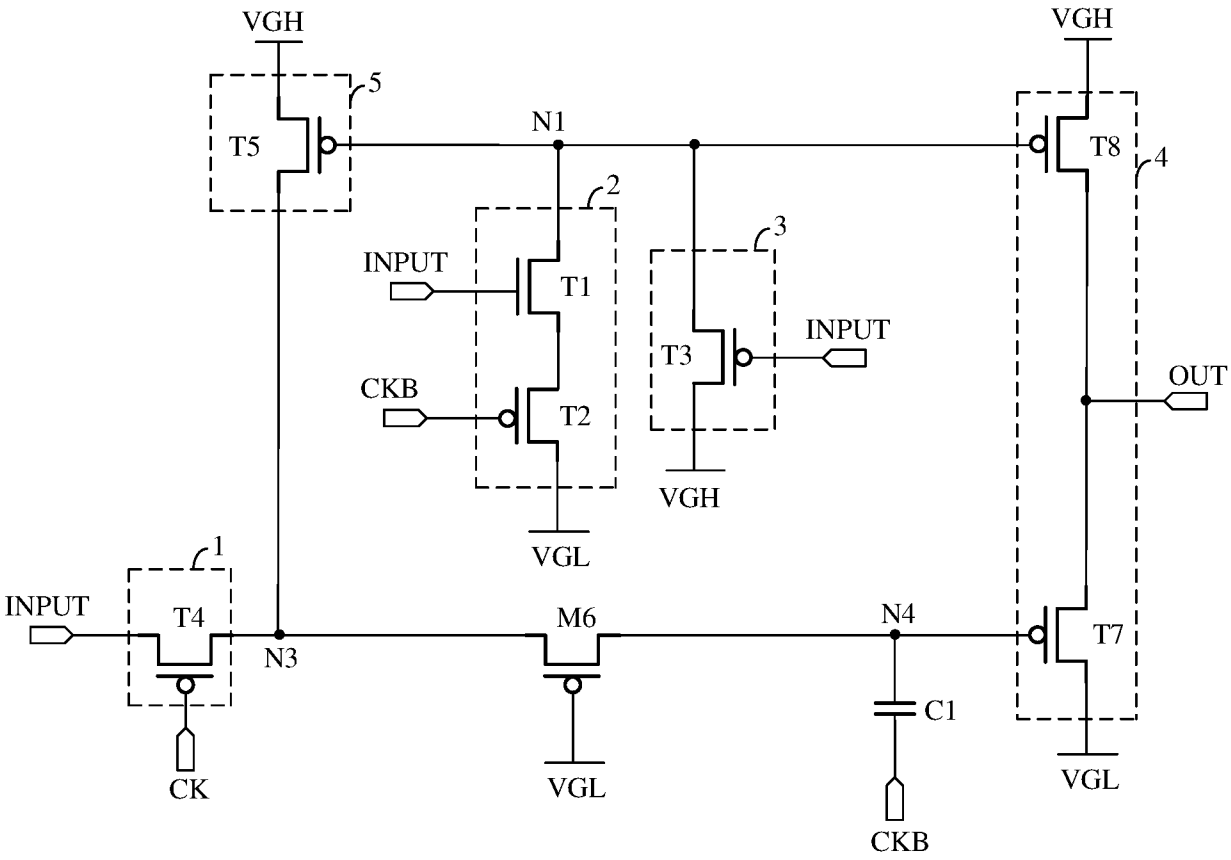

VGH
5
T5
N1
2
INPUT
T1
CKB
T2
VGL
3
T3
INPUT
VGH
VGH
T8
4
OUT
VGL
1
INPUT
T4
N3
M6
N4
T7
C1
CK
VGL
CKB

图 10

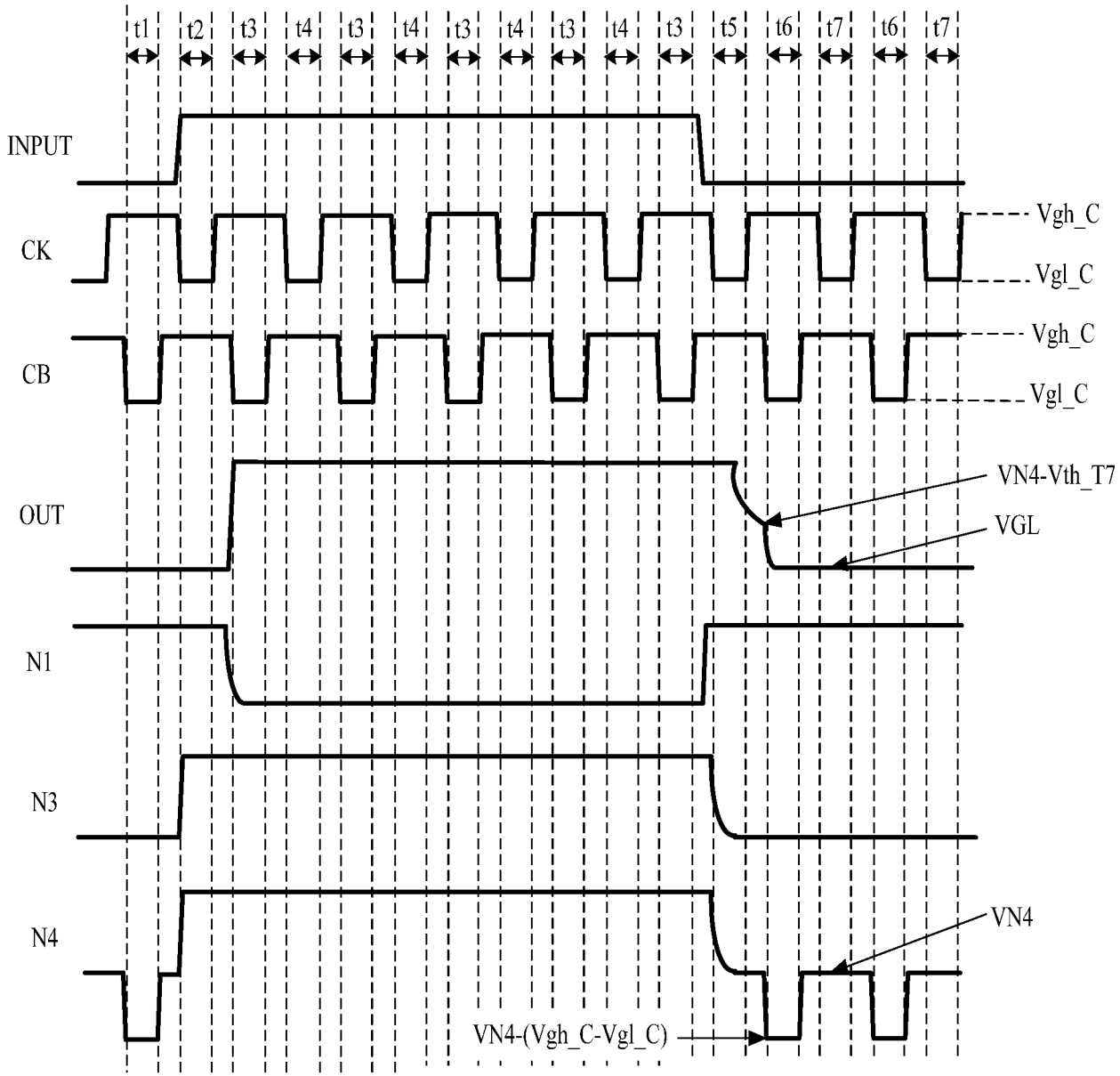

t1
t2
t3
t4
t3
t4
t3
t4
t3
t4
t3
t5
t6
t7
t6
t7
INPUT
CK
CB
OUT
N1
N3
N4
Vgh_C
Vgl_C
Vgh_C
Vgl_C
VN4-Vth_T7
VGL
VN4
VN4-(Vgh_C-Vgl_C)

图 11

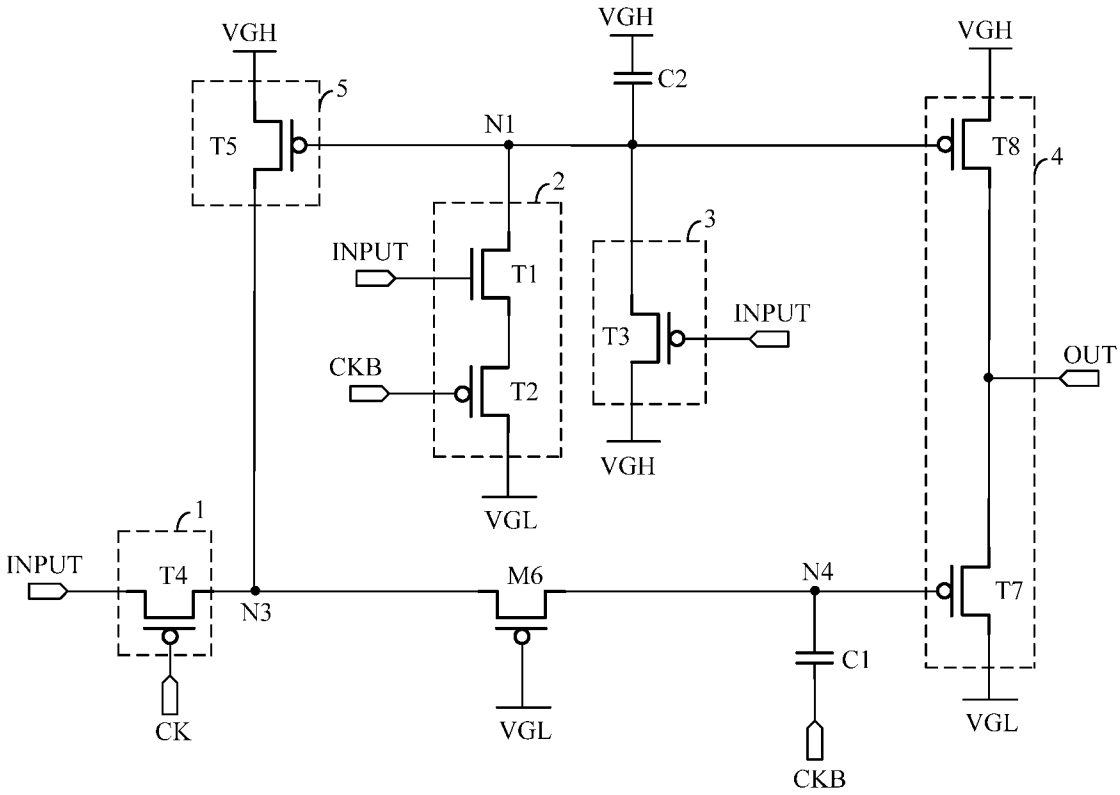

VGH
VGH
VGH
C2
5
T5
N1
T8
4
2
3
INPUT
T1
T3
INPUT
OUT
CKB
T2
VGH
VGL
1
INPUT
T4
N3
M6
N4
T7
C1
CK
VGL
VGL
CKB

图 12A

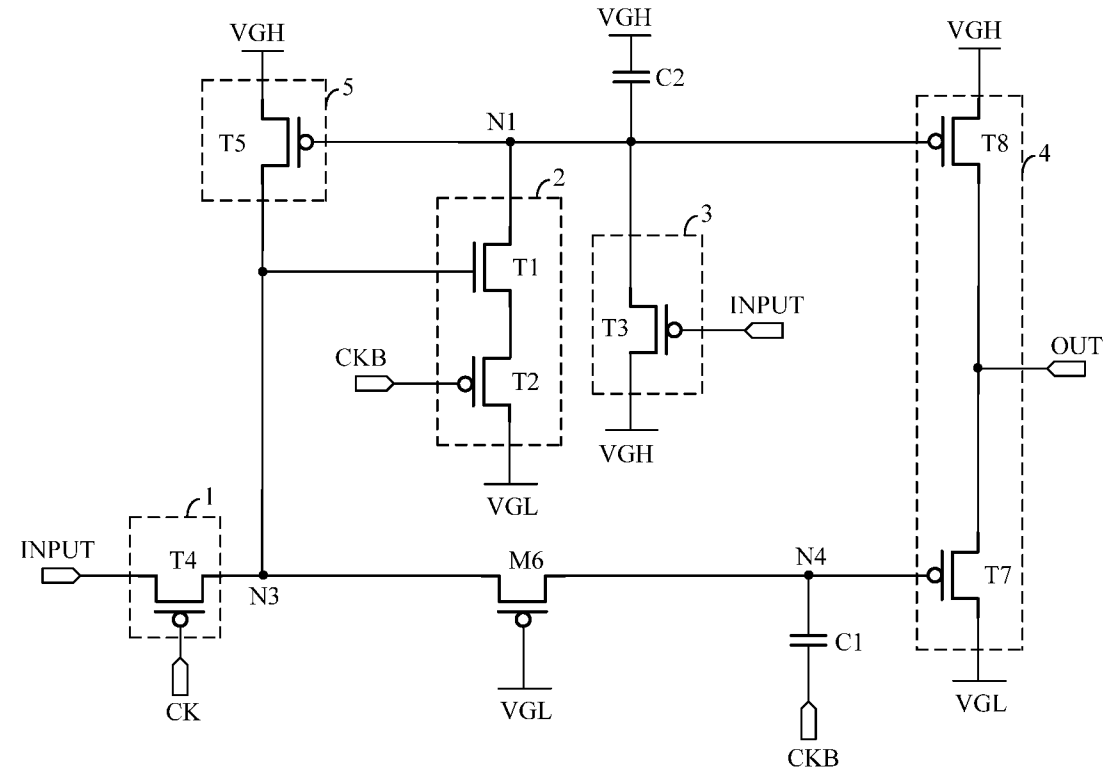

VGH
VGH
VGH
C2
5
T5
N1
T8
4
2
3
T1
T3
INPUT
OUT
CKB
T2
VGH
VGL
1
INPUT
T4
N3
M6
N4
T7
C1
CK
VGL
VGL
CKB

图 12B

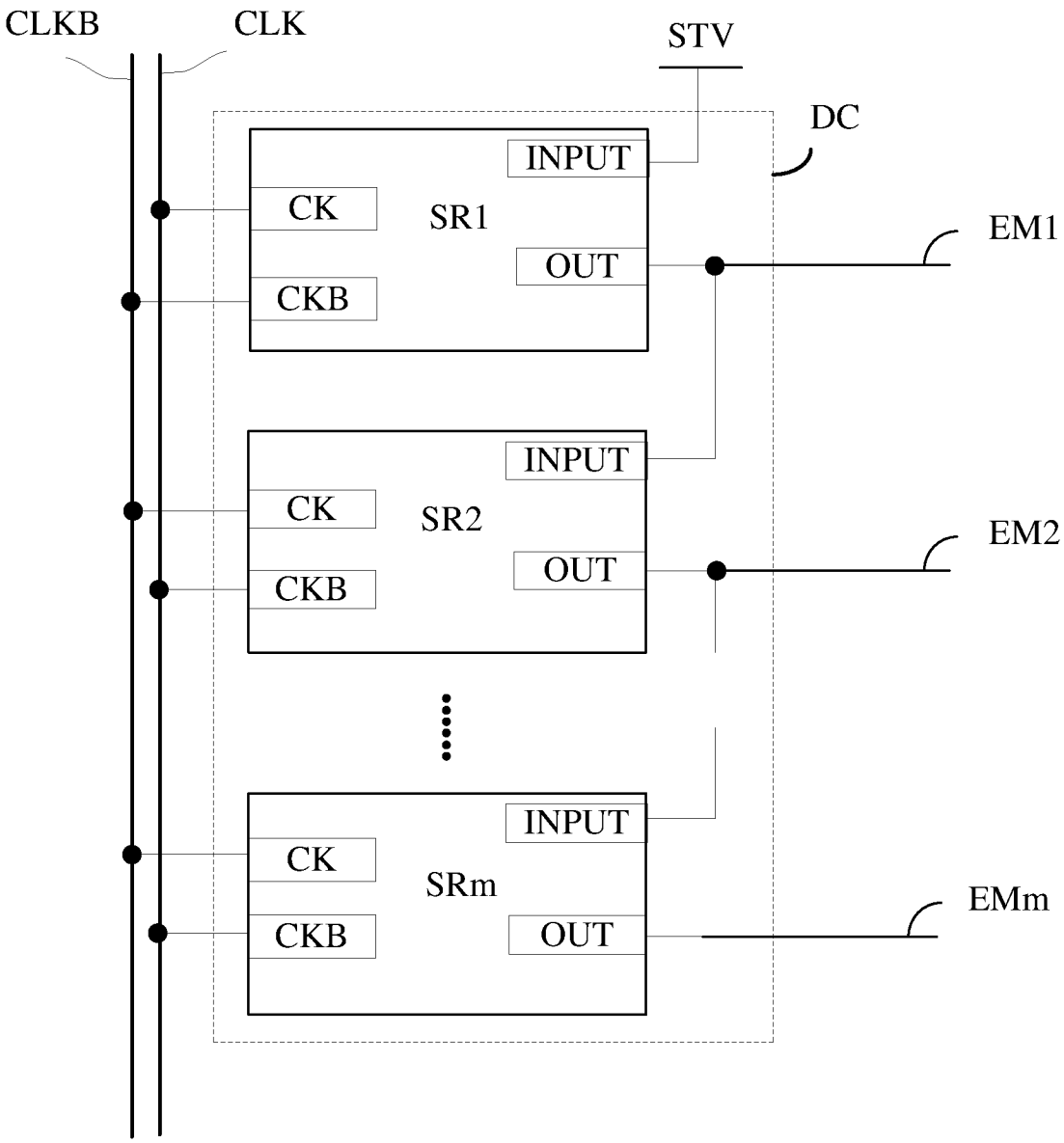

CLKB
CLK
STV
DC
INPUT
CK
SR1
OUT
CKB
EM1
INPUT
CK
SR2
OUT
CKB
EM2
INPUT
CK
SRm
OUT
CKB
EMm

图 13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/082794

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; H01L 27/12(2006.01)i; G11C 19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F; G11C; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNTXT, CNKI: 京东方, 移位寄存器, 8T2C, 8个晶体管, 八个晶体管, 栅极驱动, 显示, 晶体管, TFT, 输入, 输出, 控制电路, 时钟, 节点, 电压, 电源, 降噪, 窄边框, 结构简单, 尺寸小, BOE, shift, register, gate, driv+, transistor, display, input, output, control, node, power, voltage, VGH, VGL, clock, CLK, CK, CB, narrow bezel, noise reduct+, simple, structure, small, size

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113785353 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 December 2021 (2021-12-10) description paragraphs 58-171, and figures 1A-1C	1-17
A	CN 113939914 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 14 January 2022 (2022-01-14) entire document	1-17
A	CN 103295511 A (SHANGHAI AVIC OPTOELECTRONICS CO., LTD.) 11 September 2013 (2013-09-11) entire document	1-17
A	CN 113112955 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 July 2021 (2021-07-13) entire document	1-17
A	CN 106652867 A (EVERDISPLAY OPTRONICS (SHANGHAI) CO., LTD.) 10 May 2017 (2017-05-10) entire document	1-17

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 December 2022	**27 December 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103714770 A (LG DISPLAY CO., LTD.) 09 April 2014 (2014-04-09) entire document	1-17
A	CN 110415637 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 05 November 2019 (2019-11-05) entire document	1-17
A	CN 110070822 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 30 July 2019 (2019-07-30) entire document	1-17
A	CN 108538257 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 14 September 2018 (2018-09-14) entire document	1-17
A	CN 113785352 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 December 2021 (2021-12-10) entire document	1-17
A	KR 20140131137 A (LG DISPLAY CO., LTD.) 12 November 2014 (2014-11-12) entire document	1-17
A	US 2002167026 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 November 2002 (2002-11-14) entire document	1-17
A	US 2018144702 A1 (SHARP K. K.) 24 May 2018 (2018-05-24) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/082794

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 113785353 A	10 December 2021	WO 2021203422 A1	14 October 2021
CN 113939914 A	14 January 2022	WO 2021217546 A1	04 November 2021
CN 103295511 A	11 September 2013	CN 103295511 B	02 December 2015
CN 113112955 A	13 July 2021	CN 113112955 B	23 August 2022
CN 106652867 A	10 May 2017	US 2017124936 A1	04 May 2017
		CN 106652867 B	21 February 2020
		US 10019930 B2	10 July 2018
CN 103714770 A	09 April 2014	US 2014091997 A1	03 April 2014
		KR 20140042451 A	07 April 2014
		US 9190169 B2	17 November 2015
		CN 103714770 B	20 April 2016
		KR 101966381 B1	05 April 2019
CN 110415637 A	05 November 2019	US 2021065647 A1	04 March 2021
		US 11189243 B2	30 November 2021
		CN 110415637 B	26 August 2022
CN 110070822 A	30 July 2019	None	
CN 108538257 A	14 September 2018	WO 2020010892 A1	16 January 2020
		US 2021335201 A1	28 October 2021
		CN 108538257 B	24 July 2020
		US 11257418 B2	22 February 2022
CN 113785352 A	10 December 2021	WO 2021203423 A1	14 October 2021
KR 20140131137 A	12 November 2014	KR 102041872 B1	07 November 2019
US 2002167026 A1	14 November 2002	US 2017076820 A1	16 March 2017
		TW 200710818 A	16 March 2007
		US 2015340378 A1	26 November 2015
		KR 20020086298 A	18 November 2002
		US 2019147969 A1	16 May 2019
		US 2013057161 A1	07 March 2013
		TW I285857 B	21 August 2007
		US 2006202940 A1	14 September 2006
		US 2014327008 A1	06 November 2014
		JP 2002335153 A	22 November 2002
		US 08665197 B2	04 March 2014
		US 2018122492 A1	03 May 2018
		US 2020082895 A1	12 March 2020
		CN 1385825 A	18 December 2002
		US 2010073348 A1	25 March 2010
US 2018144702 A1	24 May 2018	WO 2016190186 A1	01 December 2016
		US 10706803 B2	07 July 2020

国际检索报告

国际申请号
PCT/CN2022/082794

A. 主题的分类

G09G 3/20(2006.01)i; H01L 27/12(2006.01)i; G11C 19/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G02F; G11C; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS, VEN, CNTXT, CNKI: 京东方, 移位寄存器, 8T2C, 8个晶体管, 八个晶体管, 栅极驱动, 显示, 晶体管, TFT, 输入, 输出, 控制电路, 时钟, 节点, 电压, 电源, 降噪, 窄边框, 结构简单, 尺寸小, BOE, shift, register, gate, driv+, transistor, display, input, output, control, node, power, voltage, VGH, VGL, clock, CLK, CK, CB, narrow bezel, noise reduct+, simple, structure, small, size

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 113785353 A (京东方科技集团股份有限公司 等) 2021年12月10日 (2021-12-10) 说明书第58-171段、图1A-1C	1-17
A	CN 113939914 A (京东方科技集团股份有限公司 等) 2022年1月14日 (2022-01-14) 全文	1-17
A	CN 103295511 A (上海中航光电子有限公司) 2013年9月11日 (2013-09-11) 全文	1-17
A	CN 113112955 A (京东方科技集团股份有限公司 等) 2021年7月13日 (2021-07-13) 全文	1-17
A	CN 106652867 A (上海和辉光电有限公司) 2017年5月10日 (2017-05-10) 全文	1-17
A	CN 103714770 A (乐金显示有限公司) 2014年4月9日 (2014-04-09) 全文	1-17
A	CN 110415637 A (合肥鑫晟光电科技有限公司 等) 2019年11月5日 (2019-11-05) 全文	1-17

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年12月12日	2022年12月27日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 孙小蕾 电话号码 62089305

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 110070822 A (京东方科技集团股份有限公司 等) 2019年7月30日 (2019-07-30) 全文	1-17
A	CN 108538257 A (京东方科技集团股份有限公司 等) 2018年9月14日 (2018-09-14) 全文	1-17
A	CN 113785352 A (京东方科技集团股份有限公司 等) 2021年12月10日 (2021-12-10) 全文	1-17
A	KR 20140131137 A (LG DISPLAY CO LTD) 2014年11月12日 (2014-11-12) 全文	1-17
A	US 2002167026 A1 (SEMICONDUCTOR ENERGY LAB) 2002年11月14日 (2002-11-14) 全文	1-17
A	US 2018144702 A1 (SHARP KK) 2018年5月24日 (2018-05-24) 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/082794

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113785353	A	2021年12月10日	WO	2021203422	A1	2021年10月14日
CN	113939914	A	2022年1月14日	WO	2021217546	A1	2021年11月4日
CN	103295511	A	2013年9月11日	CN	103295511	B	2015年12月2日
CN	113112955	A	2021年7月13日	CN	113112955	B	2022年8月23日
CN	106652867	A	2017年5月10日	US	2017124936	A1	2017年5月4日
				CN	106652867	B	2020年2月21日
				US	10019930	B2	2018年7月10日
CN	103714770	A	2014年4月9日	US	2014091997	A1	2014年4月3日
				KR	20140042451	A	2014年4月7日
				US	9190169	B2	2015年11月17日
				CN	103714770	B	2016年4月20日
				KR	101966381	B1	2019年4月5日
CN	110415637	A	2019年11月5日	US	2021065647	A1	2021年3月4日
				US	11189243	B2	2021年11月30日
				CN	110415637	B	2022年8月26日
CN	110070822	A	2019年7月30日		无		
CN	108538257	A	2018年9月14日	WO	2020010892	A1	2020年1月16日
				US	2021335201	A1	2021年10月28日
				CN	108538257	B	2020年7月24日
				US	11257418	B2	2022年2月22日
CN	113785352	A	2021年12月10日	WO	2021203423	A1	2021年10月14日
KR	20140131137	A	2014年11月12日	KR	102041872	B1	2019年11月7日
US	2002167026	A1	2002年11月14日	US	2017076820	A1	2017年3月16日
				TW	200710818	A	2007年3月16日
				US	2015340378	A1	2015年11月26日
				KR	20020086298	A	2002年11月18日
				US	2019147969	A1	2019年5月16日
				US	2013057161	A1	2013年3月7日
				TW	I285857	B	2007年8月21日
				US	2006202940	A1	2006年9月14日
				US	2014327008	A1	2014年11月6日
				JP	2002335153	A	2002年11月22日
				US	08665197	B2	2014年3月4日
				US	2018122492	A1	2018年5月3日
				US	2020082895	A1	2020年3月12日
				CN	1385825	A	2002年12月18日
				US	2010073348	A1	2010年3月25日
US	2018144702	A1	2018年5月24日	WO	2016190186	A1	2016年12月1日
				US	10706803	B2	2020年7月7日