

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6530134号  
(P6530134)

(45) 発行日 令和1年6月12日(2019.6.12)

(24) 登録日 令和1年5月24日(2019.5.24)

(51) Int.Cl.

F 1

G06F 1/04 (2006.01)  
G06F 1/32 (2019.01)G06F 1/04 571  
G06F 1/04 570  
G06F 1/04 575  
G06F 1/32 Z

請求項の数 15 (全 31 頁)

(21) 出願番号 特願2018-505415 (P2018-505415)  
 (86) (22) 出願日 平成28年7月5日 (2016.7.5)  
 (65) 公表番号 特表2018-528524 (P2018-528524A)  
 (43) 公表日 平成30年9月27日 (2018.9.27)  
 (86) 國際出願番号 PCT/US2016/041001  
 (87) 國際公開番号 WO2017/023472  
 (87) 國際公開日 平成29年2月9日 (2017.2.9)  
 審査請求日 平成31年3月20日 (2019.3.20)  
 (31) 優先権主張番号 14/817,178  
 (32) 優先日 平成27年8月3日 (2015.8.3)  
 (33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 595020643  
 クアアルコム・インコーポレイテッド  
 QUALCOMM INCORPORATED  
 アメリカ合衆国、カリフォルニア州 92  
 121-1714、サン・ディエゴ、モア  
 ハウス・ドライブ 5775  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100158805  
 弁理士 井関 守三  
 (74) 代理人 100112807  
 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】配電網(PDN) ドループ／オーバーシュート緩和

## (57) 【特許請求の範囲】

## 【請求項1】

複数のプロセッサと、

入力クロック信号を生成するように構成されたクロックデバイスと、

前記クロックデバイスから前記入力クロック信号を受信し、前記入力クロック信号に基づいて前記複数のプロセッサに出力クロック信号を出力するように構成された周波数調整器と、

前記プロセッサのうちの1つまたは複数の他のプロセッサがアクティブモードにある間、アイドルモードにある前記プロセッサのうちの1つまたは複数をアクティブ化するための信号を受信するように構成された電力マネージャと、ここにおいて、前記信号に応答して、前記電力マネージャは、前記出力クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減するように前記周波数調整器に命令し、前記出力クロック信号の前記周波数が前記第2のクロック周波数にある間、前記アイドルモードにある前記プロセッサのうちの前記1つまたは複数をアクティブ化し、前記プロセッサのうちの前記1つまたは複数がアクティブ化された後に、前記出力クロック信号の前記周波数を前記第2のクロック周波数から前記第1のクロック周波数に増加させるように前記周波数調整器に命令するように構成された、

を備える、処理システム。

## 【請求項2】

前記第1のクロック周波数が、前記入力クロック信号の周波数にほぼ等しい、請求項1

10

20

に記載の処理システム。

【請求項 3】

前記第2のクロック周波数が、前記第1のクロック周波数の20%から80%の間である、請求項2に記載の処理システム。

【請求項 4】

前記電力マネージャが、前記プロセッサのうちの前記1つまたは複数中の内部クロック経路をアンゲートすることによって、前記プロセッサのうちの前記1つまたは複数をアクティブ化するように構成された、請求項1に記載の処理システム。

【請求項 5】

前記周波数調整器が、前記入力クロック信号のパルスを選択的にスワローすることによって前記出力クロック信号の前記周波数を低減するように構成された、請求項1に記載の処理システム。 10

【請求項 6】

前記周波数調整器が、前記入力クロック信号の周波数を分割することによって前記出力クロック信号の前記周波数を低減するように構成された、請求項1に記載の処理システム。  
。

【請求項 7】

前記プロセッサのうちの前記1つまたは複数をアクティブ化するための前記信号が中断信号を備える、請求項1に記載の処理システム。

【請求項 8】

前記電力マネージャが、中断まで待機(WFI)命令の実行に応答して前記プロセッサのうちの前記1つまたは複数を前記アイドルモードに入れるように構成され、前記中断信号は、前記プロセッサのうちの前記1つまたは複数が前記アイドルモードに入れられた後に受信される、請求項7に記載の処理システム。 20

【請求項 9】

前記電力マネージャは、前記信号に応答してアクティブ化されるべき前記プロセッサのうちの前記1つまたは複数と、前記信号が受信された時間において前記アクティブモードにある前記プロセッサのうちの前記1つまたは複数との他のプロセッサとに基づいて、前記第2のクロック周波数を決定するように構成された、請求項1に記載の処理システム。

【請求項 10】

前記電力マネージャが、前記第1のクロック周波数に基づいて前記第2のクロック周波数を決定するようにさらに構成された、請求項9に記載の処理システム。 30

【請求項 11】

複数のプロセッサにおいて1つまたは複数のプロセッサをアクティブ化するための方法であって、

前記複数のプロセッサのうちの1つまたは複数との他のプロセッサがアクティブモードにある間、アイドルモードにある前記1つまたは複数のプロセッサをアクティブ化するための信号を受信することと、

前記信号に応答して、クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減することと、ここにおいて、前記クロック信号が、前記アイドルモードにある前記1つまたは複数のプロセッサと、前記アクティブモードにある前記プロセッサのうちの前記1つまたは複数との他のプロセッサとを含む前記複数のプロセッサに出力される、  
、

前記信号に応答して、前記クロック信号の前記周波数が低減された後に前記アイドルモードにある前記1つまたは複数のプロセッサをアクティブ化することと、

前記1つまたは複数のプロセッサがアクティブ化された後に前記クロック信号の前記周波数を前記第2のクロック周波数から前記第1のクロック周波数に増加させることとを備える、方法。

【請求項 12】

前記第2のクロック周波数が、前記第1のクロック周波数の20%から80%の間であ  
。

10

20

30

40

50

る、請求項 1 1 に記載の方法。

【請求項 1 3】

前記 1 つまたは複数のプロセッサをアクティブ化することが、前記 1 つまたは複数のプロセッサ中の内部クロック経路をアンゲートすることを備える、請求項 1 1 に記載の方法。

【請求項 1 4】

中断まで待機 (WFI) 命令の実行に応答して前記 1 つまたは複数のプロセッサを前記アイドルモードに入れること

をさらに備え、

ここにおいて、前記信号が、中断信号である、請求項 1 1 に記載の方法。

10

【請求項 1 5】

前記 1 つまたは複数のプロセッサと、前記第 2 のクロック周波数の決定が行われる時間においてすでに前記アクティブモードにある前記複数のプロセッサのうちの前記 1 つまたは複数の他のプロセッサとに基づいて、前記第 2 のクロック周波数を決定することをさらに備え、ここにおいて、前記第 2 のクロック周波数を決定することが、前記第 1 のクロック周波数に基づいて前記第 2 のクロック周波数を決定することをさらに備える、請求項 1 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

20

関連出願の相互参照

[0001]本出願は、その内容全体が参照により本明細書に組み込まれる、2015年8月3日に米国特許商標庁に出願された非仮出願第 14 / 817,178 号の優先権および利益を主張する。

【0002】

[0002]本開示の態様は、一般に配電網 (PDN : power distribution network) に関する、より詳細には、PDN ドループ / オーバーシュート緩和(droop/overshoot mitigation)に関する。

【背景技術】

【0003】

30

[0003]チップが、チップ上の 1 つまたは複数のプロセッサへの電力を管理する電力マネージャを含み得る。たとえば、電力マネージャは、電力を温存するために、プロセッサが使用されていないとき、チップ上のプロセッサをアイドルモードに入れ得る。プロセッサが後で必要とされたとき、電力マネージャは、プロセッサをアクティブモードに入れるためにプロセッサを起動し得る。

【発明の概要】

【0004】

[0004]以下は、1 つまたは複数の実施形態の基本的理解を与えるために、そのような実施形態の簡略化された概要を提示する。この概要は、すべての企図された実施形態の包括的な概観ではなく、すべての実施形態の主要または重要な要素を識別するものでも、いずれかまたはすべての実施形態の範囲を定めるものでもない。その唯一の目的は、後で提示されるより詳細な説明の導入として、1 つまたは複数の実施形態のいくつかの概念を簡略化された形で提示することである。

40

【0005】

[0005]一態様によれば、処理システムが本明細書で説明される。本処理システムは、複数のプロセッサと、入力クロック信号を生成するように構成されたクロックデバイスと、クロックデバイスから入力クロック信号を受信し、入力クロック信号に基づいて複数のプロセッサに出力クロック信号を出力するように構成された周波数調整器とを備える。本処理システムは、プロセッサのうちの 1 つまたは複数をアクティブにする (active) ための信号を受信するように構成された電力マネージャをも備え、ここにおいて、信号に応答し

50

て、電力マネージャは、出力クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減するように周波数調整器に命令し、出力クロック信号の周波数が第2のクロック周波数にある間、プロセッサのうちの1つまたは複数をアクティブにし、プロセッサのうちの1つまたは複数がアクティブ化された後に、出力クロック信号の周波数を第2のクロック周波数から第1のクロック周波数に増加させるように周波数調整器に命令するように構成される。

#### 【0006】

[0006]第2の態様は、1つまたは複数のプロセッサをアクティブ化するための方法に関する。本方法は、クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減することを備え、ここにおいて、クロック信号は、1つまたは複数のプロセッサを含む複数のプロセッサに出力される。本方法はまた、クロック信号の周波数が低減された後に1つまたは複数のプロセッサをアクティブ化することと、1つまたは複数のプロセッサがアクティブ化された後に、クロック信号を第2のクロック周波数から第1のクロック周波数に増加させることとを備える。10

#### 【0007】

[0007]第3の態様は、1つまたは複数のプロセッサをアクティブ化するための装置に関する。本装置は、クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減するための手段を備え、ここにおいて、クロック信号は、1つまたは複数のプロセッサを含む複数のプロセッサに出力される。本装置はまた、クロック信号の周波数が低減された後に1つまたは複数のプロセッサをアクティブ化するための手段と、1つまたは複数のプロセッサがアクティブ化された後に、クロック信号を第2のクロック周波数から第1のクロック周波数に増加させるための手段とを備える。20

#### 【0008】

[0008]上記および関連する目的を達成するために、1つまたは複数の実施形態は、以下で十分に説明され、特に特許請求の範囲で指摘される特徴を備える。以下の説明および添付の図面は、1つまたは複数の実施形態のいくつかの例示的な態様を詳細に記載する。ただし、これらの態様は、様々な実施形態の原理が採用され得る様々な方法のほんのいくつかを示すものであり、説明される実施形態は、すべてのそのような態様およびそれらの均等物を含むものとする。

#### 【図面の簡単な説明】

#### 【0009】

【図1】[0009]電力管理をもつ例示的なマルチコア処理システムを示す図。

【図2】[0010]本開示の一実施形態による、電力管理をもつ例示的なマルチコア処理システムを示す図。

【図3A】[0011]本開示の一実施形態による、1つまたは複数のプロセッサのアクティブ化中の例示的なクロック信号を示す図。

【図3B】[0012]本開示の一実施形態による、図3A中のクロック信号のうちの1つの周波数を経時的に示す図。

【図4】[0013]本開示の一実施形態による、周波数ランプダウンの一例を示す図。

【図5】[0014]本開示の一実施形態による、周波数ランプアップの一例を示す図。

【図6】[0015]本開示の一実施形態による、周波数ランプダウンおよび周波数ランプアップの一例を示す図。

【図7】[0016]本開示の一実施形態による、電力マネージャに結合されたタイマーの一例を示す図。

【図8】[0017]本開示の一実施形態による、温度コントローラおよび電流コントローラの一例を示す図。

【図9】[0018]本開示の一実施形態による、複数のクロックソースを備えるクロックデバイスの一例を示す図。

【図10】[0019]本開示の一実施形態による、1つまたは複数のプロセッサがアクティブ化される例示的なタイムラインを示す図。50

【図11】[0020]本開示の一実施形態による、複数のクロック信号を出力することが可能なクロックデバイスの一例を示す図。

【図12】[0021]本開示の一実施形態による、例示的なクロックゲーティング回路を示す図。

【図13】[0022]本開示の一実施形態による、1つまたは複数のプロセッサをアクティブ化するための方法を示す流れ図。

#### 【発明を実施するための形態】

##### 【0010】

[0023]添付の図面に関して以下に記載される発明を実施するための形態は、様々な構成を説明するものであり、本明細書で説明される概念が実施され得る構成のみを表すものではない。発明を実施するための形態は、様々な概念の完全な理解を与えるための具体的な詳細を含む。ただし、これらの概念はこれらの具体的な詳細なしに実施され得ることが当業者には明らかであろう。いくつかの事例では、そのような概念を不明瞭にしないように、よく知られている構造および構成要素がブロック図の形式で示される。10

##### 【0011】

[0024]図1は、第1のプロセッサ115(1)と、第2のプロセッサ115(2)と、第3のプロセッサ115(3)と、第4のプロセッサ115(4)とを備えるマルチコア処理システム105(たとえば、クワッドコア処理システム)の一例を示す。各プロセッサは、プロセッサコア、処理ユニットまたは他の用語で呼ばれることもある。処理システム105は、(「C1k」と示される)クロック信号を生成し、それをプロセッサ115(1)～115(4)に出力するクロックデバイス110をも備える。クロックデバイス110は、たとえば、(たとえば、水晶発振器からの)基準クロック信号の周波数に所望の量を乗算することによってクロック信号C1kを生成する位相ロックループ(PLL: phase-locked loop)を備え得る。各プロセッサは、プロセッサ中の論理ゲート(たとえば、トランジスタ)をスイッチングするためにクロック信号C1kを使用し得る。20

##### 【0012】

[0025]プロセッサ115(1)～115(4)は、PDN(図示せず)を介して外部電源(図示せず)から電力を受信し得る。外部電源は、電力管理集積回路(PMIC: power management integrated circuit)または別の電源を備え得る。また、他のデバイス(たとえば、論理デバイス、I/Oインターフェース、モデム、メモリなど)が、外部電源から電力を受信するためにPDNに結合され得る。たとえば、処理システム105は、他のデバイスをも含むモバイルデバイス中に含まれ得る。30

##### 【0013】

[0026]処理システム105は、処理システム105のための電力を管理するように構成された電力マネージャ120をさらに備える。この点について、電力マネージャ120は、電力を温存するために、プロセッサが使用されていないとき、プロセッサ115(1)～115(4)のいずれか1つを(スリープモードとも呼ばれる)アイドルモードに入れ得る。プロセッサが後で必要とされたとき、電力マネージャ120は、プロセッサをアクティブモードに入れ得る。所与の時間において、任意の数(たとえば、0～すべて)のプロセッサ115(1)～115(4)がアイドルモードにあり得る。したがって、電力マネージャ120は、プロセッサ115(1)～115(4)のアイドル/アクティブモードを管理することによって、処理システム105の電力を管理する。40

##### 【0014】

[0027]プロセッサがアイドルモードにあるとき、プロセッサの内部クロック経路がゲートされ、これは、クロック信号C1kが内部クロック経路を介してプロセッサ中の論理ゲートに伝搬するのを防ぐ。これは、論理ゲートによるスイッチングアクティビティを停止し、それにより、プロセッサの動的電力消費を著しく低減する。プロセッサがアクティブモードにあるとき、内部クロック経路はアンゲート(un-gate)され、クロック信号C1kがプロセッサ中の論理ゲートに伝搬することが可能になる。アクティブモードでは、プロセッサは、命令をフェッチ、復号および/または実行し得る。50

## 【0015】

[0028]一例では、プロセッサは、プロセッサをアイドルモードに入れることを電力マネージャ120に要求する信号を電力マネージャ120に送り得る。プロセッサは、たとえば、中断まで待機 (WFI : wait-for-interrupt) またはイベントまで待機 (WFE : wait-for-event) 命令を実行すると、信号を送り得る。プロセッサはまた、プロセッサが実行を現在待っているタスクを有しないとき、信号を送り得る。信号に応答して、電力マネージャ120は、プロセッサをアクティブモードからアイドルモードに遷移させ得る。電力マネージャ120は、電力マネージャ120が中断信号を受信するか、または特定のイベントが発生したとき、プロセッサをアクティブモードに後で遷移させ得る。

## 【0016】

[0029]図1中の処理システム105に関する問題は、プロセッサがアイドルモードからアクティブモードに遷移するとき、プロセッサが、フルクロック周波数（すなわち、クロック信号C1kの周波数）においてスイッチングアクティビティを直ちに再開し得ることである。これは、プロセッサ115(1)～115(4)によって共有されるPDN上の電流負荷を急激に変化させ、PDN上の電源電圧をドロープさせることがある。電圧ドロープが十分に大きい場合、電圧ドロープは、他のプロセッサが誤動作すること、および/またはPDNに結合された他のデバイス（図示せず）が誤動作することを引き起こし得る。電圧ドロープは、2つまたはそれ以上のプロセッサがほぼ同時にアイドルモードからアクティブモードに遷移する場合、より悪くなり得る。したがって、1つまたは複数のプロセッサのアクティブ化によって引き起こされるPDN上の電圧ドロープを緩和する必要がある。

## 【0017】

[0030]図2は、本開示の一実施形態による、マルチコア処理システム205を示す。処理システム205は、さらに、電力マネージャ220の制御下でクロック信号C1kの周波数を調整可能な量だけ低減するように構成されたクロック周波数調整器210を備える。一例では、クロック周波数調整器210は、クロック信号C1kのパルスを選択的にスワローする（swallow）ことによってクロック信号C1kの周波数を低減するパルススワロワ（swallower）を備え得る。たとえば、パルススワロワは、クロック信号C1kの1つおきのパルスをスワローすることによって、クロック信号C1kの周波数を50%だけ低減し得る。別の例では、クロック周波数調整器210は、クロック信号C1kの周波数を調整可能な量（除数）で除算することによってクロック信号C1kの周波数を低減する周波数分割器（たとえば、フラクショナル周波数分割器）を備え得る。たとえば、周波数分割器は、クロック信号C1kの周波数を2で除算することによって、クロック信号C1kの周波数を50%だけ低減し得る。

## 【0018】

[0031]一実施形態では、電力マネージャ220は、以下でさらに説明されるように、プロセッサ115(1)～115(4)のうちの少なくとも1つがアクティブモードにあり、他のプロセッサ115(1)～115(4)のいずれもアイドルモードとアクティブモードとの間で遷移するプロセスにないとき、クロック信号C1kを受け渡すように周波数調整器210に命令するように構成され得る。この場合、周波数調整器210によってプロセッサ115(1)～115(4)に出力された（「C1k\_out」と示される）クロック信号は、クロックデバイス110からのクロック信号C1kと同じである。

## 【0019】

[0032]プロセッサ115(1)～115(4)のうちの1つまたは複数が（たとえば、中断信号またはイベントに応答して）アイドルモードからアクティブモードに遷移すべきであり、プロセッサ115(1)～115(4)のうちの1つまたは複数の他のプロセッサがすでにアクティブモードにあるとき、電力マネージャ220は、クロック信号C1k\_outの周波数をあらかじめ決定された量だけ低減するように周波数調整器210に命令し得る。以下で説明されるように、クロック周波数のこの低減は、1つまたは複数のプロセッサがアクティブ化されるときのPDN上の電圧ドロープを低減する。

10

20

30

40

50

**【 0 0 2 0 】**

[0033]クロック周波数が低減された後に、電力マネージャ220は、1つまたは複数のプロセッサをアクティブ化するために1つまたは複数のプロセッサの内部クロック経路をアンゲートする。これは、1つまたは複数のプロセッサ中の論理ゲートが、クロック信号C1k\_outを使用してスイッチングを開始することを引き起こす。時間期間が経過した後に、電力マネージャ220は、クロック信号C1k\_outの周波数をフルクロック周波数（すなわち、クロックデバイス110からのクロック信号C1kの周波数）に増加させるように周波数調整器210に命令する。時間期間は、以下でさらに説明される1つまたは複数のファクタに基づき得る。

**【 0 0 2 1 】**

[0034]したがって、電力マネージャ220は、1つまたは複数のプロセッサをアクティブ化するより前に、プロセッサ115(1)～115(4)へのクロック信号C1k\_outの周波数を低減する。クロック周波数が低減された後に、電力マネージャ220は、1つまたは複数のプロセッサをアクティブにするために1つまたは複数のプロセッサの内部クロック経路をアンゲートする。時間期間が経過した後に、電力マネージャ120は、クロック信号C1k\_outの周波数をフルクロック周波数に増加させるように周波数調整器210に命令する。クロック周波数の一時的低減は、1つまたは複数のプロセッサがアクティブ化されるときの電流負荷の変化におけるレートを低減する。これは、1つまたは複数のプロセッサがアクティブ化されるときのPDN上の電圧ドロップを低減する。

**【 0 0 2 2 】**

[0035]図3Aは、本開示の一実施形態による、クロックデバイス110からのクロック信号C1kと周波数調整器210によって出力されたクロック信号C1k\_outとの例示的なタイムラインを示す。この例では、プロセッサのうちの1つまたは複数は、他のプロセッサのうちの1つまたは複数がすでにアクティブモードにある間、アイドルモードからアクティブモードに遷移する。最初に、クロック信号C1k\_outは、フルクロック周波数（すなわち、クロックデバイス110からのクロック信号C1kの周波数）にある。時間t1において、電力マネージャ220は、クロック信号C1k\_outの周波数を25%だけ低減して、フルクロック周波数の約75%に等しい周波数にするように周波数調整器210に命令する。電力マネージャ220は、以下でさらに説明されるように、たとえば、中断信号またはイベントに応答してこれを行い得る。図3Aに示されている例では、周波数調整器210は、クロックデバイス110からのクロック信号C1kの4つごとのパルスの中から1つをスワローすることによって、クロック信号C1k\_outの周波数をフルクロック周波数の75%に低減する。

**【 0 0 2 3 】**

[0036]周波数が低減された後に、電力マネージャ220は、時間t2において、1つまたは複数のプロセッサをアクティブ化するために1つまたは複数のプロセッサの内部クロック経路をアンゲートする。これは、1つまたは複数のプロセッサ中の論理ゲートが、クロック信号C1k\_outを使用してスイッチングを開始することを引き起こす。電力マネージャ220は、時間t3においてクロック信号C1k\_outの周波数をフルクロック周波数に増加させるように周波数調整器210に命令する前に、（図3A中で「待機時間」と標示される）時間期間の間待機する。

**【 0 0 2 4 】**

[0037]図3Bは、図3A中の例のために、クロック信号C1k\_outの周波数をフルクロック周波数の割合として示す。図3Bに示されているように、クロック信号C1k\_outの周波数は、1つまたは複数のプロセッサのアクティブ化より前である時間t1において、フルクロック周波数の75%に低減される。1つまたは複数のプロセッサの内部クロック経路がアンゲートされた後に、クロック信号C1k\_outの周波数は、時間t3においてフルクロック周波数に復元される。

**【 0 0 2 5 】**

[0038]図3A中の待機時間が、図3Aに示されているクロック信号C1kのサイクル（

10

20

30

40

50

期間)よりも多くのサイクルにわたり得ることを諒解されたい。さらに、図3Aは、クロック信号C1k\_outの周波数がクロックパルスワロー(clock pulse swallowing)を使用して低減される一例を示すが、クロック信号C1k\_outの周波数はまた、クロック信号C1kの周波数を分割することによって低減され得ることを諒解されたい。また、本開示は、クロック信号C1k\_outがフルクロック周波数の75%に低減される例に限定されず、クロック信号C1k\_outの周波数がフルクロック周波数の他の割合に低減され得ることを諒解されたい。たとえば、クロック信号C1k\_outの周波数は、フルクロック周波数の20%から80%の間の周波数、またはフルクロック周波数の50%~80%に低減され得る。

## 【0026】

10

[0039]一実施形態では、電力マネージャ220は、アクティブ化されるべきであるプロセッサの数および/またはすでにアクティブモードにあるプロセッサの数に応じて、クロック信号C1k\_outの周波数を異なる量だけ低減し得る。たとえば、電力マネージャ220は、異なるシナリオをリストするテーブルをメモリ中に含み得、ここで、各シナリオは、アクティブ化されるべきである1つまたは複数のプロセッサおよび/またはすでにアクティブモードにある1つまたは複数の他のプロセッサに対応する。各シナリオについて、テーブルは、クロック信号C1k\_outのための対応する低減された周波数(たとえば、フルクロック周波数の75%)を示し得る。

## 【0027】

20

[0040]この例では、1つまたは複数のプロセッサがアクティブ化されるべきであるとき、電力マネージャ220は、アクティブ化されるべき1つまたは複数のプロセッサおよび/またはすでにアクティブモードにある1つまたは複数の他のプロセッサに基づいて、テーブル中のどのシナリオが適用されるかを決定し得る。適用可能なシナリオを決定した後に、電力マネージャ220は、テーブル中の対応する低減された周波数(たとえば、フルクロック周波数の75%)をルックアップし、クロック信号C1k\_outの周波数を、テーブル中の対応する低減された周波数に低減するように周波数調整器210に命令し得る。

## 【0028】

[0041]テーブルは経験的に生成され得る。たとえば、各シナリオについて、PDN上の電圧ドロープは、(たとえば、テスト環境において外部測定デバイスによって)異なる低減された周波数について測定され得る。次いで、各測定された電圧ドロープは、電圧ドロープ限界(たとえば、PDNに結合されたプロセッサおよび/または他のデバイスによって、誤動作することなしに許容され得る電圧ドロープの量)と比較され得る。この例では、電圧ドロープ限界内の電圧ドロープを生じる低減された周波数のうちの1つが、シナリオのために選定され、テーブルに記憶され得る。一態様では、電圧ドロープ限界内の電圧ドロープを生じる低減された周波数のうちの最も大きい周波数が、シナリオのために選定され、テーブルに記憶され得る。これは、クロック信号C1k\_outの周波数が低減されたときの性能損失を最小限に抑えるために行われ得る。したがって、各シナリオのための低減された周波数は、経験的に決定され、電力マネージャ220による後の使用のためにテーブルに記憶され得る。

30

## 【0029】

40

[0042]一実施形態では、クロック信号C1k\_outの周波数が低減された周波数に低減されるべきであるとき、電力マネージャ220は、フルクロック周波数から対応する低減された周波数にジャンプする代わりに、クロック信号C1k\_outの周波数を、フルクロック周波数から対応する低減された周波数にランプダウンするように周波数調整器210に命令し得る。これは、以下でさらに説明されるように、PDN上の電圧オーバーシュートを緩和するために行われ得る。

## 【0030】

[0043]クロック信号C1k\_outの周波数を低減することは、アクティブモードにある1つまたは複数のプロセッサからのPDN上の電流負荷を減少させる。電流負荷の減少

50

は、P D N 上の電圧オーバーシュートを引き起こし、オーバーシュートの量は、電流負荷が減少するレートに依存し、より高いレートは、概して、より大きいオーバーシュートに対応する。クロック信号 C 1 k の周波数をランプダウンすることによって、電力マネージャ 220 は、電流負荷が減少するレートを低減し、それにより、オーバーシュートが低減する。

#### 【 0 0 3 1 】

[0044]この点について、図 4 は、クロック信号 C 1 k \_ o u t の周波数がフルクロック周波数の 50 % に低減される一例のために、クロック信号 C 1 k \_ o u t の周波数をフルクロック周波数の割合として経時的に示す。この例では、電力マネージャ 220 は、1つまたは複数のプロセッサがアクティブ化されるべきであり、1つまたは複数の他のプロセッサがすでにアクティブモードにあるとき、クロック信号 C 1 k \_ o u t を低減し得る。  
10 図 4 に示されているように、クロック信号 C 1 k \_ o u t の周波数は、複数のステップにおいてランプダウンされ、クロック信号 C 1 k \_ o u t の周波数は、各後続のステップにおいてより低い周波数に低減される。クロック信号 C 1 k \_ o u t の周波数は、この例における1つまたは複数のプロセッサがアクティブ化される前に、フルクロック周波数の 50 % にランプダウンされる。

#### 【 0 0 3 2 】

[0045]第 1 のステップにおいて、クロック信号 C 1 k \_ o u t の周波数は、フルクロック周波数の 87 . 5 % に低減される。これは、たとえば、クロック信号 C 1 k の 8 つのパルスごとに 1 つのパルスをスワローすることによって行われ得る。第 2 のステップにおいて、クロック信号 C 1 k \_ o u t の周波数は、フルクロック周波数の 75 % に低減される。第 3 のステップにおいて、クロック信号 C 1 k \_ o u t の周波数は、フルクロック周波数の 67 . 5 % に低減される。これは、たとえば、クロック信号 C 1 k の 8 つのパルスごとに 3 つのパルスをスワローすることによって行われ得る。最終的に、第 4 のステップにおいて、クロック信号 C 1 k \_ o u t の周波数は、フルクロック周波数の 50 % に低減される。各ステップの持続時間はあらかじめ決定され得る。クロック信号 C 1 k \_ o u t の周波数がフルクロック周波数の 50 % に低減された後に、電力マネージャ 220 は、1つまたは複数のプロセッサをアクティブ化するために 1 つまたは複数のプロセッサの内部クロック経路をアンゲートし得る。  
20

#### 【 0 0 3 3 】

[0046]したがって、クロック信号 C 1 k \_ o u t の周波数は、複数のステップにわたってランプダウンされ、クロック信号 C 1 k \_ o u t の周波数は、各後続のステップにおいてより低い周波数に低減される。上記の図 4 の説明がクロックパルススワローの例を使用するが、本開示はこの例に限定されないことを諒解されたい。たとえば、クロック信号 C 1 k \_ o u t の周波数は、周波数分割器を使用してランプダウンされ得る。この例では、クロック信号 C 1 k \_ o u t の周波数は、クロック信号 C 1 k の周波数を増加する量（除数）で除算することによってランプダウンされ得る。  
30

#### 【 0 0 3 4 】

[0047]上記で説明されたように、電力マネージャ 220 は、異なるシナリオをリストするテーブルをメモリ中に含み得、ここで、各シナリオは、アクティブ化されるべきである 1 つまたは複数のプロセッサおよび / またはすでにアクティブモードにある 1 つまたは複数の他のプロセッサに対応する。各シナリオについて、テーブルは、クロック信号 C 1 k \_ o u t のための対応する低減された周波数（たとえば、フルクロック周波数の 50 %）を示し得る。各シナリオについて、テーブルは、クロック信号 C 1 k \_ o u t の周波数を、フルクロック周波数から対応する低減された周波数にランプダウンするための対応するランプダウンシーケンスをも示し得る。ランプダウンシーケンスは、フルクロック周波数と対応する低減された周波数との間の中間周波数のシーケンスを指定し得、中間周波数は、最も高い周波数から最も低い周波数に順序付けられ得る。  
40

#### 【 0 0 3 5 】

[0048]この例では、1 つまたは複数のプロセッサがアクティブ化されるべきであるとき  
50

、電力マネージャ 220 は、テーブル中のどのシナリオが適用されるかを決定し得る。適用可能なシナリオを決定した後に、電力マネージャ 220 は、テーブル中の対応する低減された周波数とランプダウンシーケンスとをロックアップし得る。電力マネージャ 220 は、次いで、クロック信号 C1k\_out の周波数を、最も高い周波数から最も低い周波数の順のランプダウンシーケンスにおける中間周波数の各々に連続的に低減するように周波数調整器 210 に命令し得る。各中間周波数上で費やされる時間の量はあらかじめ決定され得る。最後の中間周波数が到達された後に、電力マネージャ 220 は、クロック信号 C1k\_out の周波数を、対応する低減された周波数（たとえば、フルクロック周波数の 50%）に低減するように周波数調整器 210 に命令し得る。電力マネージャ 220 は、次いで、シナリオの下でアクティブ化されるべき 1つまたは複数のプロセッサをアクティブ化し得る。10

#### 【0036】

[0049] テーブル中の異なるシナリオのためのランプダウンシーケンスは経験的に生成され得る。たとえば、各シナリオについて、PDN 上の電圧オーバーシュートは、異なるランプダウンシーケンスについて測定され得る。次いで、各測定された電圧オーバーシュートは、電圧オーバーシュート限界（たとえば、PDN に結合されたプロセッサおよびノードまたは他のデバイスによって、誤動作することなしに許容され得る電圧オーバーシュートの量）と比較され得る。この例では、電圧オーバーシュート限界内の電圧オーバーシュートを生じるランプダウンシーケンスのうちの 1つが、シナリオのために選定され、テーブルに記憶され得る。20

#### 【0037】

[0050] 一実施形態では、クロック信号 C1k\_out の周波数が、1つまたは複数のプロセッサのアクティブ化の後にフルクロック周波数に復元されるとき、電力マネージャ 220 は、対応する低減された周波数からフルクロック周波数にジャンプする代わりに、クロック信号 C1k\_out の周波数を、対応する低減された周波数からフルクロック周波数にランプアップするように周波数調整器 210 に命令し得る。これは、以下でさらに説明されるように、PDN 上の電圧ドロープを緩和するために行われ得る。

#### 【0038】

[0051] クロック信号 C1k\_out の周波数を増加させることは、1つまたは複数のアクティブプロセッサからの PDN 上の電流負荷を増加させる。電流負荷の増加は、PDN 上の電圧ドロープを引き起こし、ドロープの量は、電流負荷が増加するレートに依存し、より高いレートは、概して、より大きいドロープに対応する。クロック信号 C1k の周波数をランプアップすることによって、電力マネージャ 220 は、電流負荷が増加するレートを低減し、それにより、ドロープが低減する。30

#### 【0039】

[0052] この点について、図 5 は、クロック信号 C1k\_out の周波数がフルクロック周波数の 50% からフルクロック周波数に増加される一例のために、クロック信号 C1k\_out の周波数をフルクロック周波数の割合として経時的に示す。この例では、電力マネージャ 220 は、1つまたは複数のプロセッサがアクティブ化された後にフルクロック周波数を復元するために、クロック信号 C1k\_out の周波数を増加させ得る。図 5 に示されているように、クロック信号 C1k\_out の周波数は、複数のステップにおいてランプアップされ、クロック信号 C1k\_out の周波数は、各後続のステップにおいてより高い周波数に増加される。クロック信号 C1k\_out の周波数は、この例における1つまたは複数のプロセッサがアクティブ化された後にランプアップされ得る。40

#### 【0040】

[0053] 第 1 のステップにおいて、クロック信号 C1k\_out の周波数は、フルクロック周波数の 67.5% に増加される。第 2 のステップにおいて、クロック信号 C1k\_out の周波数は、フルクロック周波数の 75% に増加される。第 3 のステップにおいて、クロック信号 C1k\_out の周波数は、フルクロック周波数の 87.5% に増加される。最終的に、第 4 のステップにおいて、クロック信号 C1k\_out の周波数は、フルク50

ロック周波数に増加され、それにより、プロセッサにフルクロック周波数を復元する。各ステップの持続時間はあらかじめ決定され得る。

#### 【0041】

[0054]したがって、クロック信号 C1k\_out の周波数は、複数のステップにわたってランプアップされ、クロック信号 C1k\_out の周波数は、各後続のステップにおいてより高い周波数に増加される。一例では、クロック信号 C1k\_out の周波数は、クロックスワロワを使用してランプアップされ得る。この例では、クロック信号 C1k\_out の周波数は、クロックパルスの減少する割合をスワローすることによってランプアップされる。別の例では、クロック信号 C1k\_out の周波数は、周波数分割器を使用してランプアップされ得る。この例では、クロック信号 C1k\_out の周波数は、クロック信号 C1k の周波数を減少する量（除数）で除算することによってランプアップされる。  
10

#### 【0042】

[0055]上記で説明されたように、電力マネージャ 220 は、異なるシナリオをリストするテーブルをメモリ中に含み得、ここで、各シナリオは、アクティブ化されるべきである 1つまたは複数のプロセッサおよび／またはすでにアクティブモードにある 1つまたは複数の他のプロセッサに対応する。各シナリオについて、テーブルは、クロック信号 C1k\_out および／またはランプダウンシーケンスのための対応する低減された周波数（たとえば、フルクロック周波数の 50 %）を示し得る。各シナリオについて、テーブルは、シナリオの下での 1つまたは複数のプロセッサのアクティブ化の後に、クロック信号 C1k\_out の周波数をフルクロック周波数にランプアップするための対応するランプアップシーケンスをも示し得る。ランプアップシーケンスは、対応する低減された周波数とフルクロック周波数との間の中間周波数のシーケンスを指定し得、中間周波数は、最も低い周波数から最も高い周波数に順序付けられ得る。  
20

#### 【0043】

[0056]この例では、1つまたは複数のプロセッサがアクティブ化されるべきであるとき、電力マネージャ 220 は、テーブル中のどのシナリオが適用されるかを決定し得る。適用可能なシナリオを決定した後に、電力マネージャ 220 は、テーブル中の対応する低減された周波数とランプアップシーケンスとをルックアップし得る。電力マネージャ 220 は、次いで、クロック信号 C1k\_out の周波数を、対応する低減された周波数に低減し得る。これは、上記で説明されたように、クロック信号 C1k\_out の周波数をランプダウンすることを伴い得る。クロック信号 C1k\_out の周波数が低減された後に、電力マネージャ 220 は、シナリオの下でアクティブ化されるべき 1つまたは複数のプロセッサをアクティブ化し得る。1つまたは複数のプロセッサがアクティブ化された後に、電力マネージャ 220 は、クロック信号 C1k\_out の周波数を、最も低い周波数から最も高い周波数の順のランプアップシーケンスにおける中間周波数の各々に連続的に増加させるように周波数調整器 210 に命令し得る。各中間周波数上で費やされる時間の量はあらかじめ決定され得る。最後の中間周波数が到達された後に、電力マネージャ 220 は、クロック信号 C1k\_out の周波数をフルクロック周波数に増加させるように周波数調整器 210 に命令し得る。  
30

#### 【0044】

[0057]テーブル中の異なるシナリオのためのランプアップシーケンスは経験的に生成され得る。たとえば、各シナリオについて、PDN 上の電圧ドループは、異なるランプアップシーケンスについて測定され得る。次いで、各測定された電圧ドループは、電圧ドループ限界と比較され得る。この例では、電圧ドループ限界内の電圧ドループを生じるランプアップシーケンスのうちの 1つが、シナリオのために選定され、テーブルに記憶され得る。  
40

#### 【0045】

[0058]図 6 は、（たとえば、中断信号またはイベントに応答して）1つまたは複数のプロセッサがアクティブ化され、1つまたは複数の他のプロセッサがすでにアクティブモー  
50

ドにある一例のために、クロック信号 C1k\_out の周波数をフルクロック周波数の割合として経時的に示す。最初に、プロセッサへのクロック信号 C1k\_out は、フルクロック周波数（すなわち、クロックデバイス 110 からのクロック信号 C1k の周波数）にある。時間 t1 において、電力マネージャ 220 は、クロック信号 C1k\_out の周波数をフル周波数の 50% に等しい低減された周波数にランプダウンするように周波数調整器 210 に命令する。時間 t2 において、クロック信号 C1k\_out の周波数は、低減された周波数に到達する。電力マネージャ 220 は、次いで、時間 t3 において、1つまたは複数のプロセッサをアクティブにするために1つまたは複数のプロセッサの内部クロック経路をアンゲートする。（図 6 中の「待機時間」と標示される）待機期間の後に、電力マネージャ 220 は、時間 t4 において、クロック信号 C1k\_out の周波数をフルクロック周波数にランプアップするように周波数調整器 210 に命令する。時間 t5 において、クロック信号 C1k\_out の周波数はフル周波数に復元される。クロック信号 C1k\_out の周波数がフルクロック周波数の 50% のほかに他の周波数に低減され得、したがって、フルクロック周波数の 50% の例に限定されないことを諒解されたい。10

#### 【0046】

[0059] 上記で説明されたように、1つまたは複数のプロセッサの内部クロック経路をアンゲートした後に、電力マネージャ 220 は、クロック信号 C1k\_out の周波数をフルクロック周波数に増加させる前に待機期間の間待機し得る。一例では、待機期間は、以下で説明されるように、1つまたは複数のプロセッサの内部クロック経路がアンゲートされた後の PDN のための電圧整定時間に依存し得る。20

#### 【0047】

[0060] 1つまたは複数のプロセッサの内部クロック経路をアンゲートすることは、1つまたは複数のプロセッサからの PDN 上の電流負荷の増加により、PDN 上の電圧ドロップを引き起こす。この電圧ドロップは、上記で説明されたように、1つまたは複数のプロセッサの内部クロック経路をアンゲートするより前にクロック信号 C1k\_out の周波数を低減することによって低減される。電圧ドロップの後に、PDN の電圧は、PDN の公称電源電圧にほぼ等しい電圧に徐々に整定する。この例では、待機時間は、PDN の電圧が、PDN の公称電源電圧のある範囲内に（たとえば、5% 以下内に）整定するのに要する時間によって決定され得る。整定時間は、以下でさらに説明されるように、経験的に決定され得る。30

#### 【0048】

[0061] 上記で説明されたように、電力マネージャ 220 は、異なるシナリオをリストするテーブルをメモリ中に含み得、ここで、各シナリオは、アクティブ化されるべきである1つまたは複数のプロセッサおよび／またはすでにアクティブモードにある1つまたは複数の他のプロセッサに対応する。各シナリオについて、テーブルは、対応する低減された周波数と、対応する待機時間とを含み得る。この例では、1つまたは複数のプロセッサがアクティブ化されるべきであるとき、電力マネージャ 220 は、テーブル中のどのシナリオが適用されるかを決定し得る。適用可能なシナリオを決定した後に、電力マネージャ 220 は、テーブル中の対応する低減された周波数と対応する待機時間とをルックアップし得る。電力マネージャ 220 は、次いで、クロック信号 C1k\_out の周波数を、対応する低減された周波数に低減し得る。クロック信号 C1k\_out の周波数が低減された後に、電力マネージャ 220 は、シナリオの下でアクティブ化されるべき1つまたは複数のプロセッサの内部クロック経路をアンゲートし得る。クロック経路がアンゲートされた後に、電力マネージャ 220 は、クロック信号 C1k\_out の周波数をフルクロック周波数に増加させる前に、対応する待機時間の間待機する。この例では、電力マネージャ 220 は、待機時間がいつ経過したかを決定するためにタイマーを使用し得る。40

#### 【0049】

[0062] テーブル中の異なるシナリオのための待機時間は経験的に生成され得る。たとえば、各シナリオについて、PDN の電圧波形は、シナリオの下でアクティブ化されるべき1つまたは複数のプロセッサの内部クロック経路がアンゲートされるときに測定され得る50

。電圧波形は、次いで、P D Nの電圧がP D Nの公称電源電圧のある範囲内に整定する時間を決定するために分析され得る。決定された時間（整定時間）は、シナリオのための待機時間を決定するために使用され得、決定された待機時間は、電力マネージャ220による後の使用のためにテーブルに記憶され得る。

#### 【0050】

[0063]上記で説明されたように、電力マネージャ220は、プロセッサが、中断まで待機（W F I）命令、イベントまで待機（W F E）命令、またはプロセッサがアイドルモードに入れられるべきであることを示す別の命令を実行したとき、プロセッサ115（1）～115（4）のうちの1つをアイドルモードに入れ得る。命令を実行すると、プロセッサは、プロセッサをアイドルモードに入れるように電力マネージャ220にシグナリングし得る。プロセッサがアイドルモードに入れられた後に、電力マネージャ220は、電力マネージャ220が中断信号を受信するか、またはあるイベントが発生したとき、プロセッサをアクティブモードに遷移させ得る。中断信号は、（たとえば、データを処理するために）プロセッサを必要とするデバイス（たとえば、周辺デバイス）から来得る。10

#### 【0051】

[0064]別の例では、中断信号はタイマーから来得る。この点について、図7は、処理システム705が、電力マネージャ220に結合されたタイマー710を含む一例を示す。この例では、プロセッサをアイドルモードに入れるようにとの信号を受信したことに対応して、電力マネージャ220はタイマー710をトリガし得る。トリガされた後に、タイマー710は、あらかじめ決定された時間期間が経過した後に、電力マネージャ220に中断信号を送り得る。タイマー710は、内部カウンタまたは別の回路を使用して時間を追跡し得る。タイマー710からの中断信号に応答して、電力マネージャ220は、上記で説明されたように、プロセッサをアクティブ化し得る。20

#### 【0052】

[0065]電力マネージャ220は、あらかじめ決定された時間期間をタイマー710にプログラミし得る。あらかじめ決定された時間期間は、プロセッサが再び必要とされるまでの時間の量の推定値に基づき得る。たとえば、プロセッサは、時間フレームにおいてデータを処理するために使用され得る。この例では、プロセッサは、次の時間フレームのためのデータが受信される前に、現在の時間フレームのためのデータを処理することを終了し得る。この場合、プロセッサが、現在の時間フレームのためのデータを処理することを終了されたとき、プロセッサは、プロセッサをアイドルモードに入れるように電力マネージャ220にシグナリングし得る。応答して、電力マネージャ220は、電力を温存するために、プロセッサをアイドルモードに入れ得る。電力マネージャ220はまた、タイマー710が次のフレームの開始の直前に中断信号を送るように、次の時間フレームの開始までの時間の量を決定し、決定された時間の量に従ってタイマー710をプログラミし得る。代替的に、プロセッサは、次のフレームまでの時間の量を決定し、それに応じてタイマー710をプログラムするために、決定された時間の量を電力マネージャ220に送り得る。30

#### 【0053】

[0066]別の例では、電力マネージャ220は、あるイベントが発生したとき、プロセッサをアクティブモードに遷移させ得る。この例では、イベントが発生したとき、電力マネージャ220は、イベントが発生したことを示すイベント信号をデバイス（たとえば、周辺デバイス）から受信し得る。イベント信号に応答して、電力マネージャ220は、上記で説明されたように、プロセッサをアクティブ化し得る。40

#### 【0054】

[0067]イベントは、デバイス（たとえば、周辺デバイス）がプロセッサを使用する必要であり得る。この例では、デバイスが（たとえば、データ処理のために）プロセッサを使用する必要があるとき、デバイスは、プロセッサをアクティブ化するために電力マネージャ220にイベント信号を送り得る。デバイス（たとえば、カメラ）は、アクティブ化され、および／または処理システム205または705を備えるモバイルデバイス（たとえ50

ば、スマートフォン)に接続されたすぐ後に、電力マネージャ220にイベント信号を送り得る。また、デバイスは、デバイスが2つ以上のプロセッサを必要とする場合、2つまたはそれ以上のプロセッサをアクティブ化するためにイベント信号を送り得ることを諒解されたい。

#### 【0055】

[0068]上記の例では、周波数調整器210は、プロセッサ115(1)～115(4)のうちの1つまたは複数のアクティブ化より前にクロック信号C1k\_outの周波数を低減するために使用される。しかしながら、周波数調整器210は、他の適用例においてクロック信号C1k\_outの周波数を低減するためにも使用され得ることを諒解されたい。たとえば、温度コントローラが、温度緩和中にクロック信号C1k\_outの周波数を低減するために周波数調整器210を使用し得る。この点について、図8は、温度コントローラ810が、1つまたは複数のオンチップ温度センサー820を使用して、プロセッサシステム805が存在するチップの温度を監視する、処理システム805の一例を示す。監視された温度が熱しきい値を上回り上昇した場合、温度コントローラ810は、温度を低減するために、クロック信号C1k\_outの周波数を低減するように周波数調整器210に命令し得る。低減された周波数は、アクティブプロセッサの動的電力散逸を低減することによって温度を低減する。10

#### 【0056】

[0069]別の例では、電流コントローラ830は、PDN上の電流が電流限界を超えるのを防ぐために周波数調整器210を使用し得る。この例では、電流コントローラ830は、1つまたは複数のオンチップ電流センサー840を使用して、PDN上の電流を監視し得る。監視された電流が電流限界を超える場合、電流コントローラ830は、電流を低減するために、クロック信号C1k\_outの周波数を低減するように周波数調整器210に命令し得る。低減された周波数は、アクティブプロセッサの電流負荷を低減することによって電流を低減する。20

#### 【0057】

[0070]したがって、1つまたは複数のプロセッサがアクティブ化されるべきであるとき、クロック信号C1k\_outの周波数は、(たとえば、温度緩和により)クロック信号C1kの周波数よりも低い周波数にすでにあり得る。この場合、電力マネージャ220は、クロック信号C1k\_outの周波数をどのくらい低減すべきかを決定する際に、クロック信号C1k\_outの現在の周波数を考慮に入れ得る。30

#### 【0058】

[0071]この点について、電力マネージャ220は、異なるシナリオをリストするテーブルをメモリ中に含み得、ここで、各シナリオは、アクティブ化されるべきである1つまたは複数のプロセッサ、すでにアクティブモードにある1つまたは複数の他のプロセッサ、および/またはクロック信号C1k\_outの現在の周波数に対応する。各シナリオについて、テーブルは、対応する低減された周波数、ランプダウンシーケンス、ランプアップシーケンス、および/または待機時間を示し得る。

#### 【0059】

[0072]この例では、1つまたは複数のプロセッサがアクティブ化されるべきであるとき、電力マネージャ220は、アクティブ化されるべき1つまたは複数のプロセッサ、すでにアクティブモードにある1つまたは複数の他のプロセッサ、および/またはクロック信号C1k\_out現在の周波数に基づいて、テーブル中のどのシナリオが適用されるかを決定し得る。(クロック信号C1kの周波数よりも低くなり得る)現在のクロック周波数は、現在の周波数が、1つまたは複数のプロセッサがアクティブ化される前の周波数であるので、「初期周波数」と呼ばれることがある。40

#### 【0060】

[0073]適用可能なシナリオを決定した後に、電力マネージャ220は、テーブル中の対応する低減された周波数、ランプダウンシーケンス、ランプアップシーケンス、および/または待機時間をルックアップし得る。電力マネージャ220は、次いで、クロック信号50

C 1 k \_ o u t の周波数を、初期周波数から対応する低減された周波数に低減するように周波数調整器 2 1 0 に命令し得る。テーブルがシナリオのための対応するランプダウンシーケンスを含む場合、電力マネージャ 2 2 0 は、対応するランプダウンシーケンスに従つて、クロック信号 C 1 k \_ o u t の周波数を、初期周波数から対応する低減された周波数にランプダウンするように周波数調整器 2 1 0 に命令し得る。クロック信号 C 1 k \_ o u t の周波数が低減された後に、電力マネージャ 2 2 0 は、シナリオの下でアクティブ化されるべき 1 つまたは複数のプロセッサをアクティブ化し得る。電力マネージャ 2 2 0 は、次いで、クロック信号 C 1 k \_ o u t の周波数を初期クロック周波数に増加させる前に、対応する待機時間の間待機し得る。テーブルがシナリオのための対応するランプアップシーケンスを含む場合、電力マネージャ 2 2 0 は、対応するランプアップシーケンスに従つて、クロック信号 C 1 k \_ o u t の周波数を初期クロック周波数にランプアップするよう 10 周波数調整器 2 1 0 に命令し得る。

#### 【 0 0 6 1 】

[0074] テーブルは、上記で説明された技法を使用して経験的に生成され得る。より詳細には、各シナリオについて、P D N の電圧をドループ限界および / またはオーバーシュート限界内に保つ、低減された周波数、ランプダウンシーケンス、ランプアップシーケンス、および / または待機時間が、上記で説明された技法を使用して決定され得る。

#### 【 0 0 6 2 】

[0075] 1 つまたは複数のプロセッサがアクティブ化された後に初期クロック周波数に戻る代わりに、電力マネージャ 2 2 0 は、クロック信号 C 1 k \_ o u t の周波数を、低減された周波数から、低減された周波数と初期クロック周波数との間の周波数に増加させるよう 20 うに周波数調整器 2 1 0 に命令し得る。これは、たとえば、初期クロック周波数が、温度コントローラ 8 1 0 による温度緩和のためにフルクロック周波数よりも低い場合に行われ得る。これは、1 つまたは複数のプロセッサのアクティブ化が、1 つまたは複数のプロセッサが処理システムの総動的電力散逸の原因となることを引き起こすからであり、このことは、温度を増加させ得る。クロック信号 C 1 k \_ o u t の周波数を、低減された周波数から初期周波数よりも低い周波数に増加させることは、1 つまたは複数のプロセッサからの追加された動的電力散逸を補償し得る。代替的に、電力マネージャ 2 2 0 は、クロック信号 C 1 k \_ o u t の周波数を初期周波数に増加させるように周波数調整器 2 1 0 に命令し、温度コントローラ 8 1 0 が、1 つまたは複数のプロセッサのアクティブ化から生じる 30 温度の増加に基づいてクロック信号 C 1 k \_ o u t の周波数を再調整することに依拠し得る。

#### 【 0 0 6 3 】

[0076] 一実施形態では、クロックデバイス 1 1 0 は、プロセッサ 1 1 5 ( 1 ) ~ 1 1 5 ( 4 ) のうちの 1 つまたは複数のための所望の処理速度に応じて、複数の異なるクロック周波数のうちの 1 つを出力するように構成され得る。この点について、図 9 は、クロックデバイス 1 1 0 が、第 1 のクロックソース 9 1 5 と、第 2 のクロックソース 9 2 0 と、マルチプレクサ 9 3 0 とを備える処理システム 9 0 5 の一例を示す。クロックソース 9 1 5 および 9 2 0 の各々は、位相ロックループ ( P L L ) または別のタイプの回路を備え得る。第 1 のクロックソース 9 1 5 は、マルチプレクサ 9 3 0 に ( 「 C 1 k \_ a 」 と示される ) 第 1 の入力クロック信号を与え、第 2 のクロックソース 9 2 0 は、マルチプレクサ 9 3 0 に ( 「 C 1 k \_ b 」 と示される ) 第 2 の入力クロック信号を与え、第 1 の入力クロック信号 C 1 k \_ a は第 2 の入力クロック信号 C 1 k \_ b よりも高い周波数を有する。図 9 中の例におけるクロックデバイス 1 1 0 は 2 つのクロックソースを備えるが、クロックデバイス 1 1 0 は、3 つ以上のクロックソースを備え得ることを諒解されたい。 40

#### 【 0 0 6 4 】

[0077] マルチプレクサ 9 3 0 は、入力クロック信号 C 1 k \_ a および C 1 k \_ b を受信し、クロックコントローラ 9 3 5 の制御下で入力クロック信号 C 1 k \_ a および C 1 k \_ b のうちの 1 つを選択的に出力するように構成される。入力クロック信号 C 1 k \_ a および C 1 k \_ b のうちの選択された 1 つは、クロックデバイス 1 1 0 の出力クロック信号 C 50

1 k を与える。

**【 0 0 6 5 】**

[0078]クロックコントローラ 935 は、入力クロック信号 C1k\_a および C1k\_b のうちのどちらがマルチブレクサ 930 によって選択されるかを制御することによって、使用事例に応じて、クロック信号 C1k の周波数を動的に変化させるように構成され得る。たとえば、プロセッサ 115(1) ~ 115(4) のうちの 1つまたは複数が、高い処理速度を必要とする 1つまたは複数のアプリケーションを実行している場合、クロックコントローラ 935 は、第 1 の入力クロック信号 C1k\_a を選択するようにマルチブレクサ 930 に命令し得る。この場合、クロック信号 C1k は、第 1 の入力クロック信号 C1k\_a によってソーシングされ、したがって、第 1 の入力クロック信号 C1k\_a の周波数を有する。別の例では、プロセッサ 115(1) ~ 115(4) のうちの 1つまたは複数が、高い処理速度を必要としない 1つまたは複数のアプリケーションを実行している場合、クロックコントローラ 935 は、電力を温存するために、第 2 の入力クロック信号 C1k\_b を選択するようにマルチブレクサ 930 に命令し得る。この場合、クロック信号 C1k は、第 2 の入力クロック信号 C1k\_b によってソーシングされ、したがって、第 1 の入力クロック信号 C1k\_a の周波数よりも低い、第 2 のクロック信号 C1k\_b の周波数を有する。10

**【 0 0 6 6 】**

[0079]一態様では、プロセッサ 115(1) ~ 115(4) の各々は、プロセッサの処理必要に基づいてクロック信号 C1k の周波数を変化させるようにとの要求をクロックコントローラ 935 に送るように構成され得る。たとえば、プロセッサは、プロセッサが計算集約的アプリケーションを実行している場合、クロック信号 C1k の周波数を増加させるようにとの要求をクロックコントローラ 935 に送り得る。要求に応答して、クロックコントローラ 935 は、第 2 の入力クロック信号 C1k\_b が現在選択されている場合、第 1 の入力クロック信号 C1k\_a を選択するようにマルチブレクサ 930 に命令し得る。別の例では、クロックコントローラ 935 は、プロセッサのうちの 1つまたは複数がより高いクロック周波数を要求しない限り、第 2 の入力クロック信号 C1k\_b を選択し得る。20

**【 0 0 6 7 】**

[0080]電力マネージャ 220 はまた、入力クロック信号 C1k\_a ~ C1k\_b のうちのどちらを選択すべきかをクロックコントローラ 935 に命令し得る。たとえば、電力マネージャ 220 は、電力を温存するために、処理システム 905 に電力供給しているバッテリーが低で動作している場合、第 2 の入力クロック信号 C1k\_b を選択するようにクロックコントローラ 935 に命令し得る。この場合、電力マネージャ 220 からの命令は、クロック周波数を増加させるようにとのプロセッサからの要求をオーバーライドし得る。一態様では、クロックコントローラ 935 は、以下でさらに説明されるように、入力クロック信号 C1k\_a および C1k\_b のうちのどちらが現在選択されているかを電力マネージャ 220 に通知し得る。30

**【 0 0 6 8 】**

[0081]上記で説明されたように、1つまたは複数のプロセッサがアクティブ化されるべきであるとき、電力マネージャ 220 は、クロック信号 C1k\_out の周波数をどのくらい低減すべきかを決定する際に、クロック信号 C1k\_out の現在の周波数を考慮に入れ得る。この実施形態では、クロック信号 C1k\_out の現在の周波数は、入力クロック信号 C1k\_a および C1k\_b のうちのどちらがマルチブレクサ 930 によって選択されるかに少なくとも部分的に依存する。したがって、電力マネージャ 220 によって使用されるテーブル中のシナリオは、入力クロック信号 C1k\_a および C1k\_b の各々に対応するシナリオを含み得る。40

**【 0 0 6 9 】**

[0082]この例では、1つまたは複数のプロセッサがアクティブ化されるべきであるとき、電力マネージャ 220 は、アクティブ化されるべき 1つまたは複数のプロセッサ、すで50

にアクティブモードにある1つまたは複数の他のプロセッサ、および／またはクロック信号C1k\_outの現在の周波数に基づいて、テーブル中のどのシナリオが適用されるかを決定し得る。現在のクロック周波数は、入力クロック信号C1k\_aおよびC1k\_bのうちのどちらが現在選択されているかに少なくとも部分的に依存する。上記で説明されたように、現在の周波数は、現在の周波数が、1つまたは複数のプロセッサがアクティブ化される前の周波数であるので、「初期周波数」と呼ばれることがある。

#### 【0070】

[0083]適用可能なシナリオを決定した後に、電力マネージャ220は、テーブル中の対応する低減された周波数、ランプダウンシーケンス、ランプアップシーケンス、および／または待機時間をルックアップし得る。電力マネージャ220は、次いで、クロック信号C1k\_outの周波数を、初期周波数から対応する低減された周波数に低減するように周波数調整器210に命令し得る。テーブルがシナリオのための対応するランプダウンシーケンスを含む場合、電力マネージャ220は、対応するランプダウンシーケンスに従って、クロック信号C1k\_outの周波数を、初期周波数から対応する低減された周波数にランプダウンするように周波数調整器210に命令し得る。クロック信号C1k\_outの周波数が低減された後に、電力マネージャ220は、シナリオの下でアクティブ化されるべき1つまたは複数のプロセッサをアクティブ化し得る。電力マネージャ220は、次いで、クロック信号C1k\_outの周波数を初期周波数に増加させる前に、対応する待機時間の間待機し得る。テーブルがシナリオのための対応するランプアップシーケンスを含む場合、電力マネージャ220は、対応するランプアップシーケンスに従って、クロック信号C1k\_outの周波数を初期周波数にランプアップするように周波数調整器210に命令し得る。  
10

#### 【0071】

[0084]テーブルは、上記で説明された技法を使用して経験的に生成され得る。より詳細には、各シナリオについて、PDNの電圧をドループ限界および／またはオーバーシュート限界内に保つ、低減された周波数、ランプダウンシーケンス、ランプアップシーケンス、および／または待機時間が、上記で説明された技法を使用して決定され得る。  
20

#### 【0072】

[0085]一実施形態では、電力マネージャ220は、電力を温存するために、プロセッサ115(1)～115(4)のすべてがアイドルモードにあるとき、クロック信号C1kを無効にするように構成され得る。たとえば、電力マネージャ220は、クロックデバイス110中のクロックソース915および920(たとえば、PLL)を遮断することによって、クロック信号C1kを無効にし得る。この例では、クロックコントローラ935は、電力マネージャ220の制御下でクロックソース915および920を遮断するように構成され得る。別の例では、電力マネージャ220は、マルチプレクサ930を無効にすることによって、クロック信号C1kを無効にし得る。  
30

#### 【0073】

[0086]この実施形態では、1つまたは複数のプロセッサがアクティブ化されるべきであり、プロセッサ115(1)～115(4)のすべてが最初にアイドルモードにあるとき、電力マネージャ220は、最初にクロック信号C1kを有効にし得る。たとえば、電力マネージャ220は、クロックソース915および920をオンにし、および／またはマルチプレクサ930を有効にするようにクロックコントローラ935に命令し得る。電力マネージャ220はまた、クロック信号C1kをソーシングするために、入力クロック信号C1k\_aおよびC1k\_bのうちのどちらを選択すべきかをクロックコントローラ935に命令し得る。たとえば、電力マネージャ220は、最初に第2の入力クロック信号C1k\_bを選択するようにクロックコントローラ935に命令し得る。別の例では、電力マネージャ220は、プロセッサ115(1)～115(4)のすべてがアイドルモードに入れられる前に最後に選択された入力クロック信号を選択するようにクロックコントローラ935に命令し得る。  
40

#### 【0074】

[0087]クロック信号C1kが有効にされたとき、電力マネージャ220は、所望の低減された周波数（すなわち、クロック信号C1kの周波数よりも低い周波数）においてクロック信号C1k\_outを出力するように周波数調整器210に命令し得る。低減された周波数は、以下でさらに説明されるように、1つまたは複数のプロセッサがアクティブ化されるときのPDN上の電圧ドループを低減する。クロック信号C1k\_outの周波数が低減された周波数にある間、電力マネージャ220は、（たとえば、1つまたは複数のプロセッサの内部クロック経路をアンゲートすることによって）1つまたは複数のプロセッサをアクティブ化し得る。電力マネージャ220は、次いで、待機期間の間待機し、待機期間が経過した後に、クロック信号C1k\_outの周波数をフルクロック周波数に増加させ得る。一態様では、電力マネージャ220は、クロック信号の周波数を、低減された周波数からフルクロック周波数にランプアップし得る。10

#### 【0075】

[0088]したがって、1つまたは複数のプロセッサは、フルクロック周波数（すなわち、クロック信号C1kの周波数）の代わりに、低減されたクロック周波数においてアクティブ化される。低減された周波数は、1つまたは複数のプロセッサがアクティブ化されるときのPDN上の電流負荷の変化におけるレートを低減し、それにより、PDN上の電圧ドループが低減する。

#### 【0076】

[0089]上記で説明されたように、電力マネージャ220は、異なるシナリオをリストするテーブルをメモリ中に含み得る。テーブル中のシナリオは、プロセッサ115(1)～115(4)のすべてが最初にアイドルモードにある複数のシナリオを含み得る。これらのシナリオの各々は、アクティブ化されるべきである1つまたは複数のプロセッサ、および／またはクロック信号C1k（たとえば、入力クロック信号C1k\_aおよびC1k\_bのうちの選択された1つ）の周波数に対応し得る。これらのシナリオの各々について、テーブルは、クロック信号C1k\_outのための対応する低減された周波数、ランプアップシーケンス、および／または待機時間を示し得る。20

#### 【0077】

[0090]この例では、1つまたは複数のプロセッサがアクティブ化されるべきであり、プロセッサ115(1)～115(4)のすべてが最初にアイドルモードにあるとき、電力マネージャ220は、アクティブ化されるべき1つまたは複数のプロセッサ、および／またはクロック信号C1kの周波数（たとえば、入力クロック信号C1k\_aおよびC1k\_bのうちの選択された1つの周波数）に基づいて、テーブル中の複数のシナリオのうちのどれが適用されるかを決定し得る。適用可能なシナリオを決定した後に、電力マネージャ220は、テーブル中の対応する低減された周波数、ランプアップシーケンス、および／または待機時間をルックアップし得る。電力マネージャ220は、次いで、クロック信号C1kを有効にし、対応する低減された周波数における周波数を用いてクロック信号C1k\_outを出力するように周波数調整器210に命令し得る。電力マネージャ220は、次いで、シナリオの下でアクティブ化されるべき1つまたは複数のプロセッサをアクティブ化し、クロック信号C1k\_outの周波数をフルクロック周波数（すなわち、クロック信号C1kの周波数）に増加させる前に、対応する待機時間の間待機し得る。テーブルがシナリオのための対応するランプアップシーケンスを含む場合、電力マネージャ220は、対応するランプアップシーケンスに従って、クロック信号C1k\_outの周波数をフルクロック周波数にランプアップするように周波数調整器210に命令し得る。3040

#### 【0078】

[0091]テーブルは、上記で説明された技法を使用して経験的に生成され得る。より詳細には、各シナリオについて、PDNの電圧をドループ限界および／またはオーバーシュート限界内に保つ、低減された周波数、ランプアップシーケンス、および／または待機時間が、上記で説明された技法を使用して決定され得る。

#### 【0079】

[0092]図10は、（たとえば、中断信号またはイベントに応答して）1つまたは複数の50

プロセッサがアクティブ化され、プロセッサのすべてが最初にアイドルモードにある一例のために、クロック信号 C<sub>1 k</sub>\_o<sub>ut</sub> の周波数をフルクロック周波数の割合として経時に示す。時間 t<sub>1</sub>において、電力マネージャ 220 は、クロック信号 C<sub>1 k</sub> を有効にし、周波数調整器 210 は、フルクロック周波数の 50% に等しい低減された周波数においてクロック信号 C<sub>1 k</sub>\_o<sub>ut</sub> を出力する。この時点で、プロセッサのすべてはアイドルモードにあり得る。電力マネージャ 220 は、次いで、時間 t<sub>2</sub>において、1つまたは複数のプロセッサをアクティブにするために1つまたは複数のプロセッサの内部クロック経路をアンゲートする。（図 10 中の「待機時間」と標示される）待機期間の後に、電力マネージャ 220 は、時間 t<sub>4</sub>において、クロック信号 C<sub>1 k</sub>\_o<sub>ut</sub> の周波数をフルクロック周波数にランプアップするように周波数調整器 210 に命令する。時間 t<sub>5</sub>において、クロック信号 C<sub>1 k</sub>\_o<sub>ut</sub> の周波数はフル周波数に到達する。他の低減された周波数がフルクロック周波数の 50% のほかに使用され得、したがって、本開示は、フルクロック周波数の 50% の例に限定されないことを諒解されたい。さらに、図 10 には示されていないが、クロック信号 C<sub>1 k</sub>\_o<sub>ut</sub> は、クロック信号 C<sub>1 k</sub> が有効にされたとき、約 0 ヘルツから、低減された周波数にランプアップされ得ることを諒解されたい。  
10

#### 【0080】

[0093]一実施形態では、クロックデバイスは、2つ以上のクロック信号をプロセッサ 115(1)～115(4)に出力し得る。この点について、図 11 は、クロックデバイス 1110 が、（「C<sub>1 k</sub>1」と示される）第 1 のクロック信号を第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) に出力し、（「C<sub>1 k</sub>2」と示される）第 2 のクロック信号を第 3 のプロセッサ 115(3) および第 4 のプロセッサ 115(4) に出力する処理システム 1105 の一例を示す。これは、以下でさらに説明されるように、第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) が、第 3 のプロセッサ 115(3) および第 4 のプロセッサ 115(4) とは異なるクロック速度において動作することを可能にする。  
20

#### 【0081】

[0094]この例では、クロックデバイス 1110 は、第 1 のマルチプレクサ 930(1) と第 2 のマルチプレクサ 930(2) とを備える。第 1 のマルチプレクサ 930(1) は、入力クロック信号 C<sub>1 k</sub>\_a および C<sub>1 k</sub>\_b を、それぞれ、第 1 のクロックソース 915 および第 2 のクロックソース 920 から受信し、クロックコントローラ 935 の制御下で、入力クロック信号 C<sub>1 k</sub>\_a および C<sub>1 k</sub>\_b のうちの 1 つを、第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) に選択的に出力するように構成される。第 2 のマルチプレクサ 930(2) は、入力クロック信号 C<sub>1 k</sub>\_a および C<sub>1 k</sub>\_b を、それぞれ、第 1 のクロックソース 915 および第 2 のクロックソース 920 から受信し、クロックコントローラ 935 の制御下で、入力クロック信号 C<sub>1 k</sub>\_a および C<sub>1 k</sub>\_b のうちの 1 つを、第 3 のプロセッサ 115(3) および第 4 のプロセッサ 115(4) に選択的に出力するように構成される。この構成は、第 1 のマルチプレクサ 930(1) および第 2 のマルチプレクサ 930(2) の選択に応じて、プロセッサ 115(1)～115(4) が、入力クロック信号 C<sub>1 k</sub>\_a および C<sub>1 k</sub>\_b のうちの同じ 1 つを受信すること、または、第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) が、第 3 のプロセッサ 115(3) および第 4 のプロセッサ 115(4) とは異なる、入力クロック信号 C<sub>1 k</sub>\_a および C<sub>1 k</sub>\_b のうちの 1 つを受信することを可能にする。  
30  
40

#### 【0082】

[0095]クロックコントローラ 935 は、入力クロック信号 C<sub>1 k</sub>\_a および C<sub>1 k</sub>\_b のうちのどちらがそれぞれのマルチプレクサによって選択されるかを制御することによって、第 1 の出力クロック信号 C<sub>1 k</sub>1 および第 2 の出力クロック信号 C<sub>1 k</sub>2 の各々の周波数を動的に変化せしめるように構成され得る。たとえば、第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) の一方または両方が、高い処理速度を必要とする（たとえば、第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) の一方または両方が、高いクロック速度を要求する）場合、クロックコントローラ 935 は、第 1  
50

の入力クロック信号 C<sub>1</sub>k\_a を選択するように第 1 のマルチプレクサ 930(1) に命令し得る。この場合、第 1 の出力クロック信号 C<sub>1</sub>k<sub>1</sub> は、第 1 の入力クロック信号 C<sub>1</sub>k\_a によってソーシングされる。同様に、第 3 のプロセッサ 115(2) および第 4 のプロセッサ 115(3) の一方または両方が、高い処理速度を必要とする（たとえば、第 3 のプロセッサ 115(3) および第 4 のプロセッサ 115(4) の一方または両方が、高いクロック速度を要求する）場合、クロックコントローラ 935 は、第 1 の入力クロック信号 C<sub>1</sub>k\_a を選択するように第 2 のマルチプレクサ 930(2) に命令し得る。この場合、第 2 の出力クロック信号 C<sub>1</sub>k<sub>2</sub> は、第 1 の入力クロック信号 C<sub>1</sub>k\_a によってソーシングされる。

## 【0083】

10

[0096] 別の例では、第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) の一方または両方が高い処理速度を必要としない場合、クロックコントローラ 935 は、電力を温存するために、第 2 の入力クロック信号 C<sub>1</sub>k\_b を選択するように第 1 のマルチプレクサ 930(1) に命令し得る。この場合、第 1 の出力クロック信号 C<sub>1</sub>k<sub>1</sub> は、第 1 の入力クロック信号 C<sub>1</sub>k\_a よりも低い周波数を有する、第 2 の入力クロック信号 C<sub>1</sub>k\_b によってソーシングされる。同様に、第 3 のプロセッサ 115(3) および第 4 のプロセッサ 115(4) の一方または両方が高い処理速度を必要としない場合、クロックコントローラ 935 は、電力を温存するために、第 2 の入力クロック信号 C<sub>1</sub>k\_b を選択するように第 2 のマルチプレクサ 930(2) に命令し得る。この場合、第 2 の出力クロック信号 C<sub>1</sub>k<sub>2</sub> は、第 2 の入力クロック信号 C<sub>1</sub>k\_b によってソーシングされる。

20

## 【0084】

[0097] 図 11 中の例では、処理システム 1105 は、第 1 の周波数調整器 210(1) と第 2 の周波数調整器 210(2) とを備える。第 1 の周波数調整器 210(1) は、電力マネージャ 220 の制御下で第 1 のクロック信号 C<sub>1</sub>k<sub>1</sub> の周波数を調整可能な量だけ低減し、（「C<sub>1</sub>k\_out<sub>1</sub>」と示される）得られたクロック信号を第 1 のプロセッサ 115(1) および第 2 のプロセッサ 115(2) に出力するように構成される。第 2 の周波数調整器 210(2) は、電力マネージャ 220 の制御下で第 2 のクロック信号 C<sub>1</sub>k<sub>2</sub> の周波数を調整可能な量だけ低減し、（「C<sub>1</sub>k\_out<sub>2</sub>」と示される）得られたクロック信号を第 3 のプロセッサ 115(3) および第 4 のプロセッサ 115(4) に出力するように構成される。これは、電力マネージャ 220 が、第 1 の出力クロック信号 C<sub>1</sub>k\_out<sub>1</sub> の周波数と第 2 の出力クロック信号 C<sub>1</sub>k\_out<sub>2</sub> の周波数とを独立して調整することを可能にする。

30

## 【0085】

[0098] この例では、電力マネージャ 220 は、様々なシナリオの下でプロセッサ 115(1) ~ 115(4) の 1 つまたは複数をアクティブにし得る。たとえば、1 つの例示的なシナリオでは、電力マネージャ 220 は、他のプロセッサのうちの 1 つまたは複数がすでにアクティブモードにある間、第 1 のプロセッサ 115(1) および / または第 2 のプロセッサ 115(2) をアクティブにし得る。このシナリオでは、電力マネージャ 220 は、第 1 のプロセッサおよび / または第 2 のプロセッサをアクティブ化する前に、第 1 の出力クロック信号 C<sub>1</sub>k\_out<sub>1</sub> の周波数を低減し得る。別の例示的なシナリオでは、電力マネージャ 220 は、他のプロセッサのうちの 1 つまたは複数がすでにアクティブモードにある間、第 3 のプロセッサ 115(3) および / または第 4 のプロセッサ 115(4) をアクティブにし得る。このシナリオでは、電力マネージャ 220 は、第 3 のプロセッサおよび / または第 4 のプロセッサをアクティブ化する前に、第 2 の出力クロック信号 C<sub>1</sub>k\_out<sub>2</sub> の周波数を低減し得る。また別の例示的なシナリオでは、電力マネージャ 220 は、第 2 のプロセッサおよび第 4 のプロセッサの一方または両方がすでにアクティブモードにある間、第 1 のプロセッサ 115(1) および第 3 のプロセッサ 115(3) をアクティブにし得る。このシナリオでは、電力マネージャ 220 は、第 1 のプロセッサおよび第 3 のプロセッサをアクティブ化する前に、第 1 の出力クロック信号 C<sub>1</sub>k\_o

40

50

`u t 1` の周波数および第 2 の出力クロック信号 `C 1 k_out 2` の周波数を低減し得る。

#### 【 0 0 8 6 】

[0099]異なるシナリオの下でプロセッサ 115(1)～115(4)のうちの 1つまたは複数をアクティブ化するために、電力マネージャ 220は、異なるシナリオをリストするテーブルをメモリ中に含み得る。これらのシナリオの各々は、アクティブ化されるべきプロセッサのうちの 1つまたは複数、すでにアクティブモードにあるプロセッサのうちの 1つまたは複数の他のプロセッサ、第 1 の出力クロック `C 1 k_out 1` の周波数、および / または第 2 の出力クロック `C 1 k_out 2` の周波数に対応し得る。これらのシナリオの各々について、テーブルは、第 1 の出力クロック信号 `C 1 k_out 1` のためのパラメータのセット（たとえば、対応する低減された周波数、ランプダウンシーケンス、ランプアップシーケンス、および / または待機時間）、および / または第 2 の出力クロック信号 `C 1 k_out 2` のためのパラメータのセット（たとえば、対応する低減された周波数、ランプダウンシーケンス、ランプアップシーケンス、および / または待機時間）を含み得る。  
10

#### 【 0 0 8 7 】

[00100]いくつかのシナリオ（たとえば、プロセッサのうちの 1つのみがアクティブ化されるべきであるシナリオ）について、テーブルは、第 1 の出力クロック信号 `C 1 k_out 1` および第 2 の出力クロック信号 `C 1 k_out 2` のうちの 1つのためのパラメータのセットのみを含み得る。これらのシナリオでは、電力マネージャ 220は、出力クロック信号のうちの他の 1つをそのままにしておくことがある。他のシナリオ（たとえば、第 1 および第 3 のプロセッサがアクティブ化されるべきであるシナリオ）について、テーブルは、第 1 の出力クロック信号 `C 1 k_out 1` および第 2 の出力クロック信号 `C 1 k_out 2` の各々のためのパラメータのセットを含み得る。  
20

#### 【 0 0 8 8 】

[00101]1つまたは複数のプロセッサがアクティブ化されるべきであるとき、電力マネージャ 220は、アクティブ化されるべき 1つまたは複数のプロセッサ、すでにアクティブモードにあるプロセッサのうちの 1つまたは複数の他のプロセッサ、第 1 の出力クロック信号 `C 1 k_out 1` の現在の周波数、および / または第 2 の出力クロック信号 `C 1 k_out 2` の現在の周波数に基づいて、テーブル中の複数のシナリオのうちのどれが適用されるかを決定し得る。適用可能なシナリオを決定した後に、電力マネージャ 220は、第 1 の出力クロック信号 `C 1 k_out 1` のためのテーブル中のパラメータのセット（たとえば、対応する低減された周波数、ランプダウンシーケンス、ランプアップシーケンスおよび / または待機時間）、および / または第 2 の出力クロック信号 `C 1 k_out 2` のためのテーブル中のパラメータのセット（たとえば、対応する低減された周波数、ランプダウンシーケンス、ランプアップシーケンスおよび / または待機時間）をルックアップし得る。  
30

#### 【 0 0 8 9 】

[00102]電力マネージャ 220は、次いで、第 1 の出力クロック信号 `C 1 k_out 1` の周波数を、対応する低減された周波数に低減し、および / または第 2 の出力クロック信号 `C 1 k_out 2` の周波数を、対応する低減された周波数に低減し得る。出力クロック信号 `C 1 k_out 1` と `C 1 k_out 2` の両方の周波数がランプダウンされた場合、周波数ランプダウンは時間的に重複し得る。代替的に、電力マネージャ 220は、出力クロック信号のうちの他の 1つの周波数をランプダウンする前に、出力クロック信号のうちの 1つの周波数をランプダウンし得る。  
40

#### 【 0 0 9 0 】

[00103]第 1 の出力クロック信号 `C 1 k_out 1` の周波数および / または第 2 の出力クロック信号 `C 1 k_out 2` の周波数が低減された後に、電力マネージャ 220は、シナリオの下でアクティブ化されるべき 1つまたは複数のプロセッサをアクティブ化し得る。電力マネージャ 220は、次いで、対応する待機時間の後に第 1 の出力クロック信号 `C 1 k_out 1` の周波数を増加させ、および / または対応する待機時間の後に第 2 の出力  
50

クロック信号 C1k\_out\_2 の周波数を増加させ得る。出力クロック信号 C1k\_out\_1 と C1k\_out\_2 の両方の周波数がランプアップされた場合、周波数ランプアップは時間的に重複し得る。代替的に、電力マネージャ 220 は、出力クロック信号のうちの他の 1 つの周波数をランプアップする前に、出力クロック信号のうちの 1 つの周波数をランプアップし得る。この場合、第 1 の出力クロック信号のための待機時間と第 2 の出力クロック信号のための待機時間とは異なり得る。

#### 【0091】

[00104] この例におけるテーブルは、上記で説明された技法を使用して経験的に生成され得る。より詳細には、異なるシナリオの各々について、第 1 の出力クロック信号 C1k\_out\_1 のためのパラメータのセットが決定され得、および / または第 2 の出力クロック信号 C1k\_out\_2 のためのパラメータのセットが決定され得、これらのパラメータのセットは、P DN 上の電圧を、上記で説明されたオーバーシュート限界および / またはドロープ限界内に保つ。  
10

#### 【0092】

[00105] 本開示の実施形態が、4 つのプロセッサを備える処理システムの例を使用して上記で説明されたが、本開示の実施形態はこの例に限定されないことを諒解されたい。たとえば、本開示の実施形態は、2 つのプロセッサを備える処理システム、8 つのプロセッサを備える処理システムなどにおいて使用され得る。

#### 【0093】

[00106] 図 12 は、本開示の一実施形態による、例示的なクロックゲーティング回路 1210 を示す。プロセッサ 115(1) ~ 115(4) の各々は、プロセッサによって受信されたクロック信号 C1k\_out を選択的にゲートするために、クロックゲーティング回路 1210 を含み得る。クロックゲーティング回路 1210 は、クロックゲーティング論理 1220 と、クロックゲート 1225 とを備える。クロックゲーティング論理 1220 は、以下でさらに説明されるように、電力マネージャ 220 の制御下でクロックゲート 1225 を有効または無効にするように構成される。  
20

#### 【0094】

[00107] 図 12 中の例では、クロックゲート 1225 は、クロック信号 C1k\_out に結合された第 1 の入力と、クロックゲーティング論理 1220 に結合された第 2 の入力と、それぞれのプロセッサの論理ゲートに結合されたクロック出力 1230 とを有する AND ゲートを備える。クロック出力 1230 は、論理ゲート 1240 の様々なゲートにクロック信号を与えるために、複数のクロック経路（図示せず）に分岐し得る。論理ゲート 1240 は、命令をフェッチ、復号および実行し、ならびに / またはクロック信号 C1k\_out を使用して他の動作を実行するように構成され得る。この例では、クロックゲート 1225 は、クロックゲーティング回路 1220 がクロックゲート 1225 に論理 0 を出力したときに無効にされ（すなわち、クロック信号 C1k\_out をブロックし）、クロックゲーティング回路 1220 がクロックゲート 1225 に論理 1 を出力したときに有効にされる（すなわち、クロック信号 C1k\_out が通過することを可能にする）。  
30

#### 【0095】

[00108] クロックゲーティング論理 1220 は、アイドルモードに入るようにとの信号を電力マネージャ 220 から受信すると、クロックゲート 1225 を無効にする（すなわち、クロック信号 C1k\_out をゲートする）ように構成され得る。クロックゲーティング論理 1220 は、クロックゲート 1225 を無効にする前に、論理ゲートが 1 つまたは複数の未解決の命令を完了したことを検証し得る。クロックゲーティング論理 1220 はまた、アイドルモードを出る（たとえば、アクティブモードに遷移する）ようにとの信号を電力マネージャ 220 から受信すると、クロックゲート 1225 を有効にするように構成され得る。クロックゲーティング論理 1220 は、クロック信号 C1k\_out または別のクロック信号（図示せず）によってクロック制御され得る。  
40

#### 【0096】

[00109] 図 13 は、本開示の一実施形態による、1 つまたは複数のプロセッサをアクテ

50

イブ化するための方法 1300 を示す流れ図である。1つまたは複数のプロセッサは、マルチコア処理システムの複数のプロセッサ（たとえば、プロセッサ 115(1)～115(4)）のうちの1つまたは複数であり得る。この例では、1つまたは複数のプロセッサは、マルチコア処理システムの1つまたは複数の他のプロセッサがすでにアクティブモードにある間、アクティブ化され得る。

#### 【0097】

[00110]ステップ 1310において、クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減する。たとえば、クロック信号（たとえば、クロック信号 C1k\_out）は、マルチコア処理システムのプロセッサに与えられる。一例では、周波数低減は、入力クロック信号（たとえば、クロック信号 C1k）を受信し、プロセッサにクロック信号（たとえば、クロック信号 C1k\_out）を出力する周波数調整器（たとえば、周波数調整器 210）によって実行され得る。この例では、周波数調整器は、パルスをスワローすること、および／または入力クロック信号（たとえば、クロック信号 C1k）の周波数を分割することによって、クロック信号（たとえば、クロック信号 C1k\_out）の周波数を低減し得る。また、この例では、第1のクロック周波数は、入力クロック信号（たとえば、クロック信号 C1k）の周波数にほぼ等しくなり得、第2のクロック周波数は、入力クロック信号の周波数よりも低くなり得る。

#### 【0098】

[00111]ステップ 1320において、クロック信号の周波数が低減された後に、1つまたは複数のプロセッサをアクティブ化する。これは、クロック信号が1つまたは複数のプロセッサ中の論理ゲートに伝搬することを可能にするために1つまたは複数のプロセッサ中の内部クロック経路をアンゲートし、論理ゲートがスイッチングを開始することを引き起こすことによって、行われ得る。

#### 【0099】

[00112]ステップ 1330において、1つまたは複数のプロセッサのアクティブ化の後に、クロック信号の周波数を第1のクロック周波数に増加させる。たとえば、第1のクロック周波数は、上記で説明された入力クロック信号（たとえば、クロック信号 C1k）の周波数にほぼ等しくなり得る。

#### 【0100】

[00113]本開示の実施形態は、1つまたは複数のプロセッサがアイドルモードからアクティブモードに遷移する例を使用して上記で説明されたが、本開示の実施形態はまた、1つまたは複数のプロセッサがアクティブモードからアイドルモードに遷移するときに使用され得ることを諒解されたい。この場合、クロック信号 C1k\_out の周波数は、PDN 上の電圧オーバーシュートを低減するために、1つまたは複数のプロセッサをアクティブモードからアイドルモードに通過するより前に低減され得る。低減された周波数は、1つまたは複数のプロセッサがアイドルモードに遷移するときの電流負荷が減少するレートを低減することによってオーバーシュートを低減する。1つまたは複数のプロセッサがアイドルモードになった後に、クロック信号 C1k\_out の周波数は、フルクロック周波数に増加され得る。

#### 【0101】

[00114]上記で説明された実施形態のいずれかに記載のクロックコントローラおよび電力マネージャは、汎用プロセッサ、デジタル信号プロセッサ（DSP）、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明された機能を実行するように設計されたそれらの任意の組合せを用いて実装され得ることを諒解されたい。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサは、本明細書で説明された遅延コントローラの機能を実行するためのコードを備えるソフトウェアを実行することによって機能を実行し得る。ソフトウェアは、RAM、ROM、EEPROM（登録商標）、

10

20

30

40

50

光ディスク、および／または磁気ディスクなど、コンピュータ可読記憶媒体に記憶され得る。

**[0102]**

[00115]本開示についての以上の説明は、いかなる当業者も本開示を作成または使用することができるよう与えられたものである。本開示への様々な修正は当業者には容易に明らかになり、本明細書で定義された一般原理は、本開示の趣旨または範囲から逸脱することなく他の変形形態に適用され得る。したがって、本開示は、本明細書で説明された例に限定されるものではなく、本明細書で開示された原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

10

**[C1]**

複数のプロセッサと、

入力クロック信号を生成するように構成されたクロックデバイスと、

前記クロックデバイスから前記入力クロック信号を受信し、前記入力クロック信号に基づいて前記複数のプロセッサに出力クロック信号を出力するように構成された周波数調整器と、

前記プロセッサのうちの1つまたは複数をアクティブにするための信号を受信するように構成された電力マネージャと、ここにおいて、前記信号に応答して、前記電力マネージャは、前記出力クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減するように前記周波数調整器に命令し、前記出力クロック信号の前記周波数が前記第2のクロック周波数にある間、前記プロセッサのうちの前記1つまたは複数をアクティブにし、前記プロセッサのうちの前記1つまたは複数がアクティブ化された後に、前記出力クロック信号の前記周波数を前記第2のクロック周波数から前記第1のクロック周波数に増加させるように前記周波数調整器に命令するように構成された、を備える、処理システム。

20

**[C2]**

前記第1のクロック周波数が、前記入力クロック信号の周波数にほぼ等しい、C1に記載の処理システム。

**[C3]**

前記第2のクロック周波数が、前記第1のクロック周波数の20%～80%にほぼ等しい、C2に記載の処理システム。

30

**[C4]**

前記プロセッサのうちの1つまたは複数の他のプロセッサは、前記電力マネージャが前記プロセッサのうちの前記1つまたは複数をアクティブにする間、アクティブモードにある、C1に記載の処理システム。

**[C5]**

前記電力マネージャが、前記プロセッサのうちの前記1つまたは複数中の内部クロック経路をアンゲートすることによって、前記プロセッサのうちの前記1つまたは複数をアクティブにする、C1に記載の処理システム。

40

**[C6]**

前記周波数調整器が、前記入力クロック信号のパルスを選択的にスワローすることによって前記出力クロック信号の前記周波数を低減するように構成された、C1に記載の処理システム。

**[C7]**

前記周波数調整器が、前記入力クロック信号の周波数を分割することによって前記出力クロック信号の前記周波数を低減するように構成された、C1に記載の処理システム。

**[C8]**

前記プロセッサのうちの前記1つまたは複数をアクティブにするための前記信号が中断信号を備える、C1に記載の処理システム。

**[C9]**

50

前記電力マネージャが、中断まで待機（WFI）命令の実行に応答して前記プロセッサのうちの前記1つまたは複数をアイドルモードに入れるように構成され、前記中断信号は、前記プロセッサのうちの前記1つまたは複数が前記アイドルモードに入れられた後に受信される、C8に記載の処理システム。

[C10]

前記電力マネージャは、前記信号に応答してアクティブ化されるべき前記プロセッサのうちの前記1つまたは複数と、前記信号が受信された時間においてアクティブ状態にある前記プロセッサのうちの1つまたは複数の他のプロセッサとに基づいて、前記第2のクロック周波数を決定するように構成された、C1に記載の処理システム。

[C11]

前記電力マネージャが、前記第1のクロック周波数に基づいて前記第2のクロック周波数を決定するようにさらに構成された、C10に記載の処理システム。

[C12]

1つまたは複数のプロセッサをアクティブ化するための方法であって、クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減することと、ここにおいて、前記クロック信号が、前記1つまたは複数のプロセッサを含む複数のプロセッサに出力される、

前記クロック信号の前記周波数が低減された後に前記1つまたは複数のプロセッサをアクティブ化することと、

前記1つまたは複数のプロセッサがアクティブ化された後に前記クロック信号を前記第2のクロック周波数から前記第1のクロック周波数に増加させることとを備える、方法。

[C13]

前記第2のクロック周波数が、前記第1のクロック周波数の20%～80%にほぼ等しい、C12に記載の方法。

[C14]

前記複数のプロセッサのうちの1つまたは複数の他のプロセッサは、前記1つまたは複数のプロセッサがアクティブ化される間、アクティブモードにある、C12に記載の方法。

[C15]

前記1つまたは複数のプロセッサをアクティブ化することが、前記1つまたは複数のプロセッサ中の内部クロック経路をアンゲートすることを備える、C12に記載の方法。

[C16]

中断まで待機（WFI）命令の実行に応答して前記1つまたは複数のプロセッサをアイドルモードに入れることと、

前記1つまたは複数のプロセッサが前記アイドルモードに入れられた後に中断信号を受信することとをさらに備え、

ここにおいて、前記1つまたは複数のプロセッサが前記中断信号に応答してアクティブ化される、C12に記載の方法。

[C17]

前記1つまたは複数のプロセッサと、前記第2のクロック周波数の決定が行われる時間においてすでにアクティブ状態にある前記複数のプロセッサのうちの1つまたは複数の他のプロセッサとに基づいて、前記第2のクロック周波数を決定することをさらに備える、C12に記載の方法。

[C18]

前記第2のクロック周波数を決定することが、前記第1のクロック周波数に基づいて前記第2のクロック周波数を決定することをさらに備える、C17に記載の方法。

[C19]

1つまたは複数のプロセッサをアクティブ化するための装置であって、

10

20

30

40

50

クロック信号の周波数を第1のクロック周波数から第2のクロック周波数に低減するための手段と、ここにおいて、前記クロック信号が、前記1つまたは複数のプロセッサを含む複数のプロセッサに出力される、

前記クロック信号の前記周波数が低減された後に前記1つまたは複数のプロセッサをアクティブ化するための手段と、

前記1つまたは複数のプロセッサがアクティブ化された後に前記クロック信号を前記第2のクロック周波数から前記第1のクロック周波数に増加させるための手段とを備える、装置。

[ C 2 0 ]

前記第2のクロック周波数が、前記第1のクロック周波数の20%~80%にほぼ等しい、C 1 9に記載の装置。

[ C 2 1 ]

前記複数のプロセッサのうちの1つまたは複数の他のプロセッサは、前記1つまたは複数のプロセッサがアクティブ化される間、アクティブモードにある、C 1 9に記載の装置。

[ C 2 2 ]

前記1つまたは複数のプロセッサをアクティブ化するための前記手段が、前記1つまたは複数のプロセッサ中の内部クロック経路をアンゲートするための手段を備える、C 1 9に記載の装置。

[ C 2 3 ]

中断まで待機(WFI)命令の実行に応答して前記1つまたは複数のプロセッサをアイドルモードに入れるための手段と、

前記1つまたは複数のプロセッサが前記アイドルモードに入れられた後に中断信号を受信するための手段と

をさらに備え、

ここにおいて、前記1つまたは複数のプロセッサをアクティブ化するための前記手段が、前記中断信号に応答して前記1つまたは複数のプロセッサをアクティブ化する、C 1 9に記載の装置。

[ C 2 4 ]

前記1つまたは複数のプロセッサと、前記第2のクロック周波数の決定が行われる時間においてすでにアクティブ状態にある前記複数のプロセッサのうちの1つまたは複数の他のプロセッサとに基づいて、前記第2のクロック周波数を決定するための手段をさらに備える、C 1 9に記載の装置。

[ C 2 5 ]

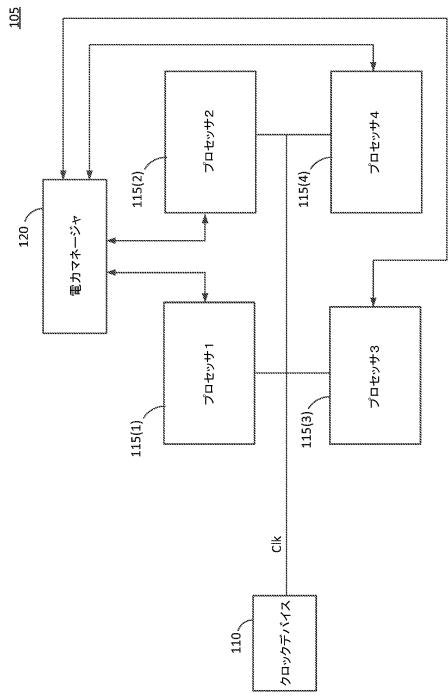
前記第2のクロック周波数を決定するための前記手段が、前記第1のクロック周波数に基づいて前記第2のクロック周波数をさらに決定する、C 2 4に記載の装置。

10

20

30

【図1】



【図2】

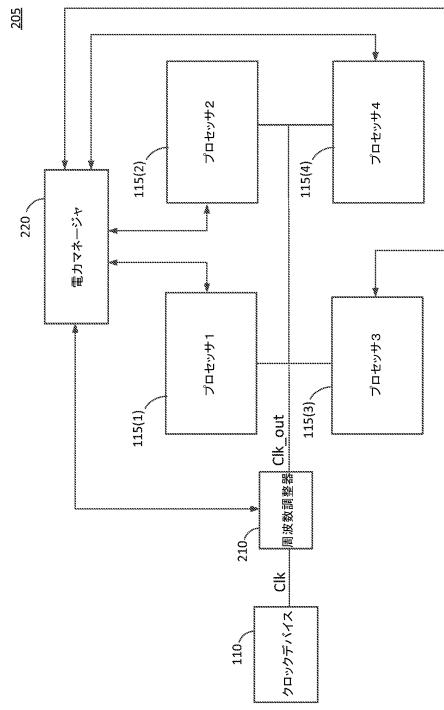
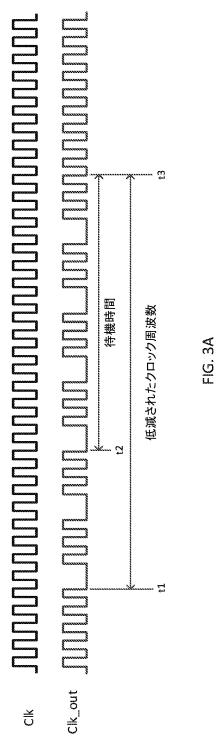
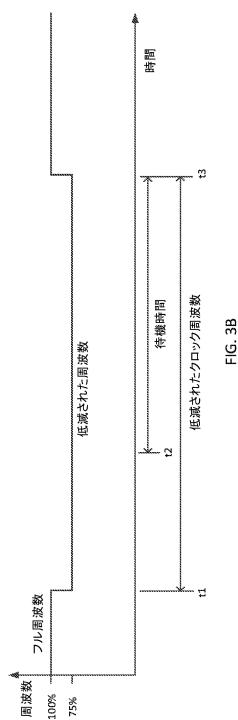
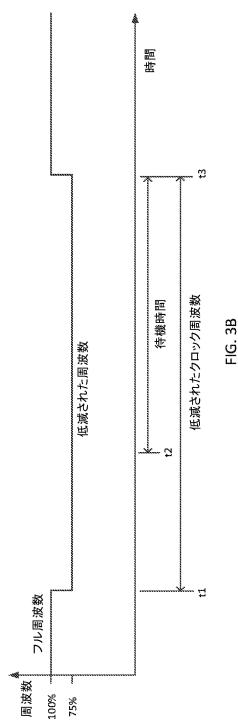


FIG.2

【図3A】



【図3B】



【図4】

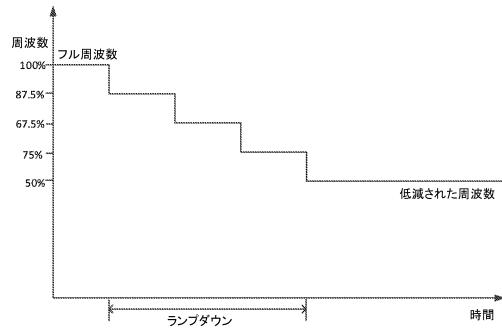


FIG. 4

【図6】

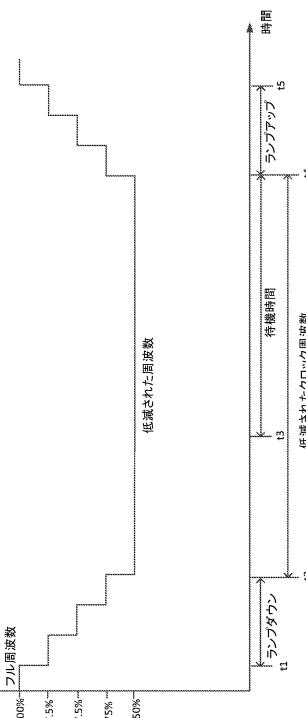


FIG. 6

【図5】

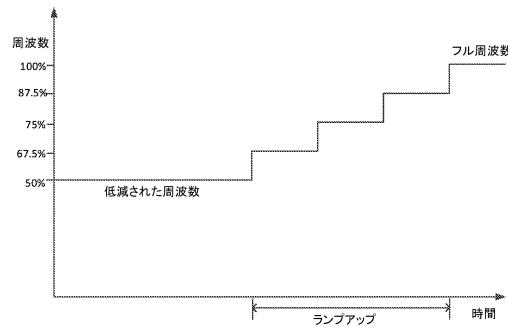


FIG. 5

【図7】

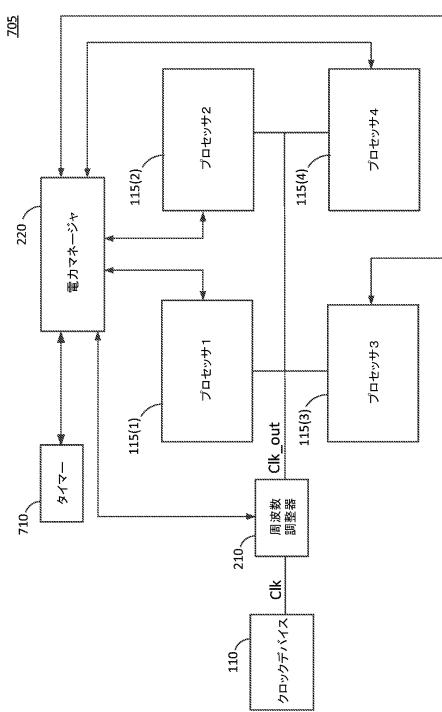


FIG. 7

【図8】

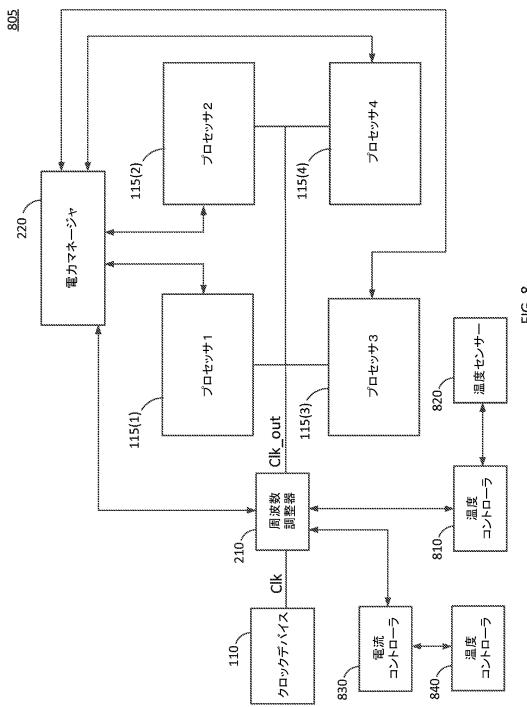
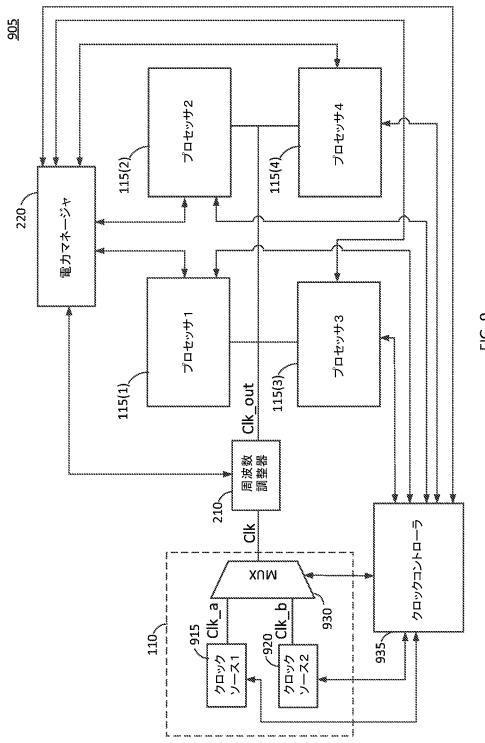
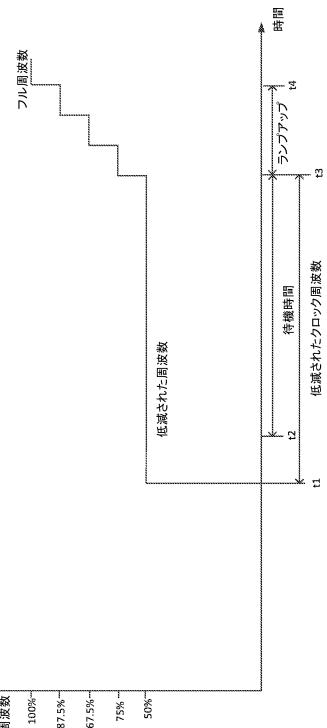


FIG. 8

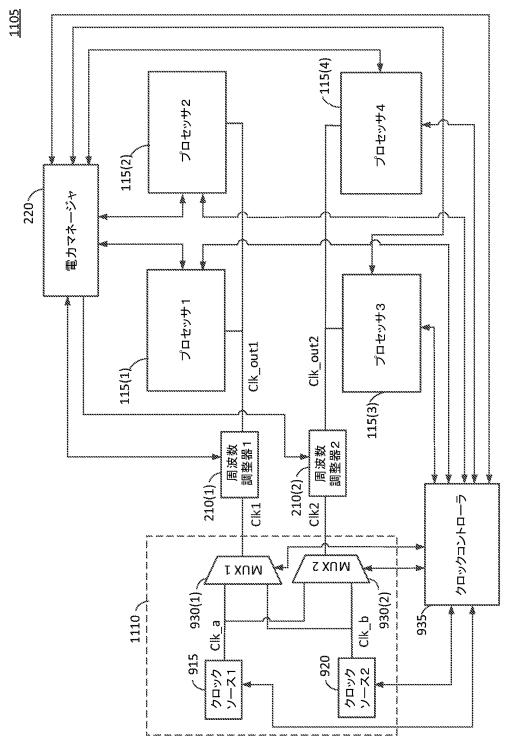
【図 9】



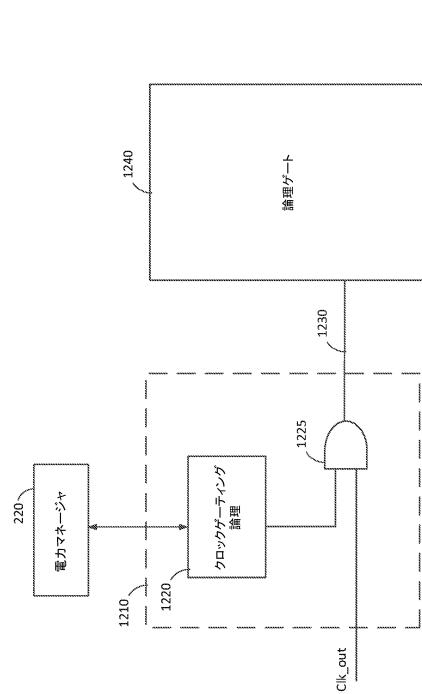
【図 10】



【図 11】



【図 12】



【図13】

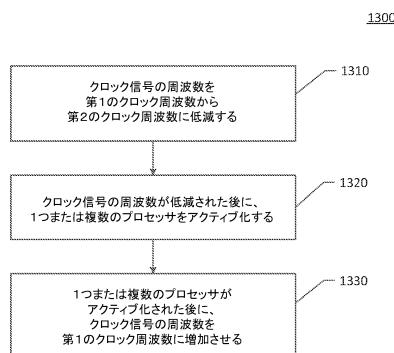


FIG. 13

---

フロントページの続き

(74)代理人 100184332

弁理士 中丸 康洋

(72)発明者 パル、ディブティ・ランジャン

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775

審査官 佐賀野 秀一

(56)参考文献 特開2007-293748(JP,A)

特開2004-13820(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 1 / 04

G 06 F 1 / 32