

(12) 发明专利申请

(10) 申请公布号 CN 103269217 A

(43) 申请公布日 2013. 08. 28

(21) 申请号 201310216532. 4

(22) 申请日 2013. 06. 03

(30) 优先权数据

13/745,991 2013. 01. 21 US

(71) 申请人 威盛电子股份有限公司

地址 中国台湾新北市

(72) 发明人 李永胜

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

H03K 19/003(2006. 01)

H03K 19/0175(2006. 01)

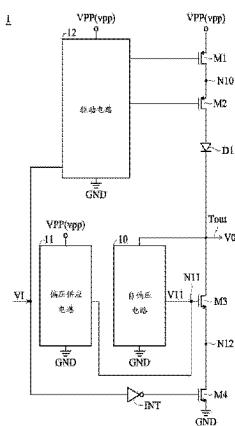
权利要求书4页 说明书7页 附图3页

(54) 发明名称

输出缓冲器

(57) 摘要

一种输出缓冲器，其耦接用来提供第一供电电压的第一电压源，且根据输入信号于输出端产生输出信号。此输出缓冲器包括第一与第二晶体管及自偏压电路。第一晶体管具有控制电极、耦接输出端的输入电极、及输出电极。第二晶体管具有控制电极、耦接第一晶体管的输出电极的输入电极、及耦接参考电压的输出电极。自偏压电路耦接输出端及第一晶体管的控制电极。当输出缓冲器没有接受第一供电电压时，自偏压电路根据输出信号来提供第一偏压至第一晶体管的控制电极，以将第一晶体管的控制电极与输入电极之间的电压差和控制电极与输出电极之间的电压差减少至低于预设电压。



1. 一种输出缓冲器,耦接用来提供一第一供应电压的第一电压源,该输出缓冲器根据一输入信号于一输出端产生一输出信号,包括:

—第一晶体管,具有控制电极、耦接该输出端的输入电极、以及输出电极;

—第二晶体管,具有控制电极、耦接该第一晶体管的输出电极的输入电极、以及耦接一参考电压的输出电极;以及

—自偏压电路,耦接该输出端以及该第一晶体管的控制电极;

其中,当该输出缓冲器没有接受该第一供电电压时,该自偏压电路根据该输出信号来提供一第一偏压至该第一晶体管的控制电极,以将该第一晶体管的控制电极与输入电极之间的电压差和控制电极与输出电极之间的电压差减少至低于预设电压。

2. 如权利要求1所述的输出缓冲器,其中,该自偏压电路包括串接于该输出端与该第一晶体管的控制电极之间的多个第一二极管以及包括串接于该第一晶体管的控制电极与该参考电压之间的多个第二二极管。

3. 如权利要求1所述的输出缓冲器,其中,该自偏压电路包括串接于该输出端与该第一晶体管的控制电极之间的多个第一晶体管以及包括串接于该第一晶体管的控制电极与该参考电压之间的多个第二晶体管。

4. 如权利要求3所述的输出缓冲器,

其中,在这些串接的晶体管中,一第三晶体管具有耦接该输出端的控制电极与输入电极以及具有输出电极;

其中,在这些串接的晶体管中,一第四晶体管具有耦接该第三晶体管的输出电极的控制电极以及输入电极以及具有耦接该第一晶体管的控制电极的输出电极;

其中,在这些串接的晶体管中,一第五晶体管具有耦接该第一晶体管的控制电极的控制电极以及输入电极以及具有输出电极;以及

其中,在这些串接的晶体管中,一第六晶体管具有耦接该第五晶体管的输出电极的控制电极以及输入电极以及具有耦接该参考电压的输出电极。

5. 如权利要求1所述的输出缓冲器,还包括:

—偏压供应电路,耦接该第一电压源以及该第一晶体管的控制电极;

其中,当该输出缓冲器接受该第一供电电压时,该偏压供应电路根据该第一供应电压来提供一第二偏压至该第一晶体管的控制电极,以将该第一晶体管的控制电极与输入和输出电极之间的这些电压差减少至低于该预设电压。

6. 如权利要求5所述的输出缓冲器,其中,该偏压供应电路包括串接于该第一电压源与该第一晶体管的控制电极之间的至少一晶体管以及包括串接于该第一晶体管的控制电极与该参考电压之间的多个晶体管。

7. 如权利要求6所述的输出缓冲器,

其中,在这些串接的晶体管中,一第三晶体管具有耦接该第一电压源的控制电极与输入电极以及具有耦接该第一晶体管的控制电极的输出电极;

其中,在这些串接的晶体管中,一第四晶体管具有耦接该第一晶体管的控制电极的控制电极以及输入电极以及具有输出电极;以及

其中,在这些串接的晶体管中,一第五晶体管具有耦接一第二电压源的控制端、耦接该第四晶体管的输出电极的输入电极、以及耦接该参考电压的输出电极,该第二电压源提供

一第二供电电压。

8. 如权利要求 7 所述的输出缓冲器，

其中，该输出信号具有由该第一供电电压至该参考电压的电压摆幅；以及
其中，该输入信号具有由该第二供电电压至该参考电压的电压摆幅。

9. 如权利要求 1 所述的输出缓冲器，其中，该输出信号的高电平高于该输入信号的高电平。

10. 如权利要求 1 所述的输出缓冲器，还包括：

一反向器，具有接收该输入信号的输入端以及具有耦接该第二晶体管的控制电极的输出端。

11. 一种输出缓冲器，耦接用来提供一第一供应电压的一第一电压源，该输出缓冲器根据一输入信号于一输出端产生一输出信号，包括：

一第一晶体管，具有控制电极、耦接该第一电压源的输入电极、以及输出电极；

一第二晶体管，具有控制电极、耦接该第一晶体管的输出电极的输入电极、以及输出电极；

一第一二极管，具有耦接该第二晶体管的输出电极的阳极以及耦接该输出端的阴极；

一第三晶体管，具有控制电极、耦接该输出端的输入电极、以及输出电极；

一第四晶体管，具有控制电极、耦接该第一晶体管的输出电极的输入电极、以及耦接一参考电压的输出电极；以及

一自偏压电路，耦接该输出端以及该第三晶体管的控制电极；

其中，当该输出缓冲器没有接受该第一供电电压时，该自偏压电路根据该输出信号来提供一第一偏压至该第三晶体管的控制电极，以将该第三晶体管的控制电极与输入电极之间的电压差和控制电极与输出电极之间的电压差减少至低于预设电压；以及

其中，该第一晶体管以及该第二晶体管的控制电极根据该输入信号而受控制。

12. 如权利要求 11 所述的输出缓冲器，其中，该自偏压电路包括串接于该输出端与该第三晶体管的控制电极之间的多个二极管以及包括串接于该第三晶体管的控制电极与该参考电压之间的多个二极管。

13. 如权利要求 11 所述的输出缓冲器，其中，该自偏压电路包括串接于该输出端与该第三晶体管的控制电极之间的多个晶体管以及包括串接于该第三晶体管的控制电极与该参考电压之间的多个晶体管。

14. 如权利要求 13 所述的输出缓冲器，

其中，在这些串接的晶体管中，一第五晶体管具有耦接该输出端的控制电极与输入电极以及具有输出电极；

其中，在这些串接的晶体管中，一第六晶体管具有耦接该第五晶体管的输出电极的控制电极以及输入电极以及具有耦接该第三晶体管的控制电极的输出电极；

其中，在这些串接的晶体管中，一第七晶体管具有耦接该第三晶体管的控制电极的控制电极以及输入电极以及具有输出电极；以及

其中，在这些串接的晶体管中，一第八晶体管具有耦接该第七晶体管的输出电极的控制电极以及输入电极以及具有耦接该参考电压的输出电极。

15. 如权利要求 11 所述的输出缓冲器，还包括：

一偏压供应电路,耦接该第一电压源以及该第三晶体管的控制电极;

其中,当该输出缓冲器接受该第一供电电压时,该偏压供应电路根据该第一供应电压来提供一第二偏压至该第三晶体管的控制电极,以将该第三晶体管的控制电极与输入和输出电极之间的这些电压差减少至低于该预设电压。

16. 如权利要求 15 所述的输出缓冲器,其中,该偏压供应电路包括串接于该第一电压源与该第三晶体管的控制电极之间的至少一晶体管以及包括串接于该第三晶体管的控制电极与该参考电压之间的多个晶体管。

17. 如权利要求 16 所述的输出缓冲器,

其中,在这些串接的晶体管中,一第五晶体管具有耦接该第一电压源的控制电极与输入电极以及具有耦接该第三晶体管的控制电极的输出电极;

其中,在这些串接的晶体管中,一第六晶体管具有耦接该第三晶体管的控制电极的控制电极以及输入电极以及具有输出电极;以及

其中,在这些串接的晶体管中,一第七晶体管具有耦接一第二电压源的控制电极、耦接该第六晶体管的输出电极的输入电极、以及耦接该参考电压的输出电极,该第二电压源提供一第二供电电压。

18. 如权利要求 17 所述的输出缓冲器,

其中,该输出信号具有由该第一供电电压至该参考电压的电压摆幅;以及

其中,该输入信号具有由该第二供电电压至该参考电压的电压摆幅。

19. 如权利要求 11 所述的输出缓冲器,其中,该输出信号的高电平高于该输入信号的高电平。

20. 如权利要求 11 所述的输出缓冲器,还包括:

一反向器,具有接收该输入信号的输入端以及具有耦接该第四晶体管的控制电极的输出端。

21. 一种输出缓冲器,用以根据一输入信号于一输出端产生一输出信号,包括:

一第一晶体管,具有控制电极、耦接一电压源的输入电极、以及输出电极;

一第二晶体管,具有控制电极、耦接该第一晶体管的输出电极的输入电极、以及输出电极;

一第一二极管,具有耦接该第二晶体管的输出电极的阳极以及耦接该输出端的阴极;以及

一驱动电路,耦接该第一晶体管以及该第二晶体管的控制电极,且根据该输入信号来驱动该第一晶体管以及该第二晶体管。

22. 如权利要求 21 所述的输出缓冲器,其中,该驱动电路包括:

一第三晶体管,具有耦接该第一晶体管的控制电极的控制电极以及输出电极以及具有耦接该电压源的输入电极;

一第四晶体管,具有耦接该第二晶体管的控制电极的控制电极以及输出电极以及具有耦接该第三晶体管的输出电极的输入电极;

一第二二极管,具有耦接该第四晶体管的输出电极的阳极以及具有阴极;以及

一第五晶体管,具有接收该输入信号的控制电极、耦接该第二二极管的阴极的输入电极、以及耦接一参考电压的输出电极。

23. 如权利要求 22 所述的输出缓冲器, 其中, 该输出信号的高电平高于该输入信号的高电平。

输出缓冲器

技术领域

[0001] 本发明涉及一种输出缓冲器，特别是涉及一种具有高电压容忍度的输出缓冲器。

背景技术

[0002] 在现今高阶的互补式金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)工艺(例如28nm工艺)中，与现有的工艺(例如40nm工艺)比较起来，MOS晶体管的栅极氧化层崩溃电压(break-down voltage)以及击穿电压(punch-through voltage)较低。高电压元件无法以高阶工艺来制造。举例来说，3.3V元件无法以28nm工艺来制造。然而，一些不是以高阶工艺来制造的周遭元件或其他集成电路可能仍操作在高电压下，例如3.3V或2.5V。由这些周遭元件或其他集成电路所产生的信号可能具有高电压电平。当以28nm工艺来制造的MOS晶体管接收这些信号时，MOS晶体管可能会被高电压电平所损坏。举例来说，在晶体管的栅极与源极/漏极之间的高电压差(即具有较大值的V_{gs}或V_{gd})可导致栅极氧化层崩溃，且在MOS晶体管的源极与漏极之间的高电压差(即具有较大值的V_{ds})可导致击穿。因此，避免MOS晶体管的电压V_{gs}、V_{gd}、与V_{ds}超过特定限值是很重要的。对于以28nm工艺来制造的MOS晶体管而言，电压V_{gs}、V_{gd}、与V_{ds}应维持低于大约1.8V以避免上述损坏。

发明内容

[0003] 因此，期望提供一种具有高电压容忍度的输出缓冲器，其能避免输出缓冲器的MOS晶体管受到具有高电压电平的外部信号的损坏。

[0004] 本发明提供一种输出缓冲器。此输出缓冲器耦接用来提供第一供电电压的第一电压源，且根据输入信号于输出端产生输出信号。此输出缓冲器包括第一晶体管、第二晶体管、以及自偏压电路。第一晶体管具有控制电极、耦接输出端的输入电极、以及输出电极。第二晶体管具有控制电极、耦接第一晶体管的输出电极的输入电极、以及耦接参考电压的输出电极。自偏压电路耦接输出端以及第一晶体管的控制电极。当输出缓冲器没有接受第一供电电压时，自偏压电路根据输出信号来提供第一偏压至第一晶体管的控制电极与输入电极之间的电压差和控制电极与输出电极之间的电压差减少至低于预设电压。

[0005] 本发明还提供一种输出缓冲器。此输出缓冲器耦接用来提供第一供电电压的第一电压源，且根据输入信号于输出端产生输出信号。此输出缓冲器包括第一晶体管、第二晶体管、第一二极管、第三晶体管、第四晶体管、以及自偏压电路。第一晶体管具有控制电极、耦接第一电压源的输入电极、以及输出电极。第二晶体管具有控制电极、耦接第一晶体管的输出电极的输入电极、以及输出电极。第一二极管具有耦接第二晶体管的输出电极的阳极以及耦接输出端的阴极。第三晶体管具有控制电极、耦接输出端的输入电极、以及输出电极。第四晶体管具有控制电极、耦接第一晶体管的输出电极的输入电极、以及耦接参考电压的输出电极。自偏压电路耦接输出端以及第三晶体管的控制电极。当输出缓冲器没有接受第一供电电压时，自偏压电路根据输出信号来提供第一偏压至该第三晶体管的控制电极，以

将第三晶体管的控制电极与输入电极之间的电压差和控制电极与输出电极之间的电压差减少至低于预设电压。第一晶体管以及第二晶体管的控制电极根据输入信号而受控制。

附图说明

- [0006] 图 1A 表示根据本发明一实施例的在一输出端上的输入 / 输出缓冲器。
- [0007] 图 1B 表示根据本发明一实施例的输出缓冲器。
- [0008] 图 2 表示根据本发明另一实施例的输出缓冲器。
- [0009] 附图符号说明
- [0010] 1 ~ 输出缓冲器；
- [0011] 2 ~ 输入缓冲器；
- [0012] 10 ~ 自偏压电路；
- [0013] 11 ~ 偏压供应电路；
- [0014] 12 ~ 驱动电路；
- [0015] D1、D1a ~ 二极管；
- [0016] GND ~ 参考电压；
- [0017] INT ~ 反向器；
- [0018] M1…M8 ~ MOS 晶体管；
- [0019] M1a、M2a、M3a ~ MOS 晶体管；
- [0020] Ma、Mb、Mc ~ MOS 晶体管；
- [0021] N10…N15 ~ 节点；
- [0022] VI ~ 输入信号；
- [0023] VO ~ 输出信号；
- [0024] VDD、VPP ~ 电压源；
- [0025] Vpp ~ 供应电压；
- [0026] Tout ~ 输出端。

具体实施方式

[0027] 为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并结合附图详细说明如下。

[0028] 在具有多个子系统的大型电子系统中，例如计算机系统，一般具有多个电源电平。这些子系统，例如在此系统内的集成电路 (integrate circuit, IC) 以及芯片，通常需要不同的电源电压。因此，为了保护子系统被这些不同的电源电压所损坏，在这些子系统之间一般会提供输入 / 输出缓冲器电路。在具有配置在第一芯片上的第一电路、配置在第二芯片上的第二电路、以及耦接在第一与第二电路之间的输入 / 输出缓冲器电路的系统中，第一电路的电源供应的电压电平(以 VDD 来表示)可能低于第二电路的电源供应的电压电平(VPP 来表示)。例如，第一电路可操作在 1.8 伏(V) 或 2.5V 的电源电平(VDD)，而第二电路可操作在 3.3V 或 5V 的电源电平(VPP)。当缓冲器接收来自第一电路的信号且输出信号至第二电路时，输入 / 输出缓冲器电路操作在传输模式下；且当缓冲器接收来自第二电路的信号且输出信号回第一电路时，输入 / 输出缓冲器电路操作在接收模式下。然而，当输入 /

输出缓冲器电路接收来自具有较高电压的电路的信号时,可能会发生一些问题。这些问题,例如栅极氧化层崩溃或击穿,在使用进阶工艺(例如 28nm 工艺)的 IC 中会更加严重。

[0029] 图 1A 是表示根据本发明实施例在一输出端 Tout 上的输入 / 输出缓冲器。参阅图 1A,输入 / 输出缓冲器包括输出缓冲器 1 以及输入缓冲器 2。当输入 / 输出缓冲器接收来自第一电路的信号且在输出端 Tout 上输出信号至第二电路时,输出缓冲器 1 负责传输模式的操作,且当输入 / 输出缓冲器接收在输出端 Tout 上来自第二电路的信号且输出信号回第一电路时,输入缓冲器 2 负责接收模式的操作。在图 1A 的实施例中,输出缓冲器 1 接收输入信号 VI,且根据输入信号 VI 而言输出端 Tout 产生输出信号 VO。参阅图 1B,输出缓冲器 1 包括金属氧化物半导体(Metal-Oxide-Semiconductor, MOS)晶体管 M1 ~ M4、二极管 D1、反向器 INT、自偏压电路 10、偏移提供电路 11、以及驱动电路 12。MOS 晶体管 M1 ~ M4 的每一个具有控制电极、输入电极、以及输出电极。在此实施例中,MOS 晶体管 M1 与 M2 是以 P 型 MOS (PMOS) 晶体管来实施,且 PMOS 晶体管的栅极、源极、以及漏极分别作为 MOS 晶体管 M1 与 M2 每一个的控制电极、输入电极、以及输出电极。此外,在此实施例中,MOS 晶体管 M3 与 M4 是以 N 型 MOS(NMOS)晶体管来实施,且 NMOS 晶体管的栅极、漏极、以及源极分别作为 MOS 晶体管 M3 与 M4 每一个的控制电极、输入电极、以及输出电极。PMOS 晶体管 M1 的栅极耦接驱动电路 12,其源极耦接电压源 VPP,且其漏极耦接共同节点 N10。PMOS 晶体管 M2 的栅极耦接驱动电路 12,且其源极耦接 PMOS 晶体管 M1 的漏极于共同节点 N101。二极管 D1 的阳极耦接 PMOS 晶体管 M2 的漏极,且其阴极耦接输出端 Tout。驱动电路 12 可根据输入信号 VI 来可控制 PMOS 晶体管 M1 与 M2。根据 PMOS 晶体管 M1 与 M2 的连接架构,PMOS 晶体管 M1 与 M2 串接于电压源 VPP 与输出端 Tout 之间。在此处是以两阶串接为例,但是串接阶数并不以此为限。NMOS 晶体管 M3 的栅极耦接自偏压电路 10 以及偏压供应电路 11 于节点 N11,其漏极耦接输出端 Tout,且其源极耦接共同节点 N12。反向器 INT 的输入端接收输入信号 VI。NMOS 晶体管 M4 的栅极耦接反向器 INT 的输出端,其漏极耦接 NMOS 晶体管 M3 的源极于共同节点 N12,且其源极耦接参考电压 GND (例如 0V)。因此,NMOS 晶体管 M4 可由输入信号 VI 来控制。根据 NMOS 晶体管 M3 与 M4 的连接架构,NMOS 晶体管 M3 与 M4 串接于输出端 Tout 与参考电压 GND 之间。晶体管 M1 ~ M4 形成互补式金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)架构。在此实施例中,晶体管 M1 ~ M4 是以进阶 CMOS 工艺(例如 28nm)来制造。偏压供应电路 11 以及驱动电路 12 可接收来自电压源 VPP 的电压来进行操作,且自偏压电路 10 可不需接收来自任何电压源的电压来进行操作。

[0030] 参阅图 1B,电压源 VPP 提供供应电压 vpp 给输出缓冲器 1,以驱动被传送至外部高电压电路或集成电路的输出信号 VO。在此实施例中,依据供应电压 vpp 的电平,输出缓冲器 1 可操作在一般模式(normal mode)或省电模式(power-down mode)。当供应电压 vpp 处于电源开启电平(例如 3.3V)时,输出缓冲器 1 操作在一般模式。当供应电压 vpp 处于电源关闭电平(例如 0V)时,输出缓冲器 1 则操作在省电模式。在一般模式期间,输出信号 VO 根据输入信号 VI 而在高电平(例如 3.3V)与低电平(例如 0V)之间切换。输出信号 VO 根据具有逻辑值“1”的输入信号 VI 而处于高电平,且根据具有逻辑值“0”的输入信号 VI 而处于低电平。自偏压电路 10 以及偏压供应电路 11 规划为在一般模式期间中,节点 N11 上的电压 V11 由偏压供应电路 11 来控制,而来自偏压电路 10 的影响可忽略不计;而在省电模式期间中,节点 N11 上的电压 V11 由自偏压电路 10 来控制,而偏压供应电路 11 可不作用。

[0031] 在一般模式期间中,当输入信号 VI 具有逻辑值“1”时,驱动电路 12 可控制 PMOS 晶体管 M1 与 M2 导通,而 NMOS 晶体管 M4 关闭。因此,输出信号 VO 处于高电平,例如 3.3V,且由于在 NMOS 晶体管 M3 与 M4 中的平均分压,使得在介于 NMOS 电经体 M3 与 M4 之间的共同节点 N12 上的电压大约等于 1.65V。如此一来,介于 NMOS 晶体管 M3 与 M4 中每一个的漏极与源极之间的电压差(漏 - 源极电压, $V_{ds}=3.3V-1.65V=1.65V$),低于 28nm 工艺所制造的元件的一预设电压限值,例如 1.8V(在此例子中,对于 28nm 而言,漏 - 源极击穿电压可以是 1.8V)。此外,偏压供应电路 11 根据电压源 VPP 而提供指定偏压 V11 至 NMOS 晶体管 M3 的栅极(即节点 N11)。由于指定偏压 V11,介于 NMOS 晶体管 M3 的栅极与漏 / 源极之间的电压差(栅 - 漏极电压 V_{gd} 以及栅 - 源极电压 V_{gs})受到控制而低于一预设电压,例如 1.8V,以避免 NMOS 晶体管 M3 发生栅极氧化层崩溃。此时, NMOS 晶体管的栅极处于低电平,例如 0V。因此,介于 NMOS 晶体管 M4 的栅极与漏 / 源极之间的电压差(V_{gd} 以及 V_{gs})也低于 1.8V 的预设电压。需注意,上述介于两电极之间的电压差是指由较大电压值减去较小电压值以获得电压差,即是,在两电极之间的电压差的绝对值。此定义也用于后文,因此省略重复的说明。根据上述,当输出信号 VO 在一般模式期间中处于高电平时,例如 3.3V, NMOS 晶体管 M3 与 M4 的大电压差处于安全范围,即是,低于关于栅极氧化层崩溃和击穿的预设电压限值,使得 NMOS 晶体管 M3 与 M4 不会受到由高电平的输出信号 VO 与接地电压之间造成的大电压差所损坏。

[0032] 此外,在一般模式中,当输入信号 VI 具有逻辑值“0”时,驱动电路 12 可控制 PMOS 晶体管 M1 与 M2 关闭,而 NMOS 晶体管 M4 可导通。因此,输出信号 VO 处于低电平,例如 0V,且对于 3.3V 的电压源 VPP 的情况下,由于平均分压,使得在介于串接 PMOS 晶体管 M1 与 M2 之间的共同节点 N10 上的电压大约等于 1.65V。如此一来,在 PMOS 晶体管 M1 与 M2 中每一个的漏极与源极之间的电压差($V_{ds}=3.3V-1.65V=1.65V$)低于 1.8V 的预设电压。根据上述,当输出信号 VO 在一般模式期间处于 0V 的低电平时,PMOS 晶体管 M1 与 M2 的大电压差处于安全区域,使得 PMOS 晶体管 M1 与 M2 不会受到由电压源 VPP 与低电平的输出信号 VO 之间造成的大电压差所损坏。在此实施例中,输出信号 VO 具有从供电电压 vpp 至参考电压的电压摆幅。

[0033] 在省电模式期间,电压源 VPP 不会提供供电电压 vpp 至输出缓冲器 1。在一实施例中,于省电模式期间,电压源 VPP 可处于一接地电压(例如 0V)。因此,输出缓冲器 1 不会将输出信号 VO 输出至外部高电压电路或集成电路。然而,由于输入 / 输出缓冲器尚可接收在输出端 Tout 来自外部高电压电路的信号,因此,输出端 Tout 可被输出缓冲器 1 的外部高电压电路或集成电路驱动至处于高电平,例如 3.3V。在此情况下,在介于串接 NMOS 晶体管 M3 与 M4 之间的共同节点 N12 上的电压大约等于 1.65V。如此一来,介于 NMOS 晶体管 M3 与 M4 中每一个的漏极与源极之间的电压差($V_{ds}=3.2V-1.65V=1.65V$)低于 1.8V 的预设电压。此外,虽然偏压供应电路 11 不作用,但是自偏压电路 10 可根据在输出端 Tout 上的电压且不接收任何电压源的电压,来提供偏压 V11 至 NMOS 晶体管 M3 的栅极(即节点 N11)。由于偏压 V11 的提供,介于 NMOS 晶体管 M3 的栅极与漏 / 源极之间的电压差(V_{gd} 以及 V_{gs})受到控制而低于 1.8V 的预设电压。

[0034] 此外,由于二极管 D1 配置存在于 PMOS 晶体管 M1 与 M2 与输出端 Tout 之间,二极管 D1 可保护 PMOS 晶体管 M1 与 M2,以避免在省电模式期间中遭受到由具有可能的高电平电

压的输出端 T_{out} 与可能为 0V 的电压源 V_{PP} 之间造成的大电压差所导致的压力 (stress)。此外,二极管 D1 也阻挡了介于输出端 T_{out} 与电压源 V_{PP} 之间的电流路径。根据上述,当在省电模式期间中输出端 T_{out} 处于高电平(例如 3.3V)时,PMOS 晶体管 M1 与 M2 不会遭受到大电压差所导致的压力,且 NMOS 晶体管 M3 与 M4 的大电压差处于安全范围,因此,PMOS 晶体管 M1 与 M2 以及 NMOS 晶体管 M3 与 M4 不会被输出端 T_{out} 上的高电平(例如 3.3V)所损坏。此外,由于二极管 D1 的存在,在输出端 T_{out} 与电压源 V_{PP} (其可以处于接地电压)之间不具有漏电流,这减少了功率消耗。

[0035] 根据上述实施例,输出缓冲器 1 具有高电压容忍度。当在输出端 T_{out} 与参考电压 GND 之间以及介于输出端 T_{out} 与电压源 V_{PP} 之间具有大电压差时,PMOS 晶体管 M1 与 M2 以及 NMOS 晶体管 M3 与 M4 不会受到损坏,且根据元件的工艺,PMOS 晶体管 M1 与 M2 以及 NMOS 晶体管 M3 与 M4 的电压差可维持在低于预设电压限值。

[0036] 图 2 是表示自偏压电路 10、偏压供应电路 11、以及驱动电路 12 的详细电路架构。在一般模式以及省电模式期间晶体管 M3 的栅极的偏压供应,将会参阅图 2 的自偏压电路 10 以及偏压供应电路 11 来叙述。如图 2 所示,偏压供应电路 11 包括 MOS 晶体管 $M_a \sim M_c$ 。在此实施例中,MOS 电晶 $M_a \sim M_c$ 是以 NMOS 晶体管来实施,其串接于电压源 V_{PP} 与参考接地 GND 之间。MOS 电晶 $M_a \sim M_c$ 中的每一个具有控制电极、输入电极、以及输出电极。MOS 电晶 $M_a \sim M_c$ 的一共同节点耦接 NMOS 晶体管 M3 的栅极于节点 N11,即是,节点 N11 作为此共同节点。NMOS 晶体管的栅极、漏极、与源极分别作为 MOS 晶体管 $M_a \sim M_c$ 中每一个的控制电极、输入电极、以及输出电极。NMOS 晶体管 M_a 的栅极以及漏极耦接电压源 V_{PP} ,且其源极耦接至用来耦接 NMOS 晶体管 M3 的栅极的共同节点(即是节点 N11)。NMOS 晶体管 M_b 的栅极以及漏极耦接共通节点 N11,且其源极耦接共同节点 N13。NMOS 晶体管 M_c 的栅极接收来自电压源 VDD 的电压 v_{dd} ,其漏极耦接共同节点 N13、以及其源极耦接参考接地 GND。根据 MOS 电晶 $M_a \sim M_c$ 的耦接架构,NMOS 晶体管 M_a 串接于电压源 V_{PP} 与 NMOS 晶体管 M3 的栅极之间,且 NMOS 晶体管 M_b 与 M_c 串接于 NMOS 晶体管的栅极与参考接地 GND 之间。在此实施例中,电压源 VDD 提供用来产生输入信号 VI 的第一电路的操作电压,即是输入信号 VI 在供电电压 v_{dd} 的高电平(作为逻辑值“1”)与 0V 的低电平(作为逻辑值“0”)之间切换。也就是,输入信号 VI 具有自供电电压 v_{dd} 至参考电压 GND 的电压摆幅。在一实施例中,第一电路的电压源 VDD 的电压电平低于第二电路的电压源 V_{PP} 的电压电平。当输出电路 1 操作在一般模式时,偏压供应电路 11 根据电压源 VDD 与 V_{PP} 来提供指定偏压 V_{11} 至节点 N11,使得当输出信号 V_O 处于高电平(例如 3.3V)时,介于 NMOS 晶体管 M3 的栅极与漏 / 源极之间的电压差(V_{gd} 与 V_{gs})低于预设电压限值。

[0037] 参阅图 2,自偏压电路 10 包括 MOS 晶体管 $M_5 \sim M_8$ 。MOS 晶体管 $M_5 \sim M_8$ 的每一个具有控制电极、输入电极、以及输出电极。在此实施例中,MOS 晶体管 $M_5 \sim M_8$ 是以 NMOS 晶体管来实施,其串接于输出端 T_{out} 与参考接地 GND 之间。MOS 晶体管 $M_5 \sim M_8$ 的一共同节点耦接于 NMOS 晶体管 M3 的栅极于节点 N11,即是,节点 N11 作为此共同节点。NMOS 晶体管的栅极、漏极、与源极分别作为 MOS 电晶 $M_5 \sim M_8$ 中每一个的控制电极、输入电极、以及输出电极。NMOS 晶体管 M_5 的栅极以及漏极耦接输出端 T_{out} ,且其源极耦接共同节点 N14。NMOS 晶体管 M_6 的栅极以及漏极耦接共同节点 N14,且其源极耦接至用来耦接 NMOS 晶体管 M3 的栅极的共同节点(即是节点 N11)。NMOS 晶体管 M_7 的栅极以及漏极耦接共同节点 N11,且其

源极耦接共同节点 N15。NMOS 晶体管 M8 的栅极以及漏极耦接共同节点 N15,且其源极耦接参考电压 GND。根据 NMOS 电晶 M5 ~ M8 的耦接架构, NMOS 晶体管 M5 与 M6 串接于输出端 Tout 与 NMOS 晶体管 M3 的栅极之间,且 NMOS 晶体管 M7 与 M8 串接于 NMOS 电以 M3 的栅极与参考电压 GND 之间。当输出缓冲器 1 操作在省电模式且输出端 Tout 被输出缓冲器 1 的外部电路或集成电路驱动至处于高电平(例如 3.3V)时,由于 NMOS 晶体管 M5 ~ M8 的平均分压,使得共同节点 N11 处于 1.65V。如此一来,自偏压电路 10 提供 1.65V 的偏压 V11 至 NMOS 晶体管 M3,以控制介于 NMOS 晶体管 M3 的栅极与漏 / 源极之间的电压差(Vgd 与 Vgs)低于预设电压,例如 1.8V。当输出缓冲器 1 操作在一般模式时,自偏压电路 10 以及偏压供应电路 11 都倾向产生电压 V11,然而,NMOS 晶体管 Ma ~ Mc 的尺寸(即宽长比 W/L)设计为大于 NMOS 晶体管 M5 ~ M8 的尺寸,因此,在偏压供应电路 11 内的电流远高于在自偏压电路 10 内的电流。如此一来,NMOS 晶体管 Ma ~ Mc 中每一个的等效电阻小于 NMOS 晶体管 M5 ~ M8 中每一个的等效电阻,故电压 V11 是由偏压供应电路 11 来控制而自偏压电路 10 的影响可忽略不计。在此处虽然是以两对的两个串接晶体管为例,然而,串接晶体管的数量不以此为限。此外,尽管在此实施例中使用二极管连接方式的晶体管 Ma、Mb、与 M5 ~ M8,但这些晶体管可以实际的二极管来取代。

[0038] 根据上述,藉由在一般模式期间由偏压供应电路 11 来提供偏压 V11 以及在省电模式期间由自偏压电路 10 来提供偏压 V11,介于 NMOS 晶体管 M3 的栅极与漏 / 源极之间的电压差(Vgd 与 Vgs)低于预设电压,例如 1.8V,使得 NMOS 晶体管 M3 可避免受到栅极氧化层崩溃的损坏。

[0039] 更参阅图 2,驱动电路 12 耦接 PMOS 晶体管 M1 与 M2 的栅极。当输出缓冲器 1 操作在一般模式,驱动电路 12 可根据输入信号 VI 以及供应电压 vpp 来控制 PMOS 晶体管 M1 与 M2。驱动电路 12 包括 MOS 晶体管 M1a、M2a、与 M3a 以及二极管 D1a。在此实施例中,MOS 晶体管 M1a 与 M2a 是以 PMOS 晶体管来实施,而 MOS 晶体管 M3a 是以 NMOS 晶体管来实施。MOS 晶体管 M1a ~ M3a 的每一个具有控制电极、输入电极、以及输出电极。MOS 晶体管的栅极、源极、与漏极分别作为 MOS 晶体管 M1a ~ M3a 中每一个的控制电极、输入电极、以及输出电极。PMOS 晶体管 M1a 的栅极以及漏极耦接 PMOS 晶体管 M1 的栅极,且其源极耦接电压源 VPP。PMOS 晶体管 M2a 的栅极以及漏极耦接 PMOS 晶体管 M2 的栅极,且其源极耦接 PMOS 晶体管 M1a 的漏极。二极管 D1a 的阳极耦接 PMOS 晶体管 M2a 的漏极。NMOS 晶体管 M3a 的栅极接收输入信号 VI,其漏极耦接二极管 D1a 的阴极,且其源极耦接参考接地 GND。MOS 晶体管 M1a、M2a、与 M3a 以及二极管 D1a 以串接架构耦接。装置 M1a、M2a、与 D1a 形成装置 M1、M2、与 D1 的镜电路(mirror circuit)。在一般模式期间,当 NMOS 晶体管 M3a 在其栅极接收到具有逻辑值“1”的输入信号 VI 时, NMOS 晶体管 M3a 导通,且驱动电路 12 也导通以产生对应的电压至 PMOS 晶体管 M1a 与 M2a 的栅极。由于装置 M1a、M2a、与 D1a 为装置 M1、M2、与 D1 的镜电路,因此 NMOS 晶体管 M1 与 M2 根据在 NMOS 晶体管 M1 与 M2 的栅极上的电压(其分别等于在 NMOS 晶体管 M1a 与 M2a 的栅极上的电压)而也导通,且输出信号 VO 可输出为高电平。当 NMOS 晶体管 M3a 在其栅极接收到具有逻辑值“0”的输入信号 VI 时, NMOS 晶体管 M3a 关闭,且驱动电路 12 也关闭,因此 NMOS 晶体管 M1 与 M2 可关闭。

[0040] 综上所述,本发明揭示一种具有高电压容忍度的输出缓冲器。藉由在一般模式下由偏压供应电路来提供栅极电压以及在省电模式下由自偏压电路提供栅极电压,使得不论

输出缓冲器是否正在操作,MOS 晶体管的电压差可被控制低于安全电压限值。此外,本发明也提供了 MOS 晶体管的串接架构,以减少在高电平电压与参考电压之间的大电压差所导致的压力。

[0041] 本发明虽以较佳实施例揭示如上,然其并非用以限定本发明的范围,本领域的技术人员,在不脱离本发明的精神和范围的前提下,可做些许的更动与润饰,因此本发明的保护范围是以本发明的权利要求为准。

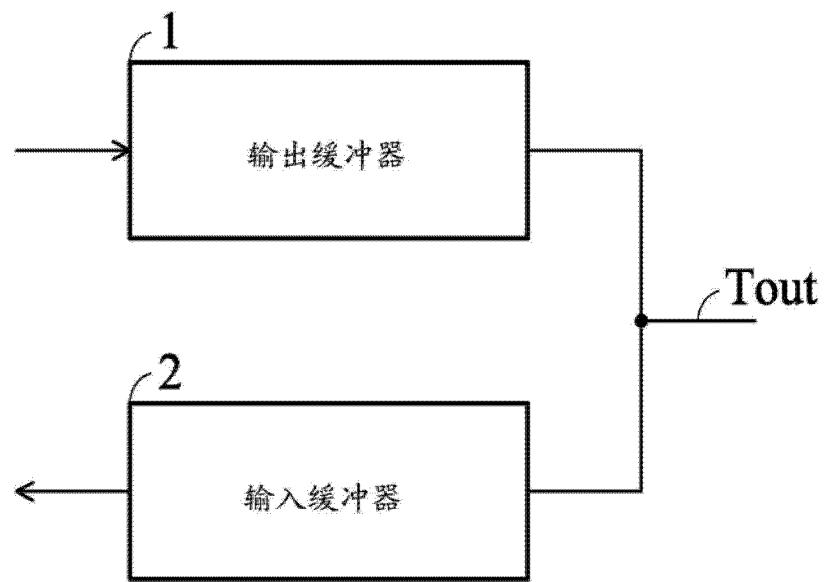


图 1A

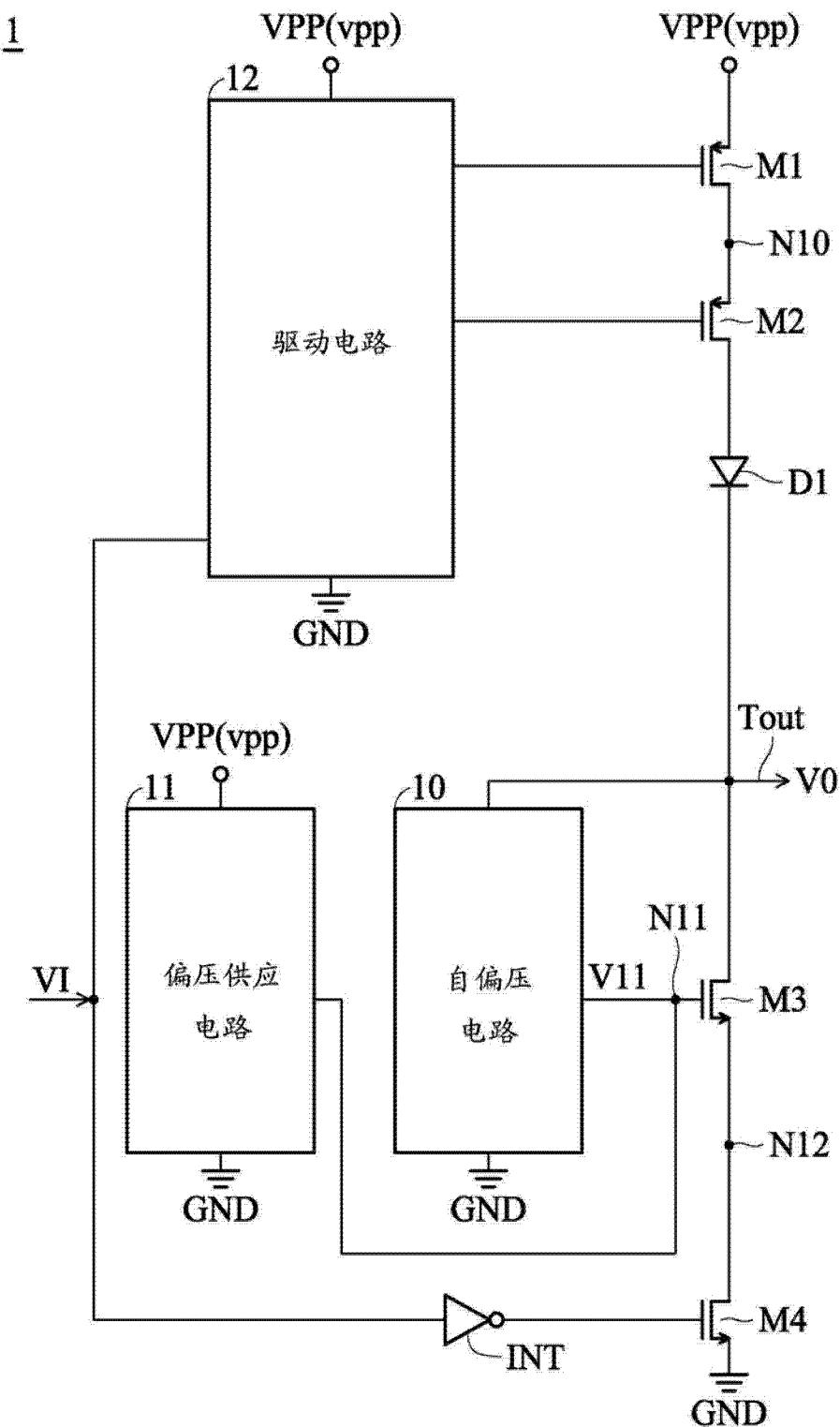


图 1B

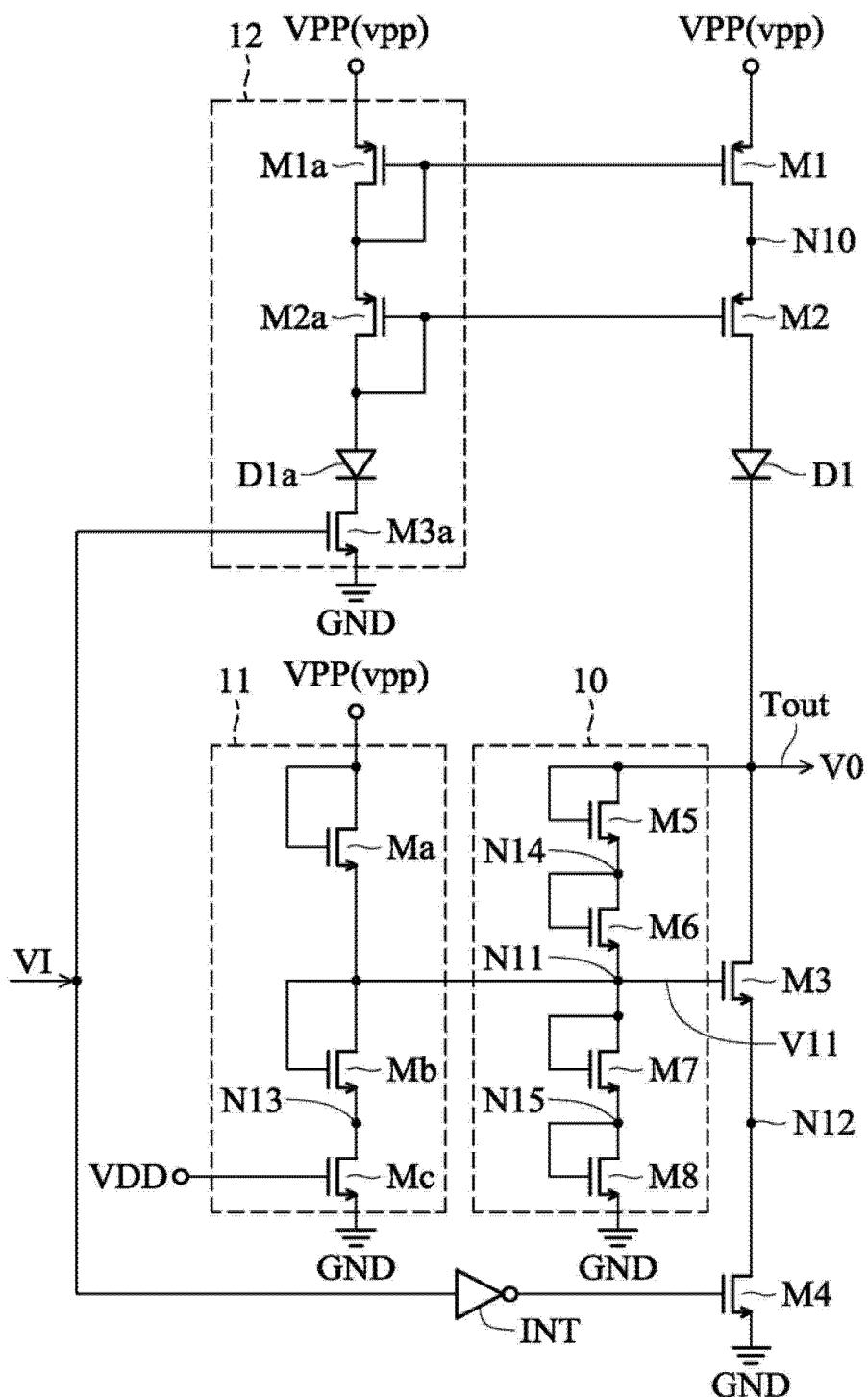


图 2