【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成23年9月15日(2011.9.15)

【公開番号】特開2010-288279(P2010-288279A)
【公開日】平成22年12月24日(2010.12.24)
【年通号数】公開・登録公報2010-051
【出願番号】特願2010-133536(P2010-133536)
【国際特許分類】
Ｈ０３Ｍ　1/36　(2006.01)
【ＦＩ】
Ｈ０３Ｍ　1/36

【手続補正書】
【提出日】平成23年8月2日(2011.8.2)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００２９
【補正方法】変更
【補正の内容】
【００２９】
図４は、アナログ信号をデジタル信号に変換することができる別の集積回路を示す図である。ある具体例中、図１Bと合わせて紹介する上述のインバータと電子素子の数量は二倍で、アナログ信号を更に量子化する。この具体例中、集積回路４００は、アナログ信号を受信できる入力端４０１を有する。集積回路４００は、第一組2^n-1 個のインバータ４１０ａ、第二組2^n-1個のインバータ４１０ｂ、第一組2^n 個の分圧器 ４１５ａ、第二組2^n 個の分圧器４１５ｂを含む。ある具体例中、第一組2^n-1 個のインバータ４１０ａと第二組2^n-1個のインバータ４１０ｂは、それぞれ、図１Aと図１B中で示される一組の2^n-1個のインバータ１１０、或いは、１６０に類似する。第一組2^n 個の分圧器４１５ａ、第二組2^n 個の分圧器４１５ｂは、図１Bで示される分圧器１６５と同様である。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００３１
【補正方法】変更
【補正の内容】
【００３１】
別の具体例中、加算器４２０から出力される(n+m+1)ビットの二値デジタル信号を示す整数値は変換されて、(n+m)ビットの二値デジタル信号となる。図４を参照すると、集積回路４００は、ルックアップテーブル４３０を含む。ルックアップテーブル４３０は、整数値とそれらが対応する(n+m)ビットの二値デジタル信号を含む複数のデータからなる。ルックアップテーブル４３０は、加算器４２０からの整数値を受信し、整数値に対応する(n+m)ビットの二値デジタル信号を提供することができる。例えば、ルックアップテーブル４３０は、９ビットの二値デジタル信号を示す整数値を受信し、８ビットの二値デジタル信号を出力することができる。アナログ信号を量子化時に、更に高いレベルが提供されるので、必要とされるアナログ信号量子化の正確さ、及び/又は、分解能が達成される。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００３９
【補正方法】変更
【補正の内容】

【００３９】
ある具体例中、集積回路６００は、校正器６３０と結合される制御ロジック６３５を有する。計数器６４０は、校正器６３０および制御ロジック６３５と結合する。デジタルアナログコンバータ（DAC）６４５は計数器６４０に結合される。マルチプレクサ（mux）６５０は、DAC６４５とサンプルホールド回路６０３ａに結合される。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００４０
【補正方法】変更
【補正の内容】
【００４０】
図６を参照すると、制御ロジック６３５は、校正器６３０、及び/又は、計数器６４０を有効化、及び/又は、トリガーすることができる。傾斜校正（ramp calibration）を使用する具体例中、計数器６４０は、(m+n+1)ビットの二値デジタル信号を、校正器６３０とDAC６４５に出力する。校正器６３０は、計数器６４０から出力される(m+n+1)ビットの二値デジタル信号を記録する。DAC６４５は、計数器６４０からの(m+n+1)ビットの二値デジタル信号をアナログ信号に変換し、マルチプレクサ６５０に提供する。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００４１
【補正方法】変更
【補正の内容】
【００４１】
校正のために、マルチプレクサ６５０は、DAC６４５からのアナログ信号を量子化器６１０ａに出力する。注意すべきことは、加算器６１５ａは、(m+n+1)ビットの二値デジタル信号を示す整数値を、校正器６３０に出力することができる。校正器６３０は、(m+n+1)ビットの二値デジタル信号を示す出力整数値を記録する、及び/又は、出力整数値と計数器６４０からの対応する(m+n+1)ビットの二値デジタル信号と一致させる。ある具体例中、これらの整数値と(m+n+1)ビットの二値デジタル信号は、校正テーブル（calibration table）もしくはメモリ（共に図示しない）中に記録される。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００４２
【補正方法】変更
【補正の内容】
【００４２】
変換されるアナログ信号が入力端６０１から提供された場合、マルチプレクサ６５０は、入力端６０１からのアナログ信号を、サンプルホールド回路６０３ａ、アナログバッファ６０５ａ、量子化器６１０ａに向かって出力する。加算器６１５ａは、量子化器６１０ａからのデジタル信号を加算し、(m+n+1)ビットの二値デジタル信号を示す整数値を、校正器６３０に出力することができる。校正器６３０は、整数値を受信して、校正テーブルに基づいて、整数値に対応する校正デジタル信号を出力することができる。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００４５
【補正方法】変更
【補正の内容】
【００４５】
注意すべきことは、校正プロセス中、校正器６３０、制御ロジック６３５、計数器６４０、及び/又は、DAC６４５は、図１A、図１B、及び、図４、図５で示される集積回路１０

０、１５０、４００、及び、５００に応用できる。

【手続補正８】

【補正対象書類名】図面

【補正対象項目名】図１Ｂ

【補正方法】変更

【補正の内容】

【図１Ｂ】

