

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6288411号
(P6288411)

(45) 発行日 平成30年3月7日 (2018.3.7)

(24) 登録日 平成30年2月16日 (2018.2.16)

(51) Int.Cl.

H03B 5/36 (2006.01)

F I

H03B 5/36

請求項の数 5 (全 23 頁)

(21) 出願番号	特願2013-195282 (P2013-195282)	(73) 特許権者	000002369
(22) 出願日	平成25年9月20日 (2013.9.20)		セイコーエプソン株式会社
(65) 公開番号	特開2015-61264 (P2015-61264A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成27年3月30日 (2015.3.30)	(74) 代理人	100090387
審査請求日	平成28年9月14日 (2016.9.14)		弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	板坂 洋佑
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	▲高▼橋 義昭

最終頁に続く

(54) 【発明の名称】 発振回路、発振器、電子機器および移動体

(57) 【特許請求の範囲】

【請求項1】

発振素子を発振させて発振信号を生成し、入力される電源電圧の変動に応じて前記発振信号の周波数が変動する周波数変動特性を有する発振用増幅回路と、

前記発振用増幅回路と電氣的に接続され、前記電源電圧の変動を利用して前記周波数変動特性を補正する補正回路と、

を含み、

前記補正回路は、前記発振素子の一端に電氣的に接続される第1の可変容量素子を含み、

前記発振用増幅回路は、前記第1の可変容量素子と並列に、前記発振素子の前記一端に電氣的に接続される第2の可変容量素子を含み、

前記第1の可変容量素子は、前記電源電圧の変動による前記第2の可変容量素子の容量の変動と逆の向きの容量変化となるように制御される、発振回路。

【請求項2】

前記第1の可変容量素子は、

一端に前記電源電圧が印加される、請求項1に記載の発振回路。

【請求項3】

請求項1または2に記載の発振回路と、前記発振素子と、を含む発振器。

【請求項4】

請求項1または2に記載の発振回路を含む電子機器。

10

20

【請求項 5】

請求項 1 または 2 に記載の発振回路を含む移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発振回路、発振器、電子機器、移動体および発振回路の製造方法に関する。

【背景技術】

【0002】

発振回路では、外部電源の変動の影響を抑えるため、レギュレーター回路により定電圧を生成し、その定電圧を発振回路に印加する方式が主流である（例えば、特許文献 1 の図 1 参照）。

【0003】

しかし、近年、低消費電力化の要求に伴い低電圧化・低消費電流化が求められ、電源電圧とレギュレーター電圧の差が狭まっている。そのため、レギュレーター回路の動作の安定度が悪くなり、レギュレーター電圧は電源電圧の変動の影響を受けやすくなっている。発振回路では、発振信号の周波数（以下、発振周波数ともいう）を可変にするために可変容量素子（バラクターとも呼ばれる）を含むものも多いが、レギュレーター電圧が変動すると例えば可変容量素子へ印加される電圧が変動してしまうため、発振周波数が変動するという問題が起きる。

【0004】

特許文献 2 の発明では、監視回路がレギュレーター電圧の変動をモニターし、変動があった場合には昇圧回路によって昇圧された電圧を再度レギュレーター回路に供給することで、レギュレーター電圧を一定に保つことができる。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2012-39348 号公報

【特許文献 2】特開 2008-4038 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、特許文献 2 の発明のようなレギュレーター電圧の監視回路と昇圧回路では、電源電圧とレギュレーター電圧の差が狭い場合には、昇圧回路が電源電圧変動の影響を受けるため、昇圧回路で発生する電圧も電源電圧変動に伴って変動する。また、特許文献 2 の発明のようなレギュレーター電圧の監視回路と昇圧回路を用意することは、消費電流や回路面積が増大してしまうという問題がある。よって、例えば、電源電圧変動に伴う昇圧回路等の電圧変動が発生しても周波数を安定化させる方法や、レギュレーター電圧の監視回路等を追加することなく電源電圧変動が発生しても発振周波数を安定化させる方法が求められていた。

【0007】

本発明は、以上の事を鑑みてなされたものであり、本発明のいくつかの態様によれば、電圧を監視するための回路を必ずしも追加することなく、電源電圧の変動による発振周波数の変動を低減することができる発振回路、電子機器、移動体および発振回路の製造方法等を提供することができる。

【課題を解決するための手段】

【0008】

本発明は前述の課題の少なくとも一部を解決するためになされたものであり、以下の態様又は適用例として実現することが可能である。

【0009】

〔適用例1〕

本適用例に係る発振回路は、発振素子を発振させて発振信号を生成する発振用増幅回路と、前記発振用増幅回路と電氣的に接続される補正回路と、を含み、前記発振用増幅回路は、入力される電源電圧の変動に応じて前記発振信号の周波数が変動する周波数変動特性を有し、前記補正回路は、前記電源電圧の変動を利用して前記周波数変動特性を補正する。

【0010】

本適用例に係る発振回路は発振用増幅回路、補正回路を含む。発振用増幅回路は、例えば水晶振動子等の発振素子を発振させて発振信号を生成し、電源電圧が入力される。そして、発振用増幅回路は、電源電圧の変動に応じて発振信号の周波数（発振周波数）が変動する周波数変動特性（例えば電源電圧が低下すると発振周波数が上昇する）を有する。補正回路は、その逆の特性（例えば電源電圧が低下すると発振周波数を低下させる）を有し、電源電圧の変動を利用して、発振用増幅回路が有する周波数変動特性を補正できる。よって、電源電圧が変動しても、発振用増幅回路における発振周波数の変動を補正回路が低減させるので、発振周波数の変動を低減させることができる。このとき、補正回路は電源電圧を監視するものではないため、消費電流や回路面積が増大してしまうという問題を生じさせない。また、例えば、レギュレータ電圧の監視回路と昇圧回路を持った回路構成であっても、電源電圧が変動して昇圧回路の電圧が変動することで発振周波数が変化しても、上記の補正回路を用いれば発振周波数の変動を低減させることができる。

【0011】

〔適用例2〕

上記適用例に係る発振回路において、前記補正回路は、第1の可変容量素子を含み、前記第1の可変容量素子は、前記電源電圧の変動に応じて前記周波数の変動を低減させる容量電圧特性を有してもよい。

【0012】

本適用例に係る発振回路によれば、補正回路は、第1の可変容量素子を含む。ここで、周波数変動特性は、電源電圧の変動による発振用増幅回路が有する可変容量素子の容量の変化を反映したものであることが多い。そのため、補正回路は、第1の可変容量素子の容量電圧特性（C-V特性とも呼ばれる）を用いることで、周波数変動特性を良好に低減させることができる。

【0013】

〔適用例3〕

上記適用例に係る発振回路において、前記発振用増幅回路は、第2の可変容量素子を含み、前記第1の可変容量素子は、前記電源電圧の変動による前記第2の可変容量素子の容量の変動と逆の向きの容量変化となるように制御されてもよい。

【0014】

本適用例に係る発振回路によれば、発振用増幅回路は、一端が発振用増幅回路と電氣的に接続される第2の可変容量素子を含むため、周波数変動特性は、第2の可変容量素子の容量の変化を強く反映したものである。よって、第1の可変容量素子の容量電圧特性を、第2の可変容量素子の容量の変動を低減させるようにすることで、周波数変動特性を良好に低減させることができる。なお、発振用増幅回路との電氣的な接続は、例えば発振回路が集積回路（Integrated Circuit、IC）化されている場合には、接続端子（以下、単に端子とする）を介して接続される場合も含む。

【0015】

〔適用例4〕

上記適用例に係る発振回路において、前記第1の可変容量素子は、一端に前記電源電圧

が印加されてもよい。

【0016】

本適用例に係る発振回路によれば、電源電圧が第1の可変容量素子の一端に印加されるので、例えばレギュレーター電圧が印加される場合等と比べて、電源電圧の変動を低減せずに第1の可変容量素子に伝えることができる。よって、第1の可変容量素子の容量可変感度を高くする必要がないので、ノイズ耐性を高めることができる。

【0017】

[適用例5]

上記適用例に係る発振回路において、前記発振用増幅回路は、第2の可変容量素子を含み、前記補正回路は、前記電源電圧および第1の制御電圧に基づく第2の制御電圧を生成し、前記第2の可変容量素子は、一端が前記発振用増幅回路と電氣的に接続され、他端に前記第2の制御電圧が印加されてもよい。

10

【0018】

補正回路は発振用増幅回路の周波数変動特性を低減させる特性を有する必要があるが、本適用例に係る発振回路の補正回路は、電源電圧および第1の制御電圧に基づいて生成した第2の制御電圧でこれを実現する。そして、第2の制御電圧は、第2の可変容量素子の発振用増幅回路と接続されていない方の端子（他端）に印加される。このとき、補正回路は、例えば第1の可変容量素子を用いることができない（例えば、設計上の制限により適した特性の素子を選択できない）場合でも、第2の可変容量素子に印加する電圧を調整することで、発振周波数の変動を低減させることができる。

20

【0019】

[適用例6]

上記適用例に係る発振回路は、前記補正回路は、一端が前記発振用増幅回路と電氣的に接続されている複数の可変容量素子と選択回路とを含み、前記選択回路は、前記複数の可変容量素子の他端への前記電源電圧に基づく電圧の印加を制御してもよい。

【0020】

本適用例に係る発振回路は、可変容量素子の他端に印加する電圧を制御する選択回路を備えているので、複数の可変容量素子の他端に印加する電圧（例えば電源電圧、レギュレーター電圧等）を容易に選択できる。そして、このことにより可変容量回路の容量電圧特性を調整することができ、周波数変動特性を適切に低減させて、発振周波数の変動を低減させることができる。

30

【0021】

[適用例7]

本適用例に係る発振回路の製造方法は、発振素子を発振させて発振信号を生成する発振用増幅回路と、一端が前記発振用増幅回路と電氣的に接続される複数の可変容量素子を含む可変容量回路を備える補正回路と、を含む発振回路の製造方法であって、前記発振用増幅回路に電源電圧を入力し、前記電源電圧の変動に応じて前記発振信号の周波数が変動する周波数変動特性を測定し、前記可変容量回路が、前記電源電圧の変動により、前記周波数変動特性を低減させる容量電圧特性を有するように調整する。

40

【0022】

本適用例に係る発振回路の製造方法によれば、発振用増幅回路に電源電圧を入力して、周波数変動特性を測定し、可変容量回路が測定された周波数変動特性を低減させるように容量電圧特性を調整する。よって、電源電圧の変動による発振周波数の変動を低減させることができる発振回路を製造できる。

【0023】

[適用例8]

本適用例に係る発振器は、前記適用例に係る発振回路を含む。

[適用例9]

本適用例に係る電子機器は、前記適用例に係る発振回路を含む。

50

【0024】

〔適用例10〕

本適用例に係る移動体は、前記適用例に係る発振回路を含む。

【0025】

本適用例に係る発振器、電子機器、および移動体によれば、電源電圧の変動があっても安定した周波数の発振信号を生成する前記の発振回路を含んでいるため、安定性に優れ、信頼性の高い発振器、電子機器、および移動体を実現できる。

【図面の簡単な説明】

【0026】

10

【図1】本実施形態の発振回路を含む振動デバイスのブロック図。

【図2】本実施形態の発振回路の回路構成例を示す図。

【図3】図3(A)、図3(B)はそれぞれNMOS型、PMOS型の可変容量素子を用いた場合の接続を説明する図。

【図4】図4(A)、図4(B)はそれぞれNMOS型、PMOS型の可変容量素子のVgateとVDDとの対応を示す図。図4(C)は可変容量素子の容量電圧特性を例示する図。

【図5】図5(A)、図5(B)はそれぞれ発振用増幅回路、補正回路の容量電圧特性を例示する図。図5(C)は図5(A)、図5(B)を合成した容量電圧特性の図。

【図6】第1変形例の発振回路の回路構成例を示す図。

20

【図7】第2変形例の発振回路の回路構成例を示す図。

【図8】第3変形例の発振回路の回路構成例を示す図。

【図9】第4変形例の発振回路の回路構成例を示す図。

【図10】第5変形例の発振回路の回路構成例を示す図。

【図11】図11(A)、図11(B)は電源変動調整回路の回路構成例を示す図。

【図12】第6変形例の発振回路の回路構成例を示す図。

【図13】図13(A)、図13(B)はそれぞれNMOS型、PMOS型の可変容量素子を用いた場合の接続を説明する図。

【図14】図14(A)、図14(B)はそれぞれNMOS型、PMOS型の可変容量素子のVgateとVDDとの対応を示す図。図14(C)は可変容量素子の容量電圧特性を例示する図。

30

【図15】比較例の発振回路の回路構成例を示す図。

【図16】図16(A)、図16(B)、図16(C)、図16(D)は、比較例における、電源電圧の変動によるレギュレーター電圧、発振段電流、容量、発振周波数の変動をそれぞれ示す図。

【図17】電子機器の機能ブロック図。

【図18】電子機器の外観の一例を示す図。

【図19】移動体の一例を示す図。

【図20】発振回路の製造方法について説明するフローチャート。

【発明を実施するための形態】

40

【0027】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0028】

1. 発振回路

1. 1. 全体構成

図1は、本実施形態の発振回路12を含む振動デバイス200のブロック図である。発振回路12は、発振素子226を発振させて発振信号124を生成する発振用増幅回路224と、発振用増幅回路224と接続される補正回路222と、を含む。後述するように

50

、補正回路 222 は電源電圧 VDD の変動による発振信号 124 の周波数（以下、発振周波数）の変動が低減されるように補正を行う回路である。

【0029】

発振素子 226 としては、例えば、AT カット水晶振動子、SC カット水晶振動子、音叉型水晶振動子、SAW (Surface Acoustic Wave) 共振子、その他の圧電振動子や MEMS (Micro Electro Mechanical Systems) 振動子などを用いることができる。本実施形態では、発振素子 226 が AT カットの水晶振動子 26（図 2 参照）であるとして説明する。

【0030】

発振回路 12 は振動デバイス 200 の一部を構成する。振動デバイス 200 としては、例えば、発振素子 226 として振動子を備えた発振器や発振素子 226 として振動型のセンサー素子を備えた物理量センサー等が挙げられる。発振器としては、温度補償型発振器 (TCXO)、電圧制御型発振器 (VCXO)、恒温型発振器 (OCXO) といった圧電発振器（水晶発振器等）や、SAW 発振器、シリコン発振器、原子発振器等が挙げられる。また、物理量センサーとしては、角速度センサー（ジャイロセンサー）や加速度センサー等が挙げられる。本実施形態では、発振回路 12 が、制御電圧により発振周波数を可変することができる水晶発振器である VCXO (Voltage controlled Crystal Oscillator、電圧制御型水晶発振器) の一部を構成するとして説明する。

【0031】

図 1 のように、発振回路 12 は集積回路 (Integrated Circuit、IC) 化されて、発振素子 226 と接続するための端子 T1、T2 を備えていてもよい。このとき、発振回路 12 は、発振信号 124 を出力するための端子 T3、それぞれ電源電圧 VDD、接地電圧 VSS を供給するための端子 T4、T5 を備えていてもよいし、さらに別の端子（例えば、発振回路 12 のイネーブル信号を入力するための端子）を備えていてもよい。また、発振回路 12 は発振素子 226 を含めて一体化されて、パッケージングされた振動デバイス 200 を構成してもよい。

【0032】

図 2 は、発振用増幅回路 224 と補正回路 222 とを含む本実施形態の発振回路 12 の回路構成例を示す図である。発振用増幅回路 224 は、レギュレーター回路 270、基準電圧生成回路 272、274、制御電圧生成回路 276、可変容量素子 21、22、バイポーラトランジスタ 24、帰還抵抗 28、DC カット容量 43、44 を含む。なお、図 2 以降の図面では、発振回路 12 の端子 T4、T5（図 1 参照）の表示を省略する。また、可変容量素子 21、22 は、本発明の第 2 の可変容量素子に対応する。

【0033】

図 2 のように、発振用増幅回路 224 は、接続された水晶振動子 26（図 1 の発振素子 226 に対応）を発振させて、帰還抵抗 28 を備えてエミッタ接地されたバイポーラトランジスタ 24 によって増幅を行い、発振信号 124 を生成する。発振ループ内には、DC カット容量 43、44 が設けられ、また、可変容量素子 21、22 も接続されている。発振用増幅回路 224 は、可変容量素子 21、22 の容量の変化によって、発振信号 124 の周波数を調整することができる。なお、可変容量素子は 2 端子の素子であり、一端をゲート、他端をバックゲートとよぶ。また、可変容量素子は、3 端子以上の端子を持つ素子であってもよく、少なくとも 2 端子に印加される電圧差によって容量が可変できる素子であればよい。また、可変容量素子 21、22 は、発振用増幅回路 224 と抵抗、容量等受動部品を介して接続（電氣的に接続）されていてもよい。

【0034】

レギュレーター回路 270 は、電源電圧 VDD からレギュレーター電圧 VREG を生成するための回路であり、例えばエラーアンプ（誤差増幅器）と出力段のトランジスタとを含む回路（特許文献 1 参照）を用いることができるが、特に限定されない。また、生成されるレギュレーター電圧 VREG は、電源電圧 VDD の変動によって変動するものとする。

10

20

30

40

50

【0035】

基準電圧生成回路272、274、制御電圧生成回路276は、それぞれレギュレーター電圧VREGから基準電圧Vrefc、Vrefb、制御電圧Vcを生成する回路である。基準電圧Vrefc、Vrefbは、それぞれ可変容量素子22、21のゲート（極性が反転の場合はバックゲート）に印加される基準電圧である。そして、可変容量素子22、21のバックゲート（極性が反転の場合はゲート）には制御電圧Vcが印加される。

【0036】

なお、図2の例では、基準電圧Vrefc、Vrefb、制御電圧Vcが可変容量素子22、21のゲートまたはバックゲートに印加されるまでの経路に、抵抗やバイパスコンデンサーが設けられているが、これらの一部または全部が省略されてもよい。

10

【0037】

可変容量素子22は基準電圧Vrefcと制御電圧Vcとの電圧差に応じた容量を有し、可変容量素子21は基準電圧Vrefbと制御電圧Vcとの電圧差に応じた容量を有する。つまり、発振用増幅回路224は、制御電圧Vcを調整することで、可変容量素子22、21の容量を調整して、発振信号124の周波数を調整することができる。なお、基準電圧生成回路272、274は例えば抵抗分圧回路で構成されてもよいが、特に限定されない。また、制御電圧生成回路276は、後述する電源変動調整回路84のように、スイッチを備えた抵抗分圧回路（図11（A）、図11（B）参照）で構成されてもよいが、特に限定されない。

【0038】

20

電源電圧VDDが変動すると、電源電圧VDDから生成されるレギュレーター電圧VREGが変動する。基準電圧生成回路272、274、制御電圧生成回路276は、基準電圧Vrefc、Vrefb、制御電圧Vcを生成するのにレギュレーター電圧VREGを用いており、バイポーラトランジスタ24の電流源もレギュレーター電圧VREGを用いている。よって、電源電圧VDDが変動すると、可変容量素子22、21の容量が希望の値から変動し、発振信号124の周波数が変動することになる。つまり、発振用増幅回路224は、電源電圧VDDの変動に応じて発振周波数が変動する周波数変動特性を有する。

【0039】

本実施形態の発振回路12は、電源電圧VDDの変動を利用して周波数変動特性を低減させる補正回路222を含んでいる。補正回路222は、可変容量素子80、固定容量素子81を含む。可変容量素子80のバックゲート（極性が反転の場合はゲート）には、可変容量素子22と同じ基準電圧Vrefcが印加され、可変容量素子80のゲート（極性が反転の場合はバックゲート）には電源電圧VDDが印加される。可変容量素子80の容量電圧特性については後述する。また、固定容量素子81の一端には、可変容量素子21と同じ基準電圧Vrefbが印加され、他端には電源電圧VDDが印加される。本実施形態の補正回路222では、電源電圧VDDが可変容量素子80、固定容量素子81に印加されるまでの経路に、抵抗およびバイパスコンデンサーが設けられている。また、可変容量素子80は本発明の第1の可変容量素子に対応する。なお、補正回路222においては、電源電圧VDDが可変容量素子80、固定容量素子81に印加されるまでの経路に設けられている抵抗およびバイパスコンデンサーを省略して、回路規模を削減してもよい。また、補正回路222は、発振用増幅回路224と抵抗、容量等の受動部品を介して接続（電氣的に接続）されていてもよい。

30

40

【0040】

本実施形態の発振回路12の可変容量素子21、22、80は、MOS型の可変容量素子である。MOS型の可変容量素子としては、互いに極性が反転したNMOS型とPMOS型があり、発振回路12の可変容量素子21、22、80として、どちらも使用可能である。可変容量素子としては、他にPN接合型（PN接合ダイオード型ともいう）があるが、本実施形態の発振回路12では、狭い電圧範囲で大きな容量変化が得られるMOS型を用いる。また、MOS型の可変容量素子は、構造上、MOSトランジスタと類似して

50

いるため、CMOS半導体集積回路での混載にも適している。

【0041】

1. 2. 比較例

ここで、本実施形態の発振回路12の補正回路222を含まない比較例を用いて、発振増幅回路224の周波数変動特性（電源電圧VDDの変動に応じた発振周波数の変動）について説明する。

【0042】

図15は、比較例の発振回路の回路構成例を示す図である。比較例の発振回路は、水晶振動子26と接続された発振増幅回路224だけを含み、補正回路222を含んでいない。発振増幅回路224については図2と同じであり、ここでは説明を省略する。

10

【0043】

図16(A)は、比較例の発振回路における、電源電圧VDDの変動によるレギュレーター電圧VREGの変動($\Delta VREG$)を示す図である。電源電圧VDDが、変動がない理想的な電圧 V_0 （例えば1.8[V]）である場合には、レギュレーター電圧VREGにも変動がない($\Delta VREG$ が0[mV]）。

【0044】

しかし、正の電圧値をa（例えば0.5[V]）として、電源電圧VDDが $V_0 - a$ [V]、 $V_0 + a$ [V]となった場合には、それぞれ、 $\Delta VREG$ が+0.6[mV]、-0.2[mV]と変化する。つまり、図16(A)の特性曲線が示すように、電源電圧VDDの変動に応じてレギュレーター電圧VREGが変動する。すると、図15の基準電圧Vrefc、Vrefb、制御電圧Vcも変動することになる。

20

【0045】

また、図16(B)は、比較例の発振回路における、電源電圧VDDの変動による発振段電流の変動($\Delta Iamp$)を示す図である。発振段電流はバイポーラトランジスタ24による増幅で流れる電流である。図16(B)のように、電源電圧VDDが小さくなる（例えば電圧 V_0 から $V_0 - a$ へ変化する）と電流量が増え、電源電圧VDDが大きくなる（例えば電圧 V_0 から $V_0 + a$ へ変化する）と電流量が減少する。電流量が変動すると、増幅される発振信号124の振幅が変動するため、可変容量素子22、21の容量も変動することになる。なお、以下では、電源電圧VDDが小さくなる方向に変動することを「電源電圧VDDがマイナス側に変動する」と、電源電圧VDDが大きくなる方向に変動することを「電源電圧VDDがプラス側に変動する」と表現する。

30

【0046】

図16(C)は、比較例の発振回路における、電源電圧VDDの変動による可変容量素子22、21の容量の変動(ΔCL)を示す図である。上記のように、電源電圧VDDの変動に応じて、基準電圧Vrefc、Vrefb、制御電圧Vcが変動し、発振信号124の振幅も変動する。そのため、図16(C)のように、電源電圧VDDがマイナス側に変動すると容量が増加し、電源電圧VDDがプラス側に変動すると容量が減少する。

【0047】

図16(D)は、この場合の発振周波数の変動($\Delta FREQ$)を示す図である。電源電圧VDDの変動に応じて、可変容量素子22、21の容量が変動するため、発振周波数も変動する。図16(D)のように、電源電圧VDDがマイナス側に変動すると発振周波数が低くなり、電源電圧VDDがプラス側に変動すると発振周波数が高くなる。このように、比較例の発振増幅回路224は、周波数変動特性（電源電圧VDDの変動に応じた発振周波数の変動）を有する。

40

【0048】

なお、図16(A)～図16(D)は、電源電圧VDDの変動に応じた $\Delta VREG$ 、 $\Delta Iamp$ 、 ΔCL 、 $\Delta FREQ$ の一例であり、回路の具体的な構成等によって変化し得るものである。例えば、レギュレーター回路270の具体的な回路構成が違えば、電源電圧VDDがマイナス側に変動するとレギュレーター電圧VREGが低下し、電源電圧VDDがプラス側に変動するとレギュレーター電圧VREGが上昇する場合があります。

50

【0049】

1. 3. 補正回路

ここで、再び、本実施形態の発振回路12の説明に戻る。本実施形態の発振回路12の補正回路222は、例えば電源電圧VDDの変動を監視・検出する監視回路・検出回路等を含まないが、上記の発振用増幅回路224の周波数変動特性を低減させて、発振周波数の変動を低減させることができる。補正回路222が、周波数変動特性を低減できる理由について以下に説明する。

【0050】

図2のように、補正回路222は、電源電圧VDDと基準電圧Vrefcが印加される可変容量素子80を含む。上記のように、可変容量素子80はMOS型の可変容量素子であり、MOS型の可変容量素子はNMOS型とPMOS型がある。図3(A)、図3(B)はそれぞれNMOS型、PMOS型の可変容量素子80を用いた場合の接続を説明する図である。

10

【0051】

まず、NMOS型を用いた場合には、図3(A)のように、可変容量素子80のバックゲートに、可変容量素子22と同じ基準電圧Vrefcが印加され、可変容量素子80のゲートに、電源電圧VDDが印加される。そして、ゲート電圧Vgateは、ゲートの電圧からバックゲートの電圧を引いて求められ、この場合のゲート電圧Vgateは“VDD-Vrefc”となる。

【0052】

20

一方、PMOS型を用いた場合には、図3(B)のように、可変容量素子80のゲートに、可変容量素子22と同じ基準電圧Vrefcが印加され、可変容量素子80のバックゲートに、電源電圧VDDが印加される。そして、この場合のゲート電圧Vgateは“Vrefc-VDD”となる。

【0053】

図4(A)、図4(B)はそれぞれNMOS型、PMOS型の可変容量素子のVgateとVDDとの対応を示す図である。図4(A)のように、NMOS型を用いる場合には、電源電圧VDDがプラス側に変動するとゲート電圧Vgateも上昇する。一方、図4(B)のように、PMOS型を用いる場合には、電源電圧VDDがプラス側に変動するとゲート電圧Vgateは低下する。

30

【0054】

図4(C)は可変容量素子80の容量電圧特性(C-V特性)を例示する図である。ここでの電圧(横軸)はゲート電圧Vgateである。図4(C)は、タイプ(NMOS型・PMOS型の別や閾値)が異なる4つの可変容量素子80の容量電圧特性を示している。NM1とNM2は、閾値が異なる2つのNMOS型の可変容量素子80の容量電圧特性である。一方、PM1とPM2は、閾値が異なる2つのPMOS型の可変容量素子80の容量電圧特性である。図4(C)の容量電圧特性(NM1、NM2、PM1、PM2)は、くぼみ(凹部)の方向が異なる2つの曲線が変曲点ipで接続された曲線となっている。

【0055】

40

ここで、発振用増幅回路224の周波数変動特性(図16(D)参照)を生じさせる可変容量素子22、21の容量電圧特性(図16(C)参照)と、逆の特性を持つ部分を図4(C)で探す。すると、図4(C)の領域A1に含まれる容量電圧特性の曲線部分(以下、特性曲線という)は、可変容量素子22、21の容量電圧特性(図16(C)参照)と形状が上下対称(縦軸[容量]の方向で対称)に近く、逆の特性を有している。例えば、可変容量素子22、21の容量電圧特性は電源電圧VDDがプラス側に変動すると容量が減少するが、領域A1の特性曲線に従うと可変容量素子80はゲート電圧Vgateがプラス側に変動すると容量が増加する。

【0056】

したがって、電圧V0を中心とした電源電圧VDDの変動に対応して、このような特性

50

曲線が得られるような可変容量素子 80 を選択すれば、その特性は可変容量素子 22、21 の容量電圧特性と逆になる。例えば、変動がない理想的な電圧 V_0 が 1.8 [V] であり、基準電圧 V_{refc} が 1.2 [V] 程度であるとする。このとき、電源電圧 V_{DD} の変動は、図 4 (C) において 0.6 [V] ($=V_0 - V_{refc}$) を中心とする V_{gate} の変動に対応付けられる。つまり、この例では、領域 A1 がちょうど電源電圧 V_{DD} の変動に対応した領域となる。そこで、例えば、容量電圧特性が NM1 である可変容量素子 80 を選択する。すると、可変容量素子 80 の容量は、電源電圧 V_{DD} の変動によって、図 4 (C) のほぼ領域 A1 の範囲で、実線の容量電圧特性である NM1 に従って変動する。

【0057】

10

そして、このような可変容量素子 80 を、可変容量素子 22、21 と並列に接続する（図 2 参照）。このとき、電源電圧 V_{DD} が変動して、可変容量素子 22、21 の容量が容量電圧特性（図 16 (C) 参照）に従って変化しても、逆の特性を持つ可変容量素子 80 の容量は、これを打ち消すように変化する。そのため、発振用増幅回路 224 が有する周波数変動特性を良好に低減させて、電源電圧の変動による発振周波数の変動を低減させることができる。

【0058】

この効果について、図 5 (A) ～図 5 (C) を用いて説明する。図 5 (A) は発振用増幅回路 224 の可変容量素子 22、21 の容量電圧特性（但し、縦軸は容量の変動である ΔC_L ）を示す図であり、図 16 (C) と同じ図である。図 5 (B) は補正回路 222 の可変容量素子 80 の容量電圧特性（但し、縦軸は容量の変動である ΔC_L ）を示す図である。ここでは、上記のように、図 4 (C) の NM1 の特性曲線を有する可変容量素子 80 が選択されたとする。そして、図 5 (B) の特性曲線は、図 5 (A) の特性曲線を上下（縦軸の方向）で対称にしたものと近い。

20

【0059】

そして、図 5 (C) は図 5 (A)、図 5 (B) を合成した容量電圧特性の図である。図 2 のように可変容量素子 80 は可変容量素子 22 と並列に設けられているから、補正回路 222 を含めた発振回路 12 の容量電圧特性は、2 つの点線（図 5 (A)、図 5 (B) に対応）を合成した、図 5 (C) の実線で示される曲線になる。このとき、実線で示される曲線は、 V_{DD} が変動してもほぼ 0 であり、補正回路 222（より具体的には、可変容量素子 80）が、発振用増幅回路 224 が有する周波数変動特性を良好に低減させて、電源電圧の変動による発振周波数の変動を低減させていることがわかる。

30

【0060】

なお、上記においては、領域 A1 の特性曲線が選択されることになる適切な閾値の NMOS 型の可変容量素子 80 を選択したが、領域 A2 の特性曲線が選択されることになる適切な閾値の PMOS 型の可変容量素子 80 を選択してもよい。また、基準電圧 V_{refb} の電圧に依存するが、可変容量素子 80 と固定容量素子 81 の位置を交換した構成も可能である。すなわち、可変容量素子 80 が可変容量素子 21 と並列に設けられ、固定容量素子 81 が可変容量素子 22 と並列に設けられる構成であってもよい。さらに、上記においては、可変容量素子 21 の閾値のみを考慮しているが、領域 A1 の特性曲線が適切になるように、閾値代えて、または閾値に加えて、NMOS 型の可変容量素子 80 または PMOS 型の可変容量素子 80 のサイズを変更して特性曲線を調整してもよい。

40

【0061】

1. 4. 第 1 変形例

本実施形態の発振回路 12 は、上記の構成に限られるものではなく、以下のような変形が可能である。図 6 は、第 1 変形例の発振回路 12（発振用増幅回路 224 および補正回路 222）の回路構成例を示す図である。なお、図 1 ～図 5 と同じ要素については同じ符号を付しており説明を省略する。

【0062】

第 1 変形例の発振回路 12 は、上記の本実施形態の発振回路 12 と比較して、補正回路

50

222において固定容量素子81に代えて可変容量素子82を用いていることが異なる。このとき、可変容量素子80だけでなく、可変容量素子82を組み合わせることで、発振用増幅回路224の周波数変動特性をさらに低減させることができる容量電圧特性を得ることができる。つまり、可変容量素子80と可変容量素子82とを組み合わせることで、可変容量素子80だけの場合と比べて、容量電圧特性が有する曲線のバリエーションを増やすことが可能である。なお、その他の要素については、上記の本実施形態の発振回路12と同じであり説明を省略する。

【0063】

1. 5. 第2変形例

図7は、第2変形例の発振回路12（発振用増幅回路224および補正回路222）の回路構成例を示す図である。なお、図1～図6と同じ要素については同じ符号を付しており説明を省略する。

10

【0064】

第2変形例の発振回路12は、上記の本実施形態の発振回路12と比較して、補正回路222において固定容量素子81を取り除いている点が異なる。このとき、実質的に発振用増幅回路224の周波数変動特性を低減させる可変容量素子80だけを残し、省略可能な固定容量素子81を用いないため、回路規模を削減することができる。

【0065】

このとき、補正回路222で設けられているバイパスコンデンサCbも省略して、さらに回路規模を削減してもよい。なお、その他の要素については、上記の本実施形態の発振回路12と同じであり説明を省略する。

20

【0066】

1. 6. 第3変形例

図8は、第3変形例の発振回路12（発振用増幅回路224および補正回路222）の回路構成例を示す図である。なお、図1～図7と同じ要素については同じ符号を付しており説明を省略する。

【0067】

第3変形例の発振回路12は、上記の本実施形態の発振回路12と比較して、補正回路222の可変容量素子80、固定容量素子81に代えて、スイッチと接続された容量素子で構成されている回路（それぞれ、可変容量回路88、固定容量回路89）を用いる点が異なる。図8の例では、第3変形例の発振回路12の可変容量回路88は、2つの並列に設けられた可変容量素子80A、80Bで構成されている。そして、可変容量素子80A、80Bは、バックゲート（極性が反転の場合はゲート）に基準電圧Vrefcが印加され、ゲート（極性が反転の場合はバックゲート）にそれぞれスイッチ90A、90Bを介して電源電圧VDDが印加される。

30

【0068】

また、図8の例では、第3変形例の発振回路12の固定容量回路89は、2つの並列に設けられた固定容量素子81A、81Bで構成されている。そして、固定容量素子81A、81Bは、一端に基準電圧Vrefbが印加され、他端にそれぞれスイッチ91A、91Bを介して電源電圧VDDが印加される。

40

【0069】

スイッチ90A、90B、91A、91Bは、不図示の制御信号によって、それぞれがオン状態（電源電圧VDDが印加される状態）またはオフ状態（電源電圧VDDが印加されない状態）をとり得る。なお、制御信号は発振回路12の外部から与えられてもよいし、発振回路12の内部のレジスタ等の値に応じて与えられるものであってもよい。

【0070】

上記のように、図2の本実施形態の発振回路12では、可変容量素子22、21の容量電圧特性と対称的な特性曲線が得られるように、適切な容量電圧特性を持つ可変容量素子80を選択する必要がある。しかし、製造ばらつき等を考慮すると、適切な容量電圧特性を持つ可変容量素子80を、いくつかの可変容量素子の組み合わせによって実現し、例え

50

ば製造出荷時に調整可能であることが好ましい。第3変形例の発振回路12は、スイッチ90A、90Bによって可変容量回路88の容量を、スイッチ91A、91Bによって固定容量回路89の容量を調整可能にする。なお、スイッチ90A、90Bが本発明の選択回路に対応する。その他の要素については、上記の本実施形態の発振回路12と同じであり説明を省略する。ここで、可変容量回路88、固定容量回路89は、それぞれ1つ以上の可変容量素子80、固定容量素子81を含むものであり、図8の例のように2つに限らない。また、固定容量回路89は省略されてもよい。さらに、第1変形例での構成と同様に、固定容量回路89に代えて、可変容量回路88と同じような可変容量回路を用いることもできる。

【0071】

10

1. 7. 第4変形例

図9は、第4変形例の発振回路12（発振用増幅回路224および補正回路222）の回路構成例を示す図である。なお、図1～図8と同じ要素については同じ符号を付しており説明を省略する。

【0072】

第4変形例の発振回路12は、上記の本実施形態の発振回路12と比較して、レギュレータ電圧VREGを用いない点が異なる。第4変形例の発振回路12は、レギュレータ回路270を含まず、レギュレータ電圧VREGを用いて生成される基準電圧Vrefc、Vrefb、制御電圧Vcもない。また、第4変形例の発振用増幅回路224は、可変容量素子21、22を含まず、DCカット容量43、44もない。また、バイポーラトランジスタ24の電流源は、レギュレータ電圧VREGではなく、電源電圧VDDを用いている。

20

【0073】

このとき、第4変形例の発振用増幅回路224は、電源電圧VDDの変動がない場合には所定の周波数の発振信号124を出力する。そして、電源電圧VDDの変動がある場合には、上記の本実施形態の発振回路12と同じように、補正回路222によって、発振周波数の変動を低減することができる。第4変形例の発振回路12は、レギュレータ電圧VREGを用いないため、上記の本実施形態の発振回路12と比べて回路規模を大きく削減することができる。

【0074】

30

ここで、上記の本実施形態の発振回路12、および第1～第4変形例の発振回路12では、補正回路222の可変容量素子80（第1変形例では可変容量素子80および可変容量素子82、以下、可変容量素子80等とする）のゲートまたはバックゲートに電源電圧VDDが印加される。そのため、例えばレギュレータ電圧VREGが印加される場合等と比べて、電源電圧VDDの変動量を低減することなく直接に可変容量素子80等に伝えることができる。よって、可変容量素子80等の容量可変感度を高くする必要がないので、ノイズ耐性を高めることができる。

【0075】

1. 8. 第5変形例

図10は、第5変形例の発振回路12（発振用増幅回路224および補正回路222）の回路構成例を示す図である。なお、図1～図9と同じ要素については同じ符号を付しており説明を省略する。

40

【0076】

第5変形例の発振回路12は、上記の本実施形態の発振回路12と比較して、可変容量素子80、固定容量素子81を含まず、電源変動調整回路84で生成した調整電圧VDDcmpと制御電圧Vcとを加算回路86で加算して、可変容量素子21、22のバックゲート（極性が反転の場合はゲート）に印加する点が異なる。

【0077】

第5変形例の発振回路12は、発振用増幅回路224の周波数変動特性を、制御電圧Vcを調整することで低減させる。このとき、電源変動調整回路84が電源電圧VDDの変

50

動に基づいて調整電圧 V_{DDcmp} を生成し、加算回路 86 が制御電圧 V_c に調整電圧 V_{DDcmp} を加算して制御電圧 V_a を生成する。ここで、制御電圧 V_c 、 V_a は、それぞれ本発明の第 1 の制御電圧、第 2 の制御電圧に対応する。なお、加算回路 86 としては、例えばオペアンプと、入力電圧（調整電圧 V_{DDcmp} および制御電圧 V_c ）の重み付けを行う抵抗とで構成された回路を用いることができるが、特に限定されるものではない。

【0078】

図 11 (A)、図 11 (B) は電源変動調整回路 84 の回路構成例を示す図である。電源変動調整回路 84 は、図 11 (A) のように、抵抗 $R_1 \sim R_3$ で構成された抵抗分圧回路の各電圧値を、スイッチ $SW_1 \sim SW_3$ で選択して調整電圧 V_{DDcmp} とする構成であってもよい。また、電源変動調整回路 84 は、図 11 (B) のように、抵抗 R_3 でなくダイオード D_1 を用いる構成であってもよい。このとき、電源変動調整回路 84 は、ダイオード D_1 を含むことで、温度変化によるばらつきを抑えた適切な温度特性を有することができる。なお、スイッチ $SW_1 \sim SW_3$ をオン状態またはオフ状態とする制御信号は、発振回路 12 の外部から与えられてもよいし、発振回路 12 の内部のレジスタ等の値に応じて与えられるものであってもよい。

10

【0079】

第 5 変形例の発振回路 12 は、発振用増幅回路 224 の周波数変動特性を、可変容量素子 80 等の容量電圧特性を利用するのではなく、制御電圧 V_c を調整することで低減させる。例えば設計の制約によって、適切な容量電圧特性を有する可変容量素子 80 等を選択できないような場合でも、電源電圧 V_{DD} の変動に対応して補正を行う補正回路 222 を構成でき、発振周波数の変動を低減させることができる。

20

【0080】

1. 9. 第 6 変形例

図 12 は、第 6 変形例の発振回路 12（発振用増幅回路 224 および補正回路 222）の回路構成例を示す図である。なお、図 1 ～ 図 11 と同じ要素については同じ符号を付しており説明を省略する。

【0081】

第 6 変形例の発振回路 12 は、上記の本実施形態の発振回路 12 と比較して、可変容量素子 80 の極性を反転させて、電源電圧 V_{DD} ではなく、調整された電圧を補正回路 222 で用いる点が異なる。図 12 の例では、調整された電圧は $V_{DD}/2$ である。なお、 $V_{DD}/2$ は、例えば抵抗分圧回路（図 11 (A)、図 11 (B) 参照）によって生成可能である。

30

【0082】

図 13 (A)、図 13 (B) は、第 6 変形例の発振回路 12 で、それぞれ NMOS 型、PMOS 型の可変容量素子 80 を用いた場合の接続を説明する図である。上記の本実施形態の発振回路 12 と比較して、可変容量素子 80 は極性が反転されている。また、 $V_{DD}/2$ がゲートまたはバックゲートに印加される。よって、NMOS 型を用いた場合には、図 13 (A) のように、ゲート電圧 V_{gate} が “ $V_{refc} - (V_{DD}/2)$ ” となる。一方、PMOS 型を用いた場合には、図 13 (B) のように、ゲート電圧 V_{gate} が “ $(V_{DD}/2) - V_{refc}$ ” となる。

40

【0083】

図 14 (A)、図 14 (B) はそれぞれ NMOS 型、PMOS 型の可変容量素子の V_{gate} と V_{DD} との対応を示す図である。第 6 変形例の発振回路 12 は、補正回路 222 で調整された電圧である $V_{DD}/2$ を可変容量素子 80 に印加する。そのため、図 14 (A)、図 14 (B) のように、電源電圧 V_{DD} の電圧 V_0 を中心とした変動を、可変容量素子 80 のゲート電圧 V_{gate} の 0 [V] 近くの変動に対応させることができる。

【0084】

図 14 (C) は可変容量素子 80 の容量電圧特性 ($C-V$ 特性) を例示する図であり、符号や特性曲線は図 4 (C) と同じであるため説明を省略する。第 6 変形例の発振回路 12 では、上記の本実施形態の発振回路 12 の場合と異なり、領域 A3 に含まれる特性曲線

50

を利用して、発振用増幅回路 224 が有する周波数変動特性を低減させて、発振周波数の変動を低減させることができる。上記の通り、電源電圧 V_{DD} の電圧 V_0 を中心とした変動が、可変容量素子 80 のゲート電圧 V_{gate} の 0 [V] 近くの変動に対応するので、電源電圧 V_{DD} の変動に応じた可変容量素子 80 の容量変化は、領域 A3 の特性曲線に従うからである。例えば、電圧 V_0 が 1.8 [V] であり、基準電圧 V_{refc} が 1.2 [V] 程度である場合には、電源電圧 V_{DD} の変動は、図 14 (C) において 0.3 [V] ($= V_{refc} - V_0 / 2$) を中心とする V_{gate} の変動に対応付けられる。

【0085】

ここで、領域 A1、A2 の特性曲線 (図 4 (C) 参照) と、領域 A3 の特性曲線とでは、くぼみ (凹部) の方向が異なっている。よって、領域 A3 の特性曲線は上下 (縦軸 [容量] の方向) を反転させて用いる必要がある。したがって、第 6 変形例の発振回路 12 では、本実施形態の発振回路 12 と比較して、可変容量素子 80 の極性を反転させて用いている。

10

【0086】

第 6 変形例の発振回路 12 は、図 14 (C) に示すように、本実施形態の発振回路 12 とは異なる領域の特性曲線を用いることができる。したがって、第 6 変形例の発振回路 12 における特性曲線の選択手法を組み合わせることで、発振用増幅回路 224 の周波数変動特性をさらに低減させるための可変容量回路 88 の組み合わせの自由度が高まる。

【0087】

20

以上のように、本実施形態および第 1～第 6 変形例の発振回路 12 によれば、電源電圧 V_{DD} の変動を利用して、発振用増幅回路 224 が有する周波数変動特性を低減する補正回路 222 を備え、発振周波数の変動を低減させることができる。このとき、補正回路 222 は、周波数変動特性を補正するものであって、電源電圧 V_{DD} を監視することはないため、消費電流や回路面積が増大してしまうという問題を生じさせることはない。また、例えば、レギュレーター電圧の監視回路と昇圧回路を持った回路構成であっても、電源電圧 V_{DD} が変動して昇圧回路の電圧が変動することで発振周波数が変化しても、上記の補正回路 222 を用いれば発振周波数の変動を低減させることができる。

【0088】

2. 電子機器

30

本実施形態の電子機器 300 について、図 17～図 18 を用いて説明する。なお、図 1～図 16 と同じ要素については同じ番号、符号を付しており説明を省略する。

【0089】

図 17 は、電子機器 300 の機能ブロック図である。電子機器 300 は、発振回路 12 と水晶振動子 26 とを含む振動デバイス 200、CPU (Central Processing Unit) 320、操作部 330、ROM (Read Only Memory) 340、RAM (Random Access Memory) 350、通信部 360、表示部 370、音出力部 380 を含んで構成されている。なお、電子機器 300 は、図 17 の構成要素 (各部) の一部を省略又は変更してもよいし、他の構成要素を付加した構成としてもよい。

【0090】

40

振動デバイス 200 は、クロックパルスを CPU 320 だけでなく各部に供給する (図示は省略)。なお、振動デバイス 200 は、発振回路 12 と水晶振動子 26 とが一体化されてパッケージングされた発振器であってもよい。

【0091】

CPU 320 は、ROM 340 等に記憶されているプログラムに従い、発振回路 12 が出力するクロックパルスを用いて各種の計算処理や制御処理を行う。具体的には、CPU 320 は、操作部 330 からの操作信号に応じた各種の処理、外部とデータ通信を行うために通信部 360 を制御する処理、表示部 370 に各種の情報を表示させるための表示信号を送信する処理、音出力部 380 に各種の音を出力させる処理等を行う。

【0092】

50

操作部 330 は、操作キーやボタンスイッチ等により構成される入力装置であり、ユーザーによる操作に応じた操作信号を CPU 320 に出力する。

【0093】

ROM 340 は、CPU 320 が各種の計算処理や制御処理を行うためのプログラムやデータ等を記憶している。

【0094】

RAM 350 は、CPU 320 の作業領域として用いられ、ROM 340 から読み出されたプログラムやデータ、操作部 330 から入力されたデータ、CPU 320 が各種プログラムに従って実行した演算結果等を一時的に記憶する。

【0095】

通信部 360 は、CPU 320 と外部装置との間のデータ通信を成立させるための各種制御を行う。

【0096】

表示部 370 は、LCD (Liquid Crystal Display) 等により構成される表示装置であり、CPU 320 から入力される表示信号に基づいて各種の情報を表示する。

【0097】

そして、音出力部 380 は、スピーカー等の音を出力する装置である。

【0098】

上記の通り、振動デバイス 200 が含む発振回路 12 は、クロックパルスとして発振信号 124 を生成し、電源電圧 VDD の変動があっても発振周波数の変動を低減させることができる。つまり、電源電圧 VDD が変動しても、安定したクロックパルスを供給することができる。そのため、電子機器 300 は、発振回路 12 を含むことで、動作安定性や信頼性を高めることができる。

【0099】

電子機器 300 としては種々の電子機器が考えられる。例えば、パーソナルコンピューター（例えば、モバイル型パーソナルコンピューター、ラップトップ型パーソナルコンピューター、タブレット型パーソナルコンピューター）、携帯電話機などの移動体端末、デジタルスチールカメラ、インクジェット式吐出装置（例えば、インクジェットプリンター）、ルーターやスイッチなどのストレージエリアネットワーク機器、ローカルエリアネットワーク機器、移動体端末基地局用機器、テレビ、ビデオカメラ、ビデオレコーダー、カーナビゲーション装置、ページャー、電子手帳（通信機能付も含む）、電子辞書、電卓、電子ゲーム機器、ゲーム用コントローラー、ワードプロセッサ、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、POS 端末、医療機器（例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡）、魚群探知機、各種測定機器、計器類（例えば、車両、航空機、船舶の計器類）、フライトシュミレーター、ヘッドマウントディスプレイ、モーショントラース、モーショントラッキング、モーションコントローラー、PDR（歩行者位置方位計測）等が挙げられる。

【0100】

図 18 は、電子機器 300 の一例であるスマートフォンの外観の一例を示す図である。電子機器 300 であるスマートフォンは、操作部 330 としてボタンを、表示部 370 として LCD を備えている。そして、電子機器 300 であるスマートフォンは、発振回路 12 を含むことで、動作安定性や信頼性を高めることができる。

【0101】

3. 移動体

本実施形態の移動体 400 について、図 19 を用いて説明する。図 19 は、本実施形態の移動体の一例を示す図（上面図）である。図 19 に示す移動体 400 は、発振回路 410、エンジンシステム、ブレーキシステム、キーレスエントリーシステム等の各種の制御を行うコントローラー 420、430、440、バッテリー 450、バックアップ用バッテリー 460 を含んで構成されている。なお、本実施形態の移動体は、図 19 の構成要素（各部）の一部を省略又は変更してもよいし、他の構成要素を付加した構成としてもよい

10

20

30

40

50

。

【0102】

発振回路410は、上記の発振回路12に対応し、不図示の発振素子226と接続されて使用されるが、振動デバイス200（発振器）に置き換えてもよい。その他の構成要素の詳細な説明は省略するが、移動体の移動に必要な制御を行うため高い信頼性が要求される。例えば、バッテリー450の他に、バックアップ用バッテリー460を備えることで信頼性を高めている。

【0103】

発振回路410が出力するクロックパルスについても、電源電圧VDDの変動によらずに所定の発振周波数であることが必要とされる。

10

【0104】

このとき、発振回路410は、上記のように電源電圧VDDの変動があっても発振周波数の変動を低減させることができる。そのため、移動体400のシステムは、電源電圧VDDが変動しても、安定したクロックパルスを使用することができるので、動作安定性や信頼性を高めることができる。

【0105】

このような移動体400としては種々の移動体が考えられ、例えば、自動車（電気自動車も含む）、ジェット機やヘリコプター等の航空機、船舶、ロケット、人工衛星等が挙げられる。

【0106】

20

4. 発振回路の製造方法

図20は、上記で説明した発振回路12の製造方法について説明するフローチャートである。この例では、補正回路222に可変容量回路88を備える第3変形例の発振回路12を製造するとして説明する。図8のように、可変容量回路88はスイッチ90A、90Bを介して電源電圧VDDが印加される可変容量素子80A、80Bを含む。そのため、スイッチ90A、90Bのオン状態・オフ状態を切り替えることで可変容量回路88の容量電圧特性を調整して、発振用増幅回路224が有する周波数変動特性を良好に低減させて、電源電圧の変動による発振周波数の変動を低減させることができる。図20のフローチャートは、この調整を、発振回路12の製造工程において行う場合の手順を説明するものである。

30

【0107】

まず、発振用増幅回路224に電源電圧VDDを入力する（S10）。そして、例えば製造工程で用いられるテスター等によって、電源電圧VDDを変動させ、発振用増幅回路224の周波数変動特性を測定する（S12）。例えば、電源電圧VDDが変動している間、発振信号124の周波数を測定することで周波数変動特性を得ることができる。なお、ステップS10、S12においては、補正回路222が動作しないように制御される必要がある。例えば、発振用増幅回路224と補正回路222とを電氣的に接続させるスイッチ等（不図示）が設けられていて、ステップS10、S12の間はオフ状態となってもよい。

【0108】

40

次に、可変容量回路88の容量電圧特性を調整する。つまり、発振用増幅回路224の周波数変動特性を低減することが可能なように、スイッチ90A、90B（図8参照）のオン状態・オフ状態が決定される（S14）。この決定は、例えば補正回路222が有する不図示のコントローラーがプログラムに従って実行してもよいし、製造工程で用いられるテスターが実行してもよい。

【0109】

ここで、スイッチ90A、90B（図8参照）のオン状態・オフ状態は、制御信号によって決定される。制御信号は発振回路12の外部から与えられてもよいが、この例では、発振回路12の内部のレジスターの値に応じて与えられるとする。そして、ステップS14で決定されたオン状態・オフ状態に対応する値が、レジスターに書き込まれる。すなわ

50

ち、制御信号を指定するレジスター値の更新が行われる（S 1 6）。例えば補正回路 2 2 2 が有する不図示のコントローラーがレジスター値を更新してもよいし、製造工程で用いられるテスターがレジスター値を更新してもよい。

【0 1 1 0】

以上のように、発振用増幅回路 2 2 4 に電源電圧を入力して周波数変動特性を測定し（ステップ S 1 0、S 1 2）、可変容量回路 8 8 が、電源電圧 V D D の変動により、周波数変動特性を低減させる容量電圧特性を有するように調整する（S 1 4、S 1 6）ことで、電源電圧の変動による発振周波数の変動を低減させる発振回路 1 2 を製造することができる。

【0 1 1 1】

10

5. その他

本発明は、上記の実施形態で説明した構成と実質的に同一の構成（例えば、機能、方法および結果が同一の構成、あるいは目的および効果が同一の構成）を含む。また、本発明は、実施形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施形態で説明した構成に公知技術を付加した構成を含む。

【符号の説明】

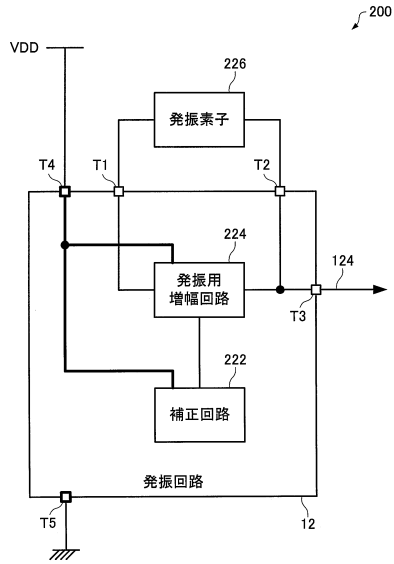
【0 1 1 2】

1 2 発振回路、2 1 可変容量素子、2 2 可変容量素子、2 4 バイポーラトランジスタ、2 6 水晶振動子、2 8 帰還抵抗、4 3 D C カット容量、4 4 D C カット容量、8 0 可変容量素子、8 0 A 可変容量素子、8 0 B 可変容量素子、8 1 固定容量素子、8 1 A 固定容量素子、8 1 B 固定容量素子、8 2 可変容量素子、8 4 電源変動調整回路、8 6 加算回路、8 8 可変容量回路、8 9 固定容量回路、9 0 A スイッチ、9 0 B スイッチ、9 1 A スイッチ、9 1 B スイッチ、1 2 4 発振信号、2 0 0 振動デバイス、2 2 2 補正回路、2 2 4 発振用増幅回路、2 2 6 発振素子、2 7 0 レギュレーター回路、2 7 2 基準電圧生成回路、2 7 4 基準電圧生成回路、2 7 6 制御電圧生成回路、3 0 0 電子機器、3 2 0 C P U、3 3 0 操作部、3 4 0 R O M、3 5 0 R A M、3 6 0 通信部、3 7 0 表示部、3 8 0 音出力部、4 0 0 移動体、4 1 0 発振回路、4 2 0 コントローラー、4 3 0 コントローラー、4 4 0 コントローラー、4 5 0 バッテリー、4 6 0 バックアップ用バッテリー、A 1 領域、A 2 領域、A 3 領域、C b バイパスコンデンサー、D 1 ダイオード、R 1 抵抗、R 2 抵抗、R 3 抵抗、S W 1 スイッチ、S W 2 スイッチ、S W 3 スイッチ、T 1 端子、T 2 端子、T 3 端子、T 4 端子、T 5 端子、V D D 電源電圧、V R E G レギュレーター電圧、V S S 接地電圧、V a 制御電圧、V c 制御電圧、i p 変曲点

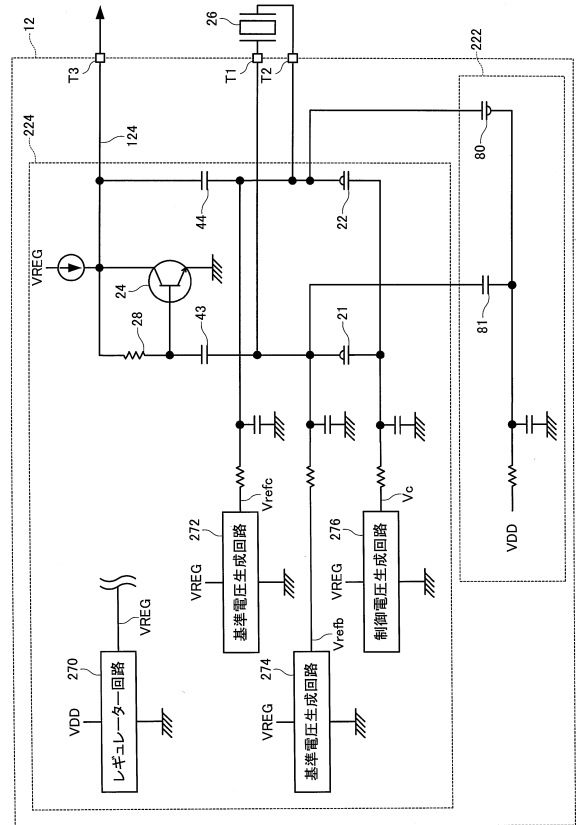
20

30

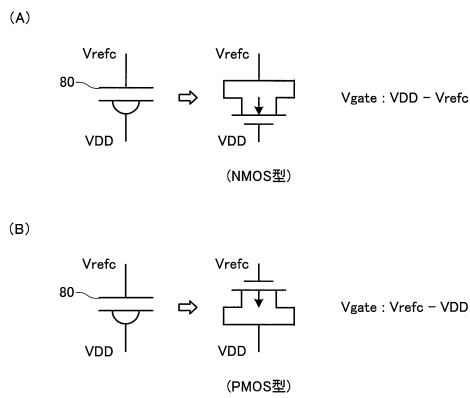
【図 1】



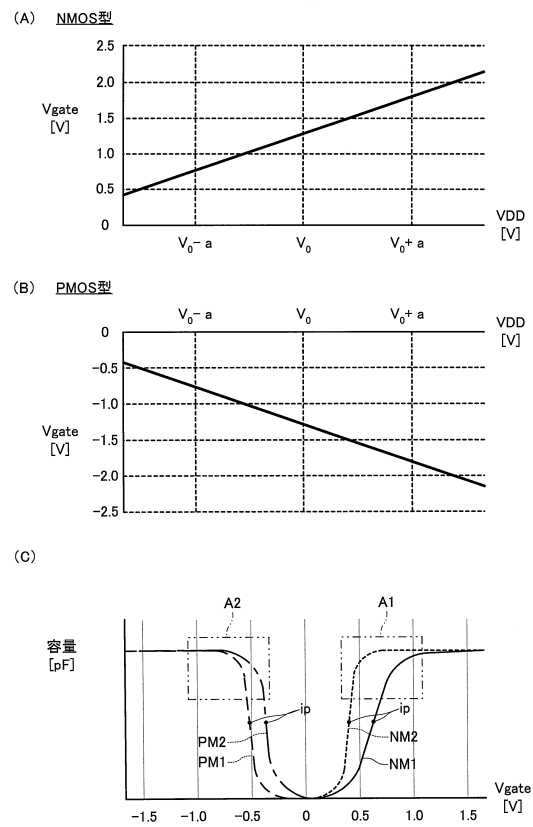
【図 2】



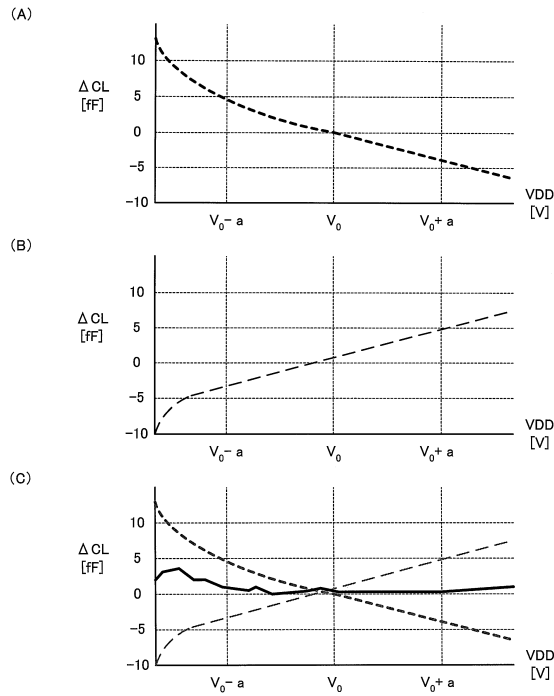
【図 3】



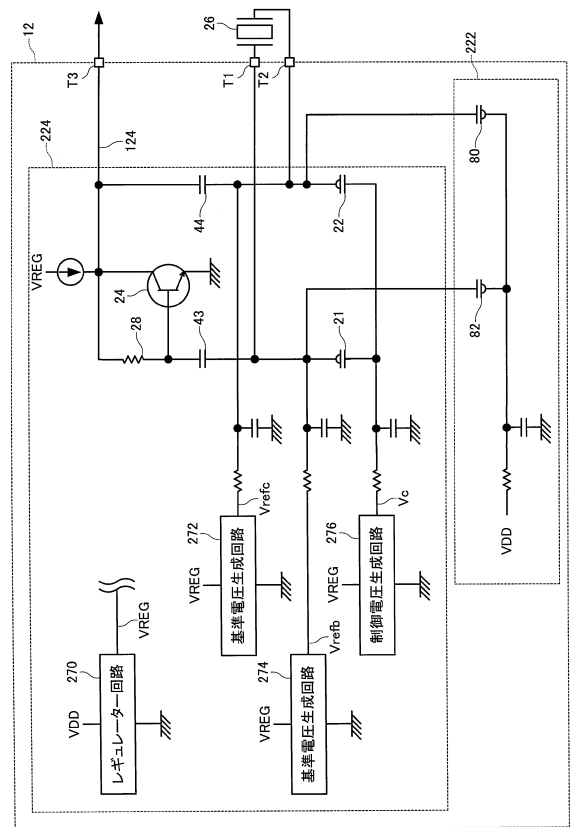
【図 4】



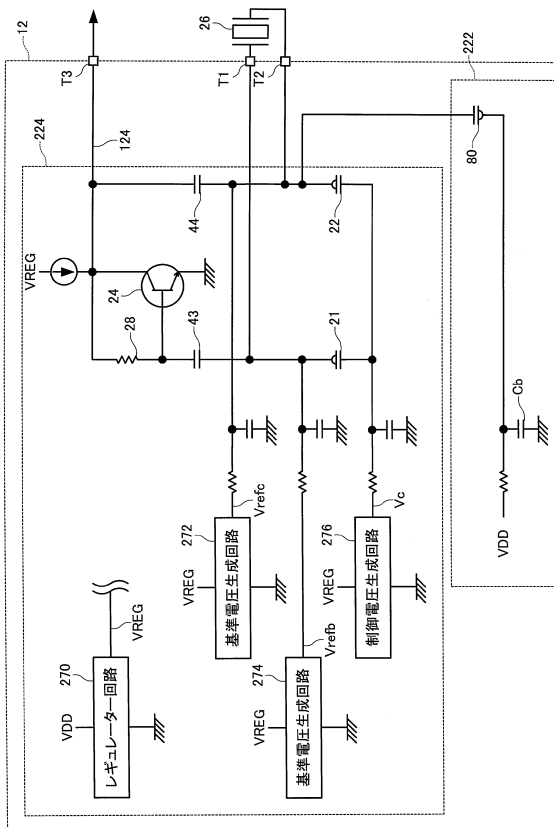
【図 5】



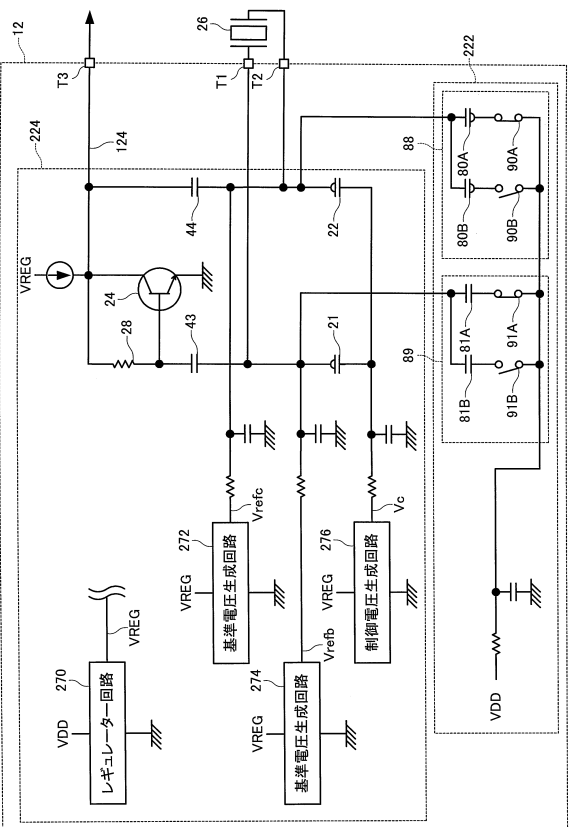
【図 6】



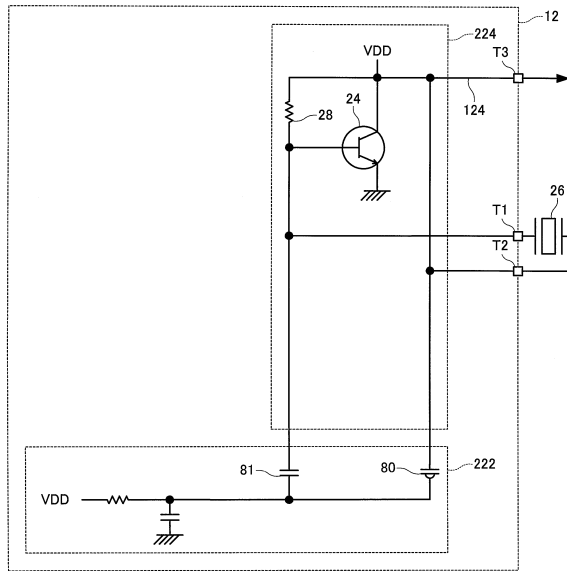
【図 7】



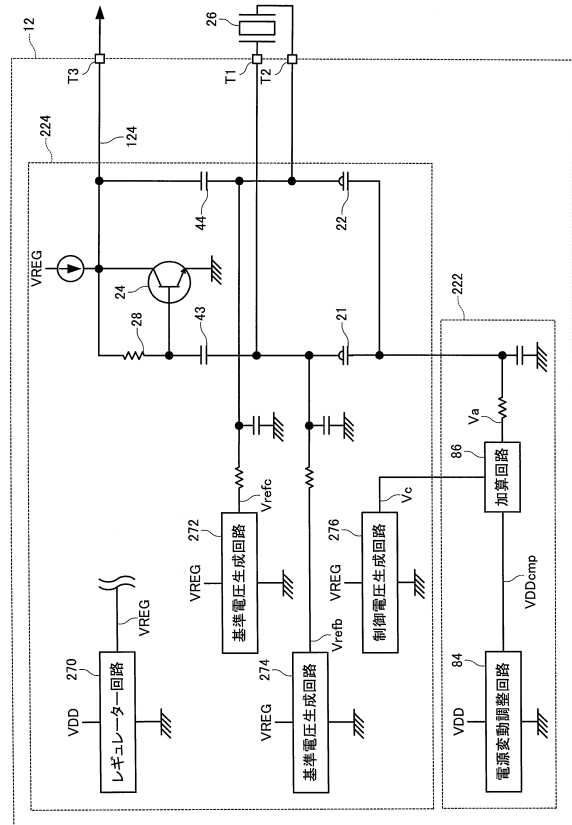
【図 8】



【図 9】

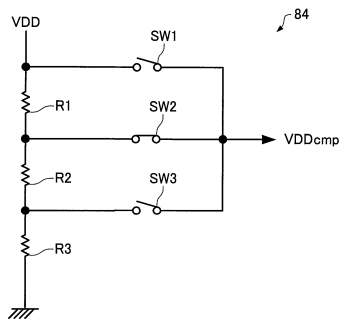


【図 10】

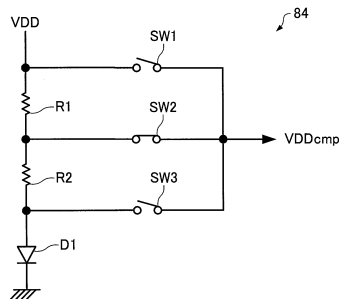


【図 11】

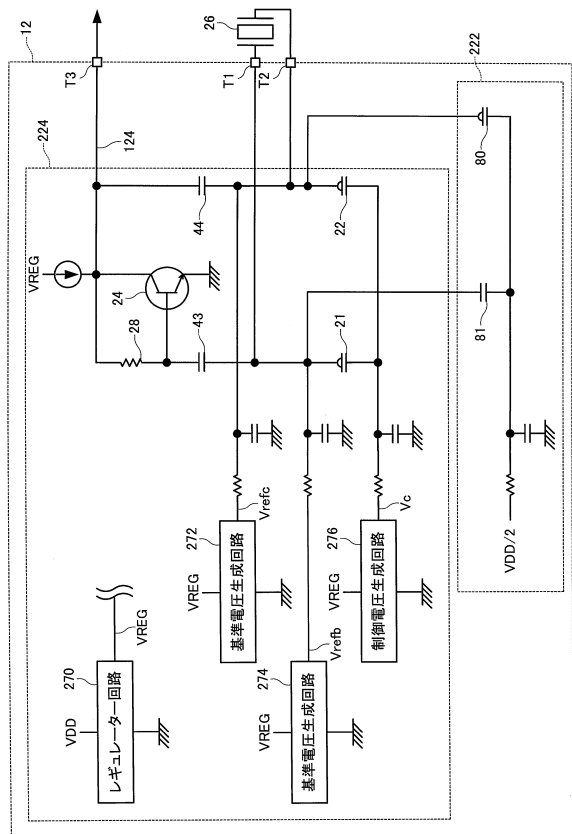
(A)



(B)

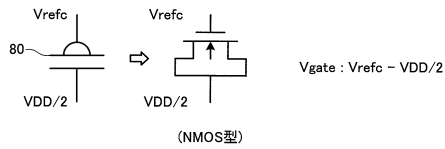


【図 12】

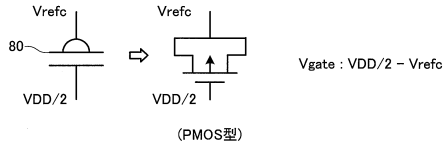


【図 13】

(A)

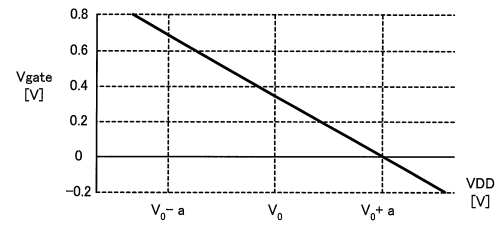


(B)

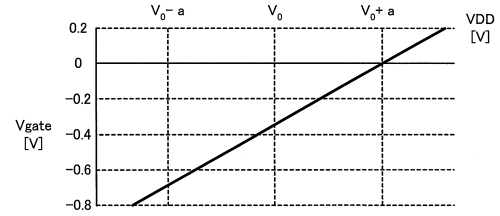


【図 14】

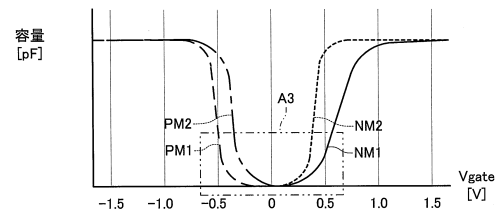
(A) NMOS型



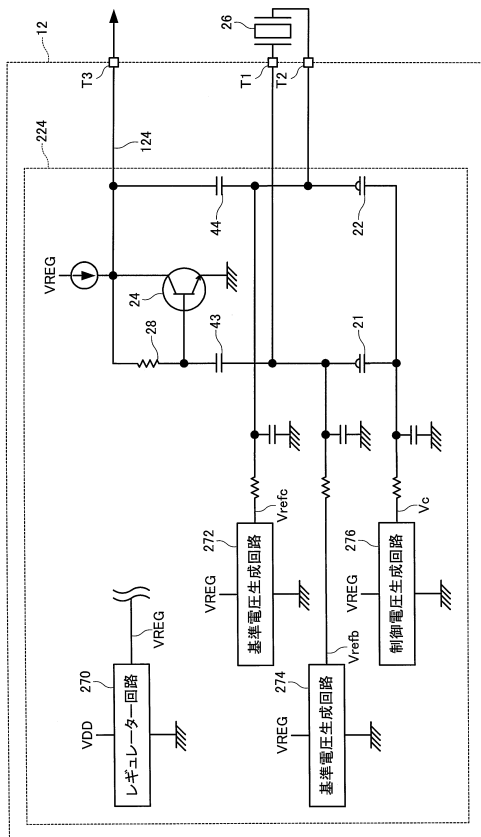
(B) PMOS型



(C)

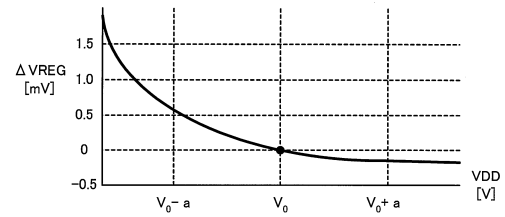


【図 15】

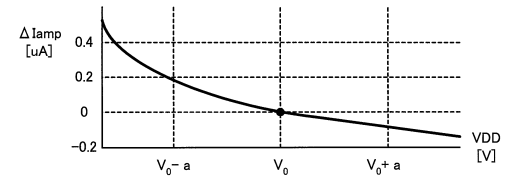


【図 16】

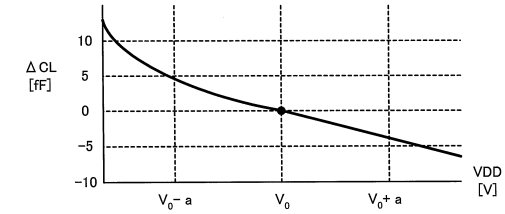
(A)



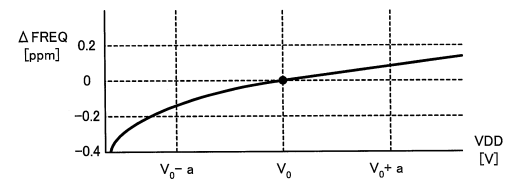
(B)



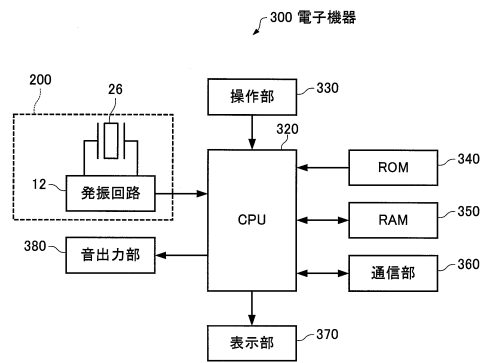
(C)



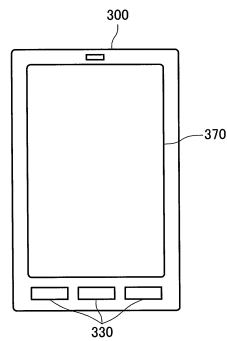
(D)



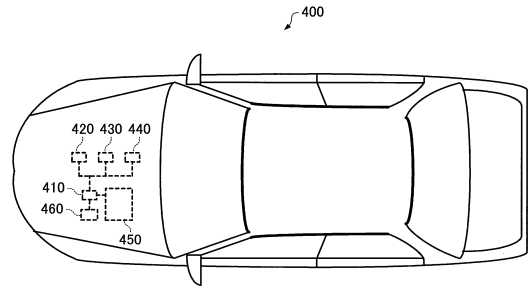
【図 17】



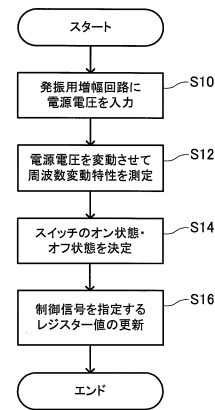
【図 18】



【図 19】



【図 20】



フロントページの続き

- (56)参考文献 特開平11-097932 (JP, A)
特開2007-110504 (JP, A)
特開平10-013153 (JP, A)
特開2006-197294 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03B 5/36