



(12) 发明专利

(10) 授权公告号 CN 101669200 B

(45) 授权公告日 2011. 12. 21

(21) 申请号 200880008505. 5

(22) 申请日 2008. 01. 22

(30) 优先权数据

11/656, 125 2007. 01. 22 US

(85) PCT申请进入国家阶段日

2009. 09. 15

(86) PCT申请的申请数据

PCT/US2008/000785 2008. 01. 22

(87) PCT申请的公布数据

W02008/091579 EN 2008. 07. 31

(73) 专利权人 美光科技公司

地址 美国爱达荷州

(72) 发明人 沃纳·云林

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王允方

(51) Int. Cl.

H01L 21/8242(2006. 01)

H01L 27/108(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 5196722 A, 1993. 03. 23, 说明书第 1 栏第 5-16 行, 第 8 栏第 8 行-第 10 栏第 40 行、附图 4.

US 5587340 A, 1996. 12. 24, 说明书第 3 栏第 10 行-第 5 栏第 57 行、附图 2A-2D.

US 5587340 A, 1996. 12. 24, 说明书第 3 栏第 10 行-第 5 栏第 57 行、附图 2A-2D.

审查员 王鹏

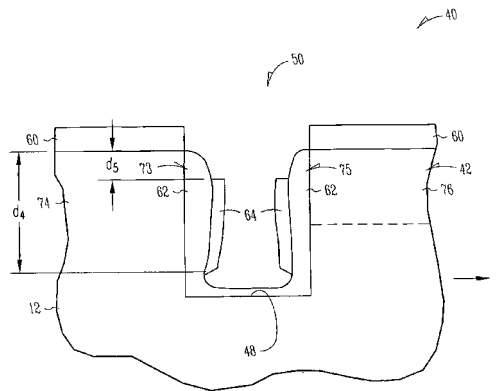
权利要求书 5 页 说明书 8 页 附图 13 页

(54) 发明名称

具有垂直存取装置的存储器

(57) 摘要

本发明揭示具有垂直存取装置的半导体存储器装置。在一些实施例中,一种形成所述装置的方法包含在半导体衬底(12)中提供凹座(50),其包含一对相对的侧壁(46)和在所述相对的侧壁之间延伸的底面(48)。可在所述凹座的所述侧壁和所述底面上沉积介电层(62)。可在所述介电层上形成导电薄膜(64),且对其进行处理以选择性地从所述凹座的所述底面移除所述薄膜,并从所述相对的侧壁移除所述导电薄膜的至少一部分。



1. 一种形成用于存储器装置的存储器装置结构的方法,其包括:  
在衬底中提供凹座,所述凹座具有一对相对的侧壁和在所述相对的侧壁之间延伸的底面;  
向所述凹座的所述侧壁和所述底面沉积介电层;  
在所述介电层上形成导电薄膜;及  
对所述导电薄膜进行处理以从所述凹座的所述底面移除所述薄膜并从所述相对的侧壁移除所述导电薄膜的至少一部分,其中对所述导电薄膜进行处理进一步包括:  
向所述导电薄膜沉积辅助层;  
对所述辅助层和所述导电薄膜进行间隔物蚀刻以从所述凹座的所述底面移除所述辅助层和所述导电薄膜;及  
对所述导电薄膜的定位于所述辅助层与所述介电层之间且邻近所述侧壁的部分进行底切以用可调整的方式获得选定操作特性。
2. 根据权利要求1所述的方法,其中提供凹座进一步包括将所述凹座蚀刻到 $1.5F$ 的深度,其中 $F$ 是所述存储器装置的特征尺寸。
3. 根据权利要求2所述的方法,其中将所述凹座蚀刻到 $1.5F$ 的深度进一步包括将所述凹座蚀刻到 $1750$  埃( $\text{\AA}$ )的深度。
4. 根据权利要求1所述的方法,其中向所述凹座的所述侧壁和所述底面沉积介电层进一步包括生长二氧化硅层和氮化硅层中的一者。
5. 根据权利要求1所述的方法,其中在所述介电层上形成导电薄膜进一步包括将所述导电薄膜沉积到 $0.25F$ 与 $0.5F$ 之间的范围内的厚度,其中 $F$ 是所述存储器装置的特征尺寸。
6. 根据权利要求5所述的方法,其中将所述导电薄膜沉积到 $0.25F$ 与 $0.5F$ 之间的范围内的厚度进一步包括将所述薄膜形成到 $150$  埃( $\text{\AA}$ )与 $350$  埃( $\text{\AA}$ )之间的范围内的厚度。
7. 根据权利要求6所述的方法,其中在所述介电层上形成导电薄膜进一步包括沉积金属层、多晶硅层、氮化钛(TiN)层、氮化钽(TaN)层、硅化钴(CoSi)层和硅化镍(NiSi)层中的一者。
8. 根据权利要求1所述的方法,其进一步包括移除所述辅助层的邻近所述侧壁的部分。
9. 根据权利要求1所述的方法,其进一步包括通过形成邻近所述导电薄膜的具有选定导电性的区而在所述装置中提供有源区域。
10. 根据权利要求9所述的方法,其中通过形成具有选定导电性的区而在所述装置中提供有源区域进一步包括形成具有 $n$ 导电性的区。
11. 根据权利要求9所述的方法,其中通过形成具有选定导电性的区而在所述装置中提供有源区域进一步包括形成具有 $p$ 导电性的区。
12. 根据权利要求1所述的方法,其进一步包括提供具有第一导电性的第一区和具有第二导电性的第二区,其中所述第一导电性不同于所述第二导电性。
13. 根据权利要求1所述的方法,其进一步包括通过在所述凹座中沉积导电材料而在所述凹座中形成导电栅极结构,及将所述导电栅极结构耦合到导电字线结构。
14. 一种存储器装置结构,其包括:

多个凹座,其形成在半导体衬底中,所述凹座中的每一者包含一对相对侧壁,所述侧壁包含具有选定导电性的有源区;

导电薄膜结构,其至少部分地设置在所述凹座的相应侧壁上;

介电层,其插入在所述有源区与所述导电薄膜结构之间;及

多个第一沟槽,其形成在所述多个凹座中的邻近凹座之间,且在垂直于所述多个凹座的多对相对侧壁的方向上延伸,且具有大于所述多个凹座的深度的深度。

15. 根据权利要求 14 所述的存储器装置结构,其中所述半导体衬底进一步包括块状硅衬底与绝缘体上硅衬底中的一者。

16. 根据权利要求 15 所述的存储器装置结构,其中所述半导体衬底进一步包括包含掺杂和未掺杂半导体材料、硅的外延层、由锗形成的部分、由硅和锗组合形成的部分和由砷化镓形成的部分中的至少一者。

17. 根据权利要求 14 所述的存储器装置结构,其中所述凹座延伸到所述衬底中达  $1.5F$  的深度,其中  $F$  是所述存储器装置的特征尺寸。

18. 根据权利要求 14 所述的存储器装置结构,其中所述凹座延伸到凹座深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到小于所述凹座深度的深度。

19. 根据权利要求 14 所述的存储器装置结构,其中所述有源区延伸到所述侧壁中达第一深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到大于所述第一深度的第二深度。

20. 根据权利要求 19 所述的存储器装置结构,其中所述导电薄膜结构进一步包括上边缘,其中所述上边缘凹陷在所述凹座内达第三深度,所述第三深度小于所述第一深度和所述第二深度。

21. 根据权利要求 14 所述的存储器装置结构,其进一步包括在所述对相对侧壁之间延伸的底面,且其中所述导电薄膜结构包括延伸远离所述侧壁与所述底面的交叉部分的下边缘。

22. 根据权利要求 14 所述的存储器装置结构,其进一步包括定位于所述对相对侧壁之间的底面,其中所述介电层进一步包括覆盖所述底面和所述对相对侧壁的沟槽介电层。

23. 根据权利要求 14 所述的存储器装置结构,其进一步包括定位于所述凹座内的导电栅极结构。

24. 根据权利要求 14 所述的存储器装置结构,其中所述有源区经掺杂以向所述有源区施加  $n+$  和  $p-$  导电性中的至少一者。

25. 一种存储器装置,其包括:

至少一个外围电路,其定位于半导体衬底上;及

存储器阵列,其形成在所述衬底上,且可操作地耦合到所述至少一个外围电路,所述存储器阵列包含至少一个垂直存取装置,所述存储器装置进一步包括:

多个凹座,其形成在所述半导体衬底中,所述凹座中的每一者包含一对相对侧壁,所述侧壁包含所述垂直存取装置的具有选定导电性的有源区;

导电薄膜结构,其至少部分地设置在所述凹座的靠近所述有源区的相应侧壁上;及

介电层,其插入在所述有源区与所述导电薄膜结构之间;及

多个第一沟槽,其形成在所述多个凹座中的邻近凹座之间,且在垂直于所述多个凹座

的多对相对侧壁的方向上延伸,且具有大于所述多个凹座的深度的深度。

26. 根据权利要求 25 所述的存储器装置,其中所述凹座延伸到凹座深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到小于所述凹座深度的深度。

27. 根据权利要求 25 所述的存储器装置,其中所述有源区延伸到所述侧壁中达第一深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到大于所述第一深度的第二深度。

28. 根据权利要求 27 所述的存储器装置,其中所述导电薄膜结构进一步包括上边缘,其中所述上边缘凹陷在所述凹座内达第三深度,所述第三深度小于所述第一深度和所述第二深度。

29. 根据权利要求 25 所述的存储器装置,其进一步包括在所述对相对侧壁之间延伸的底面,且其中所述导电薄膜结构包括延伸远离所述侧壁与所述底面的交叉部分的下边缘。

30. 根据权利要求 25 所述的存储器装置,其进一步包括定位于所述对相对侧壁之间的底面,其中所述介电层进一步包括覆盖所述底面和所述对相对侧壁的沟槽介电层。

31. 根据权利要求 25 所述的存储器装置,其中所述导电薄膜结构包括定位于所述凹座内的导电栅极结构。

32. 根据权利要求 25 所述的存储器装置,其中所述有源区经掺杂以向所述有源区施加 n+ 和 p- 导电性中的至少一者。

33. 根据权利要求 25 所述的存储器装置,其进一步包括多个控制线,所述控制线将所述至少一个外围电路耦合到所述存储器阵列。

34. 根据权利要求 25 所述的存储器装置,其中所述至少一个外围电路包括读出放大器、多路复用电路、多路分用电路、锁存电路、缓冲器电路和输入及输出电路中的至少一者。

35. 一种用于存储器装置的存储器阵列,其包括:

多个存储器单元,其形成在半导体衬底上且耦合到形成在所述衬底上的字线和垂直的位线,每一存储器单元进一步包括:

存储装置;及

存取装置,其形成在所述衬底上,且耦合到所述存储装置并耦合到所述字线中的选定一者及所述位线中的选定一者,所述阵列进一步包括:

多个凹座,其形成在所述半导体衬底中,所述凹座中的每一者包含一对相对侧壁及在所述侧壁之间延伸的底面,所述侧壁包含所述存取装置的具有选定导电性的有源区;

导电薄膜结构,其至少部分地设置在所述凹座的相应侧壁上;

介电层,其插入在所述有源区与所述导电薄膜结构之间;

多个第一沟槽,其形成在所述多个凹座中的邻近凹座之间,且在垂直于所述多个凹座的多对相对侧壁的方向上延伸,且具有大于所述多个凹座的深度的深度。

36. 根据权利要求 35 所述的存储器阵列,其中所述凹座延伸到所述衬底中达凹座深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到小于所述凹座深度的深度。

37. 根据权利要求 35 所述的存储器阵列,其中所述有源区延伸到所述侧壁中达第一深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到大于所述第一深度的第二深度。

38. 根据权利要求 37 所述的存储器阵列,其中所述导电薄膜结构进一步包括上边缘,其中所述上边缘凹陷在所述凹座内达第三深度,所述第三深度小于所述第一深度和所述第二深度。

39. 根据权利要求 35 所述的存储器阵列,其中所述导电薄膜结构包括延伸远离所述侧壁与所述底面的交叉部分的下边缘。

40. 根据权利要求 35 所述的存储器阵列,其中所述介电层进一步包括覆盖所述底面和所述对相对侧壁的沟槽介电层。

41. 根据权利要求 35 所述的存储器阵列,其中所述有源区经掺杂以向所述有源区施加  $n^+$  和  $p^-$  导电性中的至少一者。

42. 根据权利要求 35 所述的存储器阵列,其中所述存储装置进一步包括三维电容器结构。

43. 一种处理系统,其包括:

中央处理单元 (CPU);及

存储器装置,其通过通信总线可操作地耦合到所述 CPU,所述存储器装置包含至少一个存取装置,所述存储器装置进一步包括:

多个凹座,其延伸到半导体衬底中,所述凹座中的每一者包含一对相对侧壁及在所述侧壁之间延伸的底面,所述侧壁包含所述存取装置的形成在其中的有源区;

导电薄膜结构,其至少部分地设置在所述凹座的相应侧壁上;

介电层,其插入在所述有源区与所述导电薄膜结构之间;及

多个第一沟槽,其形成在所述多个凹座中的邻近凹座之间,且在垂直于所述多个凹座的多对相对侧壁的方向上延伸,且具有大于所述多个凹座的深度的深度。

44. 根据权利要求 43 所述的处理系统,其中所述凹座延伸到所述衬底中达凹座深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到小于所述凹座深度的深度。

45. 根据权利要求 43 所述的处理系统,其中所述有源区延伸到所述侧壁中达第一深度,且所述导电薄膜结构沿所述凹座的相应侧壁延伸到大于所述第一深度的第二深度。

46. 根据权利要求 45 所述的处理系统,其中所述导电薄膜结构进一步包括上边缘,其中所述上边缘凹陷在所述凹座内达第三深度,所述第三深度小于所述第一深度和所述第二深度。

47. 根据权利要求 46 所述的处理系统,其中所述导电薄膜结构包括延伸远离所述侧壁与所述底面的交叉部分的下边缘。

48. 根据权利要求 43 所述的处理系统,其中所述介电层进一步包括覆盖所述底面和所述对相对侧壁的沟槽介电层。

49. 根据权利要求 43 所述的处理系统,其中所述有源区经掺杂以向所述有源区施加  $n^+$  和  $p^-$  导电性中的至少一者。

50. 根据权利要求 43 所述的处理系统,其进一步包括可操作地耦合到所述通信总线的至少一个输入/输出 (I/O) 装置和一大容量存储装置。

51. 根据权利要求 50 所述的处理系统,其中所述至少一个 I/O 装置包含打印机、显示装置、键盘和鼠标中的至少一者,且进而其中所述大容量存储装置包含硬盘驱动器、软盘驱动器和光盘驱动器中的至少一者。

52. 一种用于存储器装置的存储器阵列,其包括:

多个存储器单元,其形成在半导体衬底上且耦合到形成在所述衬底上的字线和垂直的位线,每一存储器单元进一步包括:

多个存储装置；及

多个存取装置，其形成在所述衬底中，且可操作地耦合到所述存储装置并耦合到所述字线中的选定一者及所述位线中的选定一者，所述阵列进一步包括：

多个凹座，其形成在所述半导体衬底中，所述凹座中的每一者在所述存取装置之间延伸且包含一对相对侧壁及在所述侧壁之间延伸的底面，其中所述侧壁包含所述存取装置的有源区；

导电薄膜结构，其至少部分地设置在所述凹座的相应侧壁上；

介电层，其插入在所述有源区与所述导电薄膜结构之间；及

多个第一沟槽，其形成在所述多个凹座中的邻近凹座之间，且在垂直于所述多个凹座的多对相对侧壁的方向上延伸，且具有大于所述多个凹座的深度的深度。

53. 根据权利要求 52 所述的存储器阵列，其中所述凹座延伸到所述衬底中达凹座深度，且所述导电薄膜结构沿所述凹座的相应侧壁延伸到小于所述凹座深度的深度。

54. 根据权利要求 52 所述的存储器阵列，其中所述有源区延伸到所述侧壁中达第一深度，且所述导电薄膜结构沿所述凹座的相应侧壁延伸到大于所述第一深度的第二深度。

55. 根据权利要求 54 所述的存储器阵列，其中所述导电薄膜结构进一步包括上边缘，其中所述上边缘凹陷在所述凹座内达第三深度，所述第三深度小于所述第一深度和所述第二深度。

56. 根据权利要求 52 所述的存储器阵列，其中所述导电薄膜结构包括延伸远离所述侧壁与所述底面的交叉部分的下边缘。

57. 根据权利要求 52 所述的存储器阵列，其中所述介电层进一步包括覆盖所述底面和所述对相对侧壁的沟槽介电层。

58. 根据权利要求 52 所述的存储器阵列，其中所述有源区经掺杂以向所述有源区施加  $n^+$  和  $p^-$  导电性中的至少一者。

59. 根据权利要求 52 所述的存储器阵列，其中所述存储装置进一步包括三维电容器结构。

60. 根据权利要求 52 所述的存储器阵列，其进一步包括终端部分，所述终端部分包含第一侧和相对第二侧，其中所述终端部分与所述相对侧壁中的一者邻接，且与所述凹座对准。

61. 根据权利要求 60 所述的存储器阵列，其中所述终端部分由介电材料构成。

62. 根据权利要求 60 所述的存储器阵列，其中所述导电薄膜沿所述终端部分延伸。

63. 根据权利要求 62 所述的存储器阵列，其进一步包括所述终端部分的末端部分，所述末端部分在所述第一侧与所述相对第二侧之间延伸，其中所述导电薄膜沿所述第一侧、所述末端部分连续延伸且延伸到所述相对第二侧上。

64. 根据权利要求 62 所述的存储器阵列，其进一步包括耦合到所述导电薄膜的接触结构。

## 具有垂直存取装置的存储器

### [0001] 相关申请案

[0002] 本专利申请案主张 2007 年 1 月 22 日申请的第 11/656,125 号美国申请案的优先权益,所述申请案以引用的方式并入本文中。

### 技术领域

[0003] 本文中揭示的信息大体上涉及集成电路装置和制造方法,包含半导体存储器装置和形成所述装置的方法。

### 背景技术

[0004] 许多电子装置例如个人计算机、工作站、计算机服务器、大型主机和其它与计算机有关的设备(例如打印机、扫描仪和硬盘驱动器)需要提供较大数据存储能力同时招致的功率损耗较低的存储器装置。一种类型的非常适合用于前述装置的存储器装置是动态随机存取存储器(DRAM)。

[0005] 简而言之,且一般而言,DRAM 包含具有多个合适地布置成行和列的存储器单元的存储器阵列。多个导电“字线”沿阵列的行定位以耦合相应行中的单元,而多个导电“位线”沿阵列的列定位,且耦合到相应列中的单元。阵列中的存储器单元包含存取装置(例如晶体管)和存储装置(例如电容器)。所述存取装置和所述存储装置可操作地耦合,以便通过在存储装置上外加预定的电荷状态(对应于选定逻辑状态)并通过存取装置存取电荷状态以检索存储的信息而将信息存储在存储器单元内。

[0006] 通过激活字线中的特定一者,同时激活位线中的特定一者来选择存储器阵列中的个别存储器单元。因此,为了写入到存储器单元,将选定位线驱动到高或低逻辑状态,其中将存取装置接通足够的时间以便将存储装置充电到高或低逻辑状态。随后将存取装置断开,从而在存储装置上留下选定的逻辑状态。由于通常会发生电流泄漏,所以周期性地对存储装置进行刷新,以便在存储装置中维持所要的逻辑状态。为了对存储在存储器单元中的逻辑状态进行读取或刷新,准许位线在存取装置接通时浮动,从而可感测并合适地放大位线上的微小电位差。如果电位差超过了预定阈值,则对单元进行刷新。

[0007] 为了增加 DRAM 装置的存储器容量,已稳定地减小存储器单元的组件占据的表面积,以便可增加半导体衬底上的存储器单元的堆积密度。已通过以下方式来实现表面积减小和堆积密度的相应提高:存储器单元组件的特征尺寸总体减小,且形成显著三维的存储器单元组件,使得存储器单元组件除了大体上在衬底的表面上延伸之外还延伸到衬底中。

[0008] 一种显著提高存储器装置中的存储器单元的堆积密度的有用的结构是垂直存取装置。一般而言,在蚀刻于衬底中的凹座中形成垂直存取装置。因此形成一对垂直侧壁,其中一水平底面在所述垂直侧壁之间延伸。通常将介电层施加于凹座内部,且采用选择性掺杂向侧壁区施加所要的导电性。栅极结构通常邻近所述侧壁区定位。如所属领域中众所周知,垂直存取装置的各个部分于是可操作地耦合到存储器装置的各个其它部分。

[0009] 虽然垂直存取装置通常会提高堆积密度,但现有技术垂直存取装置中存在的一个显著缺点是隅角区可能产生相对高的静电电位,其可能会导致隅角区中的局部介电击穿。虽然隅角区中的介电击穿可至少部分地通过介电绝缘层的厚度的增加而受到抑制,但此方法会引起若干缺陷。举例来说,随着选定介电层的厚度增加,装置中的栅极电容减小,这可能会对装置的开关时间产生不利影响。

## 发明内容

[0010] 本申请案中已揭示各种实施例。在一方面中,一种用于存储器装置的存储器阵列可包含:多个存储器单元,其形成在半导体衬底上且耦合到形成在所述衬底上的字线和大体上垂直的位线。每一存储器单元可进一步包含:存储装置;及存取装置,其形成在所述衬底上,且耦合到所述存储装置并耦合到所述字线中的选定一者及所述位线中的选定一者。所述阵列可进一步包含:凹座,其形成在所述衬底中,其可包含一对相对侧壁及在所述侧壁之间延伸的底面,所述侧壁可包含所述存取装置的有源区。所述阵列还包含导电薄膜结构,其至少部分地设置在所述凹座的相应侧壁上;以及介电层,其插入在所述有源区与所述导电薄膜结构之间。

[0011] 在另一方面中,一种用于存储器装置的存储器阵列可包含:多个存储器单元,其形成在半导体衬底上且耦合到形成在所述衬底上的字线和大体上垂直的位线。所述存储器阵列可进一步包含:多个存储装置;以及多个存取装置,其形成在所述衬底中,且可操作地耦合到所述存储装置并耦合到所述字线中的选定一者及所述位线中的选定一者。所述阵列还可包含:凹座,其形成在所述半导体衬底中且在所述存取装置之间延伸,且包含一对相对侧壁及在所述侧壁之间延伸的底面,其中所述侧壁可包含所述存取装置的有源区。导电薄膜结构可至少部分地设置在所述凹座的相应侧壁上,且介电层可插入在所述有源区与所述导电薄膜结构之间。

[0012] 在再一方面中,一种用于存储器装置的存储器阵列可包含:多个存储器单元,其定位在半导体衬底上且耦合到形成在半导体衬底上的字线和大体上垂直的位线。每一存储器单元可进一步包含:存储装置;以及存取装置,其耦合到所述存储装置且耦合到所述字线中的特定一者和所述位线中的特定一者。所述阵列可进一步包含:凹座,其延伸到所述衬底中,且可包含相对侧壁和在所述侧壁之间延伸的底面。所述侧壁可包含具有特定导电性的有源区。导电薄膜结构可至少部分地设置在所述凹座的相应侧壁上,且介电层可插入在所述有源区与所述导电薄膜结构之间。

## 附图说明

[0013] 下文参看以下各图详细描述本发明的各种实施例。

[0014] 图 1 是根据本发明的各种实施例的存储器装置的图解方框图。

[0015] 图 2 是图 1 所示的存储器阵列的部分示意图。

[0016] 图 3 是图 2 的存储器阵列的存储器单元的示意图。

[0017] 图 4 是展示根据本发明的若干实施例形成的多个垂直存取装置的存储器装置的部分等角视图。

[0018] 图 5 是根据本发明的若干实施例的存取装置的部分侧面正视图。



- [0019] 图 6 是根据本发明的若干实施例的存取装置的另一部分侧面正视图。
- [0020] 图 7 是根据本发明的若干实施例的存取装置的又一部分侧面正视图。
- [0021] 图 8 是根据本发明的若干实施例的存取装置的再一部分侧面正视图。
- [0022] 图 9 是根据本发明的若干实施例的存取装置的部分侧面正视图。
- [0023] 图 10 是根据本发明的若干实施例的存取装置的另一部分侧面正视图。
- [0024] 图 11 是根据本发明的若干实施例的存取装置的又一部分侧面正视图。
- [0025] 图 12 是根据本发明的若干实施例的存储器装置的部分侧面正视图。
- [0026] 图 13 是根据本发明的若干实施例的存储器装置的另一部分侧面正视图。
- [0027] 图 14 是根据本发明的若干实施例的存储器装置的另一部分侧面正视图。
- [0028] 图 15 是根据本发明的若干实施例的存储器装置的部分俯视平面图。
- [0029] 图 16 是根据本发明的另一实施例的处理系统的图解方框图。

### 具体实施方式

[0030] 所揭示的各种实施例中的许多实施例涉及存储器装置和制造所述装置的方法，且特别涉及存储器装置的垂直存取装置。在以下描述且在图 1 到图 16 中阐述本发明的特定实施例的具体细节，以提供对所述实施例的透彻了解。然而，所属领域的技术人员将了解，实施例是可能的，且许多实施例可在没有以下描述中描述的若干细节的情况下实践。

[0031] 图 1 是根据本发明的实施例的存储器装置 10 的图解方框图。通过各种制造方法在半导体衬底 12 上制造存储器装置 10，所述制造方法包含选择性掩蔽、光刻、蚀刻、材料沉积、选择性掺杂、平坦化和其它已知的制造方法。通过选择性地应用前述制造方法在半导体衬底 12 上设置具有多个存储器单元（图 1 中未图示）的存储器阵列 14。存储器阵列 14 中包含的存储器单元各包含根据本发明的实施例构造的存取装置，下文将对其进行更详细地论述。存储器装置 10 还包含一个或一个以上外围电路 16，其通过多个控制线 18 可操作地耦合到存储器阵列 14。所述外围电路 16 大体上包含经配置以对存储器阵列 14 内的存储器单元寻址以便可存储和存取信息的电路。因此，存储器装置 10 中的外围电路 16 可包含读出放大器、合适的多路复用和多路分用电路、锁存电路、缓冲器电路，以及经配置以与外部装置通信的输入和输出电路。外围电路 16 还可包含各种可操作以将电力供应到存储器装置 10 和 / 或调整所述电力的电路。

[0032] 图 2 是根据图 1 所示的实施例的存储器阵列 14 的部分示意图。存储器阵列 14 包含多个耦合到大体上垂直的字线 20 和位线 22 的存储器单元 18。字线 20 和位线 22 协作地形成多个地址线，所述地址线可耦合到图 1 的外围电路 16。如下文将更详细论述，存储器单元 18 各包含一存取装置和一存储装置（图 2 中未图示），其可操作地耦合到相应的字线 20 和位线 22。确切地说，所述存取装置是根据本发明的实施例构造的，下文中也将在更详细地对所述实施例进行论述。虽然图示了单个存储器阵列 14，但应了解，存储器阵列 14 可被隔离成多个存储体，其中每一存储体具有专用的输入和输出端口，所述端口进一步耦合到共用内部总线，从而可循序或同时向不同存储体写入信息和从不同存储体存取信息。

[0033] 图 3 是根据图 2 所示的实施例的存储器单元 18 的示意图。存储器单元 18 包含存取装置 30，其可为金属氧化物半导体场效晶体管 (MOSFET)。因此，如果沟道区由 n 型半导体材料构成则存取装置 30 可为 p-MOSFET 装置，或替代地，如果沟道区由 p 型半导体材料构成

则存取装置 30 可为 n-MOSFET 装置。在任一情况下,存取装置 30 均大体上通过合适地掺杂半导体衬底 12(图 1) 形成,所述半导体衬底 12 可为由硅或由半导体材料的混合物(例如硅和锗(SiGe)) 构成的块状衬底。或者,衬底 12 可包含绝缘体上硅结构,例如蓝宝石上硅衬底。随后,合适掺杂的区可通过将掺杂的区互连而可操作地耦合到存储器单元 18 的其它部分。所述互连可由选定金属形成,或替代地由其它导电材料(例如多晶硅) 形成。同样,所述存取装置 30 是根据本发明的实施例构造的,下文中将更详细地对所述实施例进行论述。存储器单元 18 还包含耦合到存取装置 30 的存储装置 38。存储装置 38 可为电容性结构,其具有合适大的电容,以便可由存取装置 30 将适当的信号传送到外围电路 16(图 1)。因此,电容性结构可包含三维电容结构,例如沟槽和堆叠电容器结构。举例来说,所述电容性结构可包含授予德波尔(DeBoer) 等人的标题为“使用双面电极的 DRAM 电容器设计”(“DRAM Capacitor Formulation Using a Double-Sided Electrode”) 的第 6,635,540 号美国专利中揭示的三维电容性装置,所述专利以引用的方式并入本文中。

[0034] 图 4 是展示位于图 1 的半导体衬底 12 上的多个垂直存取装置 42 的存储器装置 40 的部分等角视图,其将用于描述各种实施例。为了说明的清晰起见,可省略存储器装置 40 的若干部分,但所述部分可能在授予沃纳·张格林(Werner Juengling) 的 2004 年 9 月 1 日申请的标题为“具有垂直晶体管的 DRAM 单元”(“DRAM Cells with Vertical Transistors”) 的第 US 2006/0046407 A1 号美国公开申请案中详细揭示,所述申请案以引用的方式并入本文中。垂直存取结构 42 中的每一者可在 x 方向上相互隔开选定距离  $d_1$ 。垂直存取结构 42 各包含相对的一对柱状部分 44,其从衬底 12 向外延伸,从而界定相对的一对大体上平行的侧壁 45,其具有在侧壁 45 之间延伸的底面 47。柱状部分 44 在 y 方向上隔开选定距离  $d_2$ 。如下文将详细论述,柱状部分 44 通过分别提供源极/漏极区和沟道区而协作地形成垂直存取装置 42。如下文将详细描述,多个相互对准的第一沟槽 50 沿着结构 42 且在结构 42 之间延伸,且经配置以容纳可通过各种方法在第一沟槽 50 中沉积的导电字线(图 4 中未图示)。大约垂直于第一沟槽 50 的多个相互对准的第二沟槽 52 由侧壁 45 和底面 47 界定。还在装置 40 中形成相对较深的第三沟槽 53,其大约与第二沟槽 52 对准,且位于垂直存取结构 42 之间。

[0035] 现在将使用图 5 到图 11 来说明根据各种实施例的形成具有垂直存取装置 42 的存储器装置 40 的方法。现在参看图 5,其展示衬底 12 的部分侧面正视图,衬底 12 包含在形成图 4 所示的结构期间施加于衬底 12 的介电层 60。半导体衬底 12 可包含任何具有半导体表面的基于半导体的结构,所述基于半导体的结构可包含硅、绝缘体上硅(SOI) 和蓝宝石上硅(SOS) 结构。此外,衬底 12 可包含掺杂和未掺杂半导体材料,和/或支撑在半导体底座上的硅的外延层。此外,构成半导体衬底 12 的材料无需完全基于硅。举例来说,衬底 12 也可包含完全由锗形成或由硅与锗组合形成或由砷化镓形成的部分。现在将在下文中进一步详细论述根据实施例的掺杂结构。介电层 60 可包含任何合适的介电材料,其可包含使用化学气相沉积(CVD) 沉积在表面上的相对较厚的二氧化硅层。或者,介电层 60 可为通过高温下将衬底 12 暴露于氧气气氛而形成的热生长层。

[0036] 垂直存取结构 42 包含第二沟槽 52,其是通过将衬底 12 合适地蚀刻到深度  $d_3$  而形成。沟槽 52 可使用湿式蚀刻工艺来蚀刻,或者其可使用干式蚀刻工艺来蚀刻,干式蚀刻工艺可包含等离子蚀刻、离子研磨和反应离子蚀刻(RIE)。沟槽 50 和沟槽 53 大体上形成到大

于深度  $d_3$  的深度,且也可使用湿式蚀刻或干式蚀刻工艺来形成。沟槽 50 被蚀刻到大约  $1.5F$  的深度,其中  $F$  为装置 40 的相关垂直特征尺寸。一般来说,相关特征尺寸是由用于形成装置 40 的光掩模上的最小可分辨特征确定。在各种实施例中,沟槽 50 的深度大约为 1750 埃 ( $\text{\AA}$ ),但沟槽 50 可形成到其它可小于或大于此深度的合适深度。

[0037] 现在参看图 6,可将介电填充物 49 沉积到沟槽 52 中,所述介电填充物 49 至少部分地填充沟槽 52。虽然可使用各种介电材料,但在各种实施例中,可例如通过二氧化硅来形成介电填充物 45,所述二氧化硅是通过使用低压化学气相沉积 (LPCVD)、等离子增强化学气相沉积 (PECVD) 或其它类似的沉积方法对正硅酸乙酯 (TEOS) 进行高温分解而形成。可在沟槽 53 中填充介电材料 55,其可包含例如使用化学气相沉积 (CVD) 或通过其它已知方法沉积的二氧化硅。

[0038] 图 7 是图 4 的存储器装置 40 的部分侧面正视图,其将用于进一步描述形成方法。可向沟槽 50 的侧壁 46 和底面 48 沉积沟槽介电层 62。虽然沟槽介电层 62 可为任何可在侧壁 46 和底面 48 上生长或沉积的合适的介电材料,但沟槽介电层 62 可包含热生长二氧化硅 ( $\text{SiO}_2$ ) 层。一般来说,热生长  $\text{SiO}_2$  层将形成受衬底 12 的结晶取向控制的厚度。因此,在侧壁 46 上产生热生长  $\text{SiO}_2$  层达所需的厚度,而在底面 48 上形成的二氧化硅层可相对比侧壁 46 上形成的  $\text{SiO}_2$  层的厚度薄。或者,沟槽介电层 62 可包含氮化硅 ( $\text{Si}_3\text{N}_4$ ) 层。随后可向至少沟槽 50 的侧壁 46 和底面 48 沉积导电薄膜 64 达所需厚度。导电薄膜 64 可包含金属,例如过渡金属,或者其可包含其它导电材料,例如氮化钛 (TiN) 和氮化钽 (TaN),和各种硅化物,例如硅化钴 (CoSi) 和硅化镍 (NiSi)。构成薄膜 64 的导电材料还可包含多晶硅,其可为掺杂或未掺杂的。导电薄膜 64 可使用化学气相沉积 (CVD) 方法来沉积,所述方法可包含低压化学气相沉积 (LPCVD)。在各种实施例中,导电薄膜 64 可沉积在侧壁 46 和底面 48 上达大约  $0.25F$  与大约  $0.5F$  之间的范围内的厚度,其中  $F$  为装置 40 的相关特征尺寸。也可将导电薄膜 64 形成到大约  $150 \text{\AA}$  与大约  $350 \text{\AA}$  之间的范围内的厚度。可向至少沟槽 50 施加辅助层 66,所述辅助层 66 可包含  $\text{SiO}_2$  层或  $\text{Si}_3\text{N}_4$  层,且可使用 CVD 或其它合适方法沉积。此外,可对层 66 使用其它合适的材料,其可包含导电材料。

[0039] 现在参看图 8,可选择性蚀刻辅助层 66 以移除辅助层 66 和导电薄膜 64 的若干部分。在各种实施例中,沟槽 50 的底部 68 可经间隔物蚀刻 (spacer-etch),以便移除邻近底部 68 的辅助层 66。此外,可通过间隔物蚀刻以类似方式移除导电薄膜 64 的邻近底部 68 的部分,以便使导电薄膜 64 的其余部分相互电隔离。在各种实施例中,沟槽 52 的底部 68 可经间隔物蚀刻穿过辅助层 66 和导电薄膜 64,且向下蚀刻到沟槽介电层 62 中。如图 8 所示,在沟槽 52 的底部 68 处引导的间隔物蚀刻也移除辅助层 66 的在沟槽 50 外部的部分。对沟槽 50 的底部 68 中的辅助层 66 和导电薄膜 64 进行间隔物蚀刻可使用各向异性干式蚀刻方法进行,所述方法例如是等离子蚀刻、离子束蚀刻和反应离子蚀刻 (RIE)。

[0040] 虽然图 8 展示了朝辅助层 66 和导电薄膜 64 引导的间隔物蚀刻,但应了解,也可朝所揭示的结构的其他部分引导间隔物蚀刻。举例来说,间隔物蚀刻也可蚀刻下伏硅材料的显著部分,或间隔物蚀刻可通过选择适当的蚀刻技术来实现层 66、薄膜 64 和下伏硅材料的减少。

[0041] 遵照图 8 所示的间隔物蚀刻程序,且现在参看图 9,可进一步蚀刻导电薄膜 64,使得薄膜 64 对辅助层 66 进行底切。因此,导电薄膜 64 的下边缘 70 延伸到沟槽 50 中达深度

$d_4$ , 其大体上大于沟槽 52 的深度  $d_3$  (图 5), 使得下边缘 70 定位成远离侧壁 46 和底面 48 的交叉部分。也可蚀刻导电薄膜 64 以对导电薄膜 64 进行底切, 使得上边缘 72 延伸到沟槽 50 中达深度  $d_5$ 。下边缘 70 和上边缘 72 的位置可使用湿式和 / 或干式蚀刻方法来合适地定位, 以便向装置 42 施加所需的特性。举例来说, 下边缘 70 和上边缘 72 的位置可经过合适的配置, 以便在装置 42 中提供所要的栅极电容, 或施加其它的所需操作特性, 例如提供装置 42 的所需阈值电压。在图 9 所示的底切程序期间, 辅助层 66 保护导电薄膜 64 的纵向表面, 以便维持导电薄膜 64 的所要厚度  $t$ 。如图 10 所示, 可任选地选择性地从导电薄膜 64 移除辅助层 66 的其余部分。可通过使层 66 变致密来增强层 66 (图 9) 对于移除的选择性。举例来说, 当介电层 66 包含沉积的  $\text{Si}_3\text{N}_4$  层时, 可通过使层 66 暴露于氮化气氛来使层 66 变致密, 所述氮化气氛在预定条件下维持固定的一段时间。

[0042] 现在转向图 11, 垂直存取结构 42 包含至少部分地在柱状部分 44 中延伸的第一掺杂区 74, 和延伸到衬底 12 中的第二掺杂区 76。为了在图 11 中清晰地说明, 移除装置 42 的正面部分上的导电薄膜 64, 而保留装置 42 的背面部分上的导电薄膜 64。然而, 应了解, 导电薄膜 64 可存在于垂直存取装置 42 的相对侧上。可通过离子植入工艺来选择性形成第一掺杂区 74, 以便向区 74 施加所需的导电性。在各种实施例中, 离子植入工艺可包含对选定化学物质的有角度的离子植入, 使得离子植入不会延伸到沟槽 52 中。用于离子植入的合适化学物质可包含例如磷、砷和硼离子, 但也可使用其它合适的化学物质。

[0043] 在各种实施例中, 可掺杂第一掺杂区 74 以产生  $n^+$  导电性, 同时可掺杂第二掺杂区 76 以产生  $p^-$  导电性。在各种实施例中的又一实施例中, 可选择性掺杂第一掺杂区 74 以产生  $p^+$  导电性, 同时掺杂第二掺杂区 76 以产生  $n^-$  导电性。在其它各种实施例中, 可选择性掺杂第一掺杂区 74 和第二掺杂区 76 以产生其它导电性。举例来说, 可掺杂第一掺杂区 74 以产生第一导电性, 所述第一导电性可为  $p$  或  $n$  型导电性, 且可掺杂第二掺杂区 76 以产生第二导电性, 所述第二导电性也可为  $p$  或  $n$  型导电性, 其中第一导电性不同于第二导电性。在各种实施例中的又一实施例中, 可将额外离子植入工艺引导到沟槽 50 (图 10) 中以改进沟槽介电层 62 和衬底 12 的邻近沟槽 50 的底面 48 的部分的绝缘性质。

[0044] 仍参看图 11, 可在衬底 12 中形成第一掺杂区 74 达深度  $d_6$ 。深度  $d_6$  可大于深度  $d_5$ , 但小于深度  $d_4$ , 从而使得导电薄膜 64 延伸超过第一掺杂区 74。然而, 在各种实施例中的其它实施例中, 深度  $d_6$  可向下延伸到深度  $d_4$ , 甚至延伸超过深度  $d_4$ 。

[0045] 图 12 是包含根据各种实施例形成的至少一个垂直存取装置的存储器装置 100 的部分侧面正视图。存储器装置 100 包含支撑衬底 102, 其可包含掺杂或未掺杂半导体材料, 其可为硅的块状衬底。或者, 所述块状衬底可由半导体材料的混合物构成, 例如硅和锗 (SiGe)。衬底 102 还可包含其它已知的半导体结构, 例如绝缘体上硅结构。存储器装置 100 还包含至少一个根据前述方法形成的垂直存取装置 104, 其与介电材料 106 邻接。介电材料 106 可包含前述介电材料中的任一材料, 例如二氧化硅。在存储器装置 100 上形成导电薄膜 106, 其在垂直存取装置 104 的有源区上延伸, 从而形成装置 100 的导电字线。如前所述, 导电薄膜 106 可由金属导电薄膜、半导体材料 (例如掺杂或未掺杂的多晶硅) 或硅化物构成。导电薄膜 106 可延伸到装置 100 的终端部分 108, 所述部分可由介电材料构成, 例如先前揭示的介电材料中的任一者。导电薄膜 106 的沿终端部分 108 延伸的部分可与终端部分 108 的实质侧面部分邻接。导电薄膜 106 也可围绕终端部分 108 连续延伸, 并延伸到终端部分

108 的相对侧上。现在也参看图 13, 存储器装置 100 的背面正视图将导电薄膜 106 展示为围绕终端部分 108 延伸, 使得导电薄膜 106 耦合到设置在终端部分 109 的相对侧上的导电薄膜 106。虽然导电薄膜 106 展示为围绕终端部分 108 延伸, 但应了解, 终端部分 108 的相应侧上的导电薄膜 106 可通过提供在相应侧上的薄膜 106 之间延伸的接触结构来电耦合, 下文将对其进行更详细的描述。

[0046] 仍参看图 12, 导电薄膜 106 可耦合到接触结构 108, 接触结构 108 也可合适地形成以在终端部分 108 的顶部部分上延伸, 使得导电薄膜 106 的沿终端部分 108 的相对侧延伸的部分也耦合到接触结构 108。接触结构 108 可由通过已知的金属沉积方法设置在终端部分 108 上的金属构成。接触结构 108 也可由导电非金属材料构成, 例如掺杂或未掺杂多晶硅乃至硅化物材料。可在存储器装置 100 中包括其它结构以准许装置 100 作为非易失性存储器装置而操作。一个或一个以上导电结构 112 可以可操作地耦合到存取装置 104, 所述导电结构形成装置 100 的导电位线。导电结构 112 也可由通过已知方法设置在存取装置 104 上的金属构成。导电结构 112 也可由导电非金属材料构成, 例如掺杂或未掺杂多晶硅乃至硅化物材料。存储装置 114 也可以可操作地耦合到存取装置 104 以便为预定逻辑状态提供存储构件。存储装置 114 可包含电容器或其它类似结构, 其大体上在装置 100 的制造期间形成。

[0047] 图 14 是存储器装置 100 的另一侧面正视图。存储器装置 100 进一步包含位于导电薄膜 106 与存取装置 104 之间的介电层 116。介电层 116 可根据前述方法形成, 且可由先前揭示的介电材料中的任一者构成。

[0048] 图 15 是存储器装置 100 的部分俯视平面图。如该图中所示, 导电薄膜 106 和导电结构 112 协作地分别形成大约垂直的字线和位线的网, 所述字线和位线耦合到存取装置 104, 存取装置 104 又可以可操作地耦合到存储装置 114 以形成存储器装置 100。虽然图 12 到图 15 中只展示了存储器阵列的一部分, 但应了解, 如此项技术中已知, 存储器装置 100 可被隔离成不同的存储体。此外, 存储器装置 100 还可包含读出放大器、寻址电路、锁存电路、多路复用电路和图 15 中未展示的其它已知电路。

[0049] 图 16 是根据本发明的另一实施例的处理系统 200 的图解方框图。处理系统 200 包含中央处理单元 (CPU) 202, 其可包含任何能够接收数据和经编程指令且进一步经配置以根据所述经编程指令来处理数据的数字装置。因此, CPU 202 可包含微处理器, 例如通用单芯片或多芯片微处理器, 或者其可包含数字信号处理单元或其它类似的可编程处理单元。CPU 202 经配置以经由通信总线 206 与存储器单元 204 通信。存储器单元 204 包含根据本发明的前述实施例构造的垂直存取装置, 例如如图 12 所示的垂直存取装置 42。处理系统 200 也可包含耦合到总线 206 的各种其它装置, 其可操作以协作地与 CPU 202 和存储器单元 204 交互。举例来说, 处理系统 200 可包含一个或一个以上输入 / 输出 (I/O) 装置 208, 例如打印机、显示装置、键盘、鼠标或其它已知的输入 / 输出装置。处理系统 200 也可包含大容量存储装置 210, 其可包含硬盘驱动器、软盘驱动器、光盘装置 (CD-ROM) 或其它类似装置。

[0050] 虽然已说明和描述了本发明的各种实施例, 但如上所述, 在不偏离本发明的精神和范围的情况下可进行许多改变。举例来说, 虽然参看 DRAM 存储器装置描述了垂直存取装置的若干实施例, 但应了解, 也可不加显著修改而将若干实施例并入在各种各样的其它存储器装置中, 所述存储器装置例如是静态存储器, 动态存储器, 例如动态随机存取存储器

(DRAM)、扩展数据输出 (EDO) DRAM、同步动态随机存取存储器、双数据速率同步动态随机存取存储器 (DDR SDRAM)、同步链路动态随机存取存储器 (SLDRAM)、视频随机存取存储器 (VRAM)、RAMBUS 动态随机存取存储器 (RDRAM)、静态随机存取存储器 (SRAM), 快闪存储器以及其它已知的存储器装置。

[0051] 形成本文的一部分的附图以说明而非限制的方式展示了可实践标的物的特定实施例。以充分的细节描述所说明的实施例以使得所属领域的技术人员能够实践本文中揭示的教导。可利用和从中导出其它实施例, 从而可在不偏离本发明的范围的情况下进行结构性和逻辑上的代替和改变。因此, 本实施方式不应以限制性意义来理解, 且各种实施例的范围仅由所附权利要求书连同所述权利要求书被赋予的等效物的完整范围来定义。

[0052] 因此, 虽然本文中已说明和描述了特定实施例, 但应了解, 可用任何经计算以实现相同目的的布置来代替所展示的特定实施例。本发明意图涵盖对各种实施例的任何和所有修改或变动。所属领域的技术人员在审阅了以上描述后将容易理解以上实施例与本文中未具体描述的其它实施例的组合。

[0053] 发明摘要是遵照 37 C.F.R. § 1.72(b) 而提供, 所述法条要求一份将使读者能快速确定技术揭示内容的本质的摘要。发明摘要是在其将不用于解释或限制权利要求书的范围或意义的理解上提交的。此外, 在前述实施方式中, 可看出为了使揭示内容简单化而可将各种特征在单个实施例中分组在一起。所揭示的此方法不应解释为反映所主张的实施例需要多于每一权利要求中明确叙述的特征的意图。相反, 如所附权利要求书所反映, 发明标的物在于少于单个揭示的实施例中的所有特征。因此, 所附权利要求书在此并入到实施方式中, 其中每一权利要求独立地作为单独的实施例。

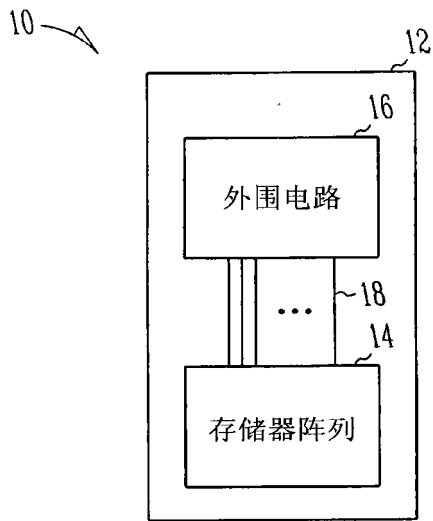


图 1

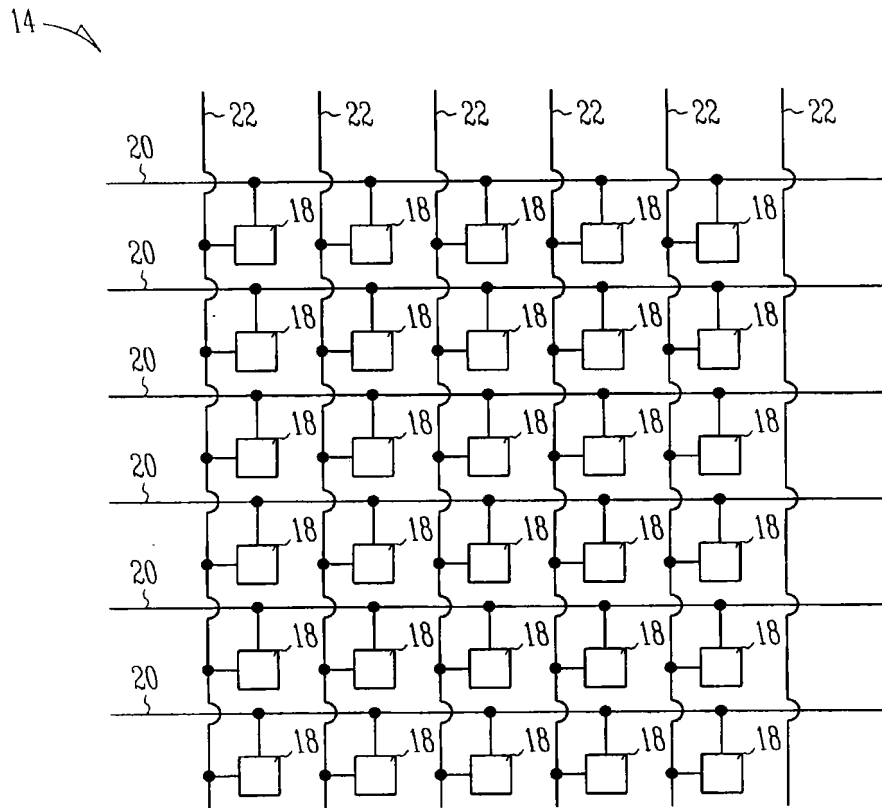


图 2

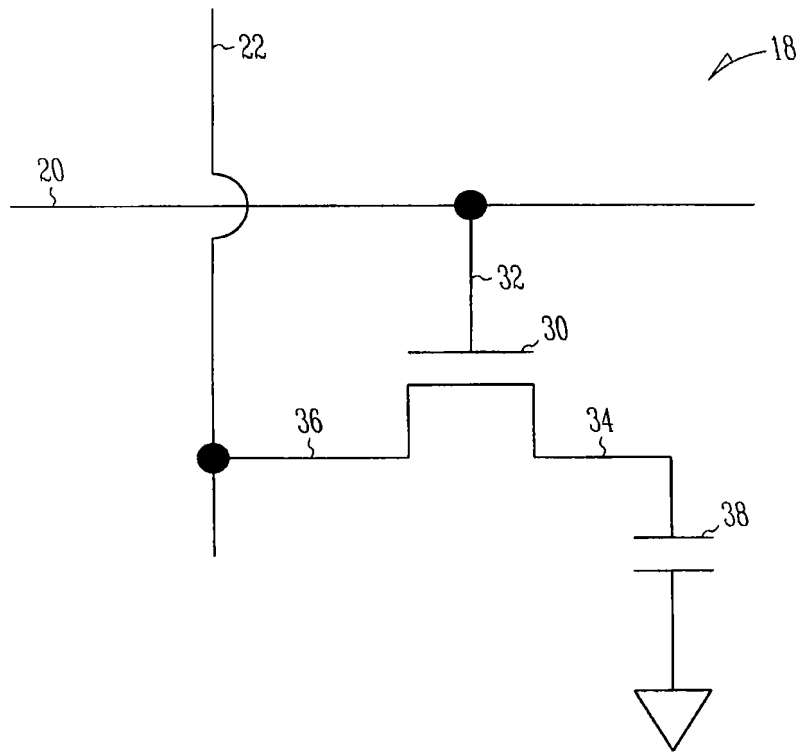


图 3



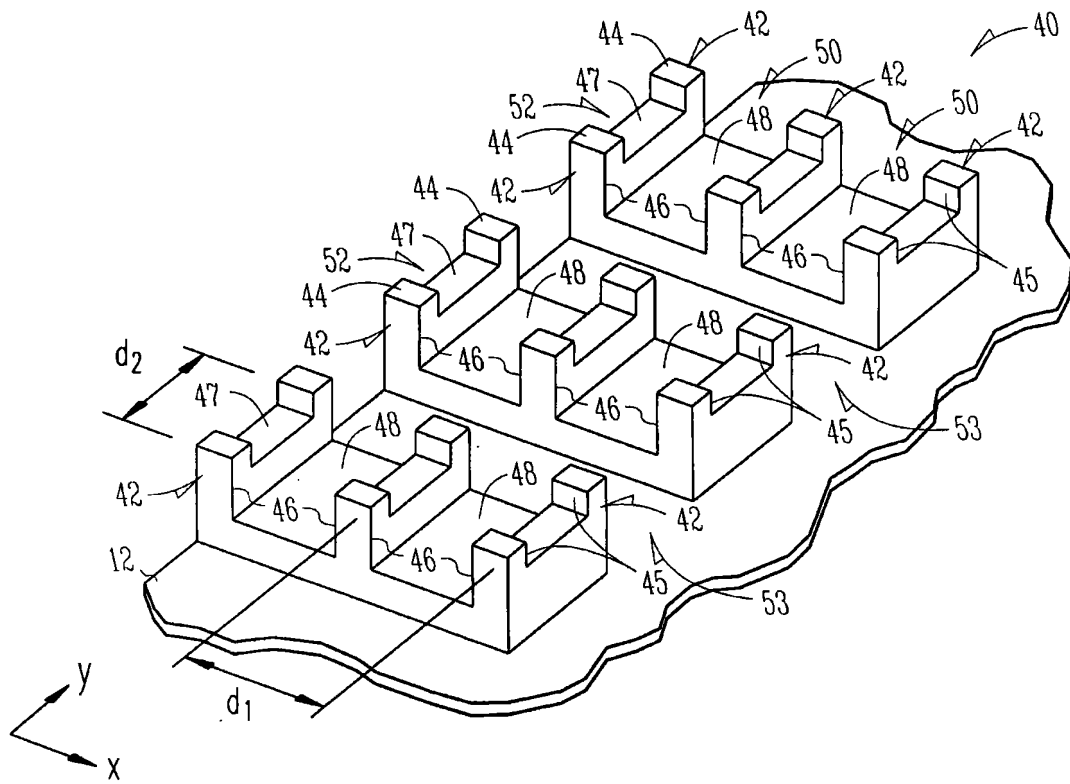


图 4

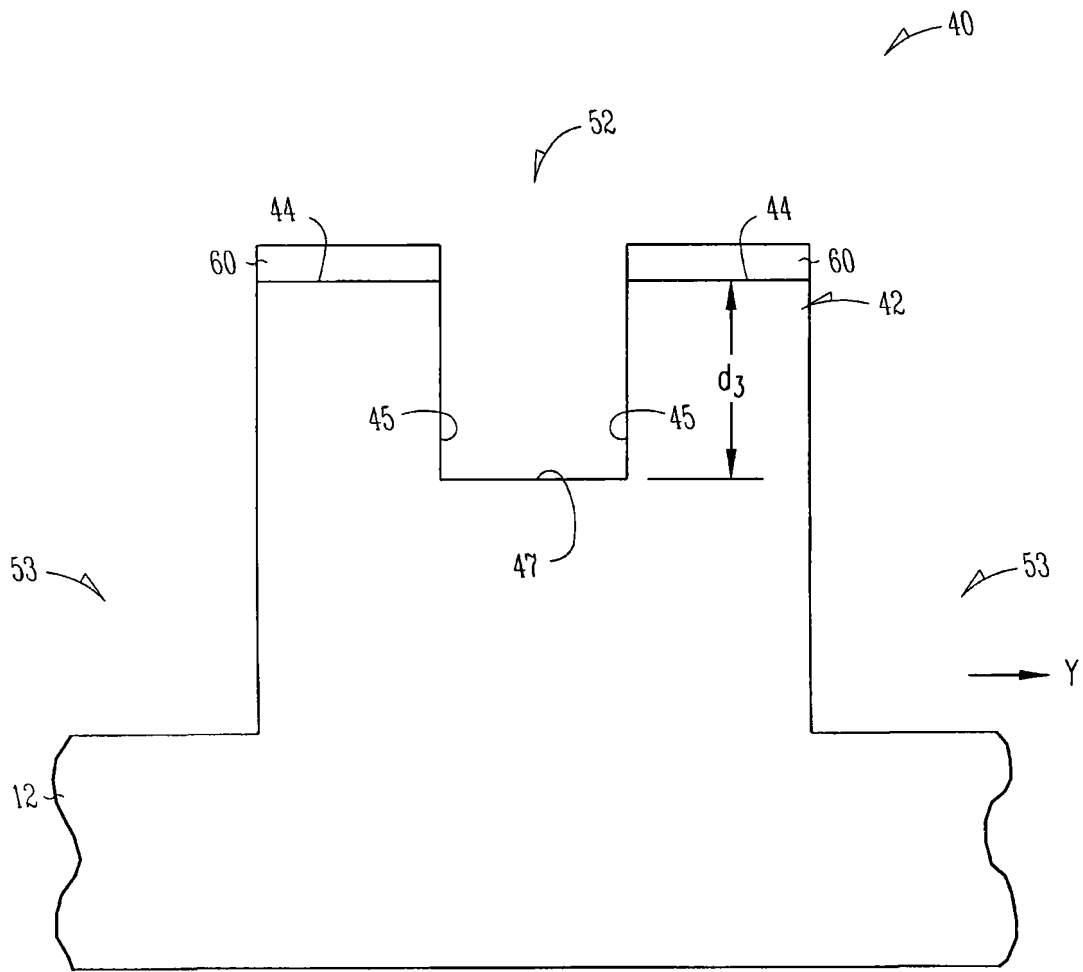


图 5

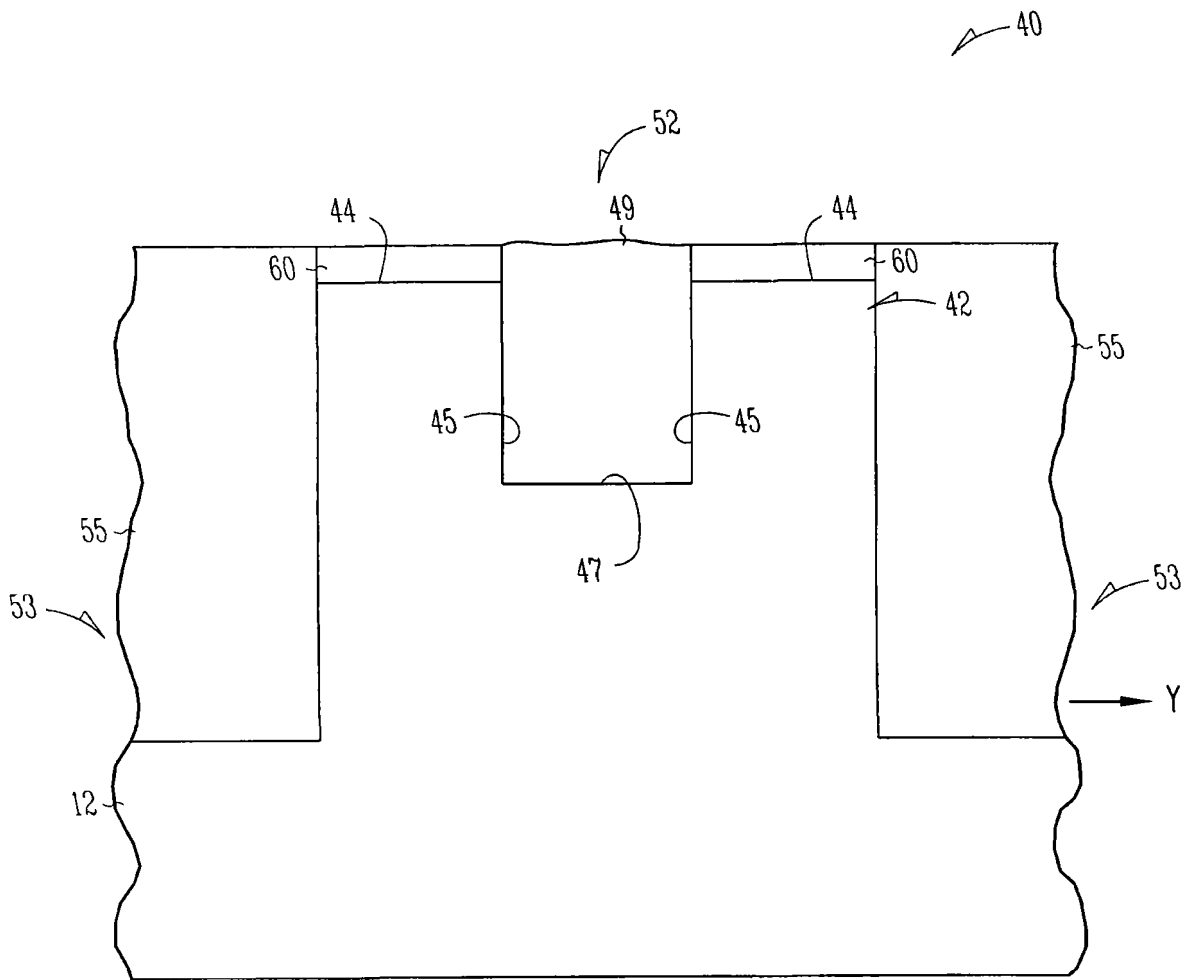


图 6

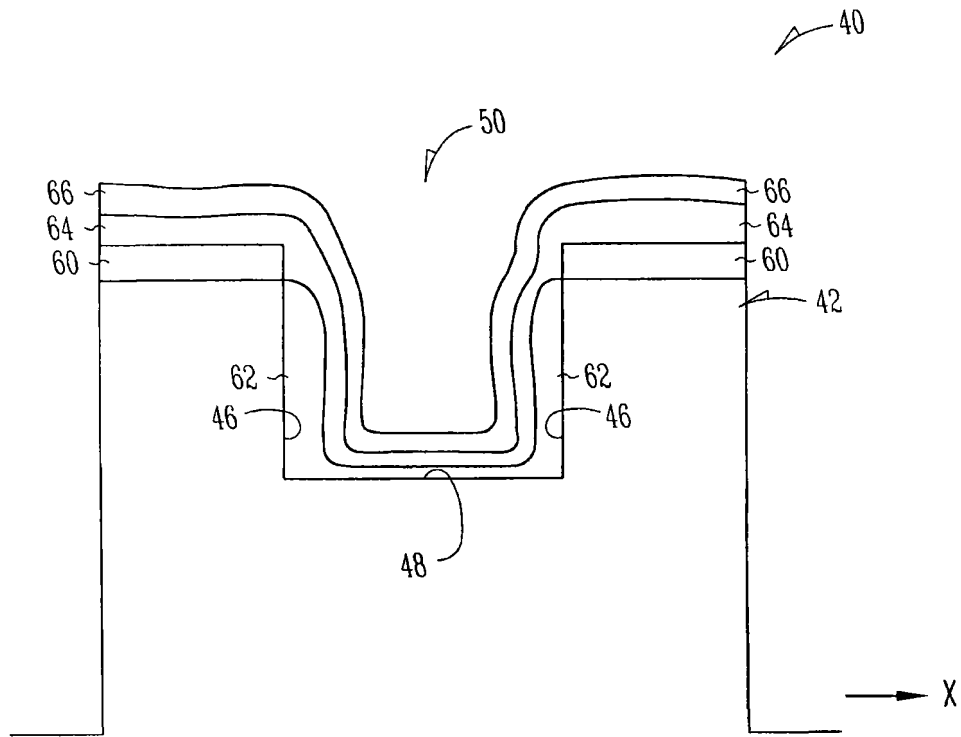


图 7

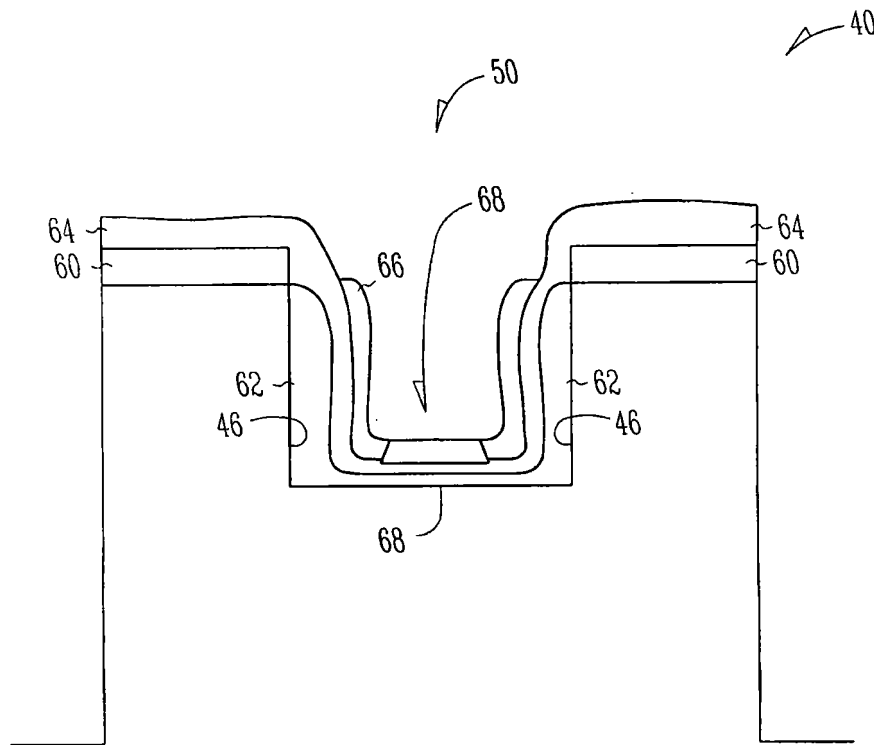


图 8

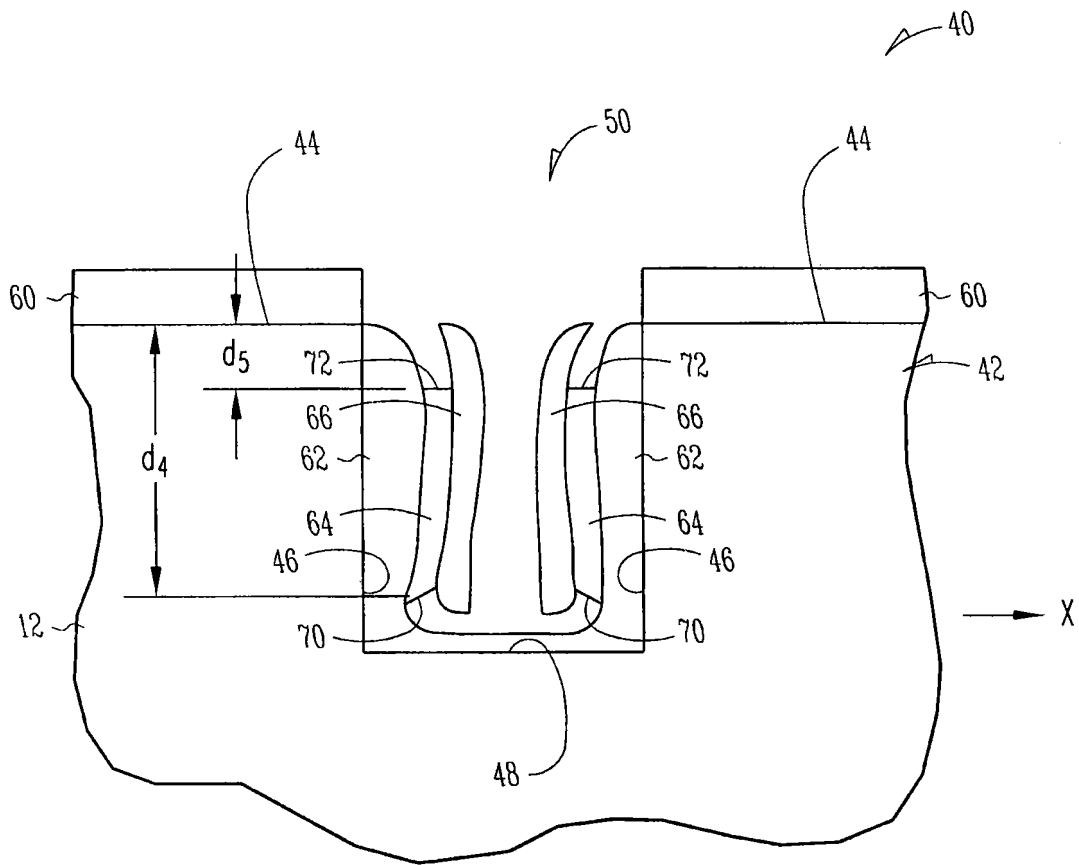


图 9

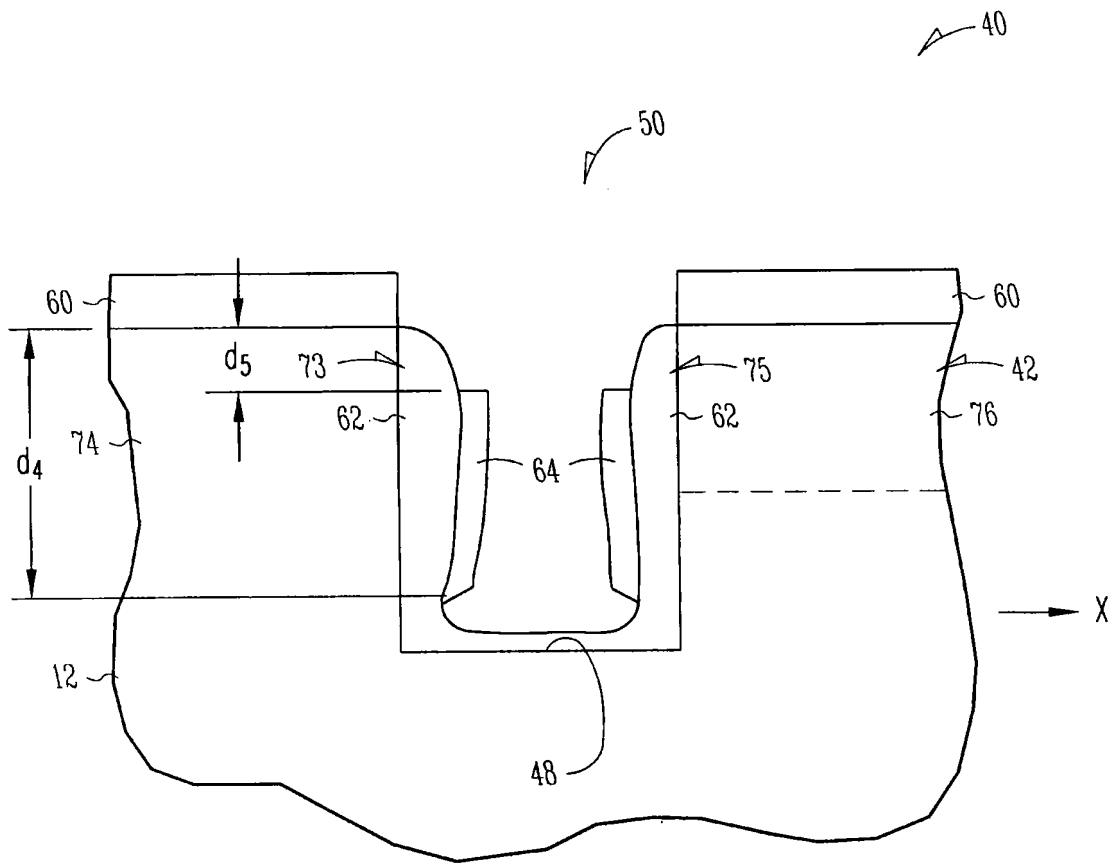


图 10

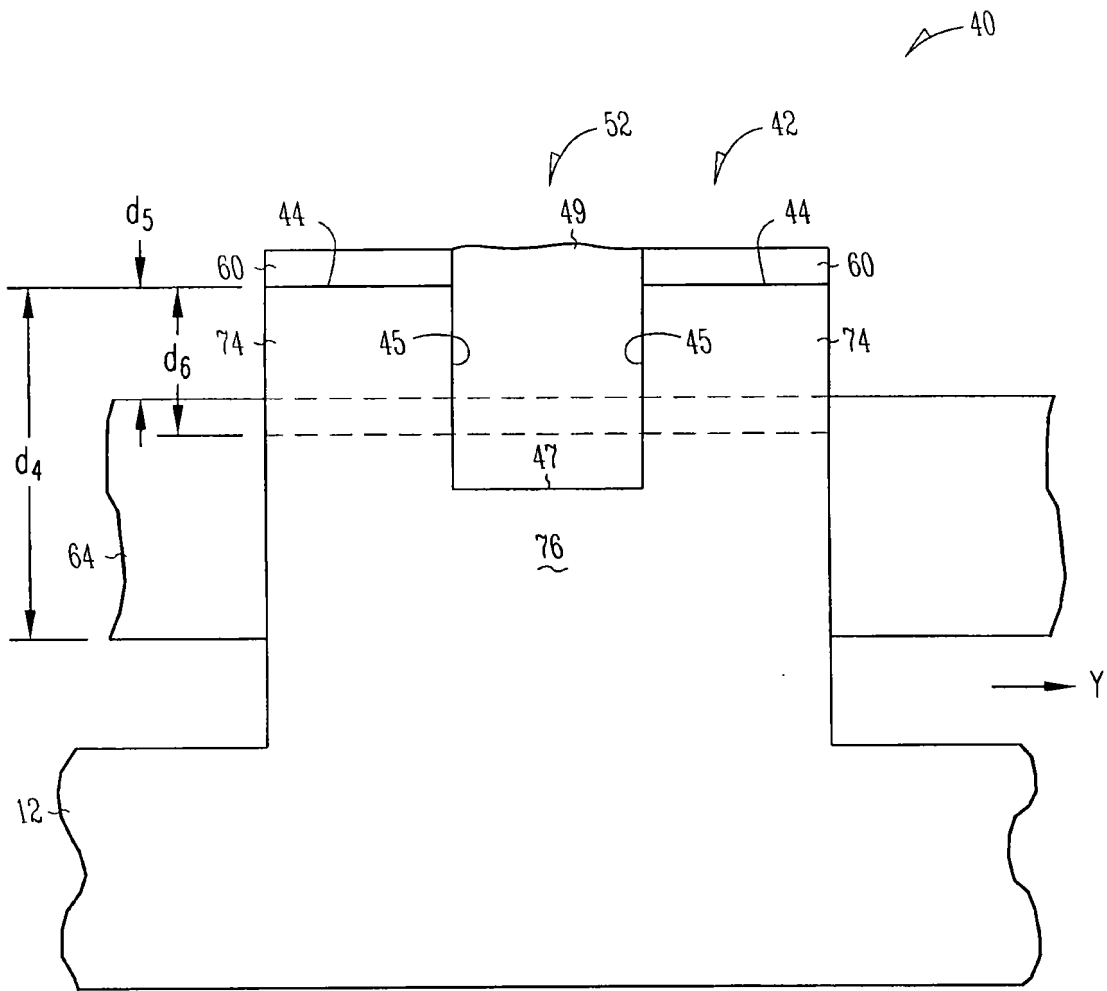


图 11

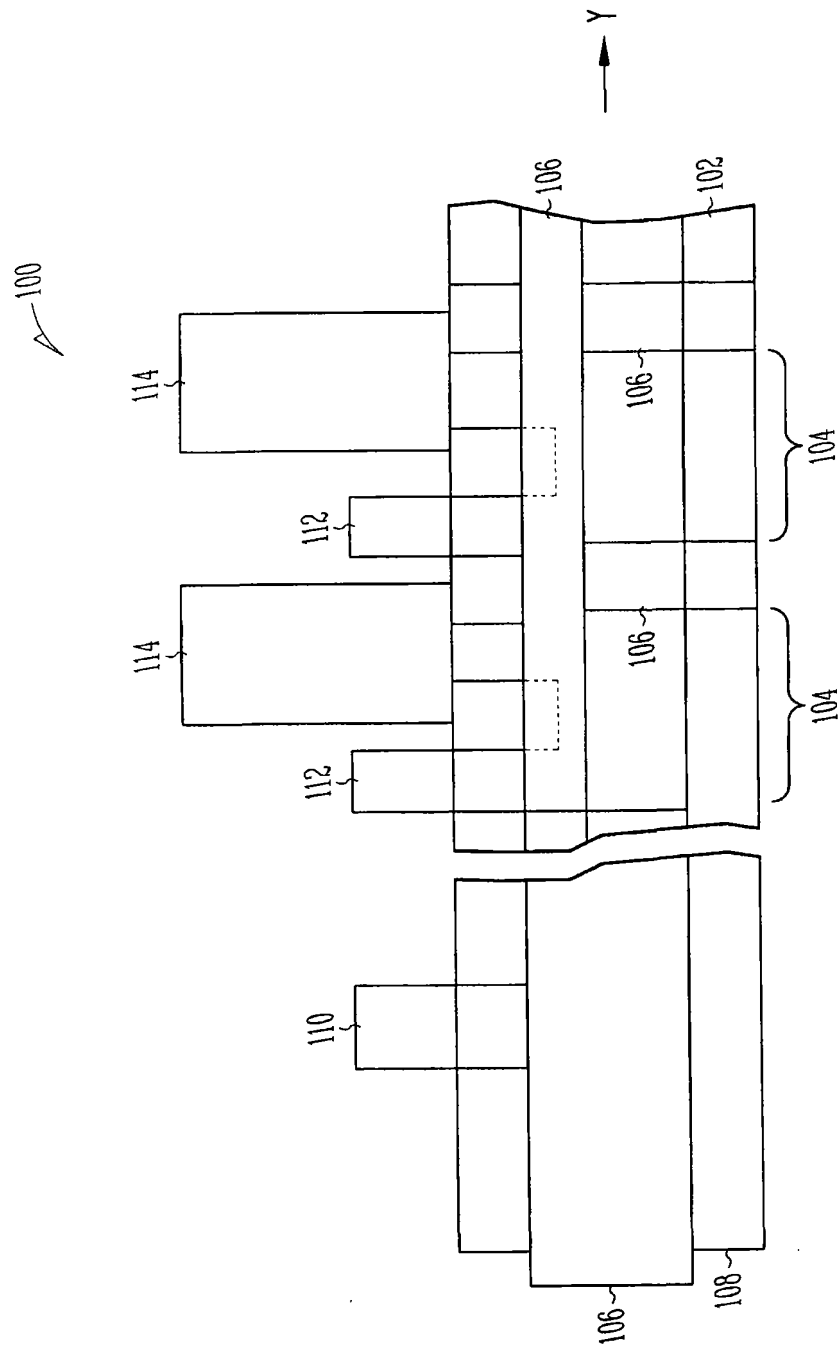


图 12



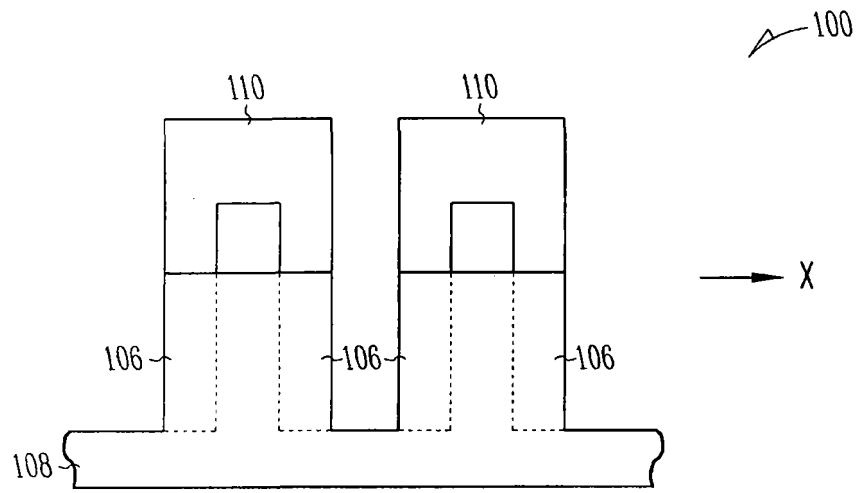


图 13

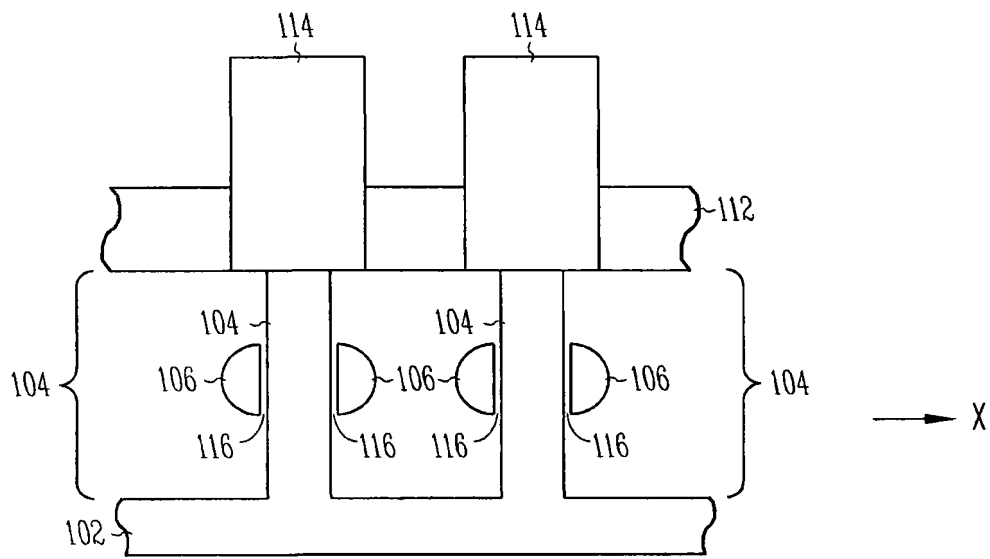


图 14

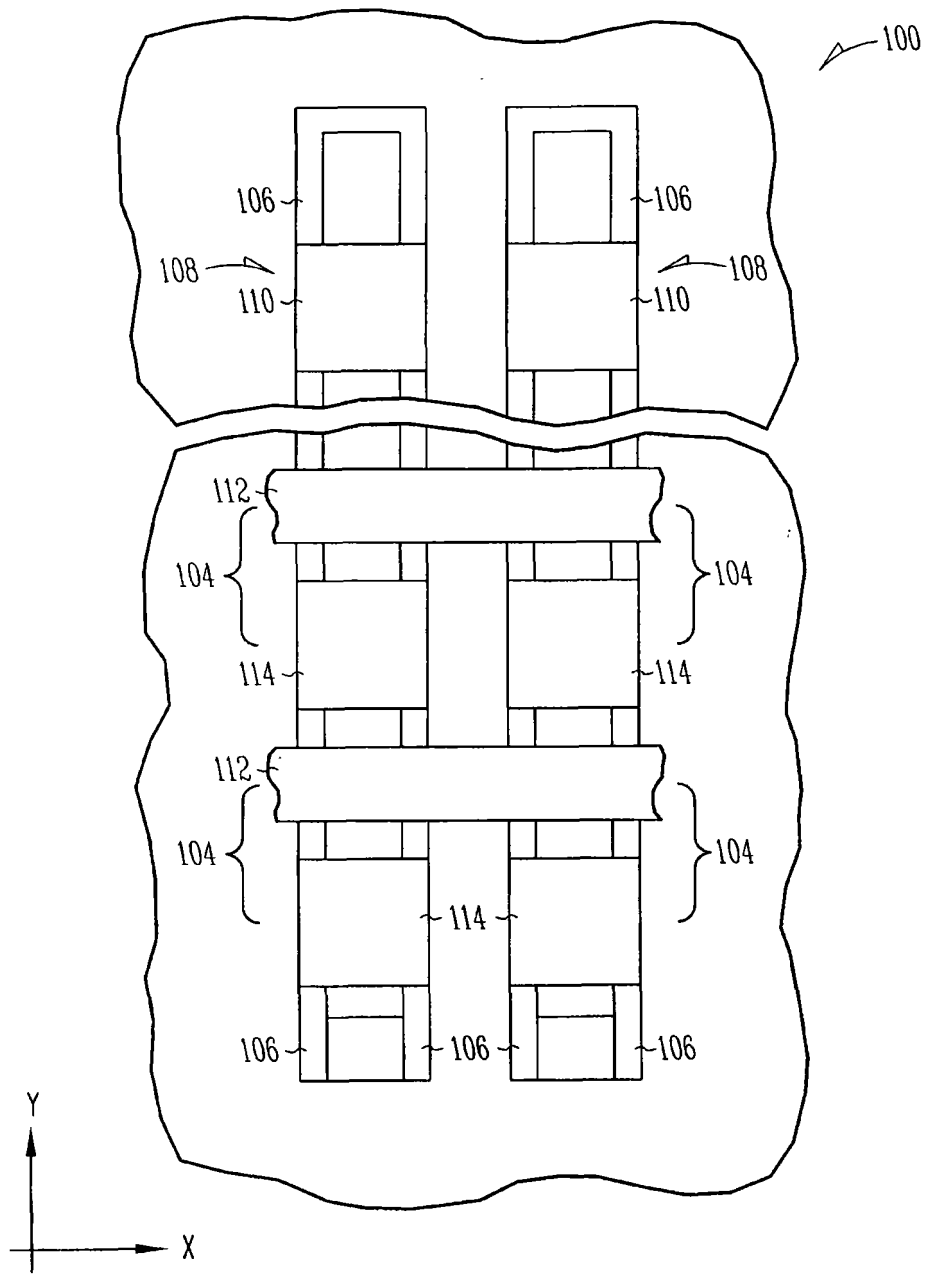


图 15

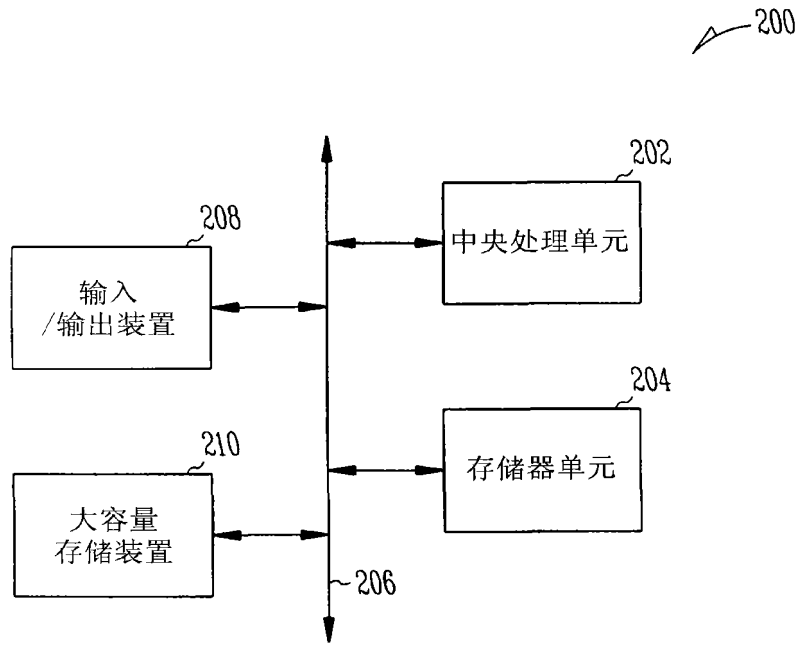


图 16