

특허청구의 범위

청구항 1

반도체 장치에 있어서,
인접하는 전극의 사이에 제공된 제 1 배선과,
제 1 박막 트랜지스터와,
제 2 박막 트랜지스터를 포함하고,
상기 제 1 박막 트랜지스터의 제 1 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
상기 제 2 박막 트랜지스터의 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
상기 제 2 박막 트랜지스터의 상기 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 폭의 방향은 상기 제 1 배선을 통해 흐르는 전류의 방향과 평행한, 반도체 장치.

청구항 2

반도체 장치에 있어서,
인접하는 전극의 사이에 제공된 제 1 배선과,
제 1 박막 트랜지스터와,
제 2 박막 트랜지스터를 포함하고,
상기 제 1 박막 트랜지스터의 제 1 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
상기 제 2 박막 트랜지스터의 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
상기 제 2 박막 트랜지스터의 상기 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 폭의 방향은 상기 제 1 배선의 길이 방향과 평행한, 반도체 장치.

청구항 3

반도체 장치에 있어서,
인접하는 전극의 사이에 제공된 제 1 배선과,
제 1 박막 트랜지스터와,
제 2 박막 트랜지스터를 포함하고,
상기 제 1 박막 트랜지스터의 제 1 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
상기 제 2 박막 트랜지스터의 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
상기 제 2 박막 트랜지스터의 상기 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 폭의 방향은 상기 전극의 길이 방향과 평행한, 반도체 장치.

청구항 4

반도체 장치에 있어서,
 인접하는 소자의 사이에 제공된 제 1 배선과,
 제 1 박막 트랜지스터와,
 제 2 박막 트랜지스터를 포함하고,
 상기 제 1 박막 트랜지스터의 제 1 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
 상기 제 2 박막 트랜지스터의 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
 상기 제 2 박막 트랜지스터의 상기 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 폭의 방향은 상기 제 1 배선을 통해 흐르는 전류의 방향과 평행한, 반도체 장치.

청구항 5

반도체 장치에 있어서,
 인접하는 소자의 사이에 제공된 제 1 배선과,
 제 1 박막 트랜지스터와,
 제 2 박막 트랜지스터를 포함하고,
 상기 제 1 박막 트랜지스터의 제 1 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
 상기 제 2 박막 트랜지스터의 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
 상기 제 2 박막 트랜지스터의 상기 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 폭의 방향은 상기 제 1 배선의 길이 방향과 평행한, 반도체 장치.

청구항 6

반도체 장치에 있어서,
 인접하는 소자의 사이에 제공된 제 1 배선과,
 제 1 박막 트랜지스터와,
 제 2 박막 트랜지스터를 포함하고,
 상기 제 1 박막 트랜지스터의 제 1 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
 상기 제 2 박막 트랜지스터의 채널 형성 영역은 상기 제 1 배선의 아래 쪽에 제공되고,
 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
 상기 제 2 박막 트랜지스터의 상기 채널 형성 영역은 상기 제 1 배선과 겹치는 위치에 제공되고,
 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 폭의 방향은 상기 소자의 길이 방향과 평행한, 반도체 장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,
 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 폭은 상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역의 채널 길이보다 긴, 반도체 장치.

청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 박막 트랜지스터는 제 2 채널 형성 영역을 포함하고,

상기 제 1 채널 형성 영역에 접속하는 불순물 영역 및 상기 제 1 박막 트랜지스터의 상기 제 2 채널 형성 영역의 길이방향은 상기 채널 폭의 방향과 평행한, 반도체 장치.

청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 박막 트랜지스터의 상기 제 1 채널 형성 영역은 비정질 반도체 및 다결정 반도체 중 적어도 하나인, 반도체 장치.

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 전극은 화소전극인, 반도체 장치.

청구항 11

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 박막 트랜지스터는 복수의 채널 형성 영역을 포함하는, 반도체 장치.

청구항 12

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 박막 트랜지스터의 소스 단자 및 드레인 단자의 한쪽은, 상기 인접하는 전극의 한쪽에 접속되고,

상기 제 1 박막 트랜지스터의 상기 소스 단자 및 상기 드레인 단자의 다른 쪽은 상기 제 1 배선에 접속되는, 반도체 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 박막 트랜지스터의 소스 단자 및 드레인 단자의 한쪽은, 상기 인접하는 소자의 한쪽에 접속되고,

상기 제 1 박막 트랜지스터의 상기 소스 단자 및 상기 드레인 단자의 다른 쪽은 상기 제 1 배선에 접속되는, 반도체 장치.

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,
상기 소자 각각은, 발광소자, 유기 메모리, 포토 다이오드 및 압전소자로 이루어진 군으로부터 선택된, 반도체 장치.

청구항 41

반도체 장치에 있어서,
기관과;
상기 기관 위에 있고, 서로 인접한 복수의 화소전극과;
상기 기관 위에 있고, 제1 채널형성영역과, 제2 채널형성영역을 포함한 박막 트랜지스터와;
상기 박막 트랜지스터 위의 절연층과;
상기 절연층 위에 있고, 상기 복수의 화소전극 사이에 있는 전원공급선을 포함하고,
상기 전원공급선은, 상기 제1 채널형성영역 및 상기 제2 채널형성영역과 겹치는, 반도체 장치.

청구항 42

반도체 장치에 있어서,
기관과;
상기 기관 위에서 서로 인접하고, 각각 제1 화소전극과, 상기 제1 화소전극 위의 발광층과, 상기 발광층 위의 제2 화소전극을 포함한 제1 및 제2 화소와;
상기 기관 위에 있고, 제 1 채널 형성영역과 제 2 채널 형성영역을 포함하는 박막 트랜지스터와;
상기 박막 트랜지스터 위의 절연층과;
상기 절연층 위에 있고, 상기 제1 화소의 상기 제1 화소전극과 상기 제2 화소의 상기 제1 화소전극 사이에 있는 전원공급선을 포함하고,
상기 전원공급선이, 상기 박막 트랜지스터의 상기 제 1 채널형성영역 및 상기 제 2 채널 형성영역과 겹치고,
상기 발광층과 상기 제1 화소의 상기 제2 화소전극이 상기 박막 트랜지스터 위에 연장되어 있는, 반도체 장치.

청구항 43

반도체 장치에 있어서,

기관과;

상기 기관 위에 있고, 서로 인접한 복수의 소자와;

상기 기관 위에 있고, 제1 채널형성영역과, 제2 채널형성영역을 포함한 박막 트랜지스터와;

상기 박막 트랜지스터 위의 절연층과;

상기 절연층 위에 있고, 상기 복수의 소자 사이에 있는 배선과;

상기 배선을 가로지르는 게이트 배선을 포함하고,

상기 배선은, 상기 제1 채널형성영역 및 상기 제2 채널형성영역과 겹치는, 반도체 장치.

청구항 44

제 41 항 내지 제 43 항 중 어느 한 항에 있어서,

상기 제1 채널형성영역의 채널폭은, 상기 제1 채널형성영역의 채널 길이보다 길고,

상기 제2 채널형성영역의 채널폭은, 상기 제2 채널형성영역의 채널 길이보다 긴, 반도체 장치.

청구항 45

제 41 항 내지 제 43 항 중 어느 한 항에 있어서,

상기 제1 채널형성영역 및 상기 제2 채널형성영역 각각은, 비정질 반도체 및 다결정 반도체 중 적어도 하나를 포함하는, 반도체 장치.

청구항 46

제 41 항에 있어서,

상기 박막 트랜지스터의 소스 단자 및 드레인 단자의 한쪽은, 상기 복수의 화소전극 중 한쪽에 전기적으로 접속되고,

상기 박막 트랜지스터의 상기 소스 단자 및 상기 드레인 단자의 다른 쪽은 상기 전원공급선에 전기적으로 접속되는, 반도체 장치.

청구항 47

제 41 항 또는 제 42항에 있어서,

상기 제1 채널형성영역의 채널 폭의 방향은, 전류가 상기 제1 채널형성영역을 흐르는 상기 제1 채널형성영역의 채널 길이 방향에 수직하고,

상기 제1 채널형성영역의 상기 채널 폭의 방향은, 상기 제1 채널형성영역과 겹치는 상기 전원공급선의 영역의 길이방향에 평행하고,

상기 제2 채널형성영역의 채널 폭의 방향은, 전류가 상기 제2 채널형성영역을 흐르는 상기 제2 채널형성영역의 채널 길이 방향에 수직하고,

상기 제2 채널형성영역의 상기 채널 폭의 방향은, 상기 제2 채널형성영역과 겹치는 상기 전원공급선의 영역의 길이방향에 평행한, 반도체 장치.

청구항 48

삭제

청구항 49

삭제

청구항 50

제 42 항에 있어서,

상기 박막 트랜지스터의 소스 단자 및 드레인 단자의 한쪽은, 상기 제1 화소의 상기 제1 화소전극과 상기 제2 화소의 상기 제1 화소전극 중 한쪽에 전기적으로 접속되고,

상기 박막 트랜지스터의 상기 소스 단자 및 상기 드레인 단자의 다른 쪽은 상기 전원공급선에 전기적으로 접속되는, 반도체 장치.

청구항 51

삭제

청구항 52

제 43 항에 있어서,

상기 박막 트랜지스터의 소스 단자 및 드레인 단자의 한쪽은, 상기 복수의 소자 중 한쪽에 전기적으로 접속되고,

상기 박막 트랜지스터의 상기 소스 단자 및 상기 드레인 단자의 다른 쪽은 상기 배선에 전기적으로 접속되는, 반도체 장치.

청구항 53

제 43 항에 있어서,

상기 제1 채널형성영역의 채널 폭의 방향은, 전류가 상기 제1 채널형성영역을 흐르는 상기 제1 채널형성영역의 채널 길이 방향에 수직하고,

상기 제1 채널형성영역의 상기 채널 폭의 방향은, 상기 제1 채널형성영역과 겹치는 상기 배선의 영역의 길이방향에 평행하고,

상기 제2 채널형성영역의 채널 폭의 방향은, 전류가 상기 제2 채널형성영역을 흐르는 상기 제2 채널형성영역의 채널 길이 방향에 수직하고,

상기 제2 채널형성영역의 상기 채널 폭의 방향은, 상기 제2 채널형성영역과 겹치는 상기 배선의 영역의 길이방향에 평행한, 반도체 장치.

청구항 54

제 43 항에 있어서,

상기 복수의 소자 각각은, 발광소자, 유기 메모리, 포토 다이오드 또는 압전소자인, 반도체 장치.

청구항 55

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

제 2 배선과,

제 3 배선을 더 포함하고,

상기 제 1 배선과 상기 제 2 배선은 상기 제 3 배선과 교차하는, 반도체 장치.

청구항 56

제 55 항에 있어서,

상기 제 1 박막 트랜지스터와 상기 제 2 박막 트랜지스터는 상기 제 2 배선과 겹치는, 반도체 장치.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 액티브 매트릭스형의 표시장치, 및 매트릭스 형상으로 소자가 배치된 반도체 장치에 관한 것이다.

배경 기술

[0002] 종래로부터, 화상표시장치로서, 액정표시장치, 전계발광(Electro Luminescence: 이하, EL라고 부른다) 표시장치 등이 알려져 있다. 이들의 표시장치의 형식으로서, 패시브 매트릭스형과 액티브 매트릭스형이 있다. 그리고, 액티브 매트릭스형 표시장치는, 화소수가 증가한 경우에도, 고속동작을 할 수 있다고 하는 특징을 가진다.

[0003] 액티브 매트릭스형 표시장치는, TFT, 용량소자, 배선, 화소전극 등을 동일한 기판 위에 형성하기 때문에, 개구율이 감소하기 쉽다. 그렇기 때문에, 이들의 재료, 형상, 수, 또는 배치 등의 설계를 공리함으로써, 개구율을 높이는 시도를 한다. 예를 들면, 특허문헌 1에 있어서는, 비유전율이 높은 산화탄탈을 용량소자의 유전체로서 이용하는 것으로서, 용량소자의 소면적화를 도모하는 방법이 개시된다.

[0004] [특허문헌 1]특개평 11-312808호 공보

발명의 내용

해결 하고자하는 과제

[0005] 한편, 개구율을 높이기 위해, 비유전율이 높은 재료를 용량소자에 사용하는 방법은, 공정수의 증가에 관련된다는 문제가 있다.

[0006] 여기서, 공정수를 증가시키지 않고 개구율을 높이기 위해서는, 개구부의 면적을 크게 하면 좋다. 그러나, 개구부의 면적을 크게 하기 위하여 배선의 사이에 개구부를 형성하도록 하면, 개구부의 형상은 복잡한 형상이 된다. 그리고, EL 표시장치에 있어서, 개구부의 형상을 복잡한 형상으로 하면, 개구부의 에지(단부)의 길이가 크게 되기 때문에, EL 발광부의 쉬링크(shrink)가 촉진된다고 하는 문제가 생긴다.

[0007] 여기서, EL 발광부의 쉬링크는, EL층이 물리적으로 수축하는 것이 아니라, EL 소자의 유효면적(EL층이 발광하는 부분의 면적)이, 단부로부터 서서히 수축하는 상태를 의미한다.

[0008] 또한, 표시장치 이외의 반도체 장치(예를 들면, DRAM 등)에 있어서도, 트랜지스터와 접속되는 소자의 면적을 크게 하는 것이 바람직하다.

[0009] 그래서, 본 발명은, 개구율이 높은 표시장치(또는, 소자의 면적이 큰 반도체 장치)를 제공하는 것을 과제로 한다.

과제 해결수단

[0010] 본 명세서에 있어서, TFT의 채널형성영역은, 게이트 전극의 아래에 게이트 절연막을 개재하여 배치된 반도체 영역을 의미한다. 또한, 채널 길이는, 채널형성영역에 있어서의 캐리어가 흐르는 방향의 길이를 의미한다. 그리고, 채널 폭은, 채널 길이 방향에 대해서 수직방향의 채널형성영역의 길이를 의미한다.

[0011] 또한, 멀티 게이트 구조의 TFT의 경우, 채널 길이 및 채널 폭은, 하나의 채널형성영역마다의 치수를 의미한다.

[0012] 또한, 멀티 게이트 구조는, TFT 하나에 복수의 채널형성영역을 형성한 구조이다. 한편, 싱글 게이트 구조는, TFT 하나에 채널형성영역 하나를 형성한 구조이다.

[0013] 그리고, 본 발명의 표시장치는, 인접하는 화소전극의 사이에 형성된 배선과, 박막 트랜지스터를 가지고, 상기 박막 트랜지스터의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 채널형성영역의 채널 폭의 방향은, 상기 배선에 있어서의 전류가 흐르는 방향과 평행한 방향인 것을 특징으로 한다.

[0014] 본 발명의 표시장치는, 인접하는 화소전극의 사이에 형성된 배선과, 복수의 채널형성영역을 가지는 박막 트랜지스터를 가지고, 상기 복수의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 복수의 채널형성

영역은 상기 배선과 겹치는 위치에 형성되고, 상기 복수의 채널형성영역의 채널 폭의 방향은, 상기 배선에 있어서의 전류의 흐르는 방향과 평행한 방향인 것을 특징으로 한다.

[0015] 본 발명의 표시장치는, 인접하는 화소전극의 사이에 형성된 배선과, 박막 트랜지스터를 가지고, 상기 박막 트랜지스터의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 채널형성영역의 채널폭의 방향은, 상기 배선의 형상에 있어서의 길이방향과 평행한 방향인 것을 특징으로 한다.

[0016] 본 발명의 표시장치는, 인접하는 화소전극의 사이에 형성된 배선과, 복수의 채널형성영역을 가지는 박막 트랜지스터를 가지고, 상기 복수의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 복수의 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 복수의 채널형성영역의 채널 폭의 방향은, 상기 배선의 형상에 있어서의 길이방향과 평행한 방향인 것을 특징으로 한다.

[0017] 본 발명의 표시장치는, 인접하는 화소전극의 사이에 형성된 배선과, 박막 트랜지스터를 가지고, 상기 박막 트랜지스터의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 채널형성영역의 채널 폭의 방향은, 상기 화소전극의 형상에 있어서의 길이방향과 평행한 방향인 것을 특징으로 한다.

[0018] 본 발명의 표시장치는, 인접하는 화소전극의 사이에 형성된 배선과, 복수의 채널형성영역을 가지는 박막 트랜지스터를 가지고, 상기 복수의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 복수의 채널형성영역의 채널 폭의 방향은, 상기 화소전극의 형상에 있어서의 길이방향과 평행한 방향인 것을 특징으로 한다.

[0019] 본 발명의 표시장치에 있어서, 상기 박막 트랜지스터는, 선형 영역에서 동작하는 것을 특징으로 한다.

[0020] 트랜지스터의 게이트와 소스의 사이의 전압을 V_{gs} , 트랜지스터의 소스와 드레인의 사이의 전압을 V_{ds} , 트랜지스터의 임계 값 전압을 V_{th} 로 설정한다. 이 경우, 선형 영역은, $|V_{gs} - V_{th}| > |V_{ds}|$ 의 관계식이 성립하는 범위를 의미한다.

[0021] 즉, 상기 박막 트랜지스터는, 게이트와 소스의 사이의 전압(V_{gs})이, 소스와 드레인의 사이의 전압(V_{ds})보다 임계 값 전압(V_{th})분 이상 큰 범위로 동작하는 것을 특징으로 한다.

[0022] 본 발명의 표시장치에 있어서, 상기 채널형성영역의 채널 폭의 길이는, 상기 채널형성영역의 채널 길이의 길이 보다 긴 것을 특징으로 한다.

[0023] 본 발명의 표시장치에 있어서, 상기 채널형성영역들을 접속하는 불순물 영역의 형상에 있어서의 길이방향은, 채널 폭의 방향과 평행한 방향인 것을 특징으로 한다.

[0024] 본 발명의 표시장치에 있어서, 상기 채널형성영역은, 비정질 반도체 또는 다결정 반도체인 것을 특징으로 한다.

[0025] 본 발명의 표시장치에 있어서, 상기 채널형성영역은, 단결정인 것을 특징으로 한다.

[0026] 본 발명의 표시장치에 있어서, 상기 박막 트랜지스터는, 섬형상 반도체층과, 게이트 절연막과, 게이트 전극을 가지고, 상기 섬형상 반도체층은, 상기 복수의 채널형성영역과, 복수의 불순물 영역을 가지고, 상기 복수의 채널형성영역 위에는, 게이트 절연막을 개재하여 게이트 전극이 형성되는 것을 특징으로 한다.

[0027] 본 발명의 표시장치에 있어서, 상기 배선은, 층간 절연막을 개재하여 상기 게이트 전극 위에 형성되는 것을 특징으로 한다.

[0028] 본 발명의 표시장치에 있어서, 상기 섬형상 반도체층과 상기 섬형상 반도체층 위의 상기 게이트 절연막과, 상기 게이트 절연막 위의 상기 게이트 전극으로 되는 제 1 용량과, 상기 게이트 전극과, 상기 게이트 전극 위의 층간 절연막과, 상기 층간 절연막 위의 상기 배선으로 되는 제 2 용량이 형성되어 있는 것을 특징으로 한다.

[0029] 본 발명의 표시장치에 있어서, 상기 게이트 전극의 형상에 있어서의 길이방향은, 상기 채널 폭의 방향인 것을 특징으로 한다.

[0030] 본 발명의 표시장치에 있어서, 상기 배선은 상기 화소전극의 단부를 덮어 형성된 격벽(절연물)의 아래쪽에 형성되는 것을 특징으로 한다.

[0031] 본 발명의 표시장치에 있어서, 상기 박막 트랜지스터의 소스 단자(영역) 또는 드레인 단자(영역)의 한

쪽은, 상기 인접하는 화소전극의 한쪽에 접속되는 것을 특징으로 한다.

[0032] 본 발명의 표시장치에 있어서, 상기 박막 트랜지스터의 소스 단자(영역) 또는 드레인 단자(영역)의 한 쪽은, 상기 인접하는 화소전극의 한쪽에 접속되는 것을 특징으로 한다.

[0033] 본 발명의 반도체 장치는, 인접하는 전극의 사이에 형성된 배선과, 박막 트랜지스터를 가지고, 상기 박막 트랜지스터의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 채널형성영역의 채널 폭의 방향은, 상기 배선에 있어서의 전류의 흐르는 방향(또는, 상기 배선의 형상에 있어서의 길이방향)과 평행한 방향인 것을 특징으로 한다.

[0034] 본 발명의 반도체 장치는, 인접하는 전극의 사이에 형성된 배선과, 박막 트랜지스터를 가지고, 상기 박막 트랜지스터의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 채널형성영역의 채널 폭의 방향은, 상기 전극의 형상에 있어서의 길이방향과 평행한 방향인 것을 특징으로 한다.

[0035] 본 발명의 반도체 장치는, 인접하는 소자의 사이에 형성된 배선과, 박막 트랜지스터를 가지고, 상기 박막 트랜지스터의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 채널형성영역의 채널 폭의 방향은, 상기 배선에 있어서의 전류의 흐르는 방향(또는, 상기 배선의 형상에 있어서의 길이방향)과 평행한 방향인 것을 특징으로 한다.

[0036] 본 발명의 반도체 장치는, 인접하는 소자의 사이에 형성된 배선과, 박막 트랜지스터를 가지고, 상기 박막 트랜지스터의 채널형성영역은, 상기 배선의 아래쪽에 형성되고, 상기 채널형성영역은 상기 배선과 겹치는 위치에 형성되고, 상기 채널형성영역의 채널 폭의 방향은, 상기 소자의 형상에 있어서의 길이방향과 평행한 방향인 것을 특징으로 한다.

[0037] 본 발명의 반도체 장치에 있어서, 상기 채널형성영역의 채널 폭의 길이는, 상기 채널형성영역의 채널 길이의 길이보다 긴 것을 특징으로 한다.

효 과

[0038] 본 발명에 의하여, 개구율이 높은 표시장치(또는 소자의 면적이 큰 반도체 장치)를 실현할 수 있다.

[0039] 또한, 개구율을 높이기 위해서, 화소전극(또는, 소자의 전극)의 형상을 복잡한 형상으로 할 필요도 없다.

[0040] 또한, 개구율을 높게 하는 것으로써, 소자에 대한 전류밀도가 낮게 되기 때문에, 소자의 장수명화가 가능하게 된다.

발명의 실시를 위한 구체적인 내용

[0041] 이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0042] 또한, 이하의 실시형태 1 내지 실시형태 11은, 적절히 조합할 수 있다.

실시예

[0043] (실시형태 1)

[0044] 본 실시형태에서는, 본 발명의 표시장치의 화소구성과 레이아웃에 대해서 설명한다. 또한, 여기서는, 2개의 TFT로 구성되는 화소에 대해서 설명한다.

[0045] 우선, 도 3을 사용하여 본 발명의 표시장치의 화소구성에 대해서 설명한다. 화소는, 화소전극에 접속된 TFT(구동용 TFT(301))와, 용량소자(300)와, 스위칭용 TFT(302)와, 표시소자(303)와, 주사선(305)과, 신호선(304)과, 전원공급선(306)을 가진다. 또한, 구동용 TFT(301)와 스위칭용 TFT(302)는, 2개의 채널형성영역을 가지는 더블 게이트 구조이다.

- [0046] 또한, 구동용 TFT(301)는 싱글 게이트 구조라도 좋고, 3개 이상의 채널형성영역을 가지는 멀티 게이트 구조라도 좋다.
- [0047] 스위칭용 TFT(302)의 소스 단자 또는 드레인 단자의 한 쪽은, 신호선(304)에 접속된다.
- [0048] 스위칭용 TFT(302)의 게이트 단자는 주사선(305)에 접속된다.
- [0049] 스위칭용 TFT(302)의 소스 단자 또는 드레인 단자의 다른 쪽은 구동용 TFT(301)의 게이트 단자 및 용량소자의 전극의 한 쪽에 전기적으로 접속된다.
- [0050] 구동용 TFT(301)의 소스 단자 또는 드레인 단자의 한 쪽은 전원공급선(306)에 접속된다.
- [0051] 구동용 TFT(301)의 소스 단자 또는 드레인 단자의 다른 쪽은 표시소자(303)에 접속된다.
- [0052] 구동용 TFT(301)의 게이트 단자는 용량소자의 전극의 한 쪽 및 스위칭용 TFT(302)의 소스 단자 또는 드레인 단자의 다른 쪽에 접속된다.
- [0053] 용량소자(300)의 다른 쪽의 단자는, 전원공급선(306)에 전기적으로 접속된다.
- [0054] 용량소자(300)의 한 쪽의 단자는, 구동용 TFT의 게이트 단자 및 스위칭용 TFT(302)의 소스 단자 또는 드레인 단자의 다른 쪽과 전기적으로 접속된다.
- [0055] 다음, 화소부의 레이아웃에 대해서 도 1 내지 도 2를 사용하여 설명한다. 도 2는 도 1에 대응하는 상면도이며, 제 1 반도체층(101), 제 2 반도체층(102)과 게이트 배선(105), 게이트 전극(100)을 형성한 단계의 도면이다.
- [0056] 도 1 내지 도 2와 도 3의 대응관계에 대해서 설명한다.
- [0057] 파선부(6001)로 둘러싸인 부분이 구동용 TFT(301)에 대응한다.
- [0058] 파선부(6011)로 둘러싸인 부분이 스위칭용 TFT(302)에 대응한다.
- [0059] 파선부(6012)로 둘러싸인 부분이 용량소자(300)에 대응한다.
- [0060] 화소전극(107)이 표시소자(303)의 화소전극에 대응한다.
- [0061] 신호선(104)이 신호선(304)에 대응한다.
- [0062] 전원공급선(106)이 전원공급선(306)에 대응한다.
- [0063] 도 1에 있어서, 제 1 반도체층(101)은, 스위칭용 TFT의 섬형상 반도체층이다. 게이트 배선(105)과 겹치는 영역이 채널형성영역, 신호선(104)과 접속하는 영역이 소스 단자(또는 드레인 단자), 콘택트 홀을 통하여 접속전극(103)과 접속하는 영역이 드레인 단자(또는 소스 단자)이다. 또한, 스위칭용 TFT는, 2개의 채널형성영역을 가지는 더블 게이트 구조이다.
- [0064] 또한, 스위칭용 TFT는, 싱글 게이트 구조라도 좋고, 3개 이상의 채널형성영역을 가지는 멀티 게이트 구조라도 좋다.
- [0065] 또한, 제 2 반도체층(102)은 표시소자를 구동하는 구동용 TFT(301)의 섬형상 반도체층이다. 그리고, 게이트 전극(100)과 겹치는 영역이 채널형성영역이다. 그리고, 구동용 TFT(301)의 게이트 전극은, 콘택트 홀을 통하여 접속전극(103)과 접속한다. 또한, 구동용 TFT(301)의 소스 단자(또는 드레인 단자)와 전원공급선(106)이 콘택트 홀을 통하여 접속된다. 구동용 TFT(301)의 드레인 단자(또는 소스 단자)와 접속전극(108)이 콘택트 홀을 통하여 접속된다. 또한, 상기 접속전극(108)과 접하여 화소전극(107)이 형성된다.
- [0066] 또한, 제 2 반도체층(102) 중, 게이트 전극(100)과 게이트 절연막을 개재하여 겹치는 채널형성영역의 상방에는, 전원공급선(106)이 배치된다. 이 게이트 전극(100)과 전원공급선(106)의 사이에서 형성되는 용량은, 표시소자의 유지용량으로서 사용할 수 있다.
- [0067] 게이트 전극(100)과 전원공급선(106)의 사이에는, 층간절연막이 끼워져 있다.
- [0068] 또한, 게이트 전극(100)이 용량소자의 전극의 한 쪽으로 되고, 전원공급선 중의 게이트 전극과 겹치는 부분이 용량소자의 전극의 다른 쪽이 된다.
- [0069] 또한, 표시소자의 전극의 단락을 방지하기 위해서, 발광 에어리어 이외의 영역을 격벽(절연물)으로 덮

는다. 이웃하여 인접하는 좌우의 화소간에 형성되는 격벽의 폭은, 예를 들면, 20 μ m 내지 25 μ m 정도이다. 본 실시형태에 있어서, 폭이 20 μ m의 격벽의 아래(즉, 인접하는 화소전극의 사이)에 신호선(104)과 전원공급선(106)을 배치한다.

[0070] 또한, 본 실시형태에 있어서는, 전원공급선(106)의 길이방향과 화소전극의 형상에 있어서의 길이방향(화소전극의 길이방향)이 평행으로 되도록 배치한다. 또한, 전원공급선(106)의 아래쪽에 구동용 TFT를 겹치도록 배치한다. 그리고, 채널 폭의 방향을 상기 길이방향과 평행하게 배치한다.

[0071] 그러나, 본 발명은, 항상 화소전극의 형상에 있어서의 길이방향과 평행하게 전원공급선(106)을 배치하고, 구동용 TFT(301)를 전원공급선(106)의 아래쪽에 배치할 필요는 없다.

[0072] 따라서, 신호선(104)을 화소전극의 형상에 있어서의 길이방향과 평행하게 배치한 경우는, 신호선(104)의 아래쪽에 겹치도록 구동용 TFT(301)를 배치하여도 좋다.

[0073] 또한, 화소전극의 형상이, 정방형, 대략 정방형(예를 들면, 정방형의 모서리에 절결부를 형성한 형상, 또는, 정방형의 모서리가 둥글게 되는 형상(모서리 모두가 둥글게 될 필요는 없다. 일부의 모서리만 둥글게 되어도 좋다.) 등), 원형 등과 같이, 길이방향이 존재하지 않는 경우는, 전원공급선(106) 또는 신호선(104)의 아래 어느 쪽에 구동용 TFT(301)를 배치하여도 문제는 없다.

[0074] 또한, 화소전극의 형상에는, 장방형, 또는 대략 장방형(예를 들면, 장방형의 모서리에 절결부를 형성한 형상, 또는, 장방형의 모서리의 형상이 둥글게 되는 형상(모서리 모두가 둥글게 될 필요는 없다. 일부의 모서리만 둥글게 되어도 좋다.), 타원형, 다각형, 대략 다각형(예를 들면, 다각형의 모서리에 절결부를 형성한 형상, 또는, 다각형의 모서리의 형상이 둥글게 되는 형상(모서리 모두가 둥글게 될 필요는 없다. 일부의 모서리만 둥글게 되어도 좋다.) 등의 여러가지 형상을 고려할 수 있다. 또한, 화소전극의 형상은, 이들 예시된 형상으로 한정되지 않는다. 또한, 화소전극의 형상이 장방형 또는 대략 장방형의 경우, 배선을 격자형상으로 배치하기 쉽기 때문에, 레이아웃의 설계를 하기 쉬워 바람직하다.

[0075] 또한, 화소전극의 크기가 화소마다 달라도 좋다. 또한, 화소전극의 형상이 화소마다 달라도 좋다.

[0076] 또한, 요구되는 채널 폭의 길이가 화소전극의 형상에 있어서의 단축방향의 길이보다 짧은 경우는, 상기 단축방향과 평행하게 배치된 배선의 아래쪽에 겹치도록 구동용 TFT(301)를 배치하여도 좋다.

[0077] 또한, 전원공급선(106)의 일부가, 화소전극의 상방 또는 아래쪽에 배치되어도 좋다. 이러한 배치로 할 경우, 구동용 TFT(301)의 게이트 전극을, 전원공급선(106)의 일부와 겹치도록 구동용 TFT(301)를 배치한다.

[0078] 또한, 구동용 TFT(301)의 채널 폭의 방향은, 배선의 형상에 있어서의 길이방향(배선의 길이방향)과 평행한 방향으로 한다. 따라서, 채널 폭의 길이를 길게 할 수 있기 때문이다. 또한, 배선은 인접하는 화소전극의 사이에 배치하기 위해, 배선의 형상에 있어서의 길이방향(배선의 길이방향)은, 화소전극의 길이방향 또는 단축방향과 평행한 방향으로 하는 것으로써, 개구율을 높일 수 있다.

[0079] 또한, 보통 배선의 길이방향에 전류를 흐르기 때문에, 채널 폭의 방향은, 채널형성영역의 상방에 배치된 배선에 있어서, 전류가 흐르는 방향과 평행한 방향이라고도 말할 수 있다.

[0080] 또한, 본 실시형태에서는, 선형 영역에서 동작할 경우이다. 채널 길이를 L, 채널 폭을 W로 하면, 구동용 TFT는 $L < W$ 의 더블 게이트 구조로 한다. 여기서는, 구동용 TFT는 $L = 7\mu\text{m}$, $W = 20\mu\text{m}$ 정도의 더블 게이트 구조로 한다. 그리고, 화소의 레이아웃을 할 때에, 폭 20 μ m의 격벽의 아래에 배선을 배치하고, 배선의 아래에 구동용 TFT를 배치하는 것으로써, 구동용 TFT의 사이즈가 크게 되어도 개구율을 높일 수 있다.

[0081] 본 실시형태에서는, 반도체층을 게이트 전극(100)에 대해서 ㄷ자형으로 꾸부리도록 패터닝한다(도 1 내지 도 2의 파선부(6001)). 따라서, 채널 폭의 방향을 화소전극의 형상에 있어서의 길이방향과 평행하게 배치할 수 있다(도 1 내지 도 2의 화살표(7001)).

[0082] 또한, 채널형성영역들을 접속하는 불순물 영역의 형상에 있어서의 길이방향을, 채널 폭의 방향과 평행한 방향으로 하는 것이 바람직하다. 따라서, 화소전극의 사이의 좁은 스페이스(인접하는 화소전극의 사이의 스페이스)에 가능한 한 큰 사이즈의 TFT를 배치할 수 있기 때문에, 개구율의 증가를 기대할 수 있기 때문이다. 또한, 상기 불순물 영역에 있어서는, 상기 불순물 영역의 형상에 있어서의 길이방향에 전류가 흐르기 때문에, 상기 불순물 영역의 저항 값을 높일 수 있다. 따라서, 오프전류를 저감할 수 있다.

[0083] 다만, 본 발명은, 채널 폭의 방향이 화소전극의 길이방향과 수직방향으로 되면, 상기 길이방향의 길이

분까지 채널 폭을 증가시킬 수 있다. 따라서, TFT의 섬형상 반도체층의 형상은, 본 실시형태와 같이, ㄷ자형 형상으로 한정되지 않는다.

[0084] 또한, 용량소자(300)는, 제 2 반도체층(102)과 게이트 전극(100)과, 제 2 반도체층(102)과 게이트 전극(100)의 사이에 형성되는 게이트 절연막(제 1 유전용량) 및 게이트 전극(100)과 전원공급선(106)과, 게이트 전극(100)과 전원공급선(106)의 사이에 형성되는 층간절연막(제 2 유전용량)으로 형성할 수 있다.

[0085] 그리고, 이 경우, 파선부(6012)에 있어서, 게이트 전극(100)과, 제 2 반도체층(102)과, 게이트 전극(1000)과 제 2 반도체층(102)의 사이에 형성된 게이트 절연막으로 유전용량을 형성한다. 따라서, 파선부(6012)에 있어서의 게이트 전극의 면적을 크게 하는 것으로써, 유전용량도 크게 할 수 있다.

[0086] 상기 구성에 따라, 화소전극간의 좁은 스페이스(인접하는 화소전극의 사이의 스페이스)에 가능한 한 큰 사이즈의 TFT(특히, 채널 폭이 큰 사이즈의 TFT)를 배치할 수 있다. 따라서, 개구율의 증가가 가능하게 된다.

[0087] 또한, TFT는 매우 작은 사이즈이기 때문에, 게이트 절연막의 막 두께의 변동 또는 막질의 변동, 이온 도핑 처리시의 주입 도즈량의 변동 등에 따라, 전기적 특성이 변동하기 쉬운 문제가 있다.

[0088] 특히, TFT의 반도체로서 비정질규소, 미결정규소, 또는 다결정규소를 사용할 때는, 반도체의 결정성에 기인한 TFT의 특성(예를 들면, 온 전류, 오프 전류, 임계 값 전압, 이동도 등)의 변동이 생겨버린다. 특히, 화소에 접속된 TFT의 특성이 변동한 경우, 화소에 공급되는 전류(또는 전압)가 변동하기 때문에, 표시장치의 시인성이 악화하여 버리는 문제가 있다.

[0089] 그래서, 상기 문제를 해결하기 위해서 멀티 게이트 구조를 채용하는 방법이 있지만, 멀티 게이트 구조의 TFT는, 싱글 게이트 구조의 TFT와 비교하면, 면적이 크게 된다. 따라서, TFT의 전기적 특성의 변동을 저감하기 위하여 멀티 게이트 구조의 TFT를 채용하면 개구율이 저하해 버린다. 그러나, 본 발명의 구성을 적용하는 것으로써, TFT의 특성의 변동저감과, 개구율의 상승의 양쪽을 실현할 수 있다.

[0090] 여기서, 본 실시형태에서는, 구동용 TFT를 선형 영역에서 동작시키는, 이른바 정전압 구동방식의 일례를 설명한다. 그래서, 정전압 구동방식에 대해서 이하 설명한다.

[0091] TFT는, 포화영역에서 동작시키는 경우와 선형 영역에서 동작시키는 경우가 있다. 트랜지스터의 게이트와 소스 간의 전압을 V_{gs} , 트랜지스터의 소스와 드레인 간의 전압을 V_{ds} , 트랜지스터의 임계 값 전압을 V_{th} 로 한다. 이 경우, 포화영역은, $|V_{gs} - V_{th}| < |V_{ds}|$ 의 관계식이 성립하는 범위를 의미한다. 한편, 선형 영역은, $|V_{gs} - V_{th}| > |V_{ds}|$ 의 관계식이 성립하는 범위를 의미한다.

[0092] 그리고, EL 소자의 화소전극에 접속된 TFT(이하, 「구동용 TFT」라고 한다)를 포화영역에서 동작시키는 것으로써, 표시소자에 일정의 전류를 흘리는 방식을 정전류 구동방식이라고 한다.

[0093] 정전류 구동방식은, 일정의 전류를 EL 소자에 계속해서 흘릴 수 있기 때문에, 표시소자의 열화에 의한 변동을 저감할 수 있다. 그러나, 정전류 구동방식은, 구동용 TFT가 열화하면, 상기 구동용 TFT에 흐르는 전류도 감소한다. 따라서, TFT의 변동은, 표시소자의 휘도의 변동에 영향을 끼치기 쉽다.

[0094] 한편, 구동용 TFT를 선형 영역에서 동작시키는 것으로써, 일정의 전압을 EL 소자에 인가하는 방식을 정전압 방식이라고 한다.

[0095] 정전압 구동방식은, 선형상 영역에서 동작하기 때문에, 소스와 드레인의 사이의 전압을 표시소자의 양쪽의 전극간의 전압과 비교해서 낮게 할 수 있다. 그렇기 때문에, 구동용 TFT의 변동의 EL 소자에 흐르는 전류에 대한 영향을 저감할 수 있다. 따라서, TFT의 열화의 변동은, 표시소자의 휘도의 변동에 영향을 끼치기 어렵다.

[0096] 그러나, 구동용 TFT를 선형 영역에서 동작시켜도, TFT의 반도체층으로서 비정질 규소, 미결정 규소, 다결정 규소 등을 사용한 경우, 기관 면내에 있어서의 결정성의 변동의 영향을 무시할 수 없다.

[0097] 그래서, 구동용 TFT의 변동을 억제하기 위해서, 구동용 TFT의 채널형성영역의 면적을 크게 하는 것이 바람직하다. 즉, 채널 길이와 채널 폭을 크게 하는 것이 바람직하다.

[0098] 또한, 채널 폭이 길수록, 소스와 드레인간의 전압을 낮게 할 수 있다. 또한, 채널 길이가 짧을수록, 소스와 드레인간의 전압을 낮게 할 수 있다. 따라서, 채널 폭은, 채널 길이보다 긴 것이 바람직하다.

[0099] 따라서, TFT를 선형 영역에서 동작시킬 경우, 구동용 TFT의 채널형성영역의 면적을 증대시키기 위해서

는, 채널 폭을 길게 하는 것이 바람직하다.

[0100] 여기서는, 일반적으로는, 채널형성영역의 면적을 증대시키는 것으로써, 표시장치의 개구율은 저하하는 경향이 있다. 즉, TFT의 특성의 변동저감을 도모할 경우, 개구율이 저하하여 버린다. 즉, 일반적으로는, TFT의 특성의 변동저감과, 개구율의 상승의 양쪽을 동시에 실현하는 것은 매우 어렵다. 본 실시형태와 같이, 멀티 게이트 구조의 TFT의 채널형성영역의 면적을 증대시킬 경우, 이 일은 특히 현저하게 된다.

[0101] 그러나, 본 실시형태의 구성을 적용하는 것으로써, TFT의 특성의 변동저감과, 개구율의 상승의 양쪽을 동시에 실현할 수 있다.

[0102] 또한, 개구율을 높이는 것은, 소비전력의 감소, 및 표시소자의 신뢰성의 향상이 된다. 즉, 일정한 휘도가 요구되는 경우, 개구율이 크면 적은 전류(또는 전압)로 요구되는 휘도를 얻을 수 있기 때문이다. 그리고, 표시소자에 공급되는 전류(또는 전압)가 적으면, 표시소자의 열화속도는 감소되기 때문이다.

[0103] 또한, 표시소자의 열화속도도 표시소자마다 변동이 있다. 따라서, 개구율을 높이고, 표시소자의 열화속도를 감소시킨 경우, 표시소자의 휘도열화의 변동도 저감할 수 있다. 따라서, TFT의 특성의 변동저감과 개구율의 증가에 의한 변동저감의 상승 효과에 의하여 표시장치의 시인성을 높일 수 있다.

[0104] 또한, 멀티 게이트 구조의 TFT는, TFT의 오프전류를 저감시킬 수 있다. 따라서, TFT의 반도체가, 비단결정이라도, 단결정이라도, 멀티 게이트 구조의 TFT를 채용하는 것은 바람직하다.

[0105] 또한, 본 실시형태와 같이, 구동 트랜지스터와, 상기 구동 트랜지스터에 접속되는 스위칭 트랜지스터를 함께 배선(신호선 또는 전원공급선)의 아래쪽에 배치하고, 스위칭 트랜지스터의 채널 길이의 방향과, 구동 트랜지스터의 채널 길이의 방향을 수직방향으로 배치하고, 구동 트랜지스터의 채널 폭의 방향을 상기 배선에 있어서, 전류가 흐르는 방향으로 함으로써, 개구율을 상승시킬 수 있다.

[0106] (실시형태 2)

[0107] 본 실시형태에서는, 「배선의 형상에 있어서의 길이방향(배선의 길이방향)」의 의미에 대해서 도 5 내지 도 7을 사용하여 구체적으로 설명한다.

[0108] 「배선의 형상에 있어서의 길이방향」(「채널 폭의 방향」)은, 「(상술한)채널형성영역의 상방에 배치된 배선에 있어서 전류가 흐르는 방향과 평행한 방향」이다. 또한, 후술의 지그재그 모양 또는 구불구불한 모양의 배선의 경우, 반드시 배선에 있어서 전류가 직선방향으로 흐르지는 않다. 이 경우, 「배선의 형상에 있어서의 길이방향」(「채널 폭의 방향」)은, 「채널형성영역의 상방에 배치된 배선영역에 있어서, 전류가 흐르는 방향과 대략 평행한 방향」으로 한다.

[0109] 여기서, 배선의 형상은, 반드시 도 5에 나타내는 바와 같이, 직선일 필요는 없다. 예를 들면, 도 6과 같이, 제 1 배선(501, 502)과 같이, 지그재그 모양으로 하여도 좋다. 또한, 도 7과 같이, 제 1 배선(501, 502)와 같이, 구불구불한 모양으로 하여도 좋다.

[0110] 또한, 도 5 내지 도 7은, 배선과 화소전극의 배치를 나타내는 모식도이다. 따라서, TFT는 도시하지 않는다. 501 내지 504는 제 1 배선이며, 601 내지 602는 제 2 배선이며, 701 내지 707은 화소전극이다. 또한, 제 1 배선 및 제 2 배선은, 한쪽이 소스 신호선이며, 다른쪽이 전원 공급선이다.

[0111] 지그재그 형상은, 직선이 좌우로 몇번이나 구부러지는 형상을 의미한다. 또한, 구불구불함(meander)은, 「구불구불하여 흐른다」라고 하는 의미를 가진다. 그리고, 구불구불한 모양은, 그와 같은 형상을 의미한다.

[0112] 그리고, 도 5와 같이, 제 1 배선(501-504) 및 제 2 배선(601)이 직선적인 형상의 경우, 「배선의 형상에 있어서의 길이방향(도 5의 제 1 화살표(8001))」은, 「채널형성영역의 상방에 배치된 제 1 배선에 있어서 전류가 흐르는 방향(도 5의 제 1 화살표(8001))」과 평행한 방향이다.

[0113] 그리고, 도 6과 같이, 배선이 지그재그 모양의 경우, 예를 들면, 도 6의 제 1 배선영역(5001)의 아래쪽에 TFT를 배치한다. 이 경우, 「배선의 형상에 있어서의 길이방향(도 6의 제 2 화살표(8002))」은, 「채널형성영역의 상방에 배치된 배선에 있어서 전류가 흐르는 방향(도 6의 제 2 화살표(8002))」과 평행한 방향이다.

[0114] 한편, 예를 들면, 도 6의 제 1 배선영역(5002)의 아래쪽에 TFT를 배치한 경우, 「배선의 형상에 있어서의 길이방향(도 6의 제 3 화살표(8003))」은, 「채널형성영역의 상방에 배치된 배선에 있어서 전류가 흐르는 방

향(도 6의 제 3 화살표(8003))」과 평행한 방향이다.

- [0115] 또한, 도 7과 같이, 배선이 구불구불한 모양이어도, 전류는 배선의 형상을 따라서 흐른다. 따라서, 배선의 형상에 있어서의 길이방향과 평행하지 않는 방향으로 전류가 흐르는 개소가 존재한다. 그러나, 최종적으로는, 전자는 배선의 형상에 있어서의 길이방향과 평행방향으로 흐른다(도 7의 제 4 화살표(8004)). 따라서, 이러한 배선의 형상으로 하는 경우, 채널 폭의 방향을 「채널형성영역의 상방에 배치된 배선영역에 있어서 전류가 흐르는 방향과 대략 평행한 방향」 또는, 「배선의 형상에 있어서의 길이방향과 평행한 방향」으로 한다.
- [0116] 상기 구성에 따라, 화소전극간의 좁은 스페이스(인접하는 화소전극간의 스페이스)에 배선을 배치할 수 있다. 그 배선의 아래쪽에 가능한 한 큰 사이즈의 TFT(특히, 채널 폭이 큰 사이즈의 TFT)를 배치할 수 있다. 따라서, 개구율의 증가가 가능하게 된다.
- [0117] (실시형태 3)
- [0118] 본 실시형태에서는, 본 발명의 구동 트랜지스터의 레이아웃의 다른 배리에이션을 예시한다. 또한, 본 발명은, 본 실시형태에 예시하는 레이아웃으로 한정되지 않는다.
- [0119] 도 8은, 싱글 게이트 구조의 레이아웃이다. 제 1 반도체층(101)은, 스위칭용 TFT의 섬형상 반도체층이다. 게이트 배선(105)과 겹치는 영역이 채널형성영역, 신호선(104)과 콘택트 홀을 개재하여 접속하는 영역이 소스 단자(또는 드레인 단자), 접속전극(103)과 접속하는 영역이 드레인 단자(또는 소스 단자)이다.
- [0120] 또한, 제 2 반도체층(102)은 표시소자를 구동하는 구동용 TFT(301)의 섬형상 반도체층이다. 그리고, 게이트 전극(100)과 겹치는 영역이 채널형성영역이다. 그리고, 구동용 TFT(301)의 게이트 전극은, 접속전극(103)과 콘택트 홀을 개재하여 접속한다. 또한, 구동용 TFT(301)의 소스 단자(또는 드레인 단자)와 전원공급선(106)이 접속된다. 구동용 TFT(301)의 드레인 단자(또는 소스 단자)와 접속전극(108)이 콘택트 홀을 개재하여 접속된다. 또한, 상기 접속전극(108)과 접하여 화소전극(107)이 형성된다.
- [0121] 또한, 도 8과 도 3의 대응관계는 이하에 나타낸다.
- [0122] 파선부(6002)로 둘러싸인 부분이 구동용 TFT(301)에 대응한다.
- [0123] 파선부(6021)로 둘러싸인 부분이 스위칭용 TFT(302)에 대응한다.
- [0124] 파선부(6022)로 둘러싸인 부분이 용량소자(300)에 대응한다.
- [0125] 화소전극(107)이 표시소자(303)의 화소전극에 대응한다.
- [0126] 신호선(104)이 신호선(304)에 대응한다.
- [0127] 전원공급선(106)이 전원공급선(306)에 대응한다.
- [0128] 또한, 도 9는 도 8에 대응하는 상면도이며, 제 1 반도체층(101), 제 2 반도체층(102)과 게이트 배선(105), 게이트 전극(100)을 형성한 단계의 도면이다.
- [0129] 그리고, 반도체층의 불순물 영역이 화소전극의 길이방향(또는, 배선에 있어서의 전류의 흐르는 방향, 또는, 배선의 형상에 있어서의 길이방향)과 평행하게 되도록 패터닝한다(도 8 내지 도 9의 파선부(6002)). 따라서, 채널 폭의 방향을 화소전극의 형상에 있어서의 길이방향과 평행하게 배치할 수 있다(도 8 내지 도 9의 화살표(7002)).
- [0130] 도 10은, 트리플 게이트 구조의 레이아웃이다. 제 1 반도체층(101)은, 스위칭용 TFT의 섬형상 반도체층이다. 게이트 배선(105)과 겹치는 영역이 채널형성영역, 신호선(104)과 접속하는 영역이 소스 단자(또는 드레인 단자), 접속전극(103)과 콘택트 홀을 개재하여 접속하는 영역이 드레인 단자(또는 소스 단자)이다.
- [0131] 또한, 제 2 반도체층(102)은 표시소자를 구동하는 구동용 TFT(301)의 섬형상 반도체층이다. 그리고, 게이트 전극(100)과 겹치는 영역이 채널형성영역이다. 그리고, 구동용 TFT(301)의 게이트 전극은, 접속전극(103)과 접속한다. 또한, 구동용 TFT(301)의 소스 단자(또는 드레인 단자)와 전원공급선(106)이 콘택트 홀을 개재하여 접속된다. 구동용 TFT(301)의 드레인 단자(또는 소스 단자)와 접속전극(108)이 콘택트 홀을 개재하여 접속된다. 또한, 상기 접속전극(108)과 접하여 화소전극(107)이 형성된다.
- [0132] 또한, 도 10과 도 3의 대응관계는 이하에 나타낸다.
- [0133] 파선부(6003)로 둘러싸인 부분이 구동용 TFT(301)에 대응한다.

- [0134] 파선부(6031)로 둘러싸인 부분이 스위칭용 TFT(302)에 대응한다.
- [0135] 파선부(6032)로 둘러싸인 부분이 용량소자(300)에 대응한다.
- [0136] 화소전극(107)이 표시소자(303)의 화소전극에 대응한다.
- [0137] 신호선(104)이 신호선(304)에 대응한다.
- [0138] 전원공급선(106)이 전원공급선(306)에 대응한다.
- [0139] 또한, 도 11은 도 10에 대응하는 상면도이며, 제 1 반도체층(101), 제 2 반도체층(102)과 게이트 배선(105), 게이트 전극(100)을 형성한 단계의 도면이다.
- [0140] 그리고, 반도체층의 불순물 영역이 화소전극의 길이방향(또는 배선에 있어서의 전류의 흐르는 방향, 또는, 배선의 형상에 있어서의 길이방향)과 평행하게 되도록(예를 들면, S자형) 패터닝한다(도 10 내지 도 11의 파선부(6003)). 따라서, 채널 폭의 방향을 화소전극의 형상에 있어서의 길이방향과 평행하게 배치할 수 있다(도 10 내지 도 11의 화살표(7003)).
- [0141] 본 실시형태에서는, 채널형성영역을 1개 또는 3개 가지는 TFT의 레이아웃에 대해서 설명했다. 또한, 실시형태 1에서는, 채널형성영역을 2개 가지는 TFT의 레이아웃에 대해서 설명했다. 그러나, 본 발명의 구성은 이들의 실시 형태의 구성으로 한정되지 않고, 4개 이상의 채널형성영역을 가지는 TFT에 대해서도 적용할 수 있다.
- [0142] (실시형태 4)
- [0143] 본 발명은, 2개의 TFT로 구성되는 화소로 한정되지 않는다. $L < W$ 의 더블 게이트 구조의 구동용 TFT를 가지는 화소구조의 경우, 개구율의 향상이나 심플한 개구부의 형상, 채널 폭의 길이를 길게 하는 배치가 되도록 적절히 사용할 수 있다.
- [0144] (실시형태 5)
- [0145] 본 실시형태에서는, 표시장치의 제작공정에 대해서 설명한다. 또한, 설명은, 화소부에 대해서만 설명하지만, 구동회로부에 있어서는, 제작공정은 이것으로 한정되지 않고, 여기서는 설명을 생략한다.
- [0146] 도 4a에 나타내는 바와 같이, 바륨 보로실리케이트 유리, 또는 알루미늄 보로실리케이트 유리 등의 유리로 이루어진 기판 위에, 산화규소막, 질화규소막, 또는 산화질화규소막으로 이루어진 하지막을 형성한다. 그 후, 비정질 구조를 가지는 반도체막을 레이저 결정화법이나 공지의 열결정화법을 사용하여 결정화한 결정질 반도체막을 소망의 형상으로 패터닝하고, 섬형상 반도체층(4101, 4102)을 얻는다. 또한, 하지막 및 반도체 막을 공지의 성막법(예를 들면, CVD법, PVD법 등)에 의하여 형성할 수 있다.
- [0147] 또한, 여기서는, 반도체 막을 결정화하고 다결정 규소막을 사용한다. 그러나, 본 발명은, 비정질규소, 또는 미결정규소를 사용하여도 좋다. 또한, 단결정규소를 사용하여도 좋다.
- [0148] 단결정 규소를 사용할 경우, 기판 위에 얇은 단결정 규소층이 배치되는 SOI기판(Silicon On Insulator 기판) 등을 사용하면 좋다.
- [0149] 여기서, 섬형상 반도체층(4101) 중의 제 1 용량부분이 되는 제 1 영역에 불순물을 첨가하는 것으로써, 제 1 영역을 제 1 용량의 제 1 전극으로서 기능시킬 수 있다. 여기서, p형 도전성을 부여하는 붕소를 이온 도핑법에 의하여 주입한다. n형 도전성을 부여하는 불순물을 주입해도 좋다. n형 도전성을 부여하는 불순물로서는, 인, 비소 등이 있다. 또한, 불순물의 첨가에 대해서는, 공지의 방법(예를 들면, 이온 도핑법, 이온 샤워법 등)을 사용할 수 있다.
- [0150] 다음, 섬형상 반도체층(4101, 4102)을 덮은 게이트 절연막을 형성한다. 그 후, Ta, W, Ti, Mo, Al, Cu 등으로부터 선택된 원소, 또는, 상기 원소를 주성분으로 하는 합금재료 또는 화합물 재료를 사용하여, 게이트 전극을 형성하기 위한 도전막을 형성한다. 그 후, 소망의 형상으로 패터닝하여, 게이트 전극(4103, 4104)(4104는 주사선을 겸한다)을 얻는다(도 4b 참조).
- [0151] 다음, 섬형상 반도체층(4101, 4102)의 불순물 영역에 불순물을 첨가하는 것으로써, 소스 영역, 드레인 영역, 채널 영역을 형성한다. 여기서는, p채널형 트랜지스터를 형성하기 위해서 p형 도전성을 부여하는 붕소를 이온 도핑법에 의하여 주입한다. n채널형 트랜지스터를 형성할 경우는, n형 도전성을 부여하는 불순물로서는,

인, 비소 등이 있다. 또한, 불순물의 첨가에 대해서는, 공지의 방법(예를 들면, 이온 도핑법, 이온 샤워법 등)을 사용할 수 있다. 또한, 채널형성영역과 접하는 부분에 LDD영역을 형성하여도 좋다.

[0152] 다음, 아닐링을 하여 첨가한 불순물을 활성화한다. 아닐링의 방법으로서, 퍼니스 아닐링, 레이저 아닐링 등의 공지의 기술을 사용하면 좋다. 또한, 아닐링을 하기 전에 게이트 절연막을 보호하기 위해서 패시베이션 막(예를 들면, 산화규소 등)을 공지의 방법(예를 들면, CVD법, PVD법 등)에 의해서 형성하여도 좋다.

[0153] 다음, 층간절연막을 형성한다. 층간절연막은, 유기절연막이어도 무기절연막이어도 좋다. 유기절연막으로서, 아크릴, 폴리이미드, 실록산 등이 있다. 유기절연막의 형성 방법은 공지의 방법(스핀코팅 법, 딥 법 등)을 사용할 수 있다. 또한, 무기절연막으로서, 산화규소, 질화규소 등이 있다. 공지의 방법(예를 들면, CVD법, PVD법 등)으로 형성하여도 좋다. 또한, 질화규소 등의 비유전율이 높은 재료를 사용하는 것은, 용량을 증가할 수 있다. 한편, 유기 절연막을 사용할 경우는, 평탄화할 수 있다.

[0154] 또한, 층간절연막은 공지의 기술(예를 들면, CMP법)에 의해서 평탄화 처리를 하여도 좋다.

[0155] 다음, 도 4c에 나타내는 바와 같이, 섬형상 반도체층(4101, 4102), 게이트 전극(4103, 4104)에 도달하는 콘택트 홀(4105)을 형성하고, 배선(4106, 4107, 4108)(4106은 소스 신호선, 4107은 전원공급선으로 된다) 및 전극(4110)을 형성한다.

[0156] 다음, 도 4d에 나타내는 바와 같이, 화소전극(4109)을 형성한다. 화소전극의 재료로서는, 인듐주석산화물(통칭: ITO) 등이 대표적이다. 화소전극(4109)도, 상기 재료로 되는 막을 형성한 후, 패터닝에 의하여 소망의 형상을 얻는다. 여기서, 전극(4110)과, 화소전극(4109)은, 콘택트 홀(4105)을 통하여 접한다.

[0157] 다음, 인접하는 화소의 사이에 격벽을 형성하고, 발광 에어리어로 되는 부분을 패터닝에 의해서 개구한다. 그 후, 개구부분에 EL 층을 형성한다.

[0158] 본 실시형태에 있어서는, 톱 게이트형의 TFT의 제작방법에 대해서 설명한다. 그러나, 본 발명은 보텀 게이트형의 TFT에도 적용할 수 있다.

[0159] (실시형태 6)

[0160] 본 실시형태에서는, 발광표시패널의 외관의 일례에 대해서, 도 14a 내지 도 14b를 사용하여 설명한다. 도 14a는, 제 1 기관과, 제 2 기관의 사이를 제 1 시일재(1205) 및 제 2 시일재(1206)에 의하여 밀봉된 패널의 상면도이며, 도 14b는, 도 14a의 A-A', B-B'의 각각에 있어서의 단면도에 상당한다.

[0161] 도 14a는, 점선으로 나타내는 화소부(1202), 모니터 소자부(1230), 주사선 구동회로(1203)(게이트선 구동회로)를 나타낸다. 본 실시형태에 있어서, 화소부(1202), 및 주사선 구동회로(1203)는, 제 1 시일재 및 제 2 시일재로 밀봉되는 영역내에 있다. 또한, 1201은, 신호선(소스선)구동회로이며, 신호선 구동회로가 제 1 기관(1200) 위에 형성된다. 제 1 시일재로서는, 필러를 포함하는 점성이 높은 에폭시계 수지를 사용하는 것이 바람직하다. 또한, 제 2 시일재로서는, 점성이 낮은 에폭시계 수지를 사용하는 것이 바람직하다. 또한, 제 1 시일재(1205) 및 제 2 시일재(1206)는 가능한 한 수분이나 산소를 투과하지 않는 재료가 바람직하다.

[0162] 또한, 화소부(1202)와 제 1 시일재(1205)와의 사이에 건조제를 설치하여도 좋다. 또한, 화소부에 있어서, 주사선 또는 신호선 위에 건조제를 설치하여도 좋다. 건조제로서는, 산화칼슘(CaO)이나 산화바륨(BaO) 등과 같은 알칼리토류 금속의 산화물과 같은 화학 흡착에 의해 물(H₂O)을 흡착하는 물질을 사용하는 것이 바람직하다. 그러나, 이것에 한정되지 않고, 제올라이트나 실리카 겔 등의 물리 흡착에 의해 물을 흡착하는 물질을 사용하여도 상관없다.

[0163] 또한, 층간절연막으로서 투습성이 높은 수지에 입상의 물질을 포함시킨 물을 사용하여, 층간절연막과 제 2 기관(1204)을 시일재로 고정할 수 있다. 또한, 투습성이 높은 수지 대신에, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등의 무기물을 사용하여도 좋다.

[0164] 또한, 주사선과 중첩하는 영역에 건조제를 설치하여도 좋다. 또한, 층간절연막으로서 투습성이 높은 수지에 입상의 물질을 포함시킨 것을 사용하여, 층간절연막과 제 2 기관(1204)을 시일재로 고정하여도 좋다. 이들의 건조제를 설치함으로써, 개구율을 저하시키지 않고 표시소자의 수분의 침입 및 그것에 기인하는 열화를 억제할 수 있다. 따라서, 화소부(1202)의 주변부와 중앙부에 있어서의 표시소자의 열화의 변동을 억제할 수 있다.

[0165] 또한, 접속배선(1210)은, 신호선 구동회로(1201) 및 주사선 구동회로(1203)에 입력되는 신호를 전송하

기 위한 접속 배선이며, 외부 입력 단자로서 작용하는 FPC(1209)(가요성 프린트 회로)으로부터 접속 배선(1208)을 통하여 비디오 신호나 클럭 신호를 받는다.

[0166] 다음, 단면구조에 대해서 도 14b를 사용하여 설명한다. 제 1 기관(1200) 위에는, 구동회로 및 화소부가 형성되고, TFT를 대표하는 반도체 소자를 복수 가진다. 구동회로로서는, 신호선 구동회로(1201)와 화소부(1202)를 나타낸다. 또한, 신호선 구동회로(1201)는 n채널형 TFT(1221)와 p채널형 TFT(1222)를 조합한 CMOS회로가 형성된다.

[0167] 본 실시형태에 있어서는, 동일 기관 위에 주사선 구동회로, 및 화소부의 TFT가 형성된다. 따라서, 발광표시장치의 용적을 축소할 수 있다.

[0168] 또한, 화소부(1202)는, 스위칭용 TFT(1211)와, 구동용 TFT(1212)와 그 소스 또는 드레인의 다른 쪽에 전기적으로 접속된 반사성을 가지는 도전막으로 되는 제 1 화소전극(1213)(양극)을 포함하는 복수의 화소에 의하여 형성된다.

[0169] 또한, 제 1 화소 전극(양극)(1213)의 양 끝에는 절연물(1214)(뱅크, 격벽, 장벽, 제방 등이라고 불림)이 형성된다. 절연물(1214)에 형성하는 막의 피복을(커버리지)을 양호하게 하기 위해, 절연물(1214)의 상단부 또는 하단부에 곡률반경을 가지는 곡면이 형성되도록 한다. 또한, 절연층(1214)의 표면을 질화알루미늄막, 질화산화알루미늄막, 탄소를 주성분으로 하는 박막, 또는 질화규소막으로 된 보호막으로 덮어도 좋다. 또한, 절연층(1214)으로서, 검은색 안료, 색소 등의 가시광을 흡수하는 재료를 용해 또는 분산시켜서 된 유기 재료를 사용하는 것으로써, 후에 형성되는 표시소자로부터의 미광을 흡수할 수 있다. 따라서, 각 화소의 콘트라스트가 향상된다. 본 발명에 있어서는, 상기 절연물의 아래쪽에 주사선, 신호선, 및 TFT를 배치한다. 또한, 주사선 또는 신호선의 아래쪽에 TFT를 배치한다. 주사선의 아래쪽에 TFT를 배치할 경우, 주사선의 형상에 있어서의 길이방향(또는 전류의 흐르는 방향)과 TFT의 채널 폭의 방향을 평행하게 배치한다. 신호선의 아래쪽에 TFT를 배치한 경우, 신호선의 형상에 있어서의 길이방향(또는 전류의 흐르는 방향)과 TFT의 채널 폭의 방향을 평행하게 배치한다.

[0170] 또한, 제 1 화소 전극(1213)(양극) 위에는 유기 화합물 재료를 증착하여 전계 발광층(1215)을 선택적으로 형성한다. 또한, 전계 발광층(1215) 위에 제 2 화소 전극(1216; 음극)을 형성한다.

[0171] 이렇게 하여, 제 1 화소 전극(1213)(양극), 전계 발광층(1215) 및 제 2 화소 전극(1216)(음극)을 포함하는 발광 소자(1217)가 형성된다. 표시 소자(1217)는 제 2 기관(1204) 측으로 발광한다.

[0172] 또한, 표시소자(1217)를 밀봉하기 위해 보호적층(1218)을 형성한다. 보호적층(1218)은, 제 1 무기 절연막과, 응력 완화막과, 제 2 무기 절연막과의 적층으로 이루어진다. 그 다음, 보호적층(1218)과 제 2 기관(1204)을 제 1 시일재(1205) 및 제 2 시일재(1206)로 접착한다. 제 2 시일재를 시일재를 적하하는 장치를 사용하여 적하하는 것이 바람직하다. 시일재를 디스펜서로부터 적하 또는 토출시켜 시일재를 액티브 매트릭스 기관 위에 형성한 후, 진공 중에서 제 2 기관과 액티브 매트릭스 기관을 부착시키고, 자외선 경화를 행하여 밀봉할 수 있다.

[0173] 또한, 제 2 기관(1204)의 표면에는, 외광이 기관 표면에서 반사하는 것을 방지하기 위한 반사방지막(1226)을 형성한다. 또한, 제 2 기관과 반사방지막과의 사이에, 편광판 및 위상차판 중의 어느 한쪽 또는 양쪽을 형성하여도 좋다. 위상차판 또는 편광판을 제공함으로써, 외광이 화소전극에서 반사하는 것을 방지할 수 있다. 또한, 제 1 화소전극(1213) 및 제 2 화소전극(1216)을 투광성을 가지는 도전막 또는 반투광성을 가지는 도전막으로 형성하여, 층간절연막을 가시광을 흡수하는 재료, 또는 가시광을 흡수하는 재료를 용해 또는 분산시킨 유기재료를 사용하여 형성하면, 각 화소 전극에서 외광이 반사하지 않으므로, 위상차판 및 편광판을 사용하지 않아도 된다.

[0174] 접속배선(1208)과 FPC(1209)는, 이방성 도전막 또는 이방성 도전 수지(1227)로 전기적으로 접속된다. 또한, 각 배선층과 접속 단자와의 접속부를 밀봉수지로 밀봉하는 것이 바람직하다. 이 구조에 의해, 단면부로부터 수분이 표시소자에 침입하여, 열화하는 것을 방지할 수 있다.

[0175] 또한, 제 2 기관(1204)과 보호적층(1218)의 사이의 공간을, 제 2 시일재(1206) 대신에, 불활성 가스, 예를 들어, 질소가스로 충전함으로써, 열화를 방지하여도 좋다.

[0176] 또한, 제 2 기관과 편광판의 사이에 착색층을 형성할 수 있다. 이 경우, 화소부에 백색 발광이 가능한 표시 소자를 형성하고, RGB를 나타내는 착색층을 별도 형성함으로써, 풀 컬러 표시를 할 수 있다. 또는, 화소

부에 청색 발광이 가능한 발광 소자를 형성하고, 색 변환층 등을 별도 형성함으로써, 풀 컬러 표시를 할 수 있다. 또한, 각 화소부에, 적색, 녹색, 청색의 발광을 나타내는 표시소자를 형성하고, 착색층을 사용할 수도 있다. 이와 같은 표시 모듈은 각 RGB의 색순도가 높고, 고정세의 표시가 가능하게 된다.

[0177] 또한, 제 1 기관(1200) 또는 제 2 기관(1204) 중의 어느 한쪽, 또는 양쪽 모두에 필름 또는 수지 등의 기관을 사용하여 발광 표시 모듈을 형성하여도 좋다. 이와 같이, 필름 또는 수지 등의 기관을 사용하면, 표시 장치의 경량화, 소형화, 박막화를 향상시킬 수 있다.

[0178] 또는, 외부 입력 단자로서 작용하는 FPC(1209)(가요성 프린트 회로)의 표면 또는 단부에 콘트롤러, 메모리, 화소 구동회로와 같은 IC 칩을 형성하여 발광 표시 모듈을 형성하여도 좋다.

[0179] (실시형태 7)

[0180] 발광소자는, 전계가 생기면, 발광하는 유기화합물층을, 양극 및 음극으로 끼우는 구조를 가지는 소자(OLED 소자)를 나타낸다. 다만, 이것으로 한정되지 않는다.

[0181] 또한, 발광소자는, 싱글렛 여기자(singlet exciton)로부터 기저상태로 천이할 때의 발광(형광)을 사용하는 것과 트리플렛 여기자로부터 기저상태로 천이할 때의 발광(인광)을 사용하는 것의 양쪽 모두를 의미한다.

[0182] 유기화합물층으로서, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 들 수 있다. 발광 소자는, 기본적으로는 양극과 발광층과 음극을 차례로 적층한 구조로 나타내지만, 그 이외에도, 양극과 정공 주입층과 발광층과 전자 주입층 및 음극을 차례로 적층한 구조이나, 양극과 정공 주입층과 정공 수송층과 발광층과 전자 수송층과 전자 주입층과 음극을 차례로 적층한 구조 등이 있다.

[0183] 또한, 유기화합물층은, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등이 명확하게 구별되는 적층 구조를 가지는 층으로 한정되지 않는다. 즉, 유기화합물층은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 구성하는 재료가 혼합한 층을 포함하는 구조이라도 좋다.

[0184] 또한, 무기물이 혼합되어도 좋다.

[0185] 또한, OLED 소자의 유기화합물층으로서, 저분자 재료, 고분자 재료, 중분자 재료의 어느 재료라도 좋다.

[0186] 또한, 본 명세서에 있어서, 중분자 재료는, 연쇄하는 분자의 길이가 10 μ m이하이고, 승화성을 가지지 않은 것으로 한다.

[0187] (실시형태 8)

[0188] 본 발명의 표시소자에 적용할 수 있는 다른 구성을, 도 12a 내지 도 13c를 사용하여 설명한다.

[0189] 전계발광을 이용하는 발광소자(표시소자)는, 발광 재료가 유기화합물인지, 무기화합물인지에 따라 구별된다. 일반적으로, 전자는 유기 EL소자, 후자는 무기 EL소자라고 부른다.

[0190] 무기 EL소자는, 그 소자구성에 따라, 분산형 무기 EL소자와 박막형 무기 EL소자로 분류된다. 전자는, 발광 재료의 입자를 바인더 내에 분산시킨 전계발광층을 가지고, 후자는, 발광 재료의 박막으로 이루어진 전계발광층을 가지는 점에 차이는 있다. 하지만, 고전계에 의해 가속된 전자가 필요하는 점에서 공통된다. 또한, 얻어지는 발광의 메커니즘으로서, 도너 준위와 엑셉터 준위를 이용하는 도너-엑셉터 재결합형 발광과, 금속이온의 내각 전자천이를 이용하는 국제형 발광이 있다. 일반적으로, 분산형 무기 EL소자에는 도너-엑셉터 재결합형 발광, 박막형 무기 EL소자에는 국제형 발광인 경우가 많다.

[0191] 본 발명에서 사용할 수 있는 발광 재료는, 모체재료와 발광중심이 되는 불순물원소로 구성된다. 함유시키는 불순물원소를 변화시킴으로써, 여러 가지 색의 발광을 얻을 수 있다. 발광 재료의 제작 방법으로서, 고상법이나 액상법(공침법) 등의 여러 가지 방법을 이용할 수 있다. 또한, 분무열분해법, 복분해법, 프리커서의 열분해반응에 의한 방법, 역 미셀법이나 이들 방법과 고온소성을 조합한 방법, 동결 건조법 등의 액상법 등도 사용할 수 있다.

[0192] 고상법은, 모체재료와, 불순물원소 또는 불순물원소를 포함한 화합물을 칭량하고, 유발로 혼합하고, 전기기로 가열하고, 소성을 행해 반응시킴으로써, 모체재료에 불순물원소를 함유시키는 방법이다. 소성온도는, 700 내지 1500 $^{\circ}$ C가 바람직하다. 온도가 지나치게 낮은 경우에는 고상반응이 진행하지 않고, 온도가 지나치게 높은 경우에는 모체재료가 분해하기 때문이다. 또한, 분말 상태에서 소성을 행해도 되는데, 펠릿 상태에서 소

성을 행하는 것이 바람직하다. 비교적 고온에서의 소성이 필요하지만, 고상법이 간단하므로, 생산성이 높은 대량생산에 적합하다.

[0193] 액상법(공침법)은, 모체재료 또는 모체재료를 포함하는 화합물과, 불순물원소 또는 불순물원소를 포함한 화합물을 용액 내에서 반응시키고, 건조시킨 후, 소성을 하는 방법이다. 발광 재료의 입자는 균일하게 분포하고, 입경이 작고 낮은 소성온도라도 반응이 진행할 수 있다.

[0194] 발광 재료에 사용하는 모체재료로는, 황화물, 산화물, 질화물을 사용할 수 있다. 황화물로서는, 예를 들면, 유화아연(ZnS), 황화카드뮴(CdS), 유화칼슘(CaS), 유화이트륨(Y₂S₃), 유화갈륨(Ga₂S₃), 유화스트론튬(SrS), 유화바륨(BaS) 등을 사용할 수 있다. 또한, 산화물로서는, 예를 들면, 산화아연(ZnO), 산화이트륨(Y₂O₃) 등을 사용할 수 있다. 또한, 질화물로서는, 예를 들면, 질화알루미늄(AlN), 질화갈륨(GaN), 질화인듐(InN) 등을 사용할 수 있다. 또한, 셀렌화아연(ZnSe), 텔루르화아연(ZnTe) 등도 사용할 수 있고, 유화칼슘-갈륨(CaGa₂S₄), 유화스트론튬-갈륨(SrGa₂S₄), 유화바륨-갈륨(BaGa₂S₄) 등의 3원계 혼정도 사용할 수 있다.

[0195] 국제형 발광의 발광중심으로서, 망간(Mn), 구리(Cu), 사마륨(Sm), 테르븀(Tb), 에르븀(Er), 툴륨(Tm), 유로퓸(Eu), 세륨(Ce), 프라세오디뮴(Pr) 등을 사용할 수 있다. 또한, 전하보상으로서, 불소(F), 염소(Cl) 등의 할로겐 원소가 첨가되어 있어도 된다.

[0196] 한편, 도너-억셉터 재결합형 발광의 발광중심으로서, 도너 준위를 형성하는 제 1 불순물원소 및 억셉터 준위를 형성하는 제 2 불순물원소를 포함하는 발광 재료를 사용할 수 있다. 제 1 불순물원소는, 예를 들면, 불소(F), 염소(Cl), 알루미늄(Al) 등을 사용할 수 있다. 제 2 불순물원소로는, 예를 들면, 구리(Cu), 은(Ag) 등을 사용할 수 있다.

[0197] 도너-억셉터 재결합형 발광의 발광 재료를 고상법을 이용해서 합성할 경우, 모체재료와, 제 1 불순물원소 또는 제 1 불순물원소를 포함한 화합물과, 제 2 불순물원소 또는 제 2 불순물원소를 포함한 화합물을 각각 칭량하고, 유발로 혼합한 후, 전기로에서 가열, 소성을 행한다. 모체재료로서는, 상술한 모체재료를 사용할 수 있고, 제 1 불순물원소로서는, 예를 들면, 불소(F), 염소(Cl) 등을 사용할 수 있고, 제 1 불순물원소를 포함한 화합물로서는, 예를 들면, 유화알루미늄(Al₂S₃) 등을 사용할 수 있고, 제 2 불순물원소로서는, 예를 들면, 구리(Cu), 은(Ag) 등을 사용할 수 있고, 제 2 불순물원소를 포함한 화합물로서는, 유화구리(Cu₂S), 유화은(Ag₂S) 등을 사용할 수 있다. 소성온도는, 700 내지 1500℃가 바람직하다. 온도가 지나치게 낮은 경우에는 고상반응이 진행하지 않고, 온도가 지나치게 높은 경우에는 모체재료가 분해하기 때문이다. 또한, 분말상태에서 소성을 행해도 되지만, 펠릿 상태에서 소성을 행하는 것이 바람직하다.

[0198] 또한, 고상반응을 이용할 경우의 불순물원소로서, 제 1 불순물원소와 제 2 불순물원소로 구성되는 화합물을 조합해서 사용해도 된다. 이 경우, 불순물원소가 확산되기 쉽고, 고상반응이 진행되기 쉬워지므로, 균일한 발광 재료를 얻을 수 있다. 또한, 여분한[여분의] 불순물원소가 혼입하지 않으므로, 순도가 높은 발광 재료를 얻을 수 있다. 제 1 불순물원소와 제 2 불순물원소로 구성되는 화합물로서는, 예를 들면, 염화구리(CuCl), 염화은(AgCl) 등을 사용할 수 있다.

[0199] 또한, 이들 불순물원소의 농도는, 모체재료에 대하여 0.01 내지 10atom%이면 좋고, 바람직하게는, 0.05 내지 5atom%의 범위로 한다.

[0200] 박막형 무기 EL의 경우, 전계발광층은, 상기 발광 재료를 포함한 층이며, 저항가열증착법, 전자빔증착(EB증착)법 등의 진공증착법, 스퍼터링법 등의 물리기상성장법(PVD), 유기금속CVD법, 하이드라이드 수송 감압 CVD법 등의 화학기상성장법(CVD), 원자층 에피택시법(ALE) 등을 이용해서 형성할 수 있다.

[0201] 도 12a 내지 12c에 발광소자로서 사용할 수 있는 박막형 무기 EL소자의 일례를 나타낸다. 도 12a 내지 도 12c에 있어서, 표시소자는, 제 1 전극층(50), 전계발광층(52), 제 2 전극층(53)을 포함한다.

[0202] 도 12b 내지 도 12c에 나타내는 표시소자는, 도 12a의 표시소자에 있어서, 전극층과 전계발광층 사이에 절연층을 형성하는 구조이다. 도 12b에 나타내는 표시소자는, 제 1 전극층(50)과 전계발광층(52)의 사이에 절연층(54)을 가지고, 도 12c에 나타내는 표시소자는, 제 1 전극층(50)과 전계발광층(52)의 사이에 절연층(54a)을, 제 2 전극층(53)과 전계발광층(52)의 사이에 절연층(54b)을 가진다. 이와 같이, 절연층은 전계발광층을 협지하는 한 쌍의 전극층 중 한 쪽의 사이에 형성해도 좋고, 양쪽의 사이에 형성해도 좋다. 또한, 절연층은 단층이라도 되고 복수층으로 이루어진 적층으로 해도 된다.

[0203] 또한, 도 12b에서는 제 1 전극층(50)에 접하도록 절연층(54)이 형성되지만, 절연층과 발광층의 순서를

반대로 하여, 제 2 전극층(53)에 접하도록 절연층(54)을 형성해도 좋다.

[0204] 분산형 무기 EL소자의 경우, 입자형의 발광 재료를 바인더 내에 분산시켜 막 형상의 전계발광층을 형성한다. 발광 재료의 제작 방법에 의해, 충분히 원하는 크기의 입자를 얻을 수 없는 경우에는, 유발 등으로 분쇄 등에 의해 입자 상태로 가공하면 된다. 바인더란, 입자 상태의 발광 재료를 분산한 상태로 고정하여, 전계발광층으로서의 형상을 유지하기 위한 물질이다. 발광 재료는, 바인더에 의해 전계발광층 내에 균일하게 분산하여 고정된다.

[0205] 분산형 무기 EL소자의 경우, 전계발광층의 형성 방법은, 선택적으로 전계발광층을 형성할 수 있는 액적 토출법이나, 인쇄법(스크린인쇄나 오프셋인쇄 등), 스핀 코팅법, 딥핑법, 디스펜서법 등을 이용할 수도 있다. 막 두께는 특별히 한정되지 않지만, 바람직하게는, 10 내지 1000nm의 범위로 한다. 또한, 발광 재료 및 바인더를 포함한 전계발광층에 있어서, 발광 재료의 비율은 50wt% 이상 80wt% 이하로 하면 좋다.

[0206] 도 13a 내지 13c에 표시소자로서 사용할 수 있는 분산형 무기 EL소자의 일례를 나타낸다. 도 13a에 있어서의 표시소자는, 제 1 전극층(60), 전계발광층(62), 제 2 전극층(63)의 적층 구조를 가지고, 전계발광층(62) 내에 바인더에 의해 유지된 발광 재료(61)를 포함한다.

[0207] 본 실시형태에 사용할 수 있는 바인더에는, 유기재료나 무기재료를 사용할 수 있고, 유기재료 및 무기재료의 혼합재료를 사용해도 좋다. 유기재료로서는, 시아노에틸 셀룰로오스계 수지와 같이, 비교적 유전율이 높은 폴리머, 폴리에틸렌, 폴리프로필렌, 폴리스티렌계 수지, 실리콘(silicone)수지, 에폭시 수지, 불화비닐리덴 등의 수지를 사용할 수 있다. 또한, 방향족 폴리아미드, 또는 폴리벤조이미다졸(Polybenzimidazole) 등의 내열성 고분자, 또는 실록산 수지를 사용해도 된다. 또한, 실록산 수지는, Si-O-Si 결합을 포함한 수지에 해당한다. 실록산은, 규소(Si)와 산소(O)의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함한 유기기(예를 들면, 알킬기, 방향족 탄화수소)를 사용할 수 있다. 치환기로서, 플루오르기를 사용해도 된다. 또한, 치환기로서, 적어도 수소를 포함한 유기기와, 플루오르기를 사용해도 된다. 또한, 폴리비닐 알코올, 폴리비닐 부티랄 등의 비닐 수지, 페놀수지, 노보락 수지, 아크릴수지, 멜라민수지, 우레탄 수지, 옥사졸수지(폴리벤조옥사졸) 등의 수지재료를 사용해도 된다. 이들 수지에, 티탄산바륨(BaTiO₃)이나 티탄산스트론튬(SrTiO₃) 등의 고유전율의 미립자를 적절히 혼합해서 유전율을 조정할 수도 있다.

[0208] 바인더에 포함되는 무기재료로서는, 산화규소(SiO_x), 질화규소(SiN_x), 산소 및 질소를 포함한 규소, 질화알루미늄(AlN), 산소 및 질소를 포함한 알루미늄 또는 산화알루미늄(Al₂O₃), 산화티탄(TiO₂), BaTiO₃, SrTiO₃, 티탄산납(PbTiO₃), 니오브산칼륨(KNbO₃), 니오브산납(PbNbO₃), 산화탄탈(Ta₂O₅), 탄탈산바륨(BaTa₂O₆), 탄탈산리튬(LiTaO₃), 산화이트륨(Y₂O₃), 산화지르코늄(ZrO₂), ZnS, 다른 무기재료를 포함한 물질로부터 선택된 재료를 사용할 수 있다. 유기재료에, 유전율이 높은 무기재료를 (첨가 등에 의해) 포함함으로써, 발광 재료 및 바인더로 이루어지는 전계발광층의 유전율을 더욱 제어할 수 있고, 더욱 유전율을 크게 할 수 있다.

[0209] 제작 공정에 있어서, 발광 재료는 바인더를 포함한 용액 내에 분산되지만, 본 실시형태에 사용할 수 있는 바인더를 포함한 용액의 용매로서는, 바인더 재료가 용해하고, 전계발광층을 형성하는 방법(각종 웨트 프로세스) 및 원하는 막 두께에 적합하는 점도의 용액을 제작할 수 있는 용매를 적절히 선택하면 된다. 유기용매 등을 사용할 수 있고, 예를 들면, 바인더로서 실록산 수지를 사용하는 경우에는, 프로필렌 글리콜모노메틸 에테르, 프로필렌 글리콜모노메틸 에테르 아세테이트(PGMEA라고도 한다), 3-메톡시-3-메틸-1-부탄올(MMB이라고도 한다) 등을 사용할 수 있다.

[0210] 도 13b 및 도 13c에 나타내는 표시 소자는, 도 13a의 표시 소자에 있어서, 전극층과 전계발광층의 사이에 절연층을 형성하는 구조이다. 도 13b에 나타내는 표시소자는, 제 1 전극층(60)과 전계발광층(62)의 사이에 절연층(64)을 가지고, 도 13c에 나타내는 표시소자는, 제 1 전극층(60)과 전계발광층(62)의 사이에 절연층(64a), 제 2 전극층(63)과 전계발광층(62)의 사이에 절연층(64b)을 가지고 있다. 이렇게 절연층은 전계발광층을 협지하는 한 쌍의 전극층 중 한쪽의 사이에만 형성해도 되고, 양쪽의 사이에 형성해도 좋다. 또한, 절연층은 단층으로 해도 좋고 복수층으로 이루어진 적층으로 해도 된다.

[0211] 또한, 도 13b에서는 제 1 전극층(60)에 접하도록 절연층(64)이 형성되지만, 절연층과 전계발광층의 순서를 반대로 하여, 제 2 전극층(63)에 접하도록 절연층(64)을 형성해도 된다.

[0212] 도 12a 내지 도 12c에 있어서의 절연층(54), 도 13a 내지 도 13c에 있어서의 절연층(64)과 같은 절연층은, 특별히 한정되지 않지만, 절연 내압이 높고, 치밀한 막질인 것이 바람직하고, 또는 유전율이 높은 것이 바

람직하다. 예를 들면, 산화규소(SiO₂), 산화이트륨(Y₂O₃), 산화티탄(TiO₂), 산화알루미늄(Al₂O₃), 산화하프늄(HfO₂), 산화탄탈(Ta₂O₅), 티탄산바륨(BaTiO₃), 티탄산스트론튬(SrTiO₃), 티탄산납(PbTiO₃), 질화규소(Si₃N₄), 산화지르코늄(ZrO₂) 등이나 이것들의 혼합막 또는 2종 이상의 적층막을 사용할 수 있다. 이들 절연막은, 스퍼터링, 증착, CVD 등에 의해 성막할 수 있다. 또한, 절연층은 이들 절연재료의 입자를 바인더 내에 분산함으로써 성막해도 된다. 바인더 재료는, 전계발광층에 포함되는 바인더와 유사한 재료, 방법을 사용해서 형성하면 된다. 막 두께는 특별히 한정되지 않지만, 바람직하게는 10 내지 1000nm의 범위이다.

[0213] 본 실시형태에서 나타내는 표시소자는, 전계발광층을 협지하는 한 쌍의 전극층의 사이에 전압을 인가하는 것으로써, 발광을 얻을 수 있지만, 직류구동, 또는 교류구동의 어느 것이라도 동작할 수 있다.

[0214] (실시형태 9)

[0215] 실시형태 1 내지 실시형태 8에 있어서, 주로 전계발광을 사용한 표시장치를 예로서 설명했다. 그러나, 본 발명은, 여러가지 액티브 매트릭스형 표시장치에 적용할 수 있다. 다른 표시장치로서는, 예를 들면, 액정표시장치, FED(Field Emission Display) 등이 들 수 있다.

[0216] (실시형태 10)

[0217] 또한, 본 발명은, 표시장치 이외의 여러가지 반도체 장치에도 적용할 수 있다(또한, 반도체 장치는, 표시장치를 포함하는 개념이다).

[0218] 예를 들면, DRAM(Dynamic Random Access Memory) 등의 메모리 소자(기억소자)가 있다. 도 15a에 DRAM의 회로도도를 나타낸다. 트랜지스터(401)의 한쪽의 단자와 셀 플레이트(402)(용량소자)가 접속된 유닛을 1셀로 한다. 그리고, 1셀들은 배선에 의하여 접속된다. 또한, 트랜지스터(401)의 다른 단자는, 비트 선(403)과 접속된다. 또한, 트랜지스터(401)의 게이트는 워드 선(404)과 접속된다.

[0219] DRAM의 동작원리를 설명한다. 트랜지스터(401)가 N형 트랜지스터의 경우, 데이터 기록 기간은, 비트 선(403) 및 워드 선(404)에 정의 전압을 인가하여 셀 플레이트(402)에 전하를 축적한다. 또한, 데이터 판독 기간에는, 워드 선에 정의 전압을 인가하는 것으로써, 셀 플레이트(402)에 축적된 전하가 비트 선(403)에 흐른다. 트랜지스터(401)가 P형 트랜지스터의 경우는, 극성을 반대로 한 전압을 각각의 기간에서 인가하면 좋다.

[0220] 또한, 셀 플레이트(402)는, 면적이 클수록 용량이 크게 된다. 용량을 크게 함으로써, 소프트 에러(우주선(宇宙線)의 충돌이라고 하는 요인에 의하여, 메모리 셀에 기록된 정보가 소실해 버리는(바뀌 써 버림) 에러) 등의 발생을 억제할 수 있다. 따라서, 용량소자의 용량을 증대시키기 위해, 용량소자의 표면적의 증대가 요구된다.

[0221] 그래서, 인접하는 전극의 사이에 배선을 형성하고, 그 아래에 용량소자와 접속하는 박막 트랜지스터를 배치하고, 박막 트랜지스터의 채널형성영역의 채널 폭의 방향을 상기 배선에 있어서의 전류의 흐르는 방향과 평행한 방향, 또는 상기 전극의 형상에 있어서의 길이방향과 평행방향으로 배치하는 것으로써, 용량소자의 용량의 증대를 도모할 수 있다.

[0222] 본 실시형태에서는, 도 16과 같이, 트랜지스터(401)의 채널 폭의 방향을 셀 플레이트(402)(또는 용량소자의 전극)의 형상에 있어서의 길이방향과 평행하게 배치한다(도 16 화살표(7004)). 트랜지스터(401)는, 싱글 게이트 구조라도, 멀티 게이트 구조라도 좋다.

[0223] 또한, DRAM의 구조는, 스택형이라도 트렌치형이라도 좋다. 스택형은, 절연막을 형성한 후, 상기 절연막을 에칭하는 것으로써, 단차를 기판 위에 형성하고, 상기 단차에 용량소자를 매립하여 형성하는 것이다. 한편, 트렌치형은, 기판을 에칭함으로써 단차를 형성하고, 상기 단차에 용량소자를 매립하여 형성하는 것이다.

[0224] 또한, 스택형의 DRAM의 제작방법은, 공지의 방법으로 SOI(Silicon on Insulator) 위에 트랜지스터를 형성하거나, 또는 실시형태 3에 기재된 방법으로 TFT를 제작한다. 그 후, 절연막(예를 들면, 아크릴, 폴리이미드, 실록산, 산화규소, 질화규소 등을 사용할 수 있다)을 형성한다. 다음, 상기 절연막을 패터닝한 후, 에칭하는 것으로써, 단차를 형성한다.

[0225] 그 후, 트랜지스터의 소스 영역 또는 드레인 영역과 접하는 하부 전극(예를 들면, 알루미늄 등의 금속을 사용할 수 있다)을 형성한다. 다음, 유전체막(예를 들면, 산화티탄, 산화탄탈, 질화규소, 산화규소 등을 사용할 수 있다)을 형성한다. 다음, 상부전극(예를 들면, 텅스텐 실리사이드, 폴리 실리콘 등을 사용할 수 있다)을 형성하는 것으로써, 단차에 용량소자를 형성한다.

- [0226] 또한, 트렌치형의 DRAM의 제작방법은, 우선, 기판을 패터닝한 후, 에칭하는 것으로써, 기판에 단차를 형성한다. 그 후, 공지의 방법으로 SOI(Silicon on Insulator) 위에 트랜지스터를 형성하거나, 또는 실시형태 3에 기재의 방법으로 TFT를 제작한다.
- [0227] 그 후, 트랜지스터의 소스 영역 또는 드레인 영역과 접하는 하부 전극(예를 들면, 알루미늄 등의 금속을 사용할 수 있다)을 형성한다. 다음, 유전체막(예를 들면, 산화티탄, 산화탄탈, 질화규소, 산화규소 등을 사용할 수 있다)을 형성한다. 다음, 상부전극(예를 들면, 텅스텐 실리사이드, 폴리 실리콘 등을 사용할 수 있다)을 형성하는 것으로써, 단차에 용량소자를 형성한다.
- [0228] 또한, DRAM이외의 소자이라도, 소자의 면적의 확대를 도모할 경우는, 본 발명을 적용할 수 있다. 도 15b에 본 발명을 적용할 수 있는 소자의 회로도도를 나타낸다. 트랜지스터(411)의 한쪽의 단자와 소자(412)가 접속된 유닛을 1셀로 한다. 그리고, 1셀들은 배선에 의하여 접속된다. 또한, 트랜지스터(411)의 다른 쪽의 단자는, 제 1 배선(413)과 접속된다. 또한, 트랜지스터(411)의 게이트는 제 2 배선(414)과 접속된다.
- [0229] 그래서, 인접하는 소자의 사이에 배선을 형성하고, 그 아래에 상기 소자와 접속하는 박막 트랜지스터를 배치하고, 박막 트랜지스터의 채널형성영역의 채널 폭의 방향을 상기 배선에 있어서의 전류의 흐르는 방향과 평행한 방향, 또는, 상기 소자의 형상에 있어서의 길이방향과 평행방향으로 배치하는 것으로써, 소자의 면적의 증대 또는 소자의 수의 증가를 도모할 수 있다.
- [0230] 소자(412)로서는, 예를 들면, 유기 메모리, 포토 다이오드, 압전소자 등을 사용할 수 있다.
- [0231] 소자(412)로서는, 유기 메모리를 사용할 경우는, 기억소자를 형성할 수 있다. 또한, 유기 메모리의 방식으로서, 제 1 배선(413)과 제 2 배선(414)의 선택에 의하여, 전기적으로 기억시키는 방식, 유기재료, 즉 광산 발생제를 도포한 공역 고분자재료를 사용한 유기 메모리 소자에 레이저 광을 조사함으로써, 광학적으로 기억시키는 방식 등이 있다. 유기 메모리 소자를 형성할 경우, 어느 정도의 면적이 필요하다. 또한, 메모리 용량을 증가시키기 위해서는, 메모리 소자의 수를 증가하는 것이 효과적이다. 따라서, 본 발명의 구성을 채용하면, 메모리 소자의 수를 증가시킬 수 있기 때문에, 효과적이다.
- [0232] 또한, 소자(412)로서, 포토 다이오드를 사용하면, 광 센서를 형성할 수 있다. 포토 다이오드의 종류는, PN포토 다이오드, PIN포토 다이오드, 에벌란시 포토 다이오드, 쇼트키 포토 다이오드 등을 사용할 수 있다. 포토 다이오드는, 면적이 클수록 광전변환효율이 높기 때문에, 본 발명의 구성을 채용하면 효과적이다.
- [0233] 또한, 소자(412)로서, 압전소자를 사용함으로써, 압력센서를 형성할 수 있다. 또한, 압전소자와 표시소자를 동일 기판 위에 형성하는 것으로써, 터치 패널을 형성할 수 있다. 압전소자로서는, 평행평판 콘덴서를 형성한 감압센서, p형 규소결정에 n형 불순물을 열확산에 의하여 도포하고, 보상된 고저항의 진성 반도체 영역을 스트레인 게이지로서 사용하는 스트레인 게이지식 압력 센서 등이 있다. 압전소자를 형성할 경우는, 어느 정도의 면적이 필요하게 된다. 또한, 면적이 크면, 센서로서의 감도가 더 높다. 따라서, 본 발명의 구성을 채용하면 효과적이다.
- [0234] 이상과 같이, 본 발명은, 여러가지 반도체 장치에 적용할 수 있다.
- [0235] (실시형태 11)
- [0236] 본 발명의 표시장치는 여러가지 전자기기의 표시부에 사용할 수 있다. 특히, 박형, 경량이 요구되는 모바일 기기에는 본 발명의 표시장치를 사용하는 것이 바람직하다. 또한, 본 발명의 반도체 장치는 여러가지 전자기기에 사용할 수 있다. 특히, 박형, 경량이 요구되는 모바일 기기에는 본 발명의 반도체장치를 사용하는 것이 바람직하다.
- [0237] 본 발명의 표시장치 또는 반도체 장치를 케이스에 내장한 전자기기로서, 텔레비전 장치(단순히 TV, 또는 텔레비전 수신기라고도 부른다), 카메라(비디오카메라나 디지털 카메라 등), 고글형 디스플레이, 네비게이션 시스템, 음향재생장치(카 오디오, 오디오 컴포넌트 시스템 등), 컴퓨터, 게임 기기, 휴대 정보단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록 매체를 구비한 화상재생장치(구체적으로는 DVD(Digital Versatile Disc)나 HDDVD(High Definition DVD), 블루레이 디스크(Blu-ray Disk) 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치), 그 이외에도 표시부를 가지는 전화제품 등을 들 수 있다. 전자기기의 구체적인 예를 도 17a 내지 도 17f에 나타낸다.
- [0238] 도 17a는 휴대정보 단말이며, 본체(9201), 표시부(9202) 등을 포함한다.

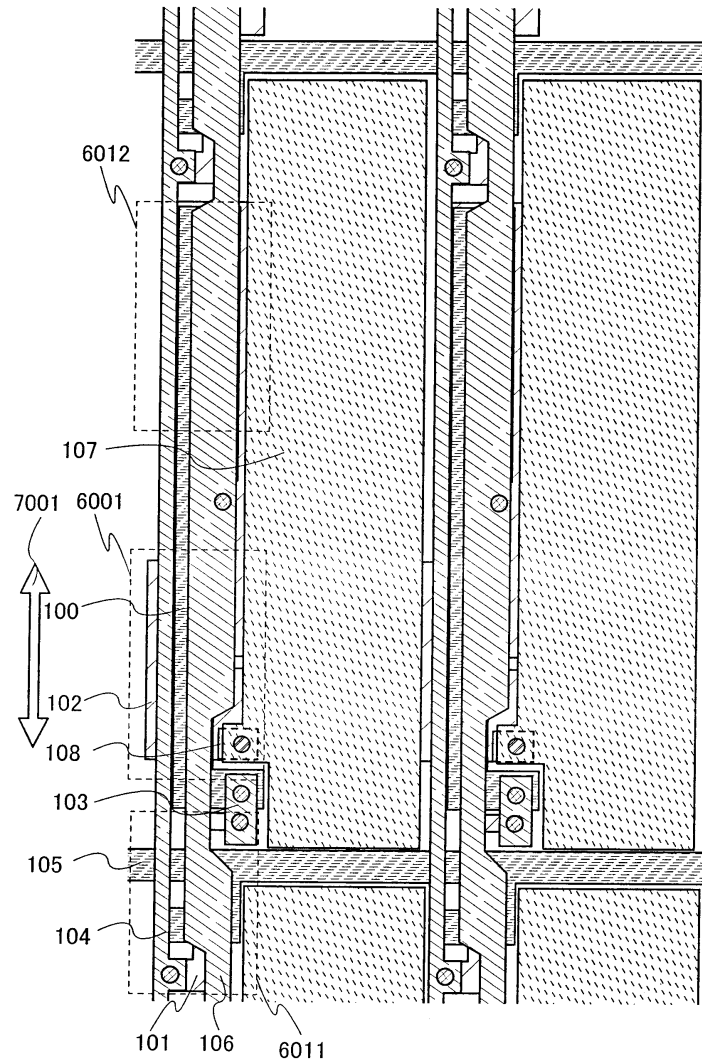
- [0239] 도 17b는 디지털 비디오 카메라이며, 본체(9702), 표시부(9701) 등을 포함한다.
- [0240] 도 17c는 휴대정보 단말이며, 본체(9101), 표시부(9102) 등을 포함한다.
- [0241] 도 17d는 휴대형의 텔레비전 장치이며, 본체(9301), 표시부(9302) 등을 포함한다. 이러한 텔레비전 장치는 휴대전화 등의 휴대 단말에 탑재하는 소형의 것, 운반할 수 있는 중형 것, 또는, 대형 것(예를 들면, 40인치 이상) 등, 광범위하게 적용할 수 있다.
- [0242] 도 17e는, 휴대형의 컴퓨터이며, 본체(9401), 표시부(9402) 등을 포함한다.
- [0243] 도 17f는, 텔레비전 장치이며, 본체(9501), 표시부(9502) 등을 포함한다.
- [0244] 이상과 같이, 본 발명의 적용범위는 극히 넓고, 여러가지 분야의 전자기기의 제작 방법에 적용할 수 있다.

도면의 간단한 설명

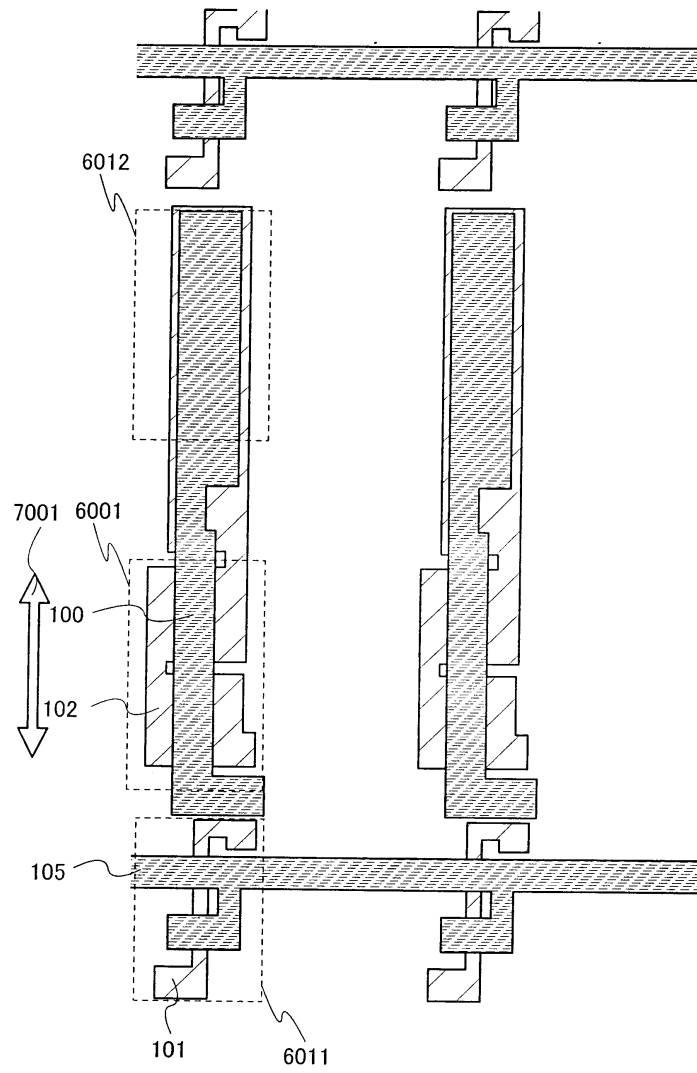
- [0245] 도 1은 더블 게이트 구조의 레이아웃 1.
- [0246] 도 2는 더블 게이트 구조의 레이아웃 2.
- [0247] 도 3은 화소의 회로도.
- [0248] 도 4a 내지 도 4d는 TFT의 제작 플로[흐름도](상면도).
- [0249] 도 5는 화소전극 및 배선의 도면(배선형: 직선).
- [0250] 도 6은 화소전극 및 배선의 도면(배선형: 지그재그).
- [0251] 도 7은 화소전극 및 배선의 도면(배선형: 구불구불함).
- [0252] 도 8은 싱글 게이트 구조의 레이아웃 1.
- [0253] 도 9는 싱글 게이트 구조의 레이아웃 2.
- [0254] 도 10은 트리플 게이트 구조의 레이아웃 1.
- [0255] 도 11은 트리플 게이트 구조의 레이아웃 2.
- [0256] 도 12a 내지 도 12c는 무기 EL 소자의 단면도.
- [0257] 도 13a 내지 도 13c는 무기 EL 소자의 단면도.
- [0258] 도 14a 내지 도 14b는 표시장치의 상면도 및 단면도.
- [0259] 도 15a 내지 도 15b는 DRAM의 회로도.
- [0260] 도 16은 DRAM의 레이아웃.
- [0261] 도 17a 내지 도 17f는 전자기기의 예.
- [0262] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|----------------------|---------------|
| [0263] 100: 게이트 전극 | 101: 제 1 반도체층 |
| [0264] 102: 제 2 반도체층 | 103: 접속전극 |
| [0265] 104: 신호선 | 105: 게이트 배선 |
| [0266] 106: 전원공급선 | 107: 화소전극 |
| [0267] 108: 접속전극 | 6001: 파선부 |
| [0268] 6011: 파선부 | 6012: 파선부 |
| [0269] 7001: 화살표 | |

도면

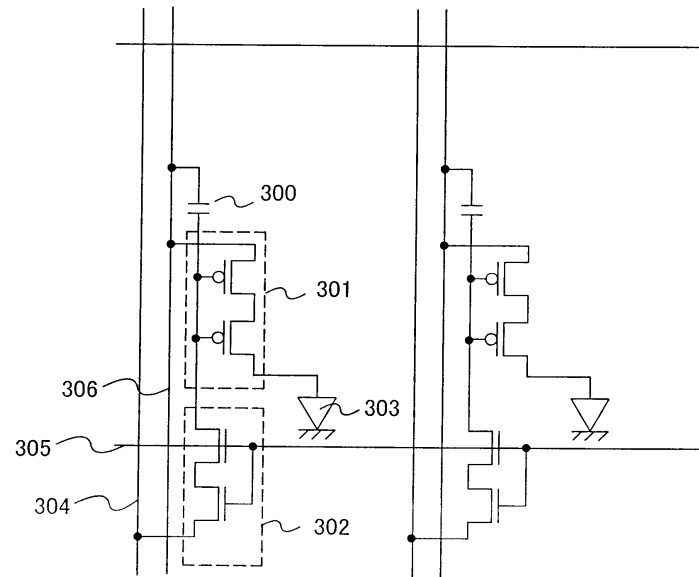
도면1



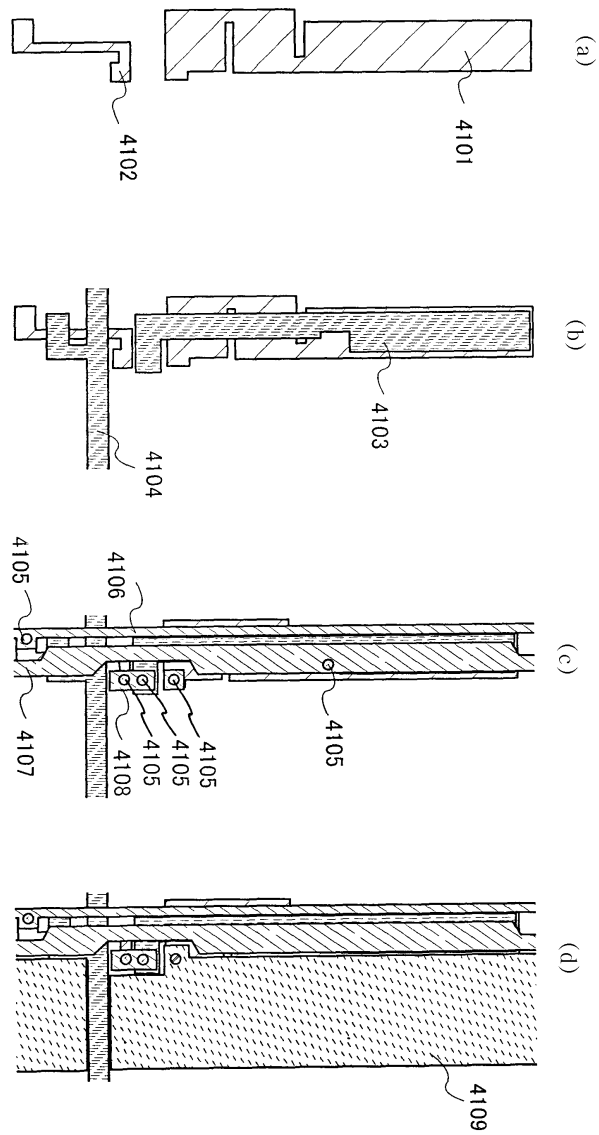
도면2



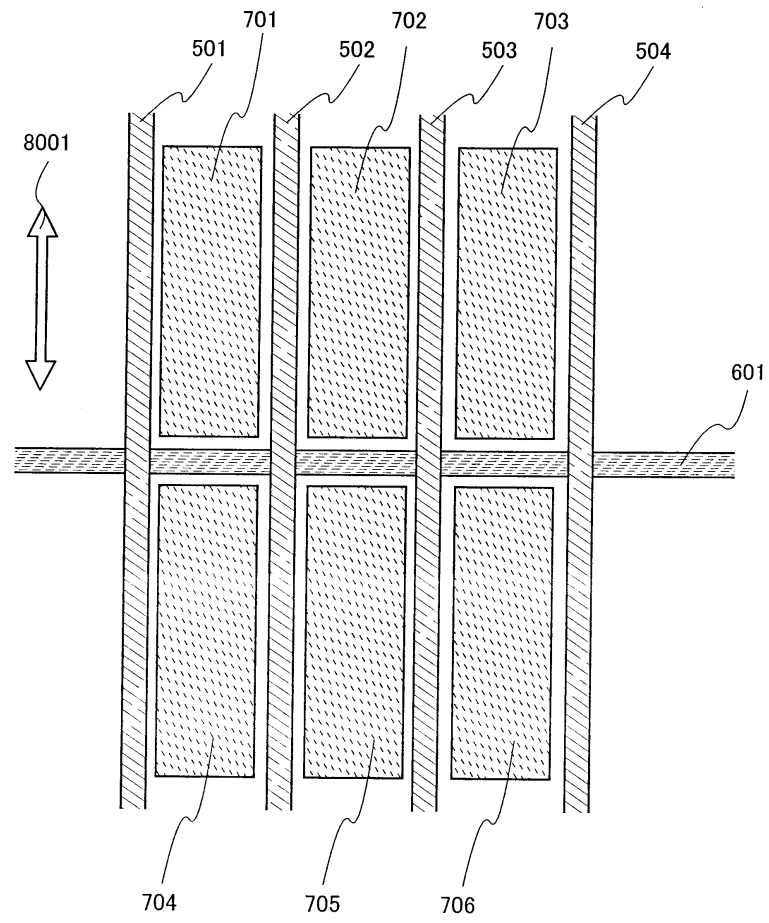
도면3



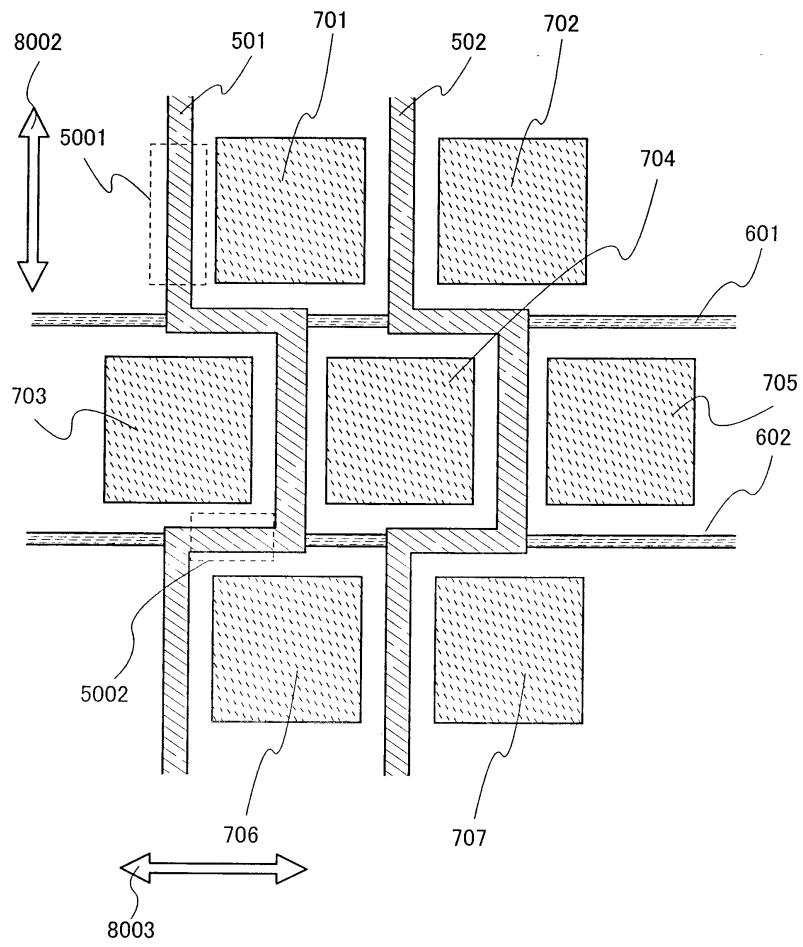
도면4



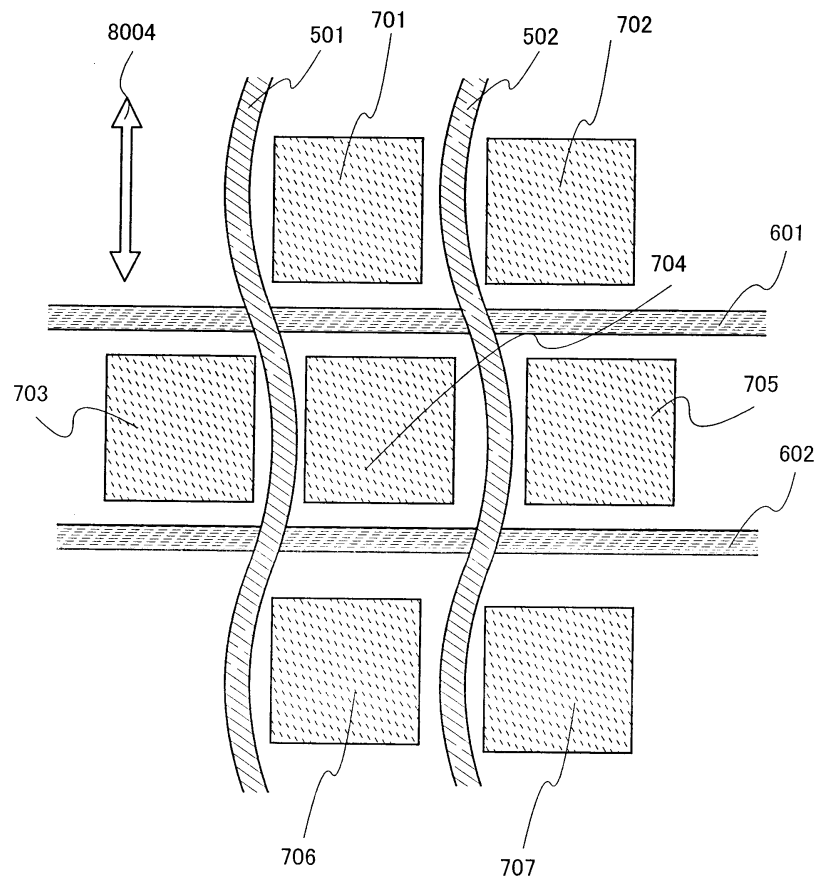
도면5



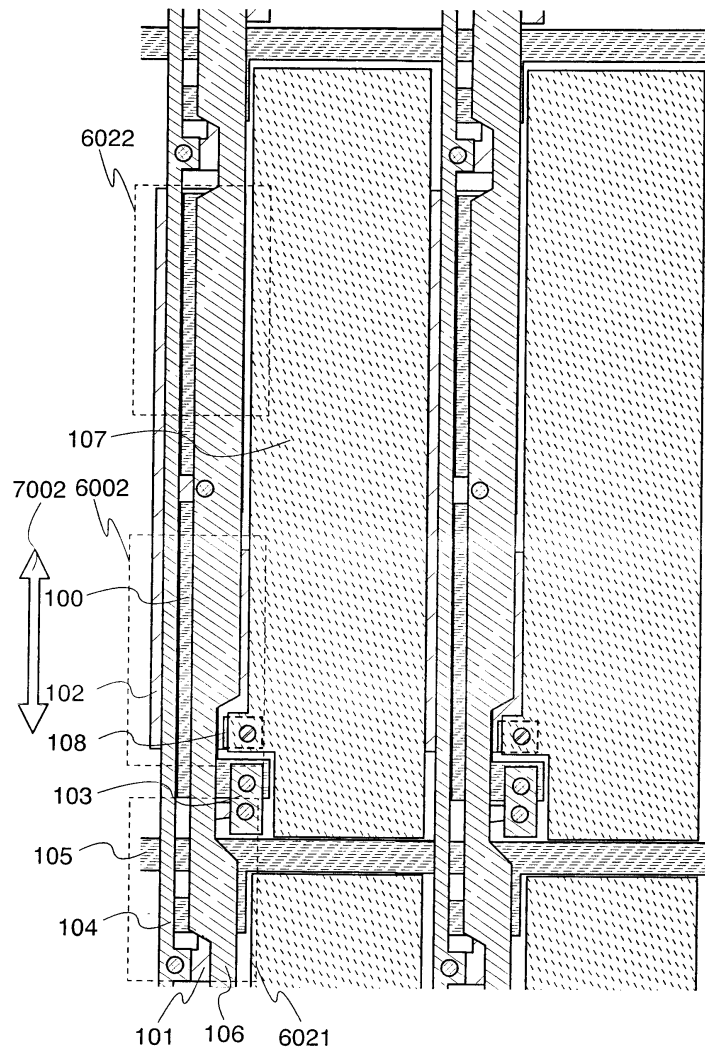
도면6



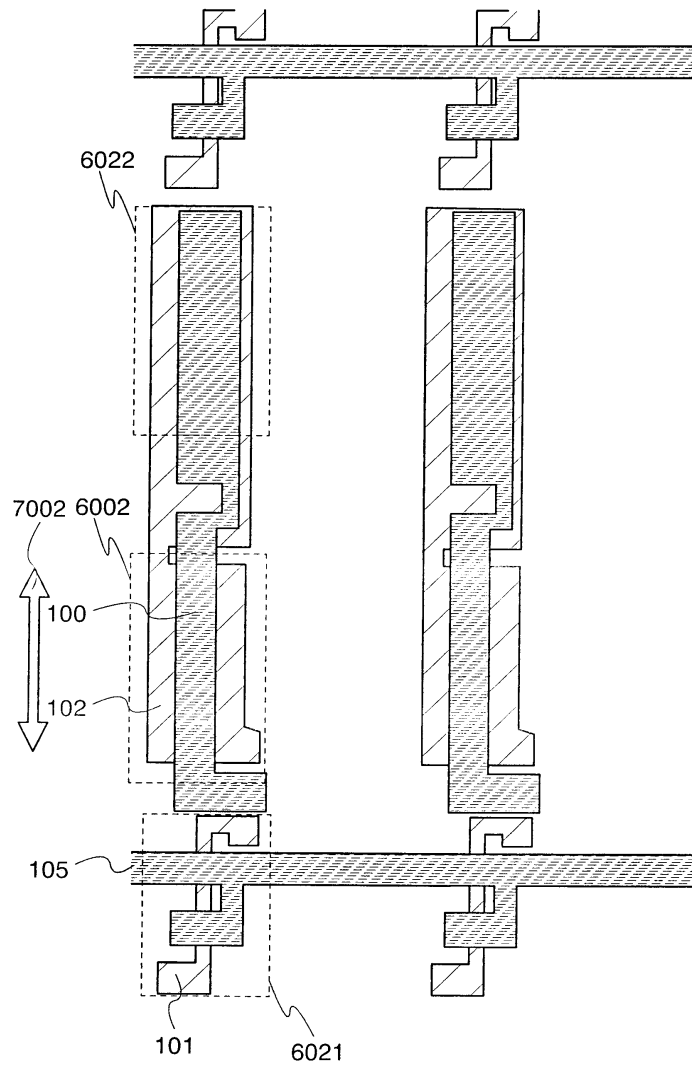
도면7



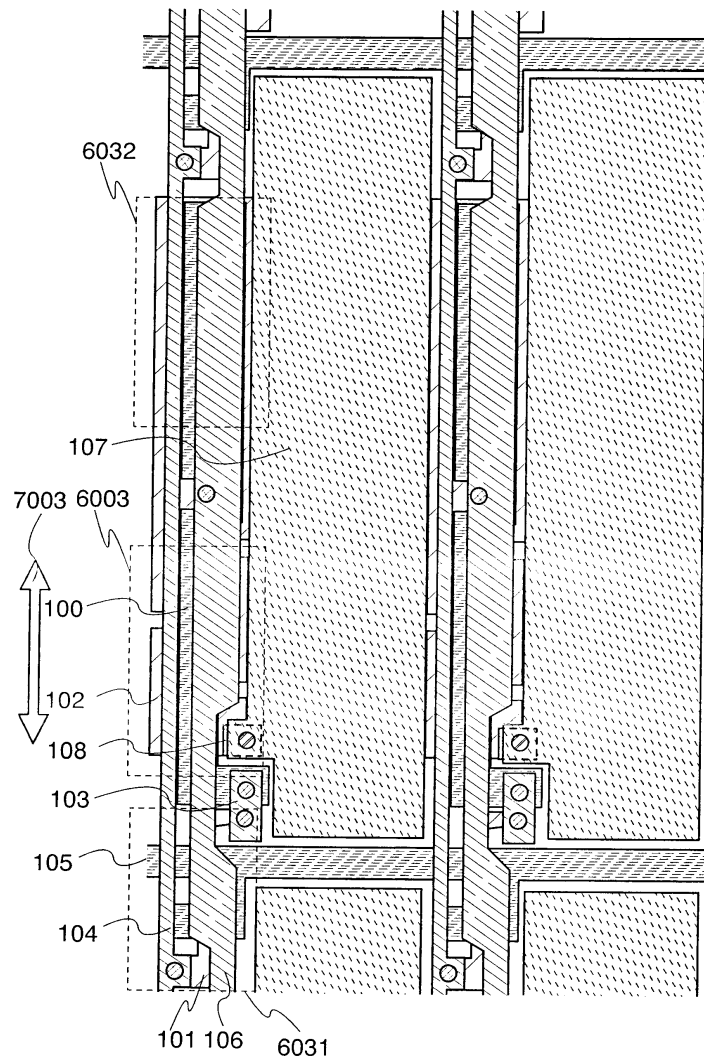
도면8



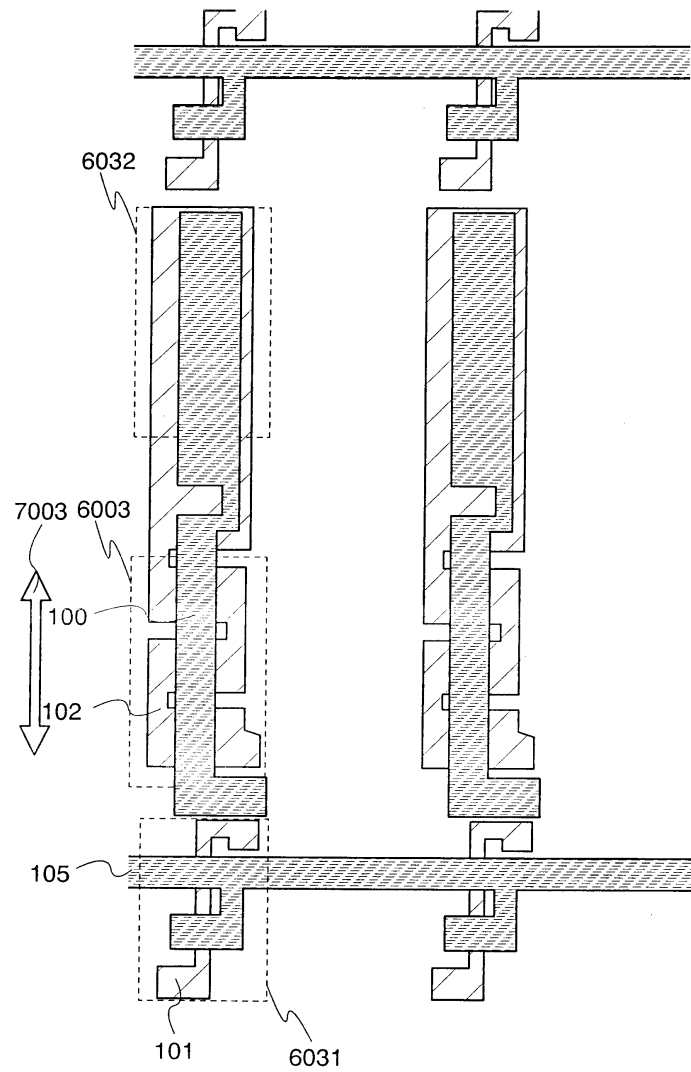
도면9



도면10

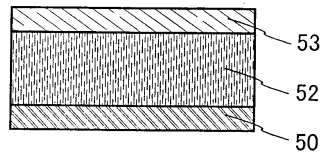


도면11

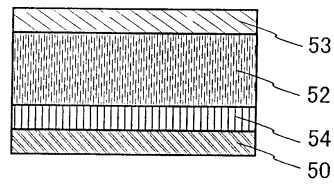


도면12

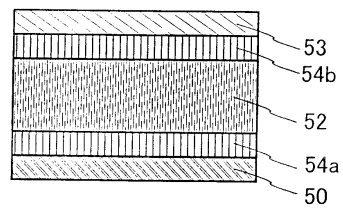
(a)



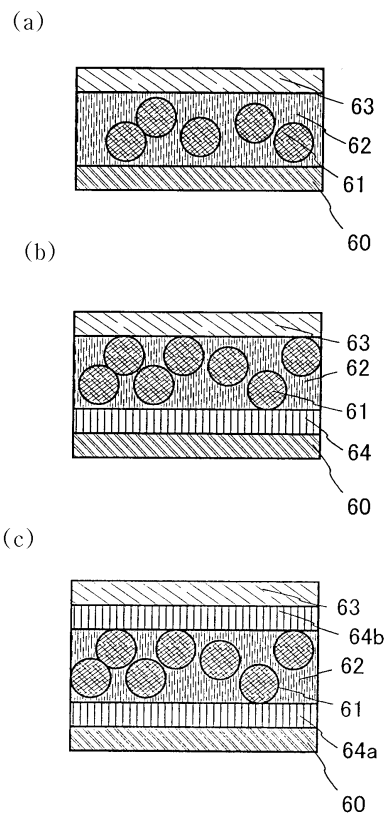
(b)



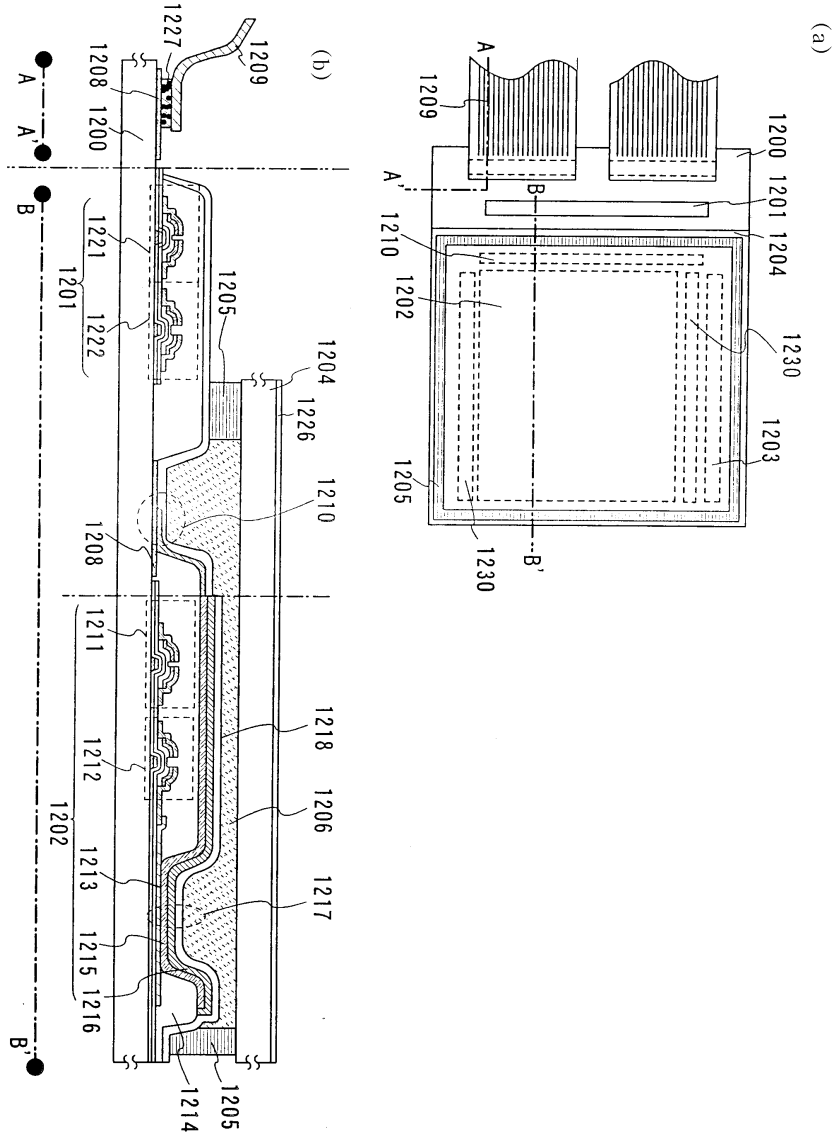
(c)



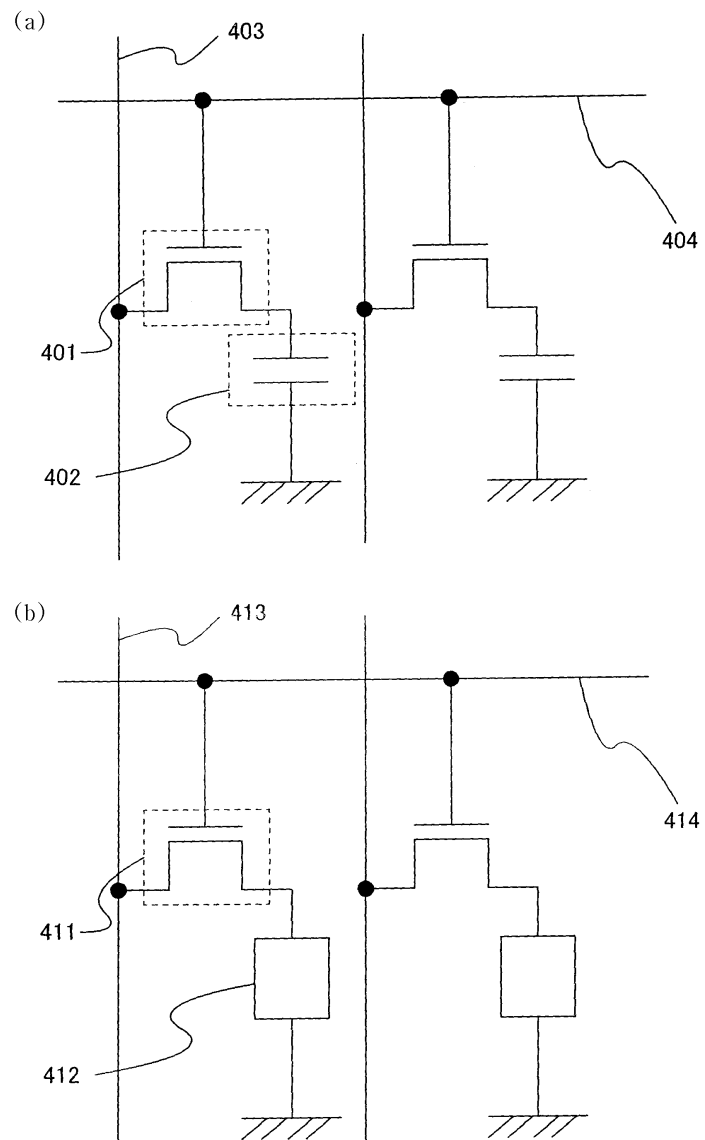
도면13



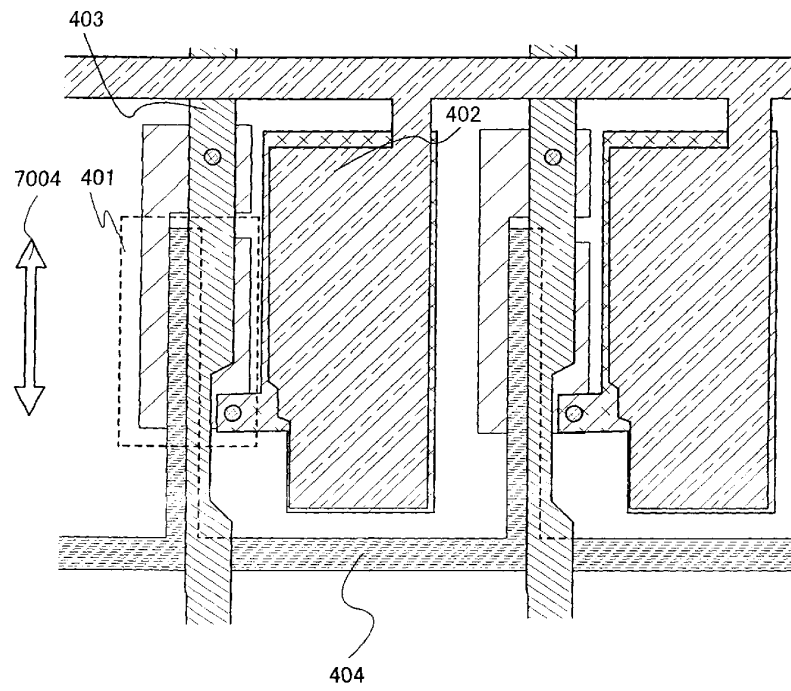
도면14



도면15



도면16



도면17

