

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4274688号
(P4274688)

(45) 発行日 平成21年6月10日(2009.6.10)

(24) 登録日 平成21年3月13日(2009.3.13)

(51) Int.Cl.

HO3K 19/0175 (2006.01)

F 1

HO3K 19/00 101F
HO3K 19/00 101Q

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2000-505524 (P2000-505524)	(73) 特許権者	591003943 インテル・コーポレーション アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション・カレッジ ブーレバード・2200
(86) (22) 出願日	平成10年7月17日(1998.7.17)	(74) 代理人	100064621 弁理士 山川 政樹
(65) 公表番号	特表2001-512296 (P2001-512296A)	(72) 発明者	ムニー、スティーブン・アール アメリカ合衆国・97006・オレゴン州 ・ビバートン・ノース ウエスト マドラス コート・17265
(43) 公表日	平成13年8月21日(2001.8.21)	(72) 発明者	ヘイコック、マシュー・ビィ アメリカ合衆国・97006・オレゴン州 ・ビバートン・ノース ウエスト バークトン コート・16206
(86) 國際出願番号	PCT/US1998/014846		
(87) 國際公開番号	W01999/006845		
(87) 國際公開日	平成11年2月11日(1999.2.11)		
審査請求日	平成17年7月12日(2005.7.12)		
(31) 優先権主張番号	08/902,345		
(32) 優先日	平成9年7月29日(1997.7.29)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】インピーダンス制御回路

(57) 【特許請求の範囲】

【請求項1】

外部インピーダンスに接続したノンデータ信号出力バッファのインピーダンスを該外部インピーダンスに整合するためのインピーダンス制御信号を生成するデジタルフィードバック制御回路を具備し、この制御回路は、前記インピーダンス制御信号によって、オンザフライ方式で、インターフェース回路出力バッファの非送信側のインピーダンスを調節するため、前記インピーダンス制御信号を前記インターフェース回路出力バッファがトライステートにあるときに該インターフェース回路出力バッファに出力するよう構成したレジスタに、前記インピーダンス制御信号を供給することを特徴とする集積回路。

【請求項2】

インターフェース回路出力バッファのインピーダンスを調節する方法において、外部インピーダンスに接続されたノンデータ信号出力バッファのインピーダンスを該外部インピーダンスに整合させるためのインピーダンス制御信号を出力するデジタルフィードバック制御回路によりデジタル的に調節するステップと、

前記インターフェース回路出力バッファのインピーダンスを、前記インピーダンス制御信号によって、オンザフライ方式で、該インターフェース回路出力バッファの非送信側のインピーダンスをデジタル的に調節するため、前記インピーダンス制御信号を前記インターフェース回路出力バッファがトライステートにあるときに該インターフェース回路出力バッファに出力するよう構成したレジスタに、前記インピーダンス制御信号を供給するステップと

10

20

を具備したことを特徴とする方法。

【発明の詳細な説明】

発明の背景

【0001】

1. 発明の分野

本発明は、インピーダンス制御回路に関し、より詳しくは、回路コンポーネントのインピーダンスを外部カップリングのインピーダンスに、少なくとも一部、基づいて調節する制御回路に関するもの。

【0002】

2. 背景情報

例えば、マイクロプロセッサシステムやサーバシステム用のようなデジタルシステムのコンポーネント間のインターフェースを取るための回路は周知である。しかしながら、500メガビット/秒のオーダーでの転送というような信号速度の高速化に伴って、これらのインターフェース回路はますます複雑化して来た。例えば、信号速度の高速化の故に、サーバシステムの送信増幅器と制御インピーダンス信号カップリングとの間ににおけるように、システムのコンポーネント間のインピーダンスを整合することによって、起こり得る信号反射の量を低減することが望ましい場合がある。

【0003】

上記のようなインピーダンス制御回路は周知である。しかしながら、ディジタル信号標本がインターフェース回路を介して送信中でも、調節あるいは制御対象の回路インピーダンスを更新することが可能なフィードバック制御回路のオンチップ実装を安価に達成することは、当技術分野において望まれるところであろう。

【0004】

発明の要約

要約して言うと、本発明は、その一実施態様として、外部インピーダンスに接続したインターフェース回路出力バッファのインピーダンスをノンデータ信号出力バッファのインピーダンスが調節されていることに、少なくとも一部、基づいて調節するディジタルフィードバック制御回路を具備した集積回路である。

【0005】

要約して言うと、他の実施態様としての本発明は、インターフェース回路出力バッファのインピーダンスをデジタル的に調節する方法であって、外部インピーダンスに接続されたノンデータ信号出力バッファのインピーダンスをデジタル的に調節するステップと、インターフェース回路出力バッファのインピーダンスをデジタル的に調節されたノンデータ信号出力バッファのインピーダンスに、少なくとも一部、基づいてデジタル的に調節するステップとを具備した方法である。

【0006】

本願において発明と見るべき内容は、特許請求の範囲に詳細に記載し、明確に請求されている。しかしながら、本発明は、構成についても作用についても、さらには目的、特徴及び効果についても、以下の詳細な説明を添付図面を参照して読むことにより最も良く理解することができるであろう。

【0007】

発明の詳細な説明

以下の詳細な説明においては、発明の完全な理解を図るため、特定の詳細事項が記載されている。しかしながら、関連技術に習熟した当業者ならば、本発明がこれらの特定の詳細事項の記載なしでも実施可能であることは理解されよう。他の場合においては、本発明が不明瞭にならないよう、周知の方法、手順、コンポーネント及び回路については詳細な説明を省く。

【0008】

シリコン処理技術の進歩に伴って、シリコン製論理素子の速度は絶えず速くなり続けている。その結果、これらの高速化した速度で動作することができる集積回路チップへ、ある

10

20

30

40

50

いはそこからデジタル信号のような電気信号を転送するのに高速インターフェース回路を持つことが望まれている。高速電気信号をインターフェース回路によって送信するためには、正しく終端された制御インピーダンス回路を用いることが望ましい。これを達成するための終端回路あるいは構造は、オンチップでもオフチップでも実施することができる。しかしながら、通常は、オンチップ終端技術の方がオフチップ終端法に比べてコスト及び速度の点で有利である。

【0009】

図1は、ソース終端方式と並列終端方式と共に図解した概略図である。本発明の実施形態ではどちらの方式でも採用することができる。しかしながら、以下に説明する実施形態はコスト及び速度面での長所を採り入れ、かつ利用するためにソース終端回路の形で実施される。図1に示すように、どちらの方式でも、この特定の実施形態のデジタル信号のような電気信号は、110あるいは250のような発信元ドライバから150あるいは260のような宛先ドライバへ伝達される。同様に、これらの信号は、インピーダンス Z_0 を有する140あるいは240のようなカップリングを介して送信される。これらの方では、周知のインピーダンス整合技術を用いれば、他の方法と比べて相対的に性能が改善される。カップリング140あるいは240のインピーダンスを整合することによって、宛先ドライバによって反射され得る電気信号が正しく終端される。これに関して、このことは、カップリングのソース端でほとんど電気信号反射が起こらないということを意味する。

10

【0010】

図1に示すように、ソース終端方式あるいは並列終端方式を採用することができる。ソース終端方式では、140のようなカップリングのインピーダンスは110のような発信元ドライバのインピーダンスによって整合される。並列終端方式では、インピーダンスは、210のような整合インピーダンスのカップリングを介して240のような整合しようとするカップリングのインピーダンスに整合される。

20

【0011】

本発明は、デスクトップ・パーソナルコンピュータあるいはサーバコンフィギュレーションで使用するのに、信号バスと共にインターフェース回路を採用することができるが、この点、本発明の範囲はこれに限定されるものではない。例えば、サーバ用として望ましいような速度を得るために、前に説明したようなインピーダンス整合方式を採用することができる。しかしながら、前に述べたように、コスト及び速度要因から、基板あるいはその他でソース終端方式を用いることは並列終端方式を用いるより望ましくないことがある。そのために、例えばここで説明する特定の実施形態においては、そのような望ましい信号速度を達成するために、ドライバのインピーダンスを例えばネットワークとの外部カップリングのインピーダンスに整合させる。

30

【0012】

金属酸化物半導体(MOS)技術が用いられる場合、インピーダンス整合は、所与のインピーダンスをMOSトランジスタの動作を表す非線形の電流 電圧(I/V)特性曲線上の特定の点に関連したインピーダンスに整合させることが必要になる場合がある。このような特性曲線は、各々のMOSトランジスタと関連づけられ、図7に示すように、Y軸沿いのドレイン ソース電流をX軸沿いのドレイン ソース電圧に対してプロットしたものである。

40

【0013】

このインピーダンス整合を行うためには、MOSトランジスタの動作範囲を限定する、あるいは少なくともMOSトランジスタの動作をほぼ線形化するための回路を採用するというようないくつかの技術的方法を用いることができる。本発明は特定の方法に限定されるものではない。しかしながら、この特定の実施形態においては、むしろ実施の容易さの故に、整合しようとするインピーダンスはMOSトランジスタの電流対電圧(I/V)特性曲線上の選択された点に対して整合される。このような方法によれば、出力バッファとして反転させる相補型金属酸化物半導体(CMOS)バッファを用いることが可能になる。しかしながら、トランジスタの動作の飽和領域のようなI/V曲線の他の部分への移行を

50

結果的にもたらすノイズ源が正しく終端されず、そのために符号間干渉の原因になる場合があるという一つの短所がある。

【0014】

外部カップリングのインピーダンスのCMOS出力バッファのインピーダンスによる近似はいくつかの方法で行うことができる。例えば、カスコード型素子あるいは直列ゲート方式を用いることが可能である。回路は、デジタル制御あるいはアナログ制御のいずれかができるように実装することができる。この特定の実施形態の場合、電子信号にとって潜在的にノイズの多い環境を考慮して、デジタル方式が用いられるがこの点、本発明はこれに限定されるものではない。

【0015】

一実施形態においては、回路は、全体的な構造の実効インピーダンスを調節または制御するために一次出力増幅器と直列にカスコード型素子を用いて実装することができるが、この点、本発明はこれに限定されるものではない。カスコード型素子は、個々にイネーブルにすることが可能な複数の並列カップリングを含む構成であってもよい。

10

【0016】

出力バッファの実効インピーダンスを調節するためのこれらの素子の加重は種々の方法で行うことが可能であるが、本発明は、特定の技術的方法に限定されるものではない。しばしば使用される2つ方法のとして、2進加重法及び線形加重法がある。デバイス全体のサイズは、実装することができるインピーダンス利用可能範囲に影響することがあるが、インピーダンスの最小間隔は、例えば図3に示すような最も小さい素子のサイズによって左右されるであろう。2進加重の一つの利点は、線形加重と比較した場合、所与の最小間隔に対するインピーダンス範囲をより大きくすることができるということである。しかしながら、これには、以下により詳しく説明するように、インピーダンスの「オンザフライ」更新に関する短所がある。

20

【0017】

前に説明したように、もう一つの方法では、直列ゲート方式を用いて出力バッファのインピーダンスを制御する仕方を採用することも可能である。図3に示す実施形態では、他ならぬこの方法が使用されるが、本発明はこの特定の方法に限定されるものではない。出力バッファを実装するために用いられる特定の方法は、静電放電(ESD)感度による最も小さいレッグのサイズ及び、同様に、バッファが占めるチップの面積を含めて、実装上のその他の考慮条件に影響を与える。例えば、カスコード方式は、直列ゲート方式と比べて相対的に大きい面積を使用する。

30

【0018】

図3に示すように、増幅器は入力信号が個々のレッグのイネーブル信号でゲーティングされるマルチレッグ素子である。ここで、レッグという用語は、増幅器構成を実装するために使用される一次トランジスタ(例えば、460、470、480、490、510、520、530と540)を意味するものとする。これに対して、カスコード方式では、増幅器全体のサイズは小さくなる。しかしながら、430あるいは440のようなプリドライバはより複雑であり、それだけ余分の遅延が導入されるので、速度面での不利を招く。

【0019】

40

発生する電子デジタル信号についてのスルーレートも調節あるいは制御することが可能である。この場合も、アナログ技術及びデジタル技術を含めて、種々の技術を用いることができる。図3に示す実施形態の場合、インピーダンス調節及びスルーレート調節の技術がどちらも組み込まれている。この特定の実施形態においては、インピーダンス制御カップリングの一部を用いてスルーレートが制御される。この方法では、インピーダンス制御とスルーレート制御が共に同じバッファに組み込まれる技術と比較して制御回路及びカップリングが小さくなる。この特定の実施形態においては、4ビットの2ビット・スルーレート制御による4ビット制御方式が用いられる。スルーレート調節は、例えば、デジタル出力信号をオンにするかまたは発生する素子の側について、プリドライバの2つのレッグを用いて行うことができる。例えば、PMOSプリドライバの場合、N形素子は複数のレッ

50

グを有する。素子 450 の詳細図である図 8 に示すように、素子 700 及び 710 がプリドライバの N 形 MOS (NMOS) 素子にカスコード状に付加されている。インバータ 452 についても、PMOS 素子を用いて同様の方法を探ることができる。図 8 の素子 700 及び 710 は、素子 460、470 等出力バッファのインピーダンスを制御するのに用いられるのと同様の方法により、プリドライバのインピーダンスを制御するために使用される。素子 460、470 等による出力バッファのキャパシタンスを駆動するこのインピーダンスによって、出力バッファのスルーレートは制限される。この実施形態では、出力バッファはソース終端構成で使用されるようになっているため、出力バッファのターンオン・スルーレートだけが制御される。あるいは、並列終端型の態様を用いる場合は、少なくとも一部カップリングの静電流のためにターンオフ・スルーレートも制御されることになる。10

【0020】

図 3 に示す出力バッファの実施形態の場合、スルーレート調節用に en3 と en2 が用いられる。インピーダンス調節とスルーレート調節における公称値間のオフセット値は、後でより詳細に説明するように、制御論理回路で用いることができる。そのために、プリドライバのインピーダンスが満足に制御されるならば、ドライバのスルーレートも確実に制御することができる。

【0021】

デジタル制御ループを用いて、前に説明したようなデジタル制御可能なバッファの例えはプロセス及び環境中の変動を補償することが可能である。前述のデジタル制御可能なバッファを用いることができるが、もちろん本発明はここで説明する特定の実施形態に限定されるものではないことは理解されよう。任意のデジタル制御可能なバッファを用いることができ、あるいはデジタル的に制御できない制御可能バッファであっても用いることができる。ノイズは図 4 に示す信号サンプリング・インターフェースに存在するので、ループ帯域幅を制限して、このノイズに対する感度を低減することが望ましい。ループ帯域幅を制限するためのフィルタは、この実施形態では素子 330、340 及び 360 の接続点のサンプリングピンの部分、あるいは制御論理回路ブロック 310 中等に、様々な仕方で実装することができる。これには、比較的低速の回路コンポーネントを使用することができ、サンプリング速度を準安定状態整定時間を見込めるように下げることができるというもう一つの利点があるが、これについては後で説明する。20

【0022】

図 2 は、本発明によるインピーダンス制御回路の一実施形態 300 を図解したブロック図であるが、本発明はこの特定の実施形態に限定されるものではない。図示実施形態のインピーダンス制御回路 300 は集積回路 (IC) チップ上に実装されたものとして示されているが、この点に関しても本発明はこれに限定されるものではない。図示のように、この制御回路は外部導入クロック信号によって駆動される。このクロック信号はまず分周器 442 によって分周される。出力バッファ 320 は、インターフェース回路出力バッファを具備し、他方、出力バッファ 330 はノンデータ信号または「ダミー」出力バッファを具備する。出力バッファ 330 のインピーダンスを外部カップリング 340 のインピーダンスに、少なくとも一部、基づいて調節するために、増幅器 360 及びインピーダンス制御論理回路 310 を含むフィードバック制御ループが接続されている。フィードバック制御回路は、バッファ 330 のインピーダンスを、この特定の実施形態では、概ね外部抵抗器 340 のインピーダンスに整合するよう動作する。同様に、この実施形態においては、抵抗器 370 と 350 が事実上増幅器 360 の電圧信号基準レベルを設定する。少なくとも一部増幅器 360 の出力信号に基づいて動作するインピーダンス制御論理回路 310 は、バッファ 330 のインピーダンスを上方に調節すべきか下方に調節すべきか、すなわちバッファのインピーダンスを增加させるか、あるいは減少させるかを制御する。同様に、この制御信号情報はバッファ 320 にも供給される。また、フィードバック制御回路は、バッファ 330 を含むフィードバック・ループの動作から発生するインピーダンス制御信号に基づきバッファ 320 のスルーレートを調節するための制御信号を発生する。同様4050

に、以下により詳細に説明するように、バッファ320を「オンザフライ」更新することができるよう、レジスタ410が設けられている。

【0023】

図4は、図2の実施形態の一部を図解したものである。この実施形態の図4に示す部分に関しては、精密外部抵抗器340がノンデータ信号(ダミー)出力バッファ330の出力ポートに接続されてる。そして、前述のフィードバック回路の動作によってバッファ330のために得られるインピーダンス値を用いて、出力バッファ320のインピーダンスが調節される。この実施形態のフィードバック回路の場合、増幅器360の基準電圧信号レベルが作り出される。この基準電圧信号レベルは、この実施形態では、図4の抵抗器350と370によって実現される。基準電圧信号レベルは増幅器360のスレッショルドを設定する。この基準値は、事実上バッファ330のインピーダンスが整合されるMOSトランジスタのI/V特性曲線上の点を設定する。抵抗器340は、バッファ320の外部カップリングの公称値に近似した値に選択される。さらには、抵抗器340の代わりに外部導入カップリングを用いるか、あるいは別の方法を用いることももちろん可能である。
10

【0024】

次に、この実施形態のフィードバック制御回路の動作について説明する。まず、標本インピーダンス信号値が入力ラッチ305によって取り込まれる。第1の所定の期間を経過させて、この間にラッチにおける全ての準安定状態を整定させる。得られた信号標本値と抵抗器340に対するバッファ330のインピーダンスに基づいて、バッファ330のインピーダンスを調節する方向、すなわちインピーダンスを大きくするか、あるいは小さくするかに関する判断がなされる。これは、後で説明するように、例えば、インピーダンス制御論理回路310でアップ/ダウンカウンタあるいはシフトレジスタの値をバッファ330のインピーダンスを制御するように調節することにより実現することが可能である。のために、インピーダンス制御論理回路310は、次のインピーダンス値を得るためにバッファ330に印加される信号を発生する。次に、第2の所定長さの時間を経過させて、バッファ330の出力ポートで調節後のインピーダンス値の変動を整定させると共に、入力増幅器360を通して伝播させる。このプロセスが、インピーダンス(この特定の実施形態では抵抗器340)が所望の通りに整合が見られるまで繰り返される。この実施形態では、整合が見られたその時点で、制御回路310がバッファ330のインピーダンスを所望のインピーダンス値±最下位制御ビットだけ変化させるという結果がもたらされる。
20

【0025】

この実施形態においては、図4に示すように、準安定状態整定及び出力バッファ330の遷移の整定を見込んだ時間がクロック分周器によって与えられる。図示のように、制御ループの論理動作はこの分周クロック信号によってクロッキングされる。クロックあるいはサンプリング速度は、入力ラッチ305の準安定状態によるサンプリング誤差率がかなり低くなるように設定することが望ましい。これらの準安定状態は、クロックを基準とするどのような時点でもダミーピン上のノイズから起こり得、従って、ラッチ305のセットアップ及びホールド条件に反することも起こり得る。ラッチの平均故障間隔の計算には、プロセス技術、ラッチ設計、許容整定時間及びクロックを基準としたラッチデータのエッジタイミングの確率分布のようなパラメータが関係する。これらのパラメータに関する許容限界及び許容誤差率を用いて、許容整定時間を計算することができる。例えば、一様に分布する非同期データ信号を約433メガヘルツの周波数でサンプリングするラッチ(簡単化のためのいくつかの仮定を含む)の場合、発生するサンプリング・クロックパルスの少なくとも2パルスでクロックを分周することが望ましいが、この点に関して、本発明の範囲はこれに限定されるものではない。このように、この実施形態の場合、分周器442によってターゲットプロセスにとっての許容整定時間が確保されるが、この点に関して、本発明はこれに限定されるものではない。
40

【0026】

この実施形態のもう一つの態様は、サンプリング速度の2分の1より高い周波数をフィルタして、ナイキストレートまたはそれ以上の周波数のノイズ源を低減する技術を用いたも
50

のである。フィルタしない場合、このような周波数はエイリアシングを生じることがある。図5は、この実施形態で使用されるフィルタを図解したものであるが、この場合も、本発明の範囲はフィルタを使用すること、あるいはこの特定の実施形態に限定されるものではない。同様に、フィルタの極を配置する際には、不安定性が生じないようにすることが望ましい。そのためは、更新後にループ時間を設定できるよう、インピーダンスはループの帯域幅より低い速度で更新することが望ましい。この特定の実施形態においては、アナログフィルタの極はサンプリング周波数の2分の1より低く、更新速度の少なくとも2倍の点に配置されるが、この点に関して、本発明はこれに限定されるものではない。従って、時間ドメイン応答では、インピーダンスが更新されてから2フィルタ時定数後に次のサンプリング事象が起こる。もちろん、次のサンプリング事象前のフィルタ時定数の数は2より大きくしてもよいが、そうすると、制御ループのロック時間が増大することにもなる。
10

【0027】

制御ループの動作及び出力バッファ320のインピーダンスが正確に整合しないことが起こる状況のために、制御ループが整合点から1ビット変動してロックし、そのために発振してしまうことが起こり得る。この振動成分は、バッファ320により発生する実際の出力信号から除去することが望ましい。これは種々の方法で達成することが可能であるが、一つの方法として、単純なデジタルノッチフィルタを用いることができる。例えば、簡単な排他的論理回路を用いてもよい。連続したデジタル標本値が同じならば、バッファ320の更新が行われるが、連続した標本値が同じでないならば、最後の更新値がバッファ320によって保持される。この特定の実施形態は図6に図解されている。図示のように、インピーダンス制御論理回路ブロック310は出力バッファ330に信号を供給する。同様に、ローパスフィルタ610の出力信号はノッチフィルタ620に供給される。ノッチフィルタ620は、ブロック407に信号を供給する。ノッチフィルタ620に供給される連続した標本によって、インピーダンス制御回路310によって発生するインピーダンス制御信号もブロック407によりレジスタ640に供給され、従ってレジスタ410に、そして最終的にバッファ320に供給される。
20

【0028】

インピーダンス制御ブロック307の実装形態は、少なくとも一部出力バッファのレッグの加重方式によって決まる。例えば、素子が線形加重される場合は、シフトレジスタを使用することが可能である。しかしながら、素子が2進加重される場合は、このブロックはアップ/ダウンカウンタとして実装することができる。線形加重型バッファの場合、シフトレジスタの1ビットが各インピーダンス更新毎に変化し、バッファのインピーダンスを概ね同一量だけ変化させることになる。2進加重型バッファの場合は、カウンタが更新されて、バッファインピーダンスを制御するもう一つの2進デジタル信号値を生じさせる。従って、このような実施形態では、カウンタの全ビットが1回のインピーダンス更新で変化することもある。図6に示すように、加算器650は、公称スルーレート値を公称インピーダンス値に対してずらす、すなわちオフセットするために使用される。このオフセット値は、様々な技術によって内部的にあるいは外部的に設定することが可能である。例えば、オフセット値は外部の供給源からレジスタにロードすることもできるし、あるいはヒューズを用いて実現することも可能である。例えば、同じ出力バッファを選択可能ないくつかのインピーダンスとの整合を取るように使いたい場合、また概ね一定のスルーレートを維持することが望まし場合は、このオフセット値を修正できるようにすることが望ましいであろう。
30

【0029】

前に説明したように、この実施形態には、出力バッファがデータ信号を送信している間に出力バッファのインピーダンスを調節することができる構成が含まれる。この「オンザフライ」更新における一つの問題は、更新が時間的に例えば送出データ信号のエッジの近くで起こると、エッジのタイミングが変わり得るということである。そのために、好ましくないタイミングジッタを生じることがある。例えば、5本のレッグを持つ2進加重型出力
40
50

バッファの場合、1クロックサイクルで出力バッファのインピーダンスの有意な変化が起こることがある。線形コード化の場合は、一時に1ビットずつしか変化しないから、この効果の影響は小さい。しかしながら、線形コード化では、インピーダンス値の範囲がより小さくなる。同様に、スルーレート制御が用いられる場合は、インピーダンスの大きな変化の後、一部の出力バッファレッグがスルーレート制御によって比較的ゆっくりターンオンすることがあるため、結果としてもう一つ別の問題が生じる可能性がある。これは、この実施形態では、ソース終端型バッファの場合、レッグの「ターンオフ」は迅速に行われるが、レッグの「ターンオン」はスルーレート制御を行うように緩慢に行われるために起こり得る。例えば、制御回路310からのインピーダンス制御信号値は1回のインピーダンス更新で1000から0111に変わることがある。そして、最上位ビットが最初に変化すると、バッファが瞬間にトライステートになり得る。バッファがトライステートになっている時、信号伝送カップリングにノンゼロの電流があると、伝送路が切り換わることになる。すると、残留インピーダンス制御ビットが切り換わり、バッファを再びオンにすると共に、カップリングをほぼその元の状態に戻すが、この動作は緩慢である。のために、伝送路が障害を起こす。これが起こっている時出力バッファがデータ信号を送信中であると、性能低下を来すことがある。

【0030】

図8に示す実施形態の場合、オンザフライ更新は、出力バッファがトライステートの間に更新することにより、CMOS出力バッファの「オフ」側あるいは非送信側（例えば、この実施形態では、出力信号がハイの間はNMOS素子、出力信号がローの間はPMOS素子）を更新することによって行われる。この方法を実施するために、例えばこの実施形態では、図2のレジスタ410を用いて出力バッファの個々のレッグにそれぞれラッチが設けられる。レジスタ410で用いられるラッチは、各信号出力ポートに全く同様に形成される。しかしながら、これらのラッチは比較的小さくすることができる。図2に示す実施形態の場合、「オンザフライ」更新がトライステートの間あるいはリセットの間に行われるよう、信号RESET及びOEnが用いられる。この特定の実施形態では、オンザフライ更新は出力バッファのインピーダンスに関してだけ使用されるが、この点に関しても、本発明はこれに限定されるものではない。スルーレート制御の制御分解能が比較的粗な用途の場合、例えばプロセス変動を除去するためにリセット後2、3クロックサイクルの間スルーレート制御を動作させた後、スルーレート値をロックすることも可能である。あるいは、スルーレートのオンザフライ更新も同様に用いることができるが、これはやはりタイミングジッタを生じことがある。

【0031】

図2に図解する出力バッファ320のようなインターフェース回路出力バッファのインピーダンスを調節する方法の実施形態は、以下のように達成することが可能である。前に説明したように、図2の抵抗器340のような外部インピーダンスに接続された図2の出力バッファ330のようなノンデータ信号出力バッファのインピーダンスは、デジタル的に調節することが可能である。図2の出力バッファ320のようなインターフェース回路出力バッファのインピーダンスは、ノンデータ信号出力バッファのデジタル的に調節されたインピーダンスに少なくとも一部基づいてデジタル的に調節することができる。同様に、インターフェース回路出力バッファのインピーダンスは、ノンデータ信号出力バッファのインピーダンスのデジタル的な調節に、少なくとも一部、基づいてデジタル的に調節することができる。これについても、やはり図2に示す出力バッファ320に関連して前に説明した。同様に、インターフェース回路出力バッファのインピーダンスはオンザフライ方式でデジタル的に調節することができる。例えば、図2に示す実施形態においては、インターフェース回路出力バッファの非送信側のインピーダンスはオンザフライ方式でデジタル的に調節することができる。前に説明したように、ノンデータ信号出力バッファのインピーダンスのデジタル的な調節は、図2のバッファ330のようなノンデータ信号出力バッファのインピーダンスを図2の抵抗器340のような外部カップリングのインピーダンスに概ね整合することによる。同様に、この特定の実施形態においては、本発明はこの点に関

10

20

30

40

50

しても範囲が限定されるものではないが、ノンデータ信号出力バッファのインピーダンスは外部インピーダンスがソース終端されるようにデジタル的に調節される。同様に、外部インピーダンスに接続されたノンデータ信号出力バッファのインピーダンスのデジタル的な調節は、インピーダンスを2進加重インクリメントでデジタル的に調節することによるが、やはり、本発明はこの点に関して範囲が限定されるものではない。

【0032】

以上、本願においては本発明の一定の特徴を説明したが、当業者ならば、多くの修正態様、代替態様、変更態様及び等価態様を想到し得よう。従って、それらの修正態様及び変更態様等は、特許請求の範囲に記載するところに基づき全て本発明の真の精神の範囲に包括されるものとする。

10

【図面の簡単な説明】

【図1】 終端方式の2つの態様を図解した概略図である。

【図2】 本発明によるインピーダンス制御回路の一実施形態を図解したブロック図である。

【図3】 図2の出力バッファを詳細に図解した回路図である。

【図4】 図2の実施形態の一部を詳細に図解したブロック図である。

【図5】 図2の実施形態の一部を詳細に図解したブロック図である。

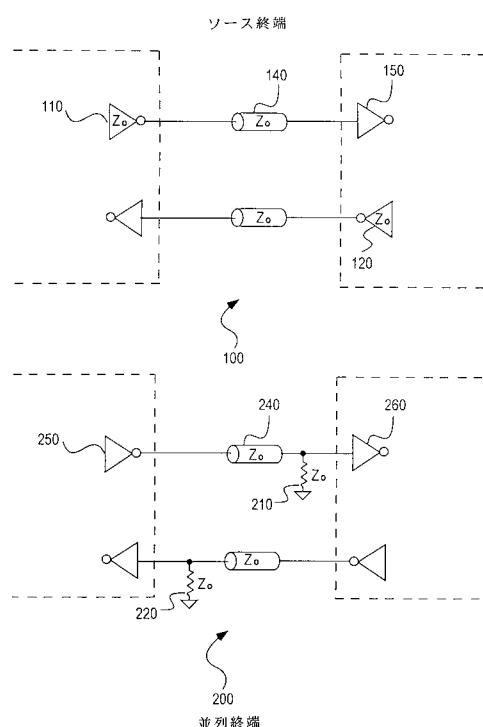
【図6】 図2の実施形態の一部を詳細に図解したブロック図である。

【図7】 典型的な金属酸化物半導体(MOS)トランジスタの電流対電圧(I/V)特性をプロットして示したグラフである。

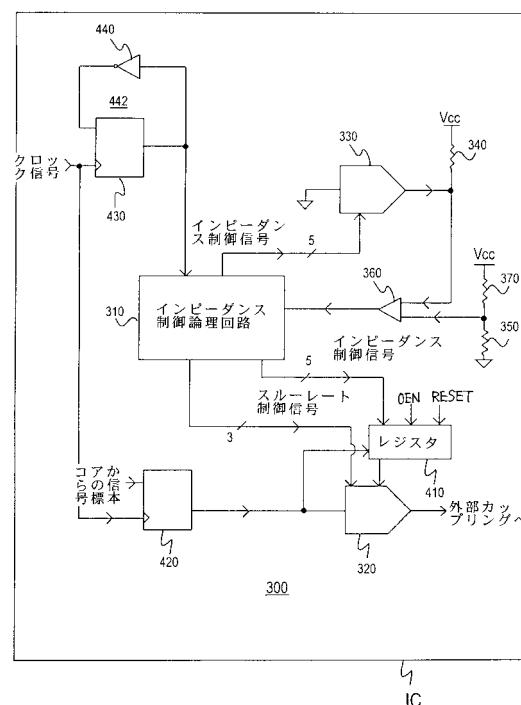
20

【図8】 図3の実施形態の一部を詳細に図解した回路図である。

【図1】



【図2】



【図3】

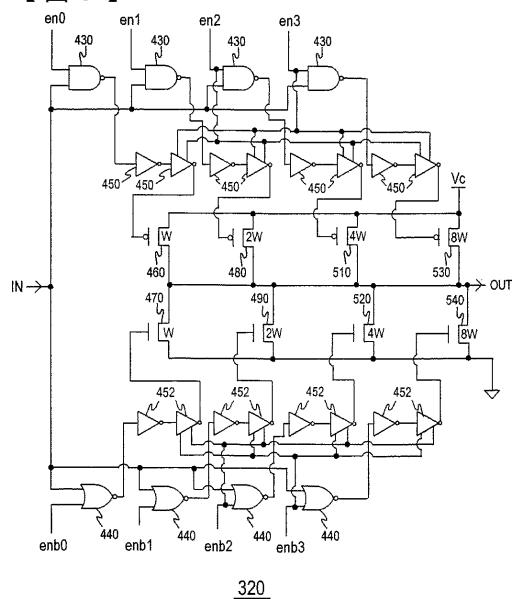
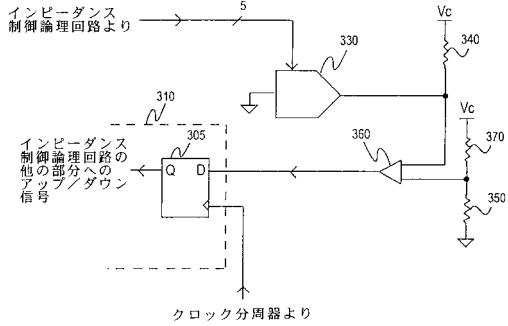
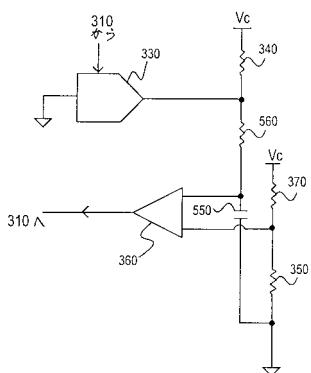


FIG.3

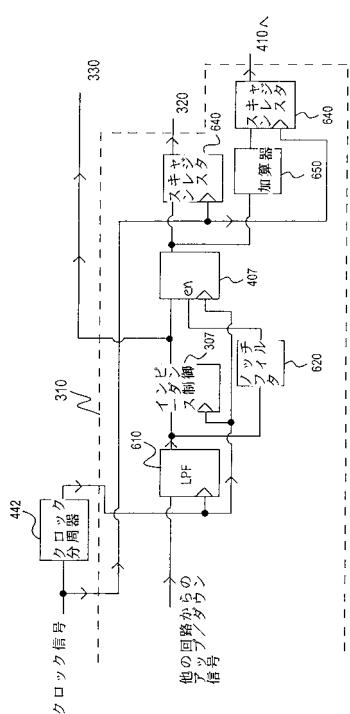
【図4】



【図5】



【図6】



【図7】

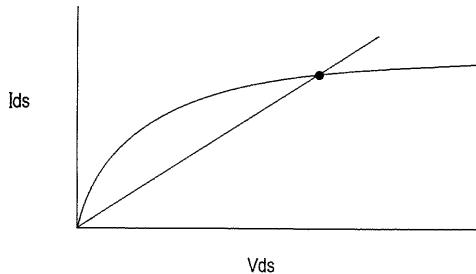
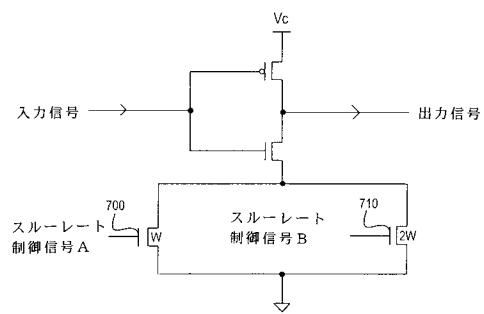


FIG.7

【図8】



450

フロントページの続き

(72)発明者 ケネディ , ジョセフ・ティ

アメリカ合衆国・97006・オレゴン州・ビーバートン・ノース ウエスト リンデル レーン
・16006

審査官 宮島 郁美

(56)参考文献 特開平07-142985(JP,A)

特開平07-074612(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096