

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)



(10) 国際公開番号

WO 2022/018825 A1

(51) 国際特許分類:
G02F 1/01 (2006.01)

〒1808585 東京都武蔵野市緑町 3 丁目 9 - 1
1 N T T 知的財産センタ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2020/028256

(22) 国際出願日: 2020年7月21日(21.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本電信電話株式会社 (**NIPPON TELEGRAPH AND TELEPHONE CORPORATION**) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

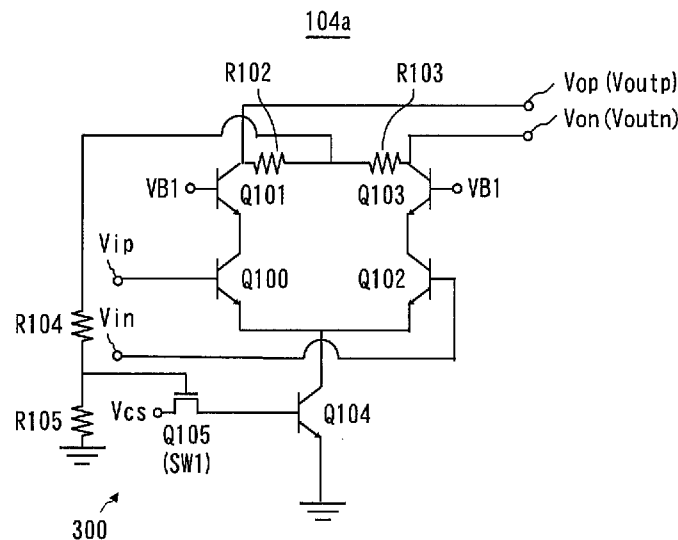
(72) 発明者: 徐 照男(**JO, Teruo**); 〒1808585 東京都武蔵野市緑町 3 丁目 9 - 1 1 N T T 知的財産センタ内 Tokyo (JP). 長谷 宗彦(**NAGATANI, Munchiko**); 〒1808585 東京都武蔵野市緑町 3 丁目 9 - 1 1 N T T 知的財産センタ内 Tokyo (JP). 野坂 秀之(**NOSAKA, Hideyuki**);

(74) 代理人: 山川 茂樹, 外(**YAMAKAWA, Shigeki et al.**); 〒1006104 東京都千代田区永田町 2 丁目 1 1 番 1 号 山王パークタワー 4 階 山川国際特許事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: DRIVER CIRCUIT

(54) 発明の名称: ドライバ回路



(57) **Abstract:** An output circuit (104a) consists of transistors (Q100-Q103), and a withstand voltage protection circuit (300). The pressure resistant circuit (300) consists of resistors (R104, R105), a switch (SW1), and resistors (R102, R103) connected between a positive phase-side output signal terminal (Voutp) and a reverse phase-side output signal terminal (Voutn). The switch (SW1) comprises a gate terminal connected to a connection point of the resistors (R104, R105), a drain terminal connected to a bias voltage (Vcs), and an NMOS transistor (Q105) in which a source terminal is connected to a base terminal of a transistor (Q104).



WO 2022/018825 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 出力回路 (104a) は、トランジスタ (Q100~Q103) と、耐圧保護回路 (300) とから構成される。耐圧保護回路 (300) は、正相側の出力信号端子 (Voutp) と逆相側の出力信号端子 (Voutn) との間に接続された抵抗 (R102, R103) と、抵抗 (R104, R105) と、スイッチ (SW1) とから構成される。スイッチ (SW1) は、ゲート端子が抵抗 (R104, R105) の接続点に接続され、ドレイン端子がバイアス電圧 (Vcs) に接続され、ソース端子がトランジスタ (Q104) のベース端子に接続されたNMOSトランジスタ (Q105) からなる。

明 細 書

発明の名称： ドライバ回路

技術分野

[0001] 本発明は、光変調器を駆動するドライバ回路に関するものである。

背景技術

[0002] 光通信用の送信器に用いられる変調器ドライバ回路は、光送信器内の光変調器を駆動するために用いられ、送信する電気信号の振幅強度を光変調器の駆動が可能なレベルまで増幅する役割を果たす。このようなドライバ回路は、回路内で用いられるトランジスタに耐圧以上の電圧がかからないようにするための保護機能を備えることが求められる。トランジスタに耐圧以上の電圧がかかりやすい場合として、電源投入／遮断時が挙げられる。

[0003] 電源投入／遮断時の従来の耐圧保護対策について説明する。図4は従来のドライバ回路の構成を示す回路図である。ドライバ回路100は、光導波路（不図示）と電極201、202と抵抗R200、R201とから構成されるマッハツェンダ光変調器（MZM：Mach-Zehnder Modulator）200を駆動する。ドライバ回路100は、MZM200の駆動のための差動信号が入力される入力バッファ101と、入力バッファ101から出力された差動信号の振幅が一定になるように利得を調整する利得制御増幅器（GCA：Gain control amplifier）102と、GCA102から出力された差動信号を増幅する前置増幅器103と、前置増幅器103から出力された差動信号に応じてMZM200を駆動するオープンコレクタ型の出力回路104と、DCカットキャパシタC100、C101と、入力終端抵抗R100、R101とから構成される。

[0004] 図5は出力回路104の構成を示す回路図である。出力回路104は、トランジスタQ100～Q104から構成される。

ドライバ回路は、一般的に消費電力を削減するために、複数の電源電圧で動作する。例えば、図4のようにドライバ回路100の電源電圧VCCとM

ZM200の電源電圧VDRとを分けた構成をとることがある（非特許文献1参照）。

[0005] ドライバ回路100の出力信号端子Voutp（出力回路104の非反転出力端子Vop）には、抵抗R200と電極201とを介してMZM200の電源電圧VDRが印加される。同様に、ドライバ回路100の出力信号端子Voutn（出力回路104の反転出力端子Von）には、抵抗R201と電極202とを介して電源電圧VDRが印加される。こうして、出力回路104の電源電圧は、MZM200側から供給される。

[0006] 一方で出力回路104の入力トランジスタQ100、Q102のコモン電圧や出力トランジスタQ101、Q103のベース端子に印加されるバイアス電圧VB1、電流源トランジスタQ104のベース端子に印加されるバイアス電圧Vcsは、ドライバ回路100の電源電圧VCCから生成される。

[0007] 耐圧保護対策を行わない場合、例えばMZM200の電源がオフ状態で、ドライバ回路100の電源のみをオン状態にしたときに、出力回路104の入力トランジスタQ100、Q102や出力トランジスタQ101、Q103に耐圧以上の電圧がかかり、トランジスタQ100～Q103が破壊される可能性がある。そのため、従来の技術では、例えば電源投入時にドライバ回路100とMZM200の双方の電源電圧を所望の電圧になるまで徐々に上げ、トランジスタQ100～Q103に耐圧以上の電圧がかからないようにしていた。反対に電源遮断時には、ドライバ回路100とMZM200の電源電圧を徐々に下げるようにしていた。

[0008] しかしながら、このような従来の電源投入／遮断時の耐圧保護対策は、電源シーケンスが複雑になるという課題があった。手動でドライバ回路100とMZM200の電源電圧を徐々に上げる場合、電源を操作する回数が多く、所望の電圧にするまで長い時間がかかる。また自動でドライバ回路100とMZM200の電源電圧を徐々に上げる場合、電源制御用回路やプログラムを別途作製する必要があり、回路面積の増加やコストの増加に繋がる。

先行技術文献

非特許文献

- [0009] 非特許文献1: Teruo Jyo, Munehiko Nagatani, Josuke Ozaki, Mitsuteru Ishikawa, Hideyuki Nosaka, “A 48GHz BW 225mW/ch Linear Driver IC with Stacked Current-Reuse Architecture in 65nm CMOS for Beyond-400Gb/s Coherent Optical Transmitters”, 2020 IEEE International Solid-State Circuits Conference – (ISSCC), San Francisco, CA, USA, 2020, pp.212-214, doi:10.1109/ISSCC19947.2020.9063027

発明の概要

発明が解決しようとする課題

- [0010] 本発明は、上記課題を解決するためになされたもので、従来よりも電源シーケンスを簡易化することが可能なドライバ回路を提供することを目的とする。

課題を解決するための手段

- [0011] 本発明のドライバ回路は、ドライバ回路の正相側の第1の出力信号端子と逆相側の第2の出力信号端子とに接続された光変調器を駆動するように構成されたオープンコレクタ型の出力回路を備え、前記出力回路は、ベース端子に前記光変調器の駆動のための差動信号が入力される第1、第2のトランジスタと、ベース端子が第1のバイアス電圧に接続され、コレクタ端子が前記第1の出力信号端子に接続され、エミッタ端子が前記第1のトランジスタのコレクタ端子に接続された第3のトランジスタと、ベース端子が前記第1のバイアス電圧に接続され、コレクタ端子が前記第2の出力信号端子に接続され、エミッタ端子が前記第2のトランジスタのコレクタ端子に接続された第4のトランジスタと、コレクタ端子が前記第1、第2のトランジスタのエミッタ端子に接続され、エミッタ端子がグラウンドに接続され、ベース端子に印加される第2のバイアス電圧に応じた電流を前記第1、第2、第3、第4のトランジスタに流すように構成された第5のトランジスタと、前記第1の出力信号端子と前記第2の出力信号端子とのコモン電圧に応じて前記第1、

第2、第3、第4のトランジスタに流れる電流を制御するように構成された耐圧保護回路とから構成されることを特徴とするものである。

発明の効果

[0012] 本発明によれば、第1の出力信号端子と第2の出力信号端子との共通電圧に応じて第1、第2、第3、第4のトランジスタに流れる電流を制御する耐圧保護回路を出力回路に設けることにより、従来よりもドライバ回路と光変調器の電源シーケンスを簡易化することができる。また、本発明では、複雑な電源制御用回路やプログラムを必要としないため、小面積かつ低コストで出力回路のトランジスタの耐圧保護を実現することができる。

図面の簡単な説明

[0013] [図1]図1は、本発明の第1の実施例に係るドライバ回路の出力回路の構成を示す回路図である。

[図2]図2は、本発明の第2の実施例に係るドライバ回路の出力回路の構成を示す回路図である。

[図3]図3は、本発明の第3の実施例に係るドライバ回路の出力回路の構成を示す回路図である。

[図4]図4は、従来のドライバ回路の構成を示す回路図である。

[図5]図5は、従来のドライバ回路の出力回路の構成を示す回路図である。

発明を実施するための形態

[0014] [第1の実施例]

以下、本発明の実施例について図面を参照して説明する。図1は本発明の第1の実施例に係るドライバ回路の出力回路の構成を示す回路図である。本実施例は、図4に示したドライバ回路100において、出力回路104の代わりに出力回路104aを用いるものなので、ドライバ回路100とMZM200については図4の符号を用いて説明する。

[0015] 出力回路104aは、ベース端子が出力回路104aの非反転入力端子V_{ip}に接続された入力トランジスタQ100と、ベース端子がバイアス電圧V_{B1}に接続され、コレクタ端子が出力回路104aの非反転出力端子V_o

p（ドライバ回路100の正相側の出力信号端子Voutp）に接続され、エミッタ端子が入力トランジスタQ100のコレクタ端子に接続された出力トランジスタQ101と、ベース端子が出力回路104aの反転入力端子Vinに接続された入力トランジスタQ102と、ベース端子がバイアス電圧VB1に接続され、コレクタ端子が出力回路104aの反転出力端子Von（ドライバ回路100の逆相側の出力信号端子Voutn）に接続され、エミッタ端子が入力トランジスタQ102のコレクタ端子に接続された出力トランジスタQ103と、コレクタ端子が入力トランジスタQ100，Q102のエミッタ端子に接続され、エミッタ端子がグラウンドに接続された電流源トランジスタQ104と、出力信号端子Voutpと出力信号端子Voutnとの間に直列に接続された抵抗R102，R103と、一端が抵抗R102，R103の接続点に接続された抵抗R104と、一端が抵抗R104の他端に接続され、他端がグラウンドに接続された抵抗R105と、ゲート端子が抵抗R104，R105の接続点に接続され、ドレイン端子がバイアス電圧Vcsに接続され、ソース端子が電流源トランジスタQ104のベース端子に接続されたNMOSトランジスタQ105とから構成される。

[0016] NMOSトランジスタQ105は、バイアス電圧Vcsと電流源トランジスタQ104のベース端子との間に接続されたスイッチSW1を構成している。スイッチSW1は、抵抗R102，R103の接続点がフローティングまたはグラウンド電圧のときにオフ状態となり、抵抗R102，R103の接続点がグラウンド電圧よりも高い電圧のときにオン状態となる。抵抗R102～R105とスイッチSW1とは、耐圧保護回路300を構成している。

[0017] ドライバ回路100の電源電圧VCC、MZM200の電源電圧VDR、バイアス電圧VB1，Vcs（ $VCC \geq VB1 > Vcs$ ）は、正の電圧である。

本実施例では、電流源トランジスタQ104のベース端子へのバイアス電圧Vcsの印加をオン／オフするスイッチSW1を設け、ドライバ回路10

0の差動出力信号端子 V_{outp} , V_{outn} （出力回路104aの出力端子 V_{op} , V_{on} ）のコモン電圧に応じてスイッチSW1の制御を行う。

[0018] スイッチSW1の制御端子（NMOSトランジスタQ105のゲート端子）に印加される制御信号は、出力信号端子 V_{outp} と出力信号端子 V_{outn} との間に挿入された抵抗R102, R103によって検出されたコモン電圧を、抵抗R104, R105によって分割して低電圧側にシフトさせたものである。コモン電圧を抵抗分割によって低電圧側にシフトさせる理由は、スイッチSW1として用いるNMOSトランジスタQ105の耐圧が、バイポーラトランジスタQ100～Q104の耐圧よりも低いからである。ただし、スイッチSW1の耐圧に問題がない場合には、抵抗R104, R105を設けずに、抵抗R102, R103の接続点をスイッチSW1の制御端子に直接繋げるようにしてもよい。

[0019] 本実施例の耐圧保護は以下のように機能する。例えば、ドライバ回路100の電源のみがオンで、M200の電源がオフになっている場合、ドライバ回路100の差動出力信号端子 V_{outp} , V_{outn} は、フローティングまたはグラウンド電圧となっている。この状態ではNMOSトランジスタQ105のゲート端子に印加される制御信号がLowとなるため、NMOSトランジスタQ105がオフ状態となる。このため、電流源トランジスタQ104にバイアス電圧 V_{cs} が供給されず、出力回路104aのトランジスタQ100～Q103に電流が流れないため、トランジスタQ100～Q103に耐圧以上の電圧がかかることはない。

[0020] ドライバ回路100の電源がオンの状態で、M200の電源がオンになると、ドライバ回路100の差動出力信号端子 V_{outp} , V_{outn} のコモン電圧が上昇し、NMOSトランジスタQ105のゲート端子に印加される制御信号がHighとなり、NMOSトランジスタQ105がオン状態となる。この状態では、電流源トランジスタQ104にバイアス電圧 V_{cs} が供給され、出力回路104aのトランジスタQ100～Q103に通常動作時の電流が流れる。このため、トランジスタQ100～Q103に耐圧以

上の電圧がかかることはない。

[0021] 本実施例では、従来よりも電源シーケンスを簡易化することが可能になる。例えば単純にドライバ回路100の電源をオンにしてからM200の電源をオンにする操作を行えばよい。電源遮断時には、M200の電源をオフにしてからドライバ回路100の電源をオフにすればよい。また、本実施例では、複雑な電源制御用回路やプログラムを必要としないため、小面積かつ低コストで耐压保護を実現可能である。

[0022] [第2の実施例]

次に、本発明の第2の実施例について説明する。図2は本発明の第2の実施例に係るドライバ回路の出力回路の構成を示す回路図である。本実施例は、図4に示したドライバ回路100において、出力回路104の代わりに出力回路104bを用いるものなので、ドライバ回路100とM200については図4の符号を用いて説明する。

[0023] 出力回路104bは、トランジスタQ100～Q103と、ベース端子がバイアス電圧Vcsに接続され、コレクタ端子が入力トランジスタQ100、Q102のエミッタ端子に接続され、エミッタ端子がグラウンドに接続された電流源トランジスタQ104と、抵抗R102、R103と、ゲート端子が抵抗R102、R103の接続点に接続され、ドレイン端子が出力トランジスタQ101のコレクタ端子（ドライバ回路100の正相側の出力信号端子Voutp）に接続され、ソース端子が電源電圧VCCに接続されたPMOSトランジスタQ106と、ゲート端子が抵抗R102、R103の接続点に接続され、ドレイン端子が出力トランジスタQ103のコレクタ端子（ドライバ回路100の逆相側の出力信号端子Voutn）に接続され、ソース端子が電源電圧VCCに接続されたPMOSトランジスタQ107と、一端が抵抗R102、R103の接続点に接続され、他端がグラウンドに接続された抵抗R106とから構成される。

[0024] PMOSトランジスタQ106は、電源電圧VCCと出力信号端子Voutpとの間に接続されたスイッチSW2を構成している。PMOSトランジ

スタQ107は、電源電圧VCCと出力信号端子Voutnとの間に接続されたスイッチSW3を構成している。スイッチSW2、SW3は、抵抗R102、R103の接続点がフローティングまたはグラウンド電圧のときにオン状態となり、抵抗R102、R103の接続点がグラウンド電圧よりも高い電圧のときにオフ状態となる。抵抗R102、R103、R106とスイッチSW2、SW3とは、耐圧保護回路300aを構成している。

[0025] 本実施例では、出力トランジスタQ101、Q103のコレクタ端子への電源電圧VCCの印加をオン／オフするスイッチSW2、SW3を設け、ドライバ回路100の差動出力信号端子Voutp、Voutn（出力回路104bの出力端子Vop、Von）のコモン電圧に応じてスイッチSW2、SW3の制御を行う。

[0026] 本実施例の耐圧保護は以下のように機能する。例えば、ドライバ回路100の電源のみがオンで、M200の電源がオフになっている場合、ドライバ回路100の差動出力信号端子Voutp、Voutnは、フローティングまたはグラウンド電圧となっている。この状態ではPMOSトランジスタQ106、Q107のゲート端子に印加される制御信号がLowとなるため、PMOSトランジスタQ106、Q107がオン状態となる。このとき、出力トランジスタQ101、Q103のコレクタ端子には電源電圧VCCが供給され、出力回路104bのトランジスタQ100～Q103に電流が流れるので、トランジスタQ100～Q103に耐圧以上の電圧がかかることはない。

[0027] ドライバ回路100の電源がオンの状態で、M200の電源がオンになると、ドライバ回路100の差動出力信号端子Voutp、Voutnのコモン電圧が上昇し、PMOSトランジスタQ106、Q107のゲート端子に印加される制御信号がHighとなり、PMOSトランジスタQ106、Q107がオフ状態となる。この状態では、出力トランジスタQ101、Q103のコレクタ端子と電源電圧VCCとが切り離され、出力トランジスタQ101、Q103のコレクタ端子がオープン状態に戻る。出力回路10

4 bの電源電圧はM Z M 2 0 0側から供給され、出力回路1 0 4 bのトランジスタQ 1 0 0～Q 1 0 3に通常動作時の電流が流れるため、トランジスタQ 1 0 0～Q 1 0 3に耐圧以上の電圧がかかることはない。

[0028] 本実施例では、従来よりも電源シーケンスを簡易化することが可能になる。例えば単純にドライバ回路1 0 0の電源をオンにしてからM Z M 2 0 0の電源をオンにする操作を行えばよい。電源遮断時には、M Z M 2 0 0の電源をオフにしてからドライバ回路1 0 0の電源をオフにすればよい。また、本実施例では、複雑な電源制御用回路やプログラムを必要としないため、小面積かつ低コストで耐圧保護を実現可能である。

[0029] [第3の実施例]

次に、本発明の第3の実施例について説明する。図3は本発明の第3の実施例に係るドライバ回路の出力回路の構成を示す回路図である。本実施例は、図4に示したドライバ回路1 0 0において、出力回路1 0 4の代わりに出力回路1 0 4 cを用いるものなので、ドライバ回路1 0 0とM Z M 2 0 0については図4の符号を用いて説明する。

[0030] 本実施例の出力回路1 0 4 cは、第2の実施例の出力回路1 0 4 bにおいて、PMOSトランジスタQ 1 0 6、Q 1 0 7のドレイン端子と出力トランジスタQ 1 0 1、Q 1 0 3のコレクタ端子との間に抵抗R 1 0 7、R 1 0 8を挿入したものである。

抵抗R 1 0 2、R 1 0 3、R 1 0 6～R 1 0 8とスイッチSW 2、SW 3（PMOSトランジスタQ 1 0 6、Q 1 0 7）とは、耐圧保護回路3 0 0 bを構成している。

[0031] 第2の実施例では、ドライバ回路1 0 0の電源がオンで、M Z M 2 0 0の電源がオフの場合、出力トランジスタQ 1 0 1、Q 1 0 3のコレクタ端子には電源電圧V C Cが印可される。

[0032] 一方、本実施例では、ドライバ回路1 0 0の電源がオンで、M Z M 2 0 0の電源がオフの場合、抵抗R 1 0 7、R 1 0 8で電圧降下が起きるので、出力トランジスタQ 1 0 1、Q 1 0 3のコレクタ端子にかかる電圧が低くなり

、耐圧保護の効果を更に大きくすることができる。

[0033] また、本実施例では、PMOSトランジスタQ106、Q107のドレイン端子とドライバ回路100の差動出力信号端子Voutp、Voutn（出力トランジスタQ101、Q103のコレクタ端子）との間に抵抗R107、R108が存在するため、差動出力信号端子Voutp、Voutnに付加されるPMOSトランジスタQ106、Q107の寄生容量の影響が第2の実施例よりも弱まるので、ドライバ回路100の通常動作時の帯域を広くすることが可能になる。

[0034] なお、第1～第3の実施例のように出力回路104a～104cのコモン電圧を検出し、検出したコモン電圧に応じて出力回路104a～104cの電流を自動制御する耐圧保護回路であれば、本発明の耐圧保護回路の構成は第1～第3の実施例に限るものではない。

産業上の利用可能性

[0035] 本発明は、光変調器を駆動するドライバ回路に適用することができる。

符号の説明

[0036] 104a～104c…出力回路、200…マッハツェンダ光変調器、300、300a、300b…耐圧保護回路、Q100～Q107…トランジスタ、R102～R108…抵抗、SW1～SW3…スイッチ。

請求の範囲

- [請求項1] ドライバ回路の正相側の第1の出力信号端子と逆相側の第2の出力信号端子とに接続された光変調器を駆動するように構成されたオープンコレクタ型の出力回路を備え、
- 前記出力回路は、
- ベース端子に前記光変調器の駆動のための差動信号が入力される第1、第2のトランジスタと、
- ベース端子が第1のバイアス電圧に接続され、コレクタ端子が前記第1の出力信号端子に接続され、エミッタ端子が前記第1のトランジスタのコレクタ端子に接続された第3のトランジスタと、
- ベース端子が前記第1のバイアス電圧に接続され、コレクタ端子が前記第2の出力信号端子に接続され、エミッタ端子が前記第2のトランジスタのコレクタ端子に接続された第4のトランジスタと、
- コレクタ端子が前記第1、第2のトランジスタのエミッタ端子に接続され、エミッタ端子がグラウンドに接続され、ベース端子に印加される第2のバイアス電圧に応じた電流を前記第1、第2、第3、第4のトランジスタに流すように構成された第5のトランジスタと、
- 前記第1の出力信号端子と前記第2の出力信号端子とのコモン電圧に応じて前記第1、第2、第3、第4のトランジスタに流れる電流を制御するように構成された耐圧保護回路とから構成されることを特徴とするドライバ回路。
- [請求項2] 請求項1記載のドライバ回路において、
- 前記耐圧保護回路は、
- 前記第1の出力信号端子と前記第2の出力信号端子との間に直列に接続された第1、第2の抵抗と、
- 前記第2のバイアス電圧と前記第5のトランジスタのベース端子との間に接続されたスイッチとから構成され、
- 前記スイッチは、前記第1、第2の抵抗の接続点がフローティング

またはグラウンド電圧のときにオフ状態となり、前記第 1、第 2 の抵抗の接続点がグラウンド電圧よりも高い電圧のときにオン状態となることを特徴とするドライバ回路。

[請求項3]

請求項 2 記載のドライバ回路において、

前記耐圧保護回路は、

一端が前記第 1、第 2 の抵抗の接続点に接続された第 3 の抵抗と、

一端が前記第 3 の抵抗の他端に接続され、他端がグラウンドに接続された第 4 の抵抗とをさらに備え、

前記スイッチは、ゲート端子が前記第 3、第 4 の抵抗の接続点に接続され、ドレイン端子が前記第 2 のバイアス電圧に接続され、ソース端子が前記第 5 のトランジスタのベース端子に接続された NMOS トランジスタからなることを特徴とするドライバ回路。

[請求項4]

請求項 1 記載のドライバ回路において、

前記耐圧保護回路は、

前記第 1 の出力信号端子と前記第 2 の出力信号端子との間に直列に接続された第 1、第 2 の抵抗と、

ドライバ回路の電源電圧と前記第 1 の出力信号端子との間に接続された第 1 のスイッチと、

前記電源電圧と前記第 2 の出力信号端子との間に接続された第 2 のスイッチとから構成され、

前記第 1、第 2 のスイッチは、前記第 1、第 2 の抵抗の接続点がフローティングまたはグラウンド電圧のときにオン状態となり、前記第 1、第 2 の抵抗の接続点がグラウンド電圧よりも高い電圧のときにオフ状態となることを特徴とするドライバ回路。

[請求項5]

請求項 4 記載のドライバ回路において、

前記耐圧保護回路は、

一端が前記第 1、第 2 の抵抗の接続点に接続され、他端がグラウンドに接続された第 3 の抵抗をさらに備え、

前記第 1 のスイッチは、ゲート端子が前記第 1、第 2 の抵抗の接続点に接続され、ドレイン端子が前記第 1 の出力信号端子に接続され、ソース端子が前記電源電圧に接続された第 1 の PMOS トランジスタからなり、

前記第 2 のスイッチは、ゲート端子が前記第 1、第 2 の抵抗の接続点に接続され、ドレイン端子が前記第 2 の出力信号端子に接続され、ソース端子が前記電源電圧に接続された第 2 の PMOS トランジスタからなることを特徴とするドライバ回路。

[請求項6]

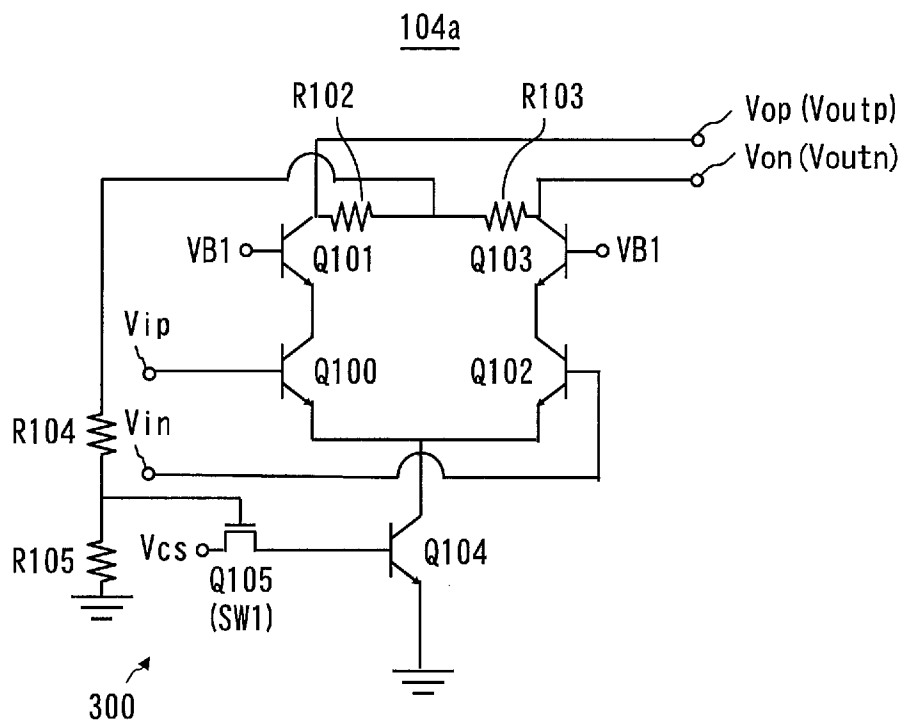
請求項 4 または 5 記載のドライバ回路において、

前記耐圧保護回路は、

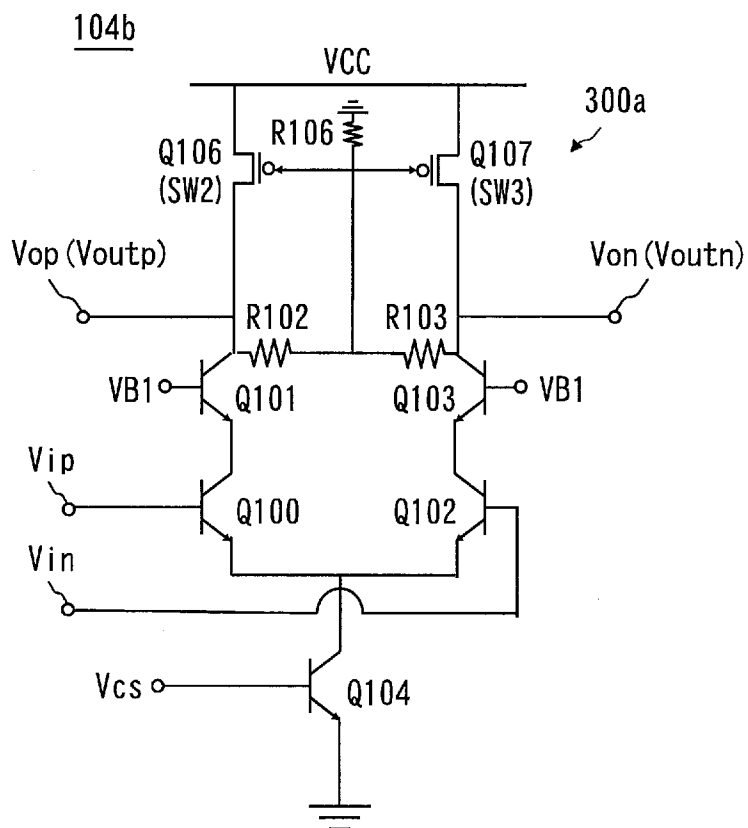
前記第 1 のスイッチと前記第 1 の出力信号端子との間に接続された第 4 の抵抗と、

前記第 2 のスイッチと前記第 2 の出力信号端子との間に接続された第 5 の抵抗とをさらに備えることを特徴とするドライバ回路。

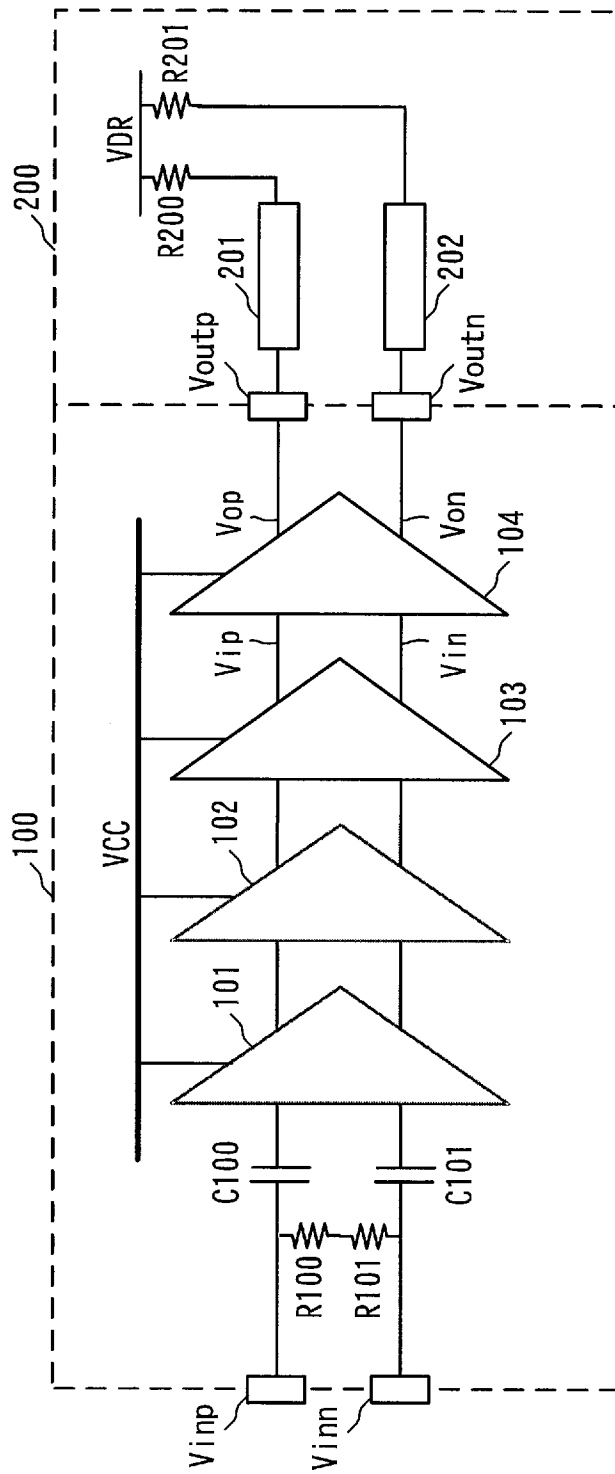
[図1]

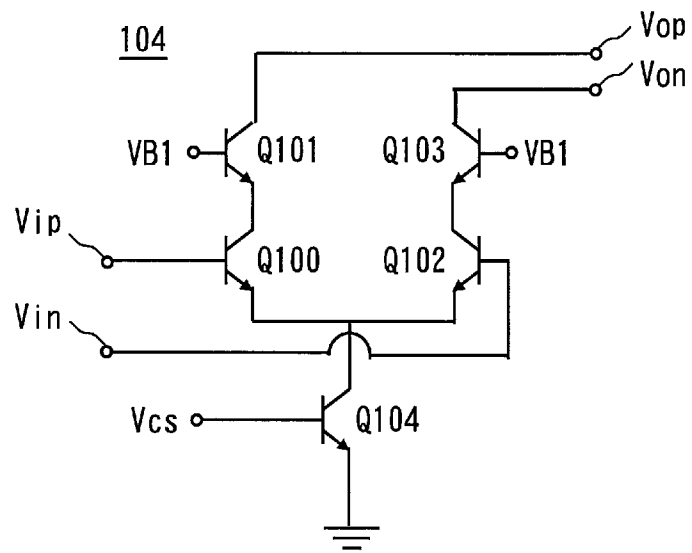


[図2]



[図4]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028256

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G02F1/01 (2006.01) i

FI: G02F1/01 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/00-1/125, G02F1/21-7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-160176 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 04 September 2014, entire text, all drawings	1-6
A	WO 2016/185716 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 24 November 2016, entire text, all drawings	1-6
A	JP 2014-50087 A (RENESAS ELECTRONICS CORP.) 17 March 2014, entire text, all drawings	1-6
A	JP 2020-72321 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 07 May 2020, entire text, all drawings	1-6
A	US 2009/0245813 A1 (KITEL TECHNOLOGIES LLC) 01 October 2009, entire text, all drawings	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31.08.2020

Date of mailing of the international search report
08.09.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028256

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2020/0064707 A1 (CIENA CORPORATION) 27 February 2020, entire text, all drawings	1-6
A	WAKITA, H. et al. Recent Advance in Ultra-High Bandwidth Coherent Driver Modulator, Proceedings of SPIE, 01 February 2019, vol. 10947, 109470L, entire text, all drawings	1-6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/028256

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2014-160176 A	04.09.2014	US 2014/0233083 A1	
WO 2016/185716 A1	24.11.2016	US 2018/0131363 A1	
		CN 107534442 A	
JP 2014-50087 A	17.03.2014	US 9130520 B2	
		US 2015/0355664 A1	
		US 2014/0062595 A1	
		CN 103684294 A	
		TW 201412019 A	
		CN 108415505 A	
JP 2020-72321 A	07.05.2020	(Family: none)	
US 2009/0245813 A1	01.10.2009	(Family: none)	
US 2020/0064707 A1	27.02.2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/01(2006.01)i FI: G02F1/01 B														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G02F1/00-1/125, G02F1/21-7/00 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2014-160176 A（住友電気工業株式会社）04.09.2014（2014 - 09 - 04） 全文，全図	1-6												
A	WO 2016/185716 A1（パナソニックIPマネジメント株式会社）24.11.2016（2016 - 11 - 24） 全文，全図	1-6												
A	JP 2014-50087 A（ルネサスエレクトロニクス株式会社）17.03.2014（2014 - 03 - 17） 全文，全図	1-6												
A	JP 2020-72321 A（日本電信電話株式会社）07.05.2020（2020 - 05 - 07） 全文，全図	1-6												
A	US 2009/0245813 A1（KITEL TECHNOLOGIES LLC）01.10.2009（2009 - 10 - 01） 全文，全図	1-6												
A	US 2020/0064707 A1（CIENA CORPORATION）27.02.2020（2020 - 02 - 27） 全文，全図	1-6												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 31.08.2020	国際調査報告の発送日 08.09.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 岸 智史 2L 3603 電話番号 03-3581-1101 内線 3295													

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WAKITA, H. et al, Recent Advance in Ultra-High Bandwidth Coherent Driver Modulator, Proceedings of SPIE, 2019.02.01, Vol. 10947, 109470L 全文, 全図	1-6

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/028256

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-160176	A	04.09.2014	US	2014/0233083	A1	
WO	2016/185716	A1	24.11.2016	US	2018/0131363	A1	
				CN	107534442	A	
JP	2014-50087	A	17.03.2014	US	9130520	B2	
				US	2015/0355664	A1	
				US	2014/0062595	A1	
				CN	103684294	A	
				TW	201412019	A	
				CN	108415505	A	
JP	2020-72321	A	07.05.2020	(ファミリーなし)			
US	2009/0245813	A1	01.10.2009	(ファミリーなし)			
US	2020/0064707	A1	27.02.2020	(ファミリーなし)			