

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年3月17日(2005.3.17)

【公開番号】特開2001-142789(P2001-142789A)

【公開日】平成13年5月25日(2001.5.25)

【出願番号】特願2000-320318(P2000-320318)

【国際特許分類第7版】

G 06 F 12/16

G 06 F 11/10

【F I】

G 06 F 12/16 320 F

G 06 F 11/10 330 K

【手続補正書】

【提出日】平成16年4月8日(2004.4.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

単一のメモリモジュールにおけるエラー訂正専用のビット数が、コンピュータシステムによってサポートされるチップキル訂正アルゴリズムの実行に必要なビット数より少ないと判定された場合に、該コンピュータシステムの単一のメモリモジュールにおいてメモリオペレーションを実行する方法であって、

連続するデータビットを結合して、前記メモリモジュールのデータ幅の2倍のワードにするステップと、

前記ワードに対して前記チップキル訂正アルゴリズムを実行することによって、エラー訂正コードを生成するステップと、

前記ワードの一部と前記エラー訂正コードの一部を第1のメモリロケーションに書き込み、前記ワードの残りの部分と前記エラー訂正コードの残りの部分を連続するメモリロケーションに書き込むステップ

を含む、方法。

【請求項2】

1クロックサイクル以内でダブルワードメモリオペレーションを実行するステップをさらに含む、請求項1の方法。

【請求項3】

メモリコントローラと、

データバスと、

前記データバスにより前記メモリコントローラに電気的に結合され、かつ、少なくとも1つのメモリデバイスを有する少なくとも1つのメモリモジュールからなる、メモリ構成であって、

前記メモリコントローラが、コンピュータシステムの単一のメモリモジュールにおけるエラー訂正専用のビット数が、前記コンピュータシステムによってサポートされるチップキル訂正アルゴリズムの実行に必要なビット数より少ないと判定された場合に、

連続するデータビットを結合して、前記メモリモジュールのデータ幅の2倍のワードにし、

前記ワードに対して前記チップキル訂正アルゴリズムを実行することによって、エラー訂

正コードを生成し、

前記ワードの一部と前記エラー訂正コードの一部を第1のメモリロケーションに書き込み、前記ワードの残りの部分と前記エラー訂正コードの残りの部分を連続するメモリロケーションに書き込む

という動作が可能であることからなる、メモリ構成。

【請求項4】

ダブルワードメモリオペレーションが1クロックサイクル以内で実行される、請求項3のメモリ構成。

【請求項5】

単一のメモリモジュールにおけるエラー訂正専用のビット数が、コンピュータシステムによってサポートされるチップキル訂正アルゴリズムの実行に必要なビット数より少ないと判定された場合に、該コンピュータシステムの単一のメモリモジュールにおいてメモリオペレーションを実行するための方法であって、

ダブルワードメモリオペレーションを単一のメモリモジュールで実行するステップと、前記コンピュータシステムによってサポートされる所望のチップキルアルゴリズムを実行するために、前記ダブルワードメモリオペレーションによって提供される追加のエラー訂正ビットを使用するステップと、

ダブルワードメモリオペレーションの実施が望まれているか否かを決定するステップを含み、

前記ダブルワードメモリオペレーションの実施が望まれているか否かを決定するステップが、ダブルワードメモリオペレーションを実行する前記ステップの前に実行されることとなる、方法。

【請求項6】

コンピュータシステムのユーザが前記チップキルアルゴリズムの実行を望んでいるか否かを判定するステップを更に含む、請求項5の方法。

【請求項7】

前記単一のメモリモジュールが、該単一のメモリモジュールのメモリデバイスに対してチップキルアルゴリズムを実行するために必要な数のエラー訂正ビットを有しているか否か、を判定するステップを更に含む、請求項6の方法。

【請求項8】

チップキルアルゴリズムを実行するために前記コンピュータシステムによって必要とされるビットの数が、前記単一のメモリモジュールにおいて使用可能なエラー訂正ビットの数の2倍以下であるか否かを判定するステップを更に含む、請求項6の方法。

【請求項9】

前記コンピュータシステムが、シングルワードメモリの実施とダブルワードメモリの実施とを切り替える能力を有する、請求項5の方法。