

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7364062号
(P7364062)

(45)発行日 令和5年10月18日(2023.10.18)

(24)登録日 令和5年10月10日(2023.10.10)

(51)国際特許分類 F I
H 0 3 F 1/32 (2006.01) H 0 3 F 1/32 1 4 1
H 0 3 F 3/24 (2006.01) H 0 3 F 3/24

請求項の数 2 (全41頁)

(21)出願番号	特願2022-522535(P2022-522535)	(73)特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(86)(22)出願日	令和3年3月18日(2021.3.18)	(74)代理人	100103894 弁理士 家入 健
(86)国際出願番号	PCT/JP2021/011096	(72)発明者	土居 喜明 東京都港区芝五丁目7番1号 日本電気株式会社内
(87)国際公開番号	WO2021/229913	審査官	工藤 一光
(87)国際公開日	令和3年11月18日(2021.11.18)		
審査請求日	令和4年1月18日(2022.1.18)		
(31)優先権主張番号	特願2020-83960(P2020-83960)		
(32)優先日	令和2年5月12日(2020.5.12)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 歪補償装置及び歪補償方法

(57)【特許請求の範囲】

【請求項1】

電力増幅器の非線形歪を補償する歪補償装置であって、
前記電力増幅器の出力信号を帰還させてA D（アナログ/デジタル）変換し、A D変換した信号をフィードバック信号として出力するA D変換器と、
入力信号に対し、前記フィードバック信号を用いて、歪補償処理を行い、歪補償処理を行った信号を出力するデジタルプリディストータと、
前記デジタルプリディストータと前記電力増幅器との間に設けられ、前記デジタルプリディストータの出力信号をD A（デジタル/アナログ）変換し、D A変換した信号を前記電力増幅器に出力するD A変換器と、を備え、
前記デジタルプリディストータは、
前記デジタルプリディストータの前段でアップサンプリングされていない前記入力信号をサンプリングするサンプリングレートで動作し、
前記入力信号のサンプル点とサンプル点との間に疑似的にサンプル点を内挿し、疑似的に内挿したサンプル点をサブサンプル分シフトさせる疑似内挿兼サブサンプルシフト処理部を含むと共に、前記入力信号が前記疑似内挿兼サブサンプルシフト処理部で処理された信号自身と、前記入力信号が前記疑似内挿兼サブサンプルシフト処理部で処理された信号の振幅に相当する振幅アドレスに対応するルックアップテーブルの出力と、の複素乗算におけるサブサンプルシフト量の組み合わせを選択するマルチプレクサを含む多項式構造と、

前記多項式構造の後段に設けられ、前記入力信号のサンプル点をサブサンプル分遅延させるサブサンプル遅延フィルタを含む F I R (Finite Impulse Response) フィルタと、を備え、

前記フィードバック信号に応じて前記ルックアップテーブルを更新し、

前記多項式構造及び前記 F I R フィルタを用いて、前記入力信号のサンプル点による歪を補償すると共に、前記デジタルプリディストータにとっての前記入力信号のサンプル点とサンプル点との間のサブサンプル点による歪を補償し、

前記デジタルプリディストータは、

複数の前記 F I R フィルタと、

複数の前記 F I R フィルタの各々の出力信号を加算して出力する第 1 加算器と、を備え、

前記デジタルプリディストータの入力段から、前記多項式構造の複数の第 1 経路が並列に分岐され、複数の前記第 1 経路の各々の後段に複数の前記 F I R フィルタが配置され、複数の前記 F I R フィルタの後段に前記第 1 加算器が配置された構成であり、

前記疑似内挿 兼 サブサンプルシフト処理部は、前記第 1 経路に配置され、

複数の前記第 1 経路は、

前記疑似内挿 兼 サブサンプルシフト処理部が配置された前記第 1 経路と、

前記疑似内挿 兼 サブサンプルシフト処理部が配置されていない前記第 1 経路と、を含み、

前記疑似内挿 兼 サブサンプルシフト処理部は、固定のタップ係数を持つフィルタであり、

前記疑似内挿 兼 サブサンプルシフト処理部が配置されていない前記第 1 経路には、前記疑似内挿 兼 サブサンプルシフト処理部のタップ数によって決まる遅延量を持つ第 1 遅延器が配置され、

前記マルチプレクサは、

複数の前記第 1 経路における前記疑似内挿 兼 サブサンプルシフト処理部の出力及び前記第 1 遅延器の出力が入力され、

前記ルックアップテーブルの出力と複素乗算される信号を、複数の前記第 1 経路における前記疑似内挿 兼 サブサンプルシフト処理部の出力及び前記第 1 遅延器の出力のいずれかから選択し、選択された信号を出力する、

歪補償装置。

【請求項 2】

電力増幅器の非線形歪を補償する歪補償装置による歪補償方法であって、

デジタルプリディストータにおいて、入力信号に対し、前記電力増幅器の出力信号を帰還させて A D (アナログ/デジタル) 変換したフィードバック信号を用いて、歪補償処理を行い、歪補償処理を行った信号を出力し、

前記デジタルプリディストータの出力信号を D A (デジタル/アナログ) 変換し、D A 変換した信号を前記電力増幅器に出力し、

前記デジタルプリディストータは、

前記デジタルプリディストータの前段でアップサンプリングされていない前記入力信号をサンプリングするサンプリングレートで動作し、

前記入力信号のサンプル点とサンプル点との間に疑似的にサンプル点を内挿し、疑似的に内挿したサンプル点をサブサンプル分シフトさせる疑似内挿 兼 サブサンプルシフト処理部を含むと共に、前記入力信号が前記疑似内挿 兼 サブサンプルシフト処理部で処理された信号自身と、前記入力信号が前記疑似内挿 兼 サブサンプルシフト処理部で処理された信号の振幅に相当する振幅アドレスに対応するルックアップテーブルの出力と、の複素乗算におけるサブサンプルシフト量の組み合わせを選択するマルチプレクサを含む多項式構造と、

前記多項式構造の後段に設けられ、前記入力信号のサンプル点をサブサンプル分遅延させるサブサンプル遅延フィルタを含む F I R (Finite Impulse Response) フィルタと、を備え、

前記フィードバック信号に応じて前記ルックアップテーブルを更新し、

前記多項式構造及び前記 F I R フィルタを用いて、前記入力信号のサンプル点による歪

10

20

30

40

50

を補償すると共に、前記デジタルプリディストータにとっての前記入力信号のサンプル点とサンプル点との間のサブサンプル点による歪を補償し、

前記デジタルプリディストータは、

複数の前記FIRフィルタと、

複数の前記FIRフィルタの各々の出力信号を加算して出力する第1加算器と、を備え、

前記デジタルプリディストータの入力段から、前記多項式構造の複数の第1経路が並列に分岐され、複数の前記第1経路の各々の後段に複数の前記FIRフィルタが配置され、

複数の前記FIRフィルタの後段に前記第1加算器が配置された構成であり、

前記疑似内挿兼サブサンプルシフト処理部は、前記第1経路に配置され、

複数の前記第1経路は、

前記疑似内挿兼サブサンプルシフト処理部が配置された前記第1経路と、

前記疑似内挿兼サブサンプルシフト処理部が配置されていない前記第1経路と、を含み、

前記疑似内挿兼サブサンプルシフト処理部は、固定のタップ係数を持つフィルタであり、

前記疑似内挿兼サブサンプルシフト処理部が配置されていない前記第1経路には、前記疑似内挿兼サブサンプルシフト処理部のタップ数によって決まる遅延量を持つ第1遅延器が配置され、

前記マルチプレクサは、

複数の前記第1経路における前記疑似内挿兼サブサンプルシフト処理部の出力及び前記第1遅延器の出力が入力され、

前記ルックアップテーブルの出力と複素乗算される信号を、複数の前記第1経路における前記疑似内挿兼サブサンプルシフト処理部の出力及び前記第1遅延器の出力のいずれかから選択し、選択された信号を出力する、

歪補償方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、無線通信システムに用いられる基地局等の送信装置において、電力増幅器の歪を補償する歪補償装置及び歪補償方法に関する。

【背景技術】

【0002】

無線通信システムにおける送信装置には、送信信号の電力を増幅する電力増幅器が備えられている。電力増幅器は、電力効率の向上の為、可能な限り飽和に近い領域での動作が要求されるが、電力増幅器の線形性と電力効率とはトレードオフの関係にある。そこで、線形性と電力効率を同時に高めるべく、送信装置には歪補償装置が備えられている。歪補償装置は、高効率動作時に、電力増幅器で発生する非線形歪を抑えて、キャリア帯域外（アウトオブバンド）の非線形歪によるACLR（Adjacent Channel Leakage Ratio：隣接チャネル漏洩電力比）や、キャリア帯域内（インバンド）の非線形歪によるEVM（Error Vector Magnitude：エラーベクトル振幅）を低減する目的で使用される。

【0003】

歪補償装置で使用される方式の一つにDPD（Digital Predistortion：デジタルプリディストーション）方式がある。DPD方式の歪補償装置は、電力増幅器の非線形歪の逆特性を有する信号を、電力増幅器の入力信号に予め付加することで、電力増幅器の出力信号の線形性を高めて出力歪を抑圧するものである。

【0004】

電力増幅器の出力歪には、ある時間の入力信号にのみ依存する、メモリレス非線形による歪だけでなく、ある時間の入力信号に対して時間がずれたタイミングでのバイアス電流や入力信号に起因して生じる、メモリ効果による歪が存在する。更に、電力増幅器のメモリ効果は、入力信号の帯域幅が拡大するにつれて顕著になり、DPDの性能が制限される。

【0005】

10

20

30

40

50

上記メモリ効果による歪を補償する為にDPDが行う具体的な信号処理として、例えば、ボルテラ級数 (Volterra Series)、メモリ多項式 (Memory Polynomial)、及び一般化メモリ多項式 (Generalized Memory Polynomial) 等の級数方式に基づく逆歪生成処理が提案されている。

【0006】

ボルテラ級数に基づくDPDは、DPDの複雑性が指数関数的に増大する場合がある為、現実のハードウェアに実装することが極めて困難であるという問題がある。その為、この問題を克服すべく、メモリ多項式構造及び一般化メモリ多項式構造が、例えば、非特許文献1や非特許文献2に提案されている。メモリ多項式構造は、補償性能とはトレードオフの関係にある係数量を最低限に低減する目的で、ボルテラ級数を簡略化したものである。一般化メモリ多項式構造は、メモリ多項式構造の性能を向上させる為、ある時間の入力信号に対するメモリ効果項の時間シフト量を、遅れ項 (Lagging Term) だけでなく、進み項 (Leading Term) にまで一般化して拡張したものである。

10

【0007】

メモリ多項式構造や一般化メモリ多項式構造を実現するハードウェアとして、一般的に、べき級数と同等の演算をLUT (Look Up Table: ルックアップテーブル) を用いて行う信号処理装置が提案されている。また、例えば、非特許文献2には、実測または回路シミュレーションに基づいた具体的な電力増幅器の非線形モデルを表す一般化メモリ多項式モデルが提案されている。しかし、非特許文献2に開示された一般化メモリ多項式モデルでは、最大で、8 (非線形次数: 0 ~ 7) × 7 (メモリ次数: 7) × 2 (I相 Q相: 2) = 112個もの、非常に多くの非線形モデル係数に対して、その逆システムを導出することが必要である。その為、非特許文献2に開示された一般化メモリ多項式モデルでは、簡略化された一般化メモリ多項式構造に基づいて信号処理を行う場合でさえ、なおも多大な演算量を要するという、関連技術における第一の課題がある。

20

【0008】

次に、技術動向の変化に伴う課題について説明する。

5G (5th Generation: 第5世代) 無線通信システムでの大容量通信の実現の為、3GPP (3rd Generation Partnership Project) の先行リリース5G Phase 1向けの標準化でさえも、既存の4G (4th Generation) と比較して、5倍から20倍の広帯域化が求められており、特に、準ミリ波/ミリ波帯における最大システム帯域幅としては800MHzが必要である。

30

【0009】

5G Phase 1では、準ミリ波/ミリ波帯におけるシステム帯域800MHzを実現する為に、同一帯域内連続キャリアアグリゲーション (Intra band Contiguous Carrier Aggregation) でキャリアを束ねることが留意されている。例えば、サブキャリア間隔 (SCS: Sub carrier Spacing) を60kHz、サブキャリア数を1500 ~ 1584、及びFFTサイズを2048とする、チャンネルバンド幅 (Ch BW: Channel Bandwidth) 100MHzのキャリアを、8キャリア束ねることが考えられる。または、サブキャリア間隔を60kHz、サブキャリア数を3000 ~ 3168、及びFFTサイズを2048とする、チャンネルバンド幅200MHzのキャリアを、4キャリア束ねることが考えられる。または、サブキャリア間隔を120kHz、サブキャリア数を3000 ~ 3168、及びFFTサイズを4096とする、チャンネルバンド幅400MHzのキャリアを、2キャリア束ねることが考えられる。しかし、上記のように同一帯域内連続キャリアアグリゲーションでキャリアを束ねてシステム帯域800MHzを実現する場合、キャリアを束ねた後のトータル800MHz帯域のベースバンド信号を処理する為には、たとえ歪補償を行わない場合であっても、983.04MHzという非常に高いサンプリング周波数での動作が必要となる。

40

【0010】

例えば、上記ベースバンド信号の処理をFPGA (Field Programmab

50

le Gate Array)で実現する場合、FPGAにおいて1GHzを超える最大動作周波数(F_{max}と呼ばれる)は、今後リリースされる次期7nmや5nm以降のプロセスで達成できる見込みの値である。従って、現行プロセス品のFPGAを使用する条件下では、前述の歪補償を行わない場合の983.04MHzの動作に対しても、2相のポリフェーズ(Poly-phase)構造を採用し、各相のチェーンの動作を上記サンプリング周波数983.04MHzの1/2で動作させることが必要となる。

【0011】

3GPPでは、準ミリ波/ミリ波帯に対する5G標準化動向として、隣接チャネル干渉の観点から、BS(Base Station:基地局)のACLRと、UE(User Equipment:ユーザー端末)のACS(Adjacent Channel Selectivity:隣接チャネル選択度)によるACIR(Adjacent Channel Interference Ratio:隣接チャネル干渉比)と、の尺度を導入して、BSに対するACLR規格は、24GHz以上の周波数帯におけるBSのACLR規格を、28dBc(24.24~33.4GHz帯)及び26dBc(37~52.6GHz帯)に緩和されている。その為、準ミリ波/ミリ波帯におけるキャリア帯域外(アウトオブバンド)の非線形歪によるACLR規格に限っては、歪補償を前提としなくても実現の可能性がある。

【0012】

しかし、キャリア帯域内(インバンド)の非線形歪の観点では、EVM(エラーベクトル振幅)への影響が残る。3GPPの次期5G Phase 2用のRelease-16に向けて、準ミリ波/ミリ波帯のFR2(Frequency Range 2)でも、DL(Down Link)の256QAM(Quadrature Amplitude Modulation:直交振幅変調)の適用と、その際のEVM規格3.5%の仕様化が検討されている。準ミリ波/ミリ波帯での無線回路用ローカル(局部発振)信号の位相雑音の影響や、信号のピークファクタ抑圧信号の影響に伴うEVM劣化を含めて、256QAM時のEVM規格3.5%を満足する為には、キャリア帯域内の非線形歪によるSNR(Signal to Noise Ratio)配分としては、大よそ40dBcを実現しなければならない。その為、特に、キャリア帯域内における非線形歪を補償する為の歪補償が必要となる。

【0013】

歪補償を行う場合、一般的に、k次の非線形性は、入力信号の変調帯域(=入力信号の振幅エンベロープ変化の最大周波数)のk倍の帯域幅を占める歪成分を発生させる。その為、この歪成分を全帯域に渡って補償するDPDには、入力信号の変調帯域のk倍のサンプリング周波数での動作が必要である。例えば、準ミリ波/ミリ波帯における800MHzの入力信号の帯域に対して、5次の非線形まで補償するDPDには、大よそ4GHzの動作周波数(サンプリング周波数)が要求される。また、仮に補償を3次の非線形までに制限したとしても、DPDには、大よそ2.4GHzの動作周波数が要求される。その為、DPDの動作周波数に対するシステム要件が、実現デバイスの性能トレンドを上回るといふ、関連技術における第二の課題がある。

【0014】

次に、関連技術の具体的な課題について、図面を参照しながら説明する。

図2は、送信装置における、関連技術の歪補償装置の構成を示すブロック図である。

図2に示す通り、歪補償装置は、DPD(デジタルプリディストータ)1、DA(デジタル/アナログ)変換器2、送信アップコンバータ3、電力増幅器4、方向性結合器5、帰還ダウンコンバータ6、AD(アナログ/デジタル)変換器7、及び内挿補間回路8を有する。

【0015】

歪補償装置の入力信号(ベースバンド信号)x(n)は、DPD1の前段で、内挿補間回路8によってアップサンプリングされ、アップサンプリングされたx_u(n)がDPD1に入力される。内挿補間回路8によるアップサンプリングは、入力信号x(n)のサンプリングレート

(サンプリング周波数)を高めて、DPD1における歪補償用のデジタル信号の帯域を拡大する。DPD1の動作周波数(サンプリング周波数)を入力信号 $x(n)$ の変調帯域の何倍に設定するかは、内挿補間回路8によるアップサンプリングの倍数比によって決定される。

【0016】

尚、DPDの前段で、DPDの入力信号をアップサンプリングし、アップサンプリングされた信号をDPDに入力することは、例えば、特許文献1、2に記載されている技術である。以降、DPDの前段で、DPDの入力信号をアップサンプリングする歪補償装置を適宜、アップサンプリング型歪補償装置と呼ぶ。また、アップサンプリング型歪補償装置において、その前段でアップサンプリングされた入力信号を入力するDPDを適宜、アップサンプリング型DPDと呼ぶ。

10

【0017】

前述の準ミリ波/ミリ波帯における800MHz帯域の入力信号 $x(n)$ を処理する為に必要なサンプリング周波数983.04MHzに対して、例えば、内挿補間回路8により2倍アップサンプリングした $x_u(n)$ をDPD1に入力すると仮定する。この場合、DPD1の動作周波数、すなわち歪補償用のデジタル信号の帯域は、入力信号 $x(n)$ の帯域800MHzの2.4576倍の1.96608GHzとなる。

【0018】

DPD1は、入力されたアップサンプリング後の $x_u(n)$ に対して、電力増幅器4の非線形歪の逆特性を有する信号を予め付加した $y_u(n)$ を生成する処理(歪補償処理)を行い、生成した $y_u(n)$ をDA変換器2に出力する。尚、DPD1の詳細については後述する。

20

DA変換器2は、DPD1の出力信号 $y_u(n)$ をデジタル信号からアナログ信号にDA変換し、DA変換後のアナログ信号を送信アップコンバータ3へ出力する。

【0019】

送信アップコンバータ3は、DA変換器2からのアナログ信号を、RF(Radio Frequency)信号にアップコンバートし、アップコンバート後のRF信号を電力増幅器4に出力する。

【0020】

方向性結合器5は、電力増幅器4で増幅されて出力されたRF信号の一部を帰還させて、出力観測用のフィードバックRF信号として出力する。方向性結合器5によって得られたフィードバックRF信号は、帰還ダウンコンバータ6及びAD(アナログ/デジタル)変換器7を介してDPD1にフィードバックされる。

30

【0021】

帰還ダウンコンバータ6は、方向性結合器5からのフィードバックRF信号をダウンコンバートし、ダウンコンバート後の信号をAD変換器7へ出力する。

【0022】

AD変換器7は、帰還ダウンコンバータ6からの信号をアナログ信号からデジタル信号にAD変換し、AD変換後のデジタル信号をフィードバック信号 $z_u(n)$ としてDPD1へ帰還出力する。

【0023】

DPD1は、AD変換器7からのフィードバック信号 $z_u(n)$ を用いて、上記歪補償処理を行う。詳細には、DPD1は、LUTを備えており、フィードバック信号 $z_u(n)$ に応じてLUTを更新する。そして、DPD1は、上記歪補償処理において、更新後のLUTを用いて、電力増幅器4の非線形歪の逆特性を有する信号を演算し、演算した信号を $x_u(n)$ に付加することで $y_u(n)$ を生成する。尚、LUTの詳細については後述する。

40

【0024】

近年では、アナログ直交変調器の不完全性から生じるDCオフセットや、直交誤差によるイメージを補正する必要をなくし、且つ、無線回路を簡素化する目的から、図2中のDA変換器2として、内挿補間型DA変換器(Interpolation DAC)が使用される(以下、DA変換器2を内挿補間型DA変換器2と適宜呼ぶ)。内挿補間型DA変換器は、内挿補間(Interpolation)機能とデジタル直交変調(Digi

50

tal Quadrature Modulator) 機能とを内蔵した D A 変換器である。
【0025】

尚、上記内挿補間型 D A 変換器は、上記デジタル直交変調を実現する目的の為だけではなく、デジタル直交変調を行わない場合であっても、D A 変換器として使用される。例えば、上記内挿補間型 D A 変換器は、D A 変換器の出力部分に必要なアナログフィルタへの要求性能を緩和でき、小型化効果のあるオーバーサンプリング(Over sampling)を行う目的から、ディスクリット D A 変換器のみならず、小型集積化が必要な特定用途向けの汎用 I C に内蔵される D A 変換器としても、一般的に使用される。

上記デジタル直交変調方式は、例えば、非特許文献 3 に記載されている技術である。

【0026】

図 3 は、内挿補間型 D A 変換器 2 の機能例を示すブロック図である。

内挿補間型 D A 変換器 2 は、次のようにしてデジタル直交変調機能を実現する構成である。まず、内挿補間型 D A 変換器 2 を、入力 I、Q 信号のサンプリング周波数の 4 倍のサンプリングクロックレートで動作させ、入力 I、Q 信号を各々 4 倍に内挿補間する。4 倍に内挿補間された I 信号は、NCO (Numerical Controlled Oscillator: 数値制御発振器) 205 からの I 相用サイン信号(例えば、0、1、0、-1、0、...)と複素乗算器 206 で複素乗算される。また、4 倍に内挿補間された Q 信号は、NCO 205 からの Q 相用コサイン信号(例えば、1、0、-1、0、1、...)と複素乗算器 207 で複素乗算される。そして、複素乗算器 206、207 で各々複素乗算された信号を加算器 208 で加算することでデジタル直交変調信号を得る。そして、このデジタル直交変調信号を 1 つ(シングルチャネル)の D A 変換部 209 でアナログ信号に変換する。これにより、内挿補間型 D A 変換器 2 のサンプリングクロックレートの 1/4 の I F (Intermediate Frequency) 周波数の、直交変調されたリアル I F 信号が出力される。

【0027】

ここで、内挿補間型 D A 変換器 2 は、各段の入力信号にゼロ内挿(zero stuffing)した後に、内挿用のハーフバンドフィルタ(Half band Filter)でイメージを除去する 2 倍内挿補間回路を、2 段接続することで、4 倍内挿補間機能を実現する構成である。

【0028】

上記ハーフバンドフィルタは、マルチレート信号を処理するアプリケーションにおいて、2 倍に内挿または 1/2 に間引きする際に使用されるものである。上記ハーフバンドフィルタは、係数の約半分がゼロに等しくなる為、ポリフェーズ形式で実装される。

【0029】

内挿補間型 D A 変換器 2 は、初段(1 段目)の 2 倍内挿補間回路として、初段 2 倍内挿用のハーフバンドフィルタ₁ 201、及びハーフバンドフィルタ₁ 202 が内蔵され、また、後段(2 段目)の 2 倍内挿補間回路として、後段 4 倍内挿用のハーフバンドフィルタ₂ 203、及びハーフバンドフィルタ₂ 204 が内蔵されている。これらハーフバンドフィルタは、80%ナイキストパスバンドの内挿用ハーフバンドフィルタである。一般的に、初段 2 倍内挿用のハーフバンドフィルタ₁ 201、及びハーフバンドフィルタ₁ 202 は、59 タップ程度の F I R (Finite Impulse Response) フィルタであり、また、後段 4 倍内挿用のハーフバンドフィルタ₂ 203、及びハーフバンドフィルタ₂ 204 は、23 タップ程度の F I R フィルタである。

【0030】

内挿補間型 D A 変換器 2 の採用により、内挿補間型 D A 変換器 2 の後段の送信アップコンバータ 3 は、内挿補間型 D A 変換器 2 から出力されたリアル I F 信号を R F 信号に変換するだけでよく、アナログ直交変調器が不要となる。従って、内挿補間型 D A 変換器 2 の採用により、無線回路を簡素化でき、更に、アナログ直交変調器の不完全性から生じる D C オフセットと直交誤差によるイメージとを補正する処理を削除できるという効果がある。

【0031】

10

20

30

40

50

図 2 に示す関連技術の歪補償装置において、前述のデバイス性能に関する第二の課題に対し、DPD 自体の動作周波数を低減する目的から、内挿補間回路 8 を削除して、DPD 用のアップサンプリングを行わない構成にしたと仮定する。この構成の場合、図 6 (詳細説明は後述) に示すように、例えば、準ミリ波 / ミリ波帯における 800 MHz の入力信号の帯域に対する DPD の動作周波数は、800 MHz 帯域の入力信号 $x(n)$ を処理する為に必要な 983.04 MHz のままとなり、入力信号 $x(n)$ の帯域の 1.2288 倍にしかない。

【0032】

次に、関連技術を参照して比較しながら、上記で仮定した、内挿補間回路 8 を削除する構成を実現することが、如何に困難な課題であるか、について説明する。

AD変換器は、一般的に、DA変換器よりも比較的サンプリングレートが低く、性能面で律速となる。そこで、歪補償装置のコスト低減の目的から、AD変換器への要求を抑える為、AD変換器が配置されたフィードバック経路の帯域幅を狭帯域にすることが可能な DPD方式が、例えば、非特許文献 4 に提案されている。

【0033】

非特許文献 4 は、Fig. 1 に記載された通り、変調帯域 100 MHz の入力信号に対し、電力増幅器の出力観測用のフィードバック信号を BPF (Band pass Filter) で 100 MHz まで狭帯域に制限することで、フィードバック経路用の AD変換器のサンプリング周波数を 368.64 MHz まで低減することが可能な DPD方式の提案である。しかし、非特許文献 4 に開示された技術では、DPD を入力信号の帯域の 3.68 倍のサンプリング周波数で動作させている。

【0034】

一方、更なる歪補償装置のコスト低減の目的から、フィードバック経路用の AD変換器、送信用の DA変換器、及び DPD のサンプリング周波数を低減する手段として、Band Limited Volterra Series Based DPD方式が、例えば、特許文献 1 に提案されている。

【0035】

特許文献 1 に開示された技術においては、変調帯域 100 MHz の入力信号に対し、Band Limited Volterra Series モデルに基づく DPD で歪補償信号を生成する。また、この DPD で生成した歪補償信号を帯域制限するフィルタの帯域外の歪は、電力増幅器の出力部分に配置された関連技術の BPF で抑圧する。特許文献 1 は、この構成によって、DPD のサンプリング周波数を、関連技術の 500 MHz から 200 MHz まで低減することが可能な DPD方式の提案である。しかし、特許文献 1 に開示された技術では、DPD を入力信号の帯域の 2 倍のサンプリング周波数で動作させている。

【0036】

尚、特許文献 1 に開示された技術は、予め設定された帯域 (pre set bandwidth) 内に歪補償信号を帯域制限する帯域制限部 (bandwidth limitation unit) の前段に、非線形処理部 (Non linear processing unit) が備えられている。非線形処理部では、ボルテラ級数パラメータに基づいて、帯域制限後の帯域内に出力するべき、未だ制限されていない補償用の高次の非線形歪と高次のメモリ効果を生成しなければならない。その為、非線形処理部では、ハードウェアのサンプリング周波数は 200 MHz に低減しているものの、(特許文献 1 に明示されてはいないが) 非線形処理部の演算用プロセッサには高速動作が要求される。例えば、制限された帯域内の補償性能を、関連技術の 500 MHz サンプリング時と同等にする補償用の高次非線形歪と高次のメモリ効果を生成すると仮定する。この場合には、CPU 等のマイクロプロセッサまたはエンベデッドプロセッサ (Embedded Processor: 組み込みプロセッサ) で実現される非線形処理演算用プロセッサを、入力信号の帯域の 5 倍の周波数で動作させることが必要になる。

【0037】

10

20

30

40

50

また、他にも、フィードバック経路用のAD変換器及び送信用のDA変換器のサンプリングレートを、関連技術に対して増加させることなく、歪補償特性を改善させることが可能なDPDサブシステムが特許文献2に提案されている。

【0038】

特許文献2に開示された技術は、DPDサブシステム内において、DPD本体と、DPD本体の前段にPre-DPD-Processorとして配置された内挿補間(Interpolation)回路と、DPD本体の後段にPost-DPD-Processorとして配置された間引き(Decimation)回路と、が備えられている。この構成によって、DPDサブシステムの入力と出力とのサンプリングレートが関連技術と見掛け上は変わらず、フィードバック経路用のAD変換器及び送信用のDA変換器のサンプリングレートは関連技術と同一にすることが可能となる。しかし、実際にはDPDサブシステム内に上記の通り内挿補間回路が備えられている。その為、特許文献2に開示された技術は、内挿比Lが最低の2とした場合でも、DPD本体を入力信号のレートの2倍のサンプリング周波数で動作させる技術に他ならない。

10

【0039】

また、特許文献2に開示された技術は、特許文献1に開示された技術における上記補償用の高次の非線形歪と高次のメモリ効果を生じた後に帯域制限する為に、特許文献1に開示された非線形処理演算用プロセッサで行う処理を、ハードウェアによる内挿補間回路と間引き回路とに置き換えた帯域制限型のDPDと言える。

【0040】

以上の通り、例えば前述の準ミリ波/ミリ波帯における800MHz帯域の入力信号(ベースバンド)に対して歪補償を行うには、特許文献1に開示された技術でも、入力信号の帯域800MHz×2倍の1.6GHzが、DPDの動作周波数として必要となる。また、特許文献2に開示された技術でも、入力信号の帯域800MHz×2.4576倍(=入力信号のレート983.04MHz×2倍)の1.966GHzが、DPDの動作周波数として必要となる。

20

【0041】

次に、基準となる関連技術の歪補償性能を示す為、前述の準ミリ波/ミリ波帯における800MHz帯域の入力信号(=入力信号のレート983.04MHz)に対して、DPD1の前段に2倍の内挿補間回路8を備えた、図2に示したアップサンプリング型歪補償装置による歪補償特性について、具体的な電力増幅器の非線形モデルを用いて説明する。

30

【0042】

図2に示した歪補償装置の入力信号(ベースバンド信号) $x(n)$ は、DPD1の前段で、内挿補間回路8によってアップサンプリングされ、アップサンプリングされた $x_u(n)$ がDPD1に入力される。内挿補間回路8によるアップサンプリングは、入力信号 $x(n)$ のサンプリングレート(サンプリング周波数)を高めて、DPD1における歪補償用のデジタル信号帯域を拡大する。ここでは、内挿補間回路8によるアップサンプリング比を2倍とし、DPD1の動作周波数を入力信号のレート983.04MHz×2倍=1.96608GHzとする。このときのDPD1の動作周波数は、入力信号 $x(n)$ の帯域800MHzの2.4576倍に等しい。

40

【0043】

DPD1では、入力されたアップサンプリング後の $x_u(n)$ に対して、電力増幅器4の非線形歪の逆特性を有する信号を予め付加した $y_u(n)$ を生成する。

【0044】

DPD1において、一般化メモリ多項式構造を適用すれば、DPD1の出力信号 $y_u(n)$ は、アップサンプリング後のDPD1の入力信号 $x_u(n)$ に対して次の式(1)を演算した結果である。

50

$$y_u(n) = \sum_{l=-\frac{L-1}{2}}^{+\frac{L-1}{2}} \sum_{k=0}^{K-1} x_u(n-l) \cdot a_{l,k} \cdot |x_u(n-l)|^k \quad \dots\dots(1)$$

【 0 0 4 5 】

ここで、式(1)におけるメモリ効果項の時間シフト量 l は、DPD1の出力信号 $y_u(n)$ におけるサンプリング周期(=1/サンプリング周波数)単位での時間シフト量(言い換えるとサンプルシフト量)である。更に、一般化メモリ多項式では、あるサンプルタイミングの入力信号に対する上記時間シフト量を、遅れ項だけでなく、進み項にまで一般化して拡張する。その為、 l は、

$$-\frac{L-1}{2}$$

から

$$+\frac{L-1}{2}$$

まで取り得るものとする。尚、 L は、メモリ次数(Memory order)またはメモリタップ数(Number of Memory Taps)と呼ばれる。その為、以降、上記メモリ効果項の時間シフト量 l を便宜上メモリタップと呼ぶ。

【 0 0 4 6 】

上記式(1)におけるメモリタップ l の各項毎のべき級数演算

$$\sum_{k=0}^{K-1} a_{l,k} \cdot |x_u(n-l)|^k$$

を、演算用プロセッサによる直接的な演算ではなく、ハードウェアとしてのLUT(Look Up Table: ルックアップテーブル)による、メモリタップ l の各項毎の振幅に対する、べき級数関数

$$K_l(|x_u(n-l)|)$$

で実現すれば、式(1)は次の式(2)で表現できる。

$$y_u(n) = \sum_{l=-\frac{L-1}{2}}^{+\frac{L-1}{2}} \sum_{k=0}^{K-1} x_u(n-l) \cdot a_{l,k} \cdot |x_u(n-l)|^k = \sum_{l=-\frac{L-1}{2}}^{+\frac{L-1}{2}} x_u(n-l) \cdot K_l(|x_u(n-l)|) \quad \dots\dots(2)$$

【 0 0 4 7 】

式(2)における $l=0$ の項では、DPD1の入力信号に対するDPD1の出力信号の時間シフト量がゼロとなる。その為、 $l=0$ での多項式がメモリレス多項式に相当する。

【 0 0 4 8 】

上記式(2)に対して、具体的に $L=7$ を与え、更に時間シフト量 l に対して $l=l_s-3$ とする置換を行えば、式(2)は次の式(3)で表せる。

$$y_u(n) = \sum_{l=-3}^{+3} x_u(n-l) \cdot K_l(|x_u(n-l)|) = \sum_{l_s=0}^6 x_u(n+3-l_s) \cdot K_{l_s}(|x_u(n+3-l_s)|) \quad \dots\dots(3)$$

10

20

30

40

50

【 0 0 4 9 】

上記式 (3) の n を 3 サンプル遅延させると次の式 (4) で表せる。

$$y_u(n-3) = \sum_{l_s=0}^6 x_u(n-l_s) \cdot K_{l_s}(|x_u(n-l_s)|) \quad \dots\dots(4)$$

【 0 0 5 0 】

尚、式 (3) と式 (4) における $l_s = 3$ (すなわち $l = 0$) の項では、D P D 1 の入力信号に対する D P D 1 の出力信号の時間シフト量がゼロとなる。その為、 $l_s = 3$ での多項式がメモリレス多項式に相当する。

10

【 0 0 5 1 】

関連技術に係る D P D 1 における上記式 (4) の演算を、例えばハードウェア機能で構成した場合のブロック図を図 4 に示す。

図 4 に係る D P D 1 は、上記式 (4) の演算を実現するものである。図 4 に係る D P D 1 は、1 サンプル遅延器 3 0 1 a、3 0 1 b、3 0 1 c、3 0 1 d、3 0 1 e、3 0 1 f と、振幅アドレス演算回路 3 0 2 a、3 0 2 b、3 0 2 c、3 0 2 d、3 0 2 e、3 0 2 f、3 0 2 g と、L U T (ルックアップテーブル) 3 0 3 a、3 0 3 b、3 0 3 c、3 0 3 d、3 0 3 e、3 0 3 f、3 0 3 g と、複素乗算器 3 0 4 a、3 0 4 b、3 0 4 c、3 0 4 d、3 0 4 e、3 0 4 f、3 0 4 g と、加算器 3 0 5 と、を備える。尚、図 4 の詳細説明は割愛する。

20

【 0 0 5 2 】

この式 (4) 及び図 4 の構成を適用した場合、非線形次数を 0 ~ 7、メモリ次数 (メモリタップ数) を 7 とすると、(I 相、Q 相の) 複素係数として、 $8 \times 7 \times 2 = 112$ 個の非線形モデル係数に対する逆システムを導出することが必要となる。

【 0 0 5 3 】

前述の関連技術における、多大な演算量を要するという第一の課題に対して、係数量を削減する為、上記式 (4) 及び図 4 を実現する 7 次メモリ多項式モデルを、3 タップの多項式と 5 タップの F I R フィルタとを組み合わせた近似モデルで表現する手法を導入する。

【 0 0 5 4 】

この近似モデルによる手法は、関連技術に関する文献等で開示された例はない。ただし、この近似モデルによる手法は、非特許文献 1 の F i g . 2 (c) に示されたウィーナーハマーシュタイン (W i e n e r H a m m e r s t e i n) モデルによる関連技術に対し、このモデルを 3 つ並列に接続した拡張構成と言える。

30

【 0 0 5 5 】

上記式 (2) を、係数量を削減した多項式と F I R フィルタとの組み合わせによる近似モデルに変形し、次の式 (5) で表現する。ここで、L (メモリ次数) は、係数量を削減する前の上記式 (3) で与えた 7 よりも低減することを想定する。

$$y_u(n) = \sum_{l=-\frac{L-1}{2}}^{\frac{L-1}{2}} \sum_{r=-\frac{R-1}{2}}^{\frac{R-1}{2}} W_{l,r} \cdot x_u(n-l-r) \cdot K_l(|x_u(n-l-r)|) \quad \dots\dots(5)$$

40

【 0 0 5 6 】

上記式 (2) と同様に、式 (5) における $l = 0$ 、 $r = 0$ の項では、D P D 1 の入力信号に対する D P D 1 の出力信号の時間シフト量がゼロとなる。その為、 $l = 0$ 、 $r = 0$ での多項式がメモリレス多項式に相当する。

【 0 0 5 7 】

上記式 (5) に対して、具体的に係数量を削減すべく $L = 3$ タップと、 $R = 5$ タップとを与えると、式 (5) は次の式 (6) で表せる。

50

$$y_u(n) = \sum_{l=-1}^{+1} \sum_{r=-2}^{+2} W_{l,r} \cdot x_u(n-l-r) \cdot K_l(|x_u(n-l-r)|) \quad \dots\dots(6)$$

【 0 0 5 8 】

更に、時間シフト量 l に対して $l=l_s-1$ とする置換と、 r に対して $r=r_s-2$ とする置換とを行えば、式(6)は次の式(7)で表せる。

$$y_u(n) = \sum_{l_s=0}^2 \sum_{r_s=0}^4 W_{l_s,r_s} \cdot x_u(n+3-l_s-r_s) \cdot K_{l_s}(|x_u(n+3-l_s-r_s)|) \quad \dots\dots(7)$$

10

【 0 0 5 9 】

式(7)の n を3サンプル遅延させると次の式(8)で表せる。

$$y_u(n-3) = \sum_{l_s=0}^2 \sum_{r_s=0}^4 W_{l_s,r_s} \cdot x_u(n-l_s-r_s) \cdot K_{l_s}(|x_u(n-l_s-r_s)|) \quad \dots\dots(8)$$

【 0 0 6 0 】

尚、式(7)と式(8)における、 $l_s=1$ (すなわち $l=0$)且つ $r_s=2$ (すなわち $r=0$)の項では、DPD1の入力信号に対するDPD1の出力信号の時間シフト量がゼロとなる。その為、 $l_s=1$ 且つ $r_s=2$ での多項式がメモリレス多項式に相当する。

20

【 0 0 6 1 】

係数量を削減したDPD1における上記式(8)の演算を、例えばハードウェア機能で構成した場合のブロック図を図5に示す。

図5に係るDPD1は、上記式(8)の演算を実現するものである。図5に係るDPD1は、1サンプル遅延器401a、401bと、振幅アドレス演算回路402a、402b、402cと、LUT403a、403b、403cと、複素乗算器404a、404b、404cと、FIRフィルタ₀405a、FIRフィルタ₁405b、FIRフィルタ₂405cと、加算器406と、を備える。更に、FIRフィルタ₀405a、FIRフィルタ₁405b、FIRフィルタ₂405cは各々いずれも、1サンプル遅延器411a、411b、411c、411dと、複素乗算器412a、412b、412c、412d、412eと、加算器413と、を備える。

30

【 0 0 6 2 】

尚、図5中では、説明の簡略化の為、上記式(8)のメモリタップ l_s の各項毎の、複素乗算器404a、404b、404cの出力における、係数量を削減した多項式

$$x_u(n-l_s) \cdot K_{l_s}(|x_u(n-l_s)|)$$

を、次の式(9)の通り、関数 $d_u(n-l_s)$ に置き換えて表現している。

$$x_u(n-l_s) \cdot K_{l_s}(|x_u(n-l_s)|) = d_u(n-l_s) \quad \dots\dots(9)$$

40

【 0 0 6 3 】

アップサンプリングされた、あるサンプルタイミングのDPD1の入力信号 $x_u(n)$ に対し、1サンプル遅延器401a、401bによって、1サンプルずつ遅延した $x_u(n)$ 、 $x_u(n-1)$ 、 $x_u(n-2)$ を生成する。この1サンプルずつ遅延した $x_u(n)$ 、 $x_u(n-1)$ 、 $x_u(n-2)$ の各信号に対して、振幅アドレス演算回路402a、402b、402cによって、この各信号の振幅 $|x(n)|$ 、 $|x(n-1)|$ 、 $|x(n-2)|$ に相当するLUT用振幅アドレスが各々演算される。この1サンプルずつ遅延した各信号に対するLUT用振幅アドレスに基づいてLUT403a、403b、403cが参照され、LUT用振幅アドレスに対応する各

50

LUTの出力信号が得られる。そして、各LUTの出力信号と、1サンプルずつ遅延した各信号とが、複素乗算器404a、404b、404cによって複素乗算される。複素乗算器404a、404b、404cによる複素乗算の結果は、メモリタップ $l_s = 0、1、2$ の各項毎の、係数量を削減した多項式 $d_u(n - l_s)$ として、各々FIRフィルタ $0405a$ 、FIRフィルタ $1405b$ 、FIRフィルタ $2405c$ に入力される。FIRフィルタ $0405a$ は、メモリタップ $l_s = 0$ に対応する。FIRフィルタ $1405b$ は、メモリタップ $l_s = 1$ に対応する。FIRフィルタ $2405c$ は、メモリタップ $l_s = 2$ に対応する。

【0064】

FIRフィルタ $0405a$ 、FIRフィルタ $1405b$ 、及びFIRフィルタ $2405c$ では、各々入力された $d_u(n - l_s)$ に対し、1サンプル遅延器411a、411b、411c、411dによって、1サンプルずつ遅延した $d_u(n - l_s)$ 、 $d_u(n - l_s - 1)$ 、 $d_u(n - l_s - 2)$ 、 $d_u(n - l_s - 3)$ 、 $d_u(n - l_s - 4)$ を生成する。この1サンプルずつ遅延した各信号に対して、複素乗算器412a、412b、412c、412d、412eによって、FIRタップ $r_s = 0、1、2、3、4$ に対応したフィルタ（複素）係数 $W_{l_s,0}$ 、 $W_{l_s,1}$ 、 $W_{l_s,2}$ 、 $W_{l_s,3}$ 、 $W_{l_s,4}$ が各々複素乗算される。その後、複素乗算器412a、412b、412c、412d、412eで各々複素乗算された信号は、加算器413で加算される。加算器413で加算された信号は、各メモリタップ l_s に対する

$$\sum_{r_s=0}^4 W_{l_s, r_s} \cdot d_u(n - l_s - r_s)$$

として、FIRフィルタ $0405a$ 、FIRフィルタ $1405b$ 、及びFIRフィルタ $2405c$ から各々出力される。

【0065】

メモリタップ $l_s = 0$ に対応するFIRフィルタ $0405a$ の出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{0, r_s} \cdot d_u(n - r_s)$$

メモリタップ $l_s = 1$ に対応するFIRフィルタ $1405b$ の出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{1, r_s} \cdot d_u(n - 1 - r_s)$$

メモリタップ $l_s = 2$ に対応するFIRフィルタ $2405c$ の出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{2, r_s} \cdot d_u(n - 2 - r_s)$$

FIRフィルタ $0405a$ 、FIRフィルタ $1405b$ 、及びFIRフィルタ $2405c$ の出力信号は、最終的に加算器406で加算され、上記式(8)で表現される係数量を削減した多項式としてDPD1から出力される。

【0066】

式(8)及び図5の構成を適用した場合、非線形次数を0~7、メモリ次数（メモリタップ数）を3、FIRタップ数を5とすると、（I相、Q相）複素係数として、 $(8 + 5) \times 3 \times 2 = 78$ 個の非線形モデル係数に対する逆システムを導出すればよい。その為、前述の式(4)及び図4の構成を適用した場合（係数量は112個）と比較して、係数量の30%削減が可能となる。

【0067】

LUT 403 a、403 b、403 cにおける、べき級数係数(8×3×2=48個)及びFIRフィルタ₀ 405 a、FIRフィルタ₁ 405 b、FIRフィルタ₂ 405 cのタップ係数(5×3×2=30個)は、次のように導出する。すなわち、LUT 403 a、403 b、403 cにおける、これらのべき級数係数及びタップ係数は、基準となるDPD1の入力信号 $x_u(n)$ のN個のサンプルにおけるRMS(Root Mean Square:二乗平均平方根)値に対する、同N個のサンプルのフィードバック信号 $z_u(n)$ における入力信号 $x_u(n)$ とのRMSE(Root Mean Square Error:二乗平均平方根誤差)の比を、誤差評価関数として適応制御を行って導出する。

【0068】

上記誤差評価関数は、次の式(10)に示す通り、NRMSE(Normalized Root Mean Square Error:正規化二乗平均平方根誤差)であり、 $x_u(n)$ に対するフィードバック信号 $z_u(n)$ のEVM(エラーベクトル振幅)と等価である。

$$\text{NRMSE} = 20 \cdot \log_{10} \left(\frac{\sqrt{\frac{\sum_{n=1}^N |z_u(n) - x_u(n)|^2}{N}}}{\sqrt{\frac{\sum_{n=1}^N |x_u(n)|^2}{N}}} \right) = 10 \cdot \log_{10} \left(\frac{\sum_{n=1}^N |z_u(n) - x_u(n)|^2}{\sum_{n=1}^N |x_u(n)|^2} \right)$$

.....(10)

【先行技術文献】

【特許文献】

【0069】

【文献】米国特許第9209753号明細書

米国特許第8537041号明細書

特開2019-125863号公報

【非特許文献】

【0070】

【文献】D. R. Morgan, Z. Ma, J. Kim, M. G. Zierdt, and J. Pastalan, "A Generalized Memory Polynomial Model for Digital Predistortion of RF Power Amplifiers", IEEE Transactions on Signal Processing, vol. 54, no. 10, pp. 3852-3860, Oct. 2006.

3GPP TR 38.803, V14.1.0(2017-06), Technical Report, "3rd Generation Partnership Project; Technical Specification Group Radio Access Network; Study on new radio access technology: Radio Frequency(RF) and coexistence aspects", Annex A: PA models

V. Leung, and L. Larson, "Improved Digital IF Transmitter Architecture for Highly Integrated WCDMA Mobile Terminals", IEEE Transactions on Vehicular Technology, vol. 54, no. 1, pp. 20-32, Jan. 2005.

Y. Liu, W. Pan, S. Shao, and Y. Tang, "A New Digital Predistortion for Wideband Power Am

10

20

30

40

50

plifiers With Constrained Feedback Bandwidth", IEEE Microwave and Wireless Components Letters, vol. 23, no. 12, pp. 683-685, Dec. 2013

【発明の概要】

【発明が解決しようとする課題】

【0071】

以上述べた通り、多大な演算量を要するという関連技術における第一の課題に対して、係数量を削減する為に、上記式(8)及び図5の構成を適用した内挿補間回路によるアップサンプリング型歪補償装置を導入することが考えられる。この内挿補間回路によるアップサンプリング型歪補償装置によれば、関連技術に係る上記式(4)及び図4の構成を適用したDPDと比較して、係数量を30%削減できる。

10

【0072】

しかし、上記式(8)及び図5の構成を適用した内挿補間回路によるアップサンプリング型歪補償装置では、DPD1の前段の内挿補間回路8によって1.96608GHzへ2倍アップサンプリングする為、DPD1の動作周波数に対するシステム要件は、前述の通り、実現デバイスの性能トレンドを上回っている。その為、前述の第二の課題は解決されないままである。

【0073】

図6は、関連技術の歪補償装置におけるデバイス性能に関する第二の課題に対し、図2に示した内挿補間回路8を削除し、DPD用アップサンプリングを行わない構成とした歪補償装置のブロック図である。

20

【0074】

既に説明済みの図2との構成上の差分は、内挿補間回路8の削除に伴い、DPD用アップサンプリングが行われていない入力信号 $x(n)$ が直接DPD1の入力信号となる点にある。また、図2との構成上の更なる差分は、DPD1は入力された $x(n)$ に対して、電力増幅器4の非線形歪の逆特性を有する信号を予め付加した $y(n)$ を生成し出力するが、DPD1の出力信号 $y(n)$ と入力信号 $x(n)$ のサンプリング周波数が同一である点である。

【0075】

図6に示した構成の場合、前述の準ミリ波/ミリ波帯における800MHzの入力信号 $x(n)$ の帯域に対するDPD1の動作周波数は、DPD用アップサンプリングを行わない為、800MHz帯域のベースバンド入力信号を処理する上で必要な983.04MHzである。その為、入力信号 $x(n)$ の帯域に対するDPD1の動作周波数の比は、関連技術における2倍に満たない1.2288倍となる。

30

【0076】

次に、内挿補間回路8を削除してDPD用アップサンプリングを行わない図6の構成とした歪補償装置における課題について説明する。

図6における800MHz帯域の入力信号 $x(n)$ とDPD1の出力信号 $y(n)$ はサンプリング周波数983.04MHzでサンプリングされた信号である。変調帯域が800MHzの入力信号 $x(n)$ における振幅エンベロープ変化の最大周波数は800MHzである。しかし、入力信号 $x(n)$ における振幅エンベロープ変化の最大周波数とサンプリング周波数とが近い場合、内挿補間型DA変換器2によって内挿補間された信号の振幅エンベロープの変化が、内挿前の信号の振幅エンベロープの変化と乖離する問題がある。

40

【0077】

図7に、内挿前のサンプリング周波数983.04MHzの800MHz帯域の信号の振幅変化と、この信号を2倍内挿補間処理によってサンプリング周波数1.96608GHzへ2倍アップサンプリングした後の信号の振幅変化と、の比較を示す。尚、上記2倍内挿補間処理は、図3に示した前述の内挿補間型DA変換器2における、入力信号にゼロ内挿した後に内挿用ハーフバンドフィルタでイメージを除去する初段の2倍内挿補間回路による処理である。

50

【 0 0 7 8 】

上記 2 倍内挿補間によって、内挿前の信号のサンプル間隔の間に内挿されたサンプル点が生成される。しかし、内挿前の信号におけるサンプル間の振幅エンベロープ変化に対して、2 倍内挿補間後の信号の振幅エンベロープ変化が大きく乖離するサンプルが存在している（図 7 中、大きく乖離するサンプルは、二重破線で囲っている）。

【 0 0 7 9 】

次に、図 8 に、上記 2 倍内挿補間処理によってサンプリング周波数 1.96608 GHz へ 2 倍アップサンプリングされた信号の振幅変化と、この信号を更に 2 倍内挿補間処理によってサンプリング周波数 3.93216 GHz へ 4 倍アップサンプリングされた信号の振幅変化と、の比較を示す。尚、上記 4 倍アップサンプリングする為に追加した 2 倍内挿補間処理は、図 3 に示した前述の内挿補間型 D A 変換器 2 における後段の 2 倍内挿補間回路による処理である。

10

【 0 0 8 0 】

2 倍内挿補間後の信号の振幅エンベロープ変化と、4 倍内挿補間後の信号の振幅エンベロープ変化には大きな差がない。

以上より、振幅エンベロープ変化の最大周波数とサンプリング周波数とが近い（例えば、入力信号の帯域に対するサンプリング周波数の比が 2 未満となる）場合に、内挿補間された信号の振幅エンベロープの変化が、内挿前の信号の振幅エンベロープの変化と乖離することがわかる。

【 0 0 8 1 】

以上の通り、内挿補間回路を削除して D P D 用アップサンプリングを行わない構成とした場合には、D P D 1 の後段の内挿補間型 D A 変換器 2 によって内挿補間された信号と、D P D 1 が処理する内挿前の信号との振幅エンベロープ変化に乖離が生じるという問題が観られる。この問題は、関連技術に係る内挿補間によるアップサンプリング型の D P D 1 を採用し、D P D 1 の前段で 2 倍以上アップサンプリングする歪補償装置においては考慮する必要がなく、D P D 用アップサンプリングを行わない構成とした歪補償装置に限られた解決すべき課題となる。

20

【 0 0 8 2 】

図 6 において、D P D 1 は、サンプリング周波数 983.04 MHz の入力信号 $x(n)$ とフィードバック信号 $z(n)$ とによって同サンプリング周波数の D P D 1 の出力信号 $y(n)$ を生成する。しかし、電力増幅器 4 に入力される変調信号のエンベロープは、 $y(n)$ が内挿補間型 D A 変換器 2 によって内挿補間された後にアナログ信号に変換された変調信号のエンベロープに等しい。その為、電力増幅器 4 で発生する歪を補償する上で、特に、あるサンプル点の前後のサンプルの影響を受けるメモリ効果の補償には、内挿補間型 D A 変換器 2 によって内挿補間されたサンプル点まで考慮する必要がある。しかし、この内挿補間されたサンプル点は、内挿前のサンプリングレートで動作する D P D 1 にとってはサンプル点とサンプル点の間に内挿されたサブサンプル点となる為、メモリ効果を補償する歪補償信号に反映できない。

30

【 0 0 8 3 】

上記の問題について具体的に説明する。上記 D P D 用 2 倍アップサンプリングを行う式（8）及び図 5 の構成におけるメモリタップは、D P D 1 の前段で 1.96608 GHz へ 2 倍アップサンプリングした後のサンプリング周期（ $= 1 / \text{サンプリング周波数}$ ）単位でのサンプルシフト量である。従って、上記式（8）における、例えばメモリタップ $I_s = 1$ は、図 6 に示した、内挿補間回路を削除して D P D 用アップサンプリングを行わない構成でのサンプリング周波数 983.04 MHz で動作する D P D 1 にとっては、メモリタップ $= 0.5$ に相当するサブサンプルのメモリタップである。その為、メモリタップ $I_s = 1$ は、サンプリング周波数 983.04 MHz で動作する D P D 1 にとってはメモリタップの対象とはならない為、メモリ効果を補償する歪補償信号に反映できない。

40

【 0 0 8 4 】

以上の通り、D P D 前段の内挿補間回路を削除して D P D 用アップサンプリングを行わ

50

ない構成を適用し、D P Dを入力信号の帯域8 0 0 M H zに対して1 . 2 2 8 8 倍のサンプリング周波数で動作させる場合、関連技術に係るD P D及び歪補償装置では、目標の補償性能を達成することが困難である。

【 0 0 8 5 】

その為、D P Dのサンプル点とサンプル点の間のサブサンプルメモリタップによるキャリア帯域内のメモリ効果を補償することを可能とする技術が、特許文献3に提案されている。以下、特許文献3に開示された技術について図面を参照して説明する。

【 0 0 8 6 】

図9に、特許文献3に開示されたD P D 1の一構成例のブロック図を示す。特許文献3に係るD P D 1は、図6に示した歪補償装置におけるD P D 1に相当する。図6に示した歪補償装置は、前述の通り、関連技術の歪補償装置におけるデバイス性能に関する上記第二の課題に対し、図2における内挿補間回路8を削除し、D P D用アップサンプリングを行わない構成としている。

10

【 0 0 8 7 】

まず、特許文献3に係るD P D 1の概要について説明する。

図6に示した歪補償装置は、前述のように、D P D 1の前段でD P D用アップサンプリング処理を行わず、アップサンプリングされていない低サンプリングレートで動作する。図6に示した歪補償装置であっても、以下の(A)及び(B)の2つが可能であれば、D P D 1の後段の内挿補間型D A変換器2によって生じるD P D 1のサンプル点とサンプル点の間のサブサンプルメモリタップによるメモリ効果を補償することが可能となる。

20

【 0 0 8 8 】

(A) 係数を削減した上記式(8)及び図5における2倍アップサンプリング後の信号 $x_u(n-l_s)$ に相当する信号を、アップサンプリングされていないD P D 1の入力信号のサンプル信号列から生成すること

(B) 図5に示した、2倍のサンプリング周波数で動作するF I Rフィルタ $0\ 4\ 0\ 5\ a$ 、F I Rフィルタ $1\ 4\ 0\ 5\ b$ 、F I Rフィルタ $2\ 4\ 0\ 5\ c$ と等価なF I Rフィルタを、2倍アップサンプリングすることなく実現すること

【 0 0 8 9 】

次の式(1 1)において、アップサンプリングされていないD P D 1の入力信号のサンプル信号列から、疑似内挿とサブサンプルシフトとによって生成する、上記式(8)における2倍アップサンプリングされた後の $x_u(n-l_s)$ に相当する信号を疑似内挿信号 $x_u'(n-s_l)$ と置く。また、次の式(1 1)において、この $x_u'(n-s_l)$ とサブサンプル遅延タップを備えたサブサンプルF I Rフィルタとによって生成する、2倍アップサンプリングされた後の上記式(8)で求まる $y_u(n-3)$ に相当する信号を $y_u'(n-3)$ と置く。また、次の式(1 1)において、上記式(8)の $x_u(n-l_s-r_s)$ を $x_u'(n-s_l-r_s)$ に置き換え、 $y_u(n-3)$ を $y_u'(n-3)$ に置き換える。以下、次の式(1 1)を、2倍アップサンプリングすることなく実現する手段について説明する。

30

$$y_u'(n-3) = \sum_{l_s=0}^2 \sum_{r_s=0}^4 W_{l_s,r_s} \cdot x_u'(n-l_s-r_s) \cdot K_{l_s}(|x_u'(n-l_s-r_s)|) \dots\dots(11)$$

40

【 0 0 9 0 】

尚、式(1 1)において、メモリタップ l_s は、0、+ 1、+ 2であり、F I Rタップ r_s は、0、+ 1、+ 2、+ 3、+ 4であるが、いずれも2倍アップサンプリングされた後のサンプルシフト量である。従って、アップサンプリングされていないサンプリングレートで動作するD P D 1にとっては、上記メモリタップは0、+ 0 . 5、+ 1のサブサンプルシフトに相当し、上記F I Rタップは0、+ 0 . 5、+ 1、+ 1 . 5、+ 2のサブサンプルシフトに相当する。

【 0 0 9 1 】

第一に、上記式(1 1)のF I Rタップ $r_s = 0$ におけるメモリタップ $l_s = 0、+ 1、+$

50

2に相当する $x_u'(n-s)$ を、アップサンプリングされていないDPD1の入力信号のサンプル信号列から生成する手段について説明する。

【0092】

図10に、内挿補間型DA変換器2に内蔵された、2倍内挿用ハーフバンドFIRフィルタのタップ係数例を示す。

ハーフバンドFIRフィルタは、センタータップが i タップ目であり、タップ数が $(2i-1)$ であり、タップ係数が $C_1、C_2、\dots、C_{i-1}、C_i、C_{i+1}、\dots、C_{2i-1}$ であるとす。このハーフバンドFIRフィルタは、前述の通り、タップ係数の約半分がゼロに等しく、一般的に59タップ程度で構成される。尚、図示と説明の簡略化の為、図10中のタップは、センタータップと、センタータップ ± 5 タップと、による11タップ分のみを示している。

10

【0093】

図11に、内挿補間型DA変換器2における2倍内挿補間処理を図示化したタイミングチャート図を示す。

2倍内挿補間処理は、例えば、内挿前の信号を入力信号 $x(n)$ とすると、入力信号 $x(n)$ のサンプリング間にゼロ内挿(zero stuffing)した後、図10に示した2倍内挿用ハーフバンドFIRフィルタを通してイメージを除去して、2倍内挿補間後の出力信号 $x_u(n)$ を得る処理である。

【0094】

ここで、2倍内挿補間処理は、前述のように、内挿前のサンプリング間にゼロ内挿した後、ハーフバンドFIRフィルタを通す処理である。その為、内挿前のサンプルが存在する、あるサンプルタイミング n における2倍内挿補間後のサンプル $x_u(n)$ の導出には、内挿前のサンプル信号列に対して、上記2倍内挿用ハーフバンドFIRフィルタのセンタータップ係数 C_i のみが有効係数となる。その為、 $x_u(n)$ は、内挿前のサンプル信号列に対して次の式(12)で表現できる。

20

$$x_u(n) = C_i \cdot x(n) \quad \dots\dots(12)$$

【0095】

次に、2倍内挿補間後のサンプルタイミング $n+1$ は、上記サンプルタイミング n とは異なり、内挿前のサンプルが存在しないサンプルタイミングである。その為、サンプルタイミング $n+1$ における $x_u(n+1)$ の導出には、内挿前のサンプル信号列に対して、上記2倍内挿用ハーフバンドFIRフィルタのセンタータップ以外と係数ゼロのタップ以外との、 $(2i-1)$ タップ中の i タップのみが有効係数となる。その為、例えば、図10及び図11中の、説明上簡略化した11タップのタップ係数を用いれば、 $x_u(n+1)$ は、内挿前のサンプル信号列に対して次の式(13)で表現できる。

30

$$x_u(n+1) = C_{i-5} \cdot x(n-2) + C_{i-3} \cdot x(n-1) + C_{i-1} \cdot x(n) + C_{i+1} \cdot x(n+1) + C_{i+3} \cdot x(n+2) + C_{i+5} \cdot x(n+3) \dots\dots(13)$$

40

【0096】

更に、2倍内挿補間後のサンプルタイミング $n-1$ も、上記サンプルタイミング n とは異なり、内挿前のサンプルが存在しないサンプルタイミングである。その為、サンプルタイミング $n-1$ における $x_u(n-1)$ の導出には、内挿前のサンプル信号列に対して、上記2倍内挿用ハーフバンドFIRフィルタのセンタータップ以外と係数ゼロのタップ以外との、 $(2i-1)$ タップ中の i タップのみが有効係数となる。その為、例えば、図10及び図11中の、説明上簡略化した11タップのタップ係数を用いれば、 $x_u(n-1)$ は、内挿前のサンプル信号列に対して次の式(14)で表現できる。

50

$$x_u'(n-1) = C_{i-5} \cdot x(n-3) + C_{i-3} \cdot x(n-2) + C_{i-1} \cdot x(n-1) + C_{i+1} \cdot x(n) + C_{i+3} \cdot x(n+1) + C_{i+5} \cdot x(n+2) \dots (14)$$

【 0 0 9 7 】

次に、図 1 2 に、上記式 (1 3) 及び式 (1 4) に示した、アップサンプリングされていないサンプリングレートで動作する D P D 1 にとってのサブサンプルメモリタップ = ± 0 . 5 を得る為の、疑似内挿フィルタ (図 9 中の疑似内挿 兼 サブサンプルシフトフィルタ 1 0 1 a、1 0 1 b に相当) のタップ係数を求める手順を示す。

【 0 0 9 8 】

上記疑似内挿フィルタのタップ係数を求めることは、図 1 0 に示した 2 倍内挿用ハーフバンド F I R フィルタのタップ係数例に対して、図 1 1 に示した 2 倍内挿補間処理を実際に行うことが目的ではない。上記疑似内挿フィルタのタップ係数を求めることは、アップサンプリングされていないサンプリングレートで動作する D P D 1 にとってのサブサンプルメモリタップ = ± 0 . 5 を得る為の、内挿前の D P D 1 の入力信号のサンプル信号列に対して、同内挿前のサンプリングタイミングで乗算する有効係数を求めることが目的である。

【 0 0 9 9 】

内挿前のサンプルが存在するサンプルタイミングにおいては、上記式 (1 2) において、 $x_u(n) = x(n)$ (すなわち $C_i = 1 . 0$) となるよう、全係数をセンタータップ係数 C_i で正規化した上で、センタータップと係数ゼロのタップとを除く。これにより、内挿前のサンプリングタイミングで乗算するべき i タップの有効係数が得られる。この得られた有効係数が、アップサンプリングされていないサンプリングレートで動作する D P D 1 にとってのサブサンプルメモリタップ = ± 0 . 5 を得る為の、 i タップの疑似内挿フィルタのタップ係数となる。

【 0 1 0 0 】

従って、上記式 (1 3) における全係数をセンタータップ係数 C_i で正規化することで、疑似内挿信号 $x_u'(n+1)$ は次の式 (1 5) で表せる。更に、上記式 (1 4) における全係数をセンタータップ係数 C_i で正規化することで、疑似内挿信号 $x_u'(n-1)$ は次の式 (1 6) で表せる。

$$x_u'(n+1) = \frac{C_{i-5}}{C_i} \cdot x(n-2) + \frac{C_{i-3}}{C_i} \cdot x(n-1) + \frac{C_{i-1}}{C_i} \cdot x(n) + \frac{C_{i+1}}{C_i} \cdot x(n+1) + \frac{C_{i+3}}{C_i} \cdot x(n+2) + \frac{C_{i+5}}{C_i} \cdot x(n+3) \dots (15)$$

$$x_u'(n-1) = \frac{C_{i-5}}{C_i} \cdot x(n-3) + \frac{C_{i-3}}{C_i} \cdot x(n-2) + \frac{C_{i-1}}{C_i} \cdot x(n-1) + \frac{C_{i+1}}{C_i} \cdot x(n) + \frac{C_{i+3}}{C_i} \cdot x(n+1) + \frac{C_{i+5}}{C_i} \cdot x(n+2) \dots (16)$$

【 0 1 0 1 】

ここで、上記 i タップの疑似内挿フィルタの処理遅延は、2 倍内挿補間後のサンプリングで $(i - 1)$ サンプル、すなわち、アップサンプリングされていないサンプリングレートで動作する D P D 1 のサンプリング換算で $(i/2 - 0.5)$ である。その為、上記疑似内挿フィルタを配置しないサブサンプルメモリタップ = 0 の経路において、入力に対して D P D 1 のサンプリングで $i/2$ サンプル遅延させれば、上記疑似内挿フィルタを配置した経路の上記疑似内挿フィルタは、上記サブサンプルメモリタップ = 0 の経路に対して 0 . 5 サンプル早い、すなわち D P D 1 にとってのサブサンプルメモリタップ = - 0 . 5 を得る為の疑似内挿 兼 サブサンプルシフトフィルタ (図 9 中の疑似内挿 兼 サブサンプルシフトフィルタ 1 0 1 a に相当) となる。また、入力に対して D P D 1 のサンプリングで 1 サンプル遅延

10

20

30

40

50

させた後に上記疑似内挿フィルタを配置すれば、上記 1 サンプル遅延後に配置した上記疑似内挿フィルタは、上記サブサンプルメモリタップ = 0 の経路に対して 0 . 5 サンプル遅い、すなわち D P D 1 にとってのサブサンプルメモリタップ = + 0 . 5 を得る為の疑似内挿 兼 サブサンプルシフトフィルタ (図 9 中の疑似内挿 兼 サブサンプルシフトフィルタ 1 0 1 b に相当) となる。

【 0 1 0 2 】

尚、上記疑似内挿 兼 サブサンプルシフトフィルタは、 I 相用タップ係数と Q 相用タップ係数が同一で複素乗算を必要としない構成である。

【 0 1 0 3 】

以上より、上記疑似内挿 兼 サブサンプルシフトフィルタを配置した経路の各々において、アップサンプリングされていないサンプリングレートで動作する D P D 1 にとってのサブサンプルメモリタップ = ± 0 . 5 が得られる。また、上記疑似内挿 兼 サブサンプルシフトフィルタを配置しないサブサンプルメモリタップ = 0 の経路を含めると、 - 0 . 5、 0、 + 0 . 5 のサブサンプルメモリタップを実現できる。この - 0 . 5、 0、 + 0 . 5 のサブサンプルメモリタップは、上記式 (6) における、 2 倍アップサンプリングされた後のメモリタップ $l = - 1、 0、 + 1$ に相当する。その為、上記式 (6) から上記式 (7) 及び上記式 (8) への置換と同様に、時間シフト量 l に対して $l = l_s - 1$ とする置換を行うことで、上記式 (1 1) におけるメモリタップ $l_s = 0、 + 1、 + 2$ に相当する $x_u' (n - s)$ が得られる。

【 0 1 0 4 】

尚、上記疑似内挿 兼 サブサンプルシフトフィルタのタップ数を示す i は、内挿補間型 D A 変換器 2 における 2 倍内挿用ハーフバンド F I R フィルタの $(2 i - 1)$ タップに対して想定されるタップ数の例示であるが、制限的なものではない。前述の通り、一般的な 2 倍内挿用ハーフバンド F I R フィルタが 5 9 タップである場合、上記の例に従えば $i = 3 0$ となる。しかし、実際には、上記疑似内挿 兼 サブサンプルシフトフィルタの回路規模を低減する目的から、性能に影響のない範囲で、上記疑似内挿 兼 サブサンプルシフトフィルタのタップ数 i を小さくしてもよい。

【 0 1 0 5 】

第二に、上記式 (1 1) における、アップサンプリングされていないサンプリングレートで動作する D P D 1 のサンプリングでの、サブサンプル F I R タップ = 0、 + 0 . 5、 + 1、 + 1 . 5、 + 2 を得る手段について説明する。

【 0 1 0 6 】

図 1 3 A に、遅延がサンプルに対して非整数、例えば、遅延が 0 . 5 サンプルである場合の 0 . 5 サンプル遅延フィルタのインパルス応答例を示す。

遅延 がサンプルに対して非整数の場合、インパルス応答 $s(n)$ は、次の式 (1 7) の通り、有限 (F I R) ではなく、無限 (I I R : I n f i n i t e I m p u l s e R e s p o n s e) となる。

$$s(n) = \frac{\sin \pi(n - \tau)}{\pi(n - \tau)} \dots\dots(17)$$

【 0 1 0 7 】

従って、現実的な実装観点では、有限タップ数 j で打ち切ってフィルタの回路規模を小さくすることになる。サブサンプル遅延 I I R フィルタのタップを打ち切った際には、通過帯域内リップルが生じる。この過帯域内リップルを抑制する為、遅延させた点をセンターとした窓関数を掛ける処理が必要である。しかし、この処理に伴って、通過帯域が狭くなる為、タップ数と特性との間はトレードオフの関係となる。

【 0 1 0 8 】

図 1 3 B に、タップ係数を有限に制限し、窓関数を掛けて、 0 . 5 サンプル遅延フィルタを F I R フィルタで構成した場合の、タップ数 j に対するフィルタ減衰量の周波数特性を

10

20

30

40

50

示す。

【 0 1 0 9 】

サブサンプル遅延フィルタ（図 9 中のサブサンプル遅延フィルタ 1 1 1 に相当）は、上記 8 0 0 M H z キャリア帯域内の歪補償を目的とするフィルタである。その為、片側 4 0 0 M H z オフセット点での減衰量を 0 . 5 d B 以下に抑えようとすると、サブサンプル遅延フィルタに必要なタップ数 j の一例は 1 4 タップ以上となる。

【 0 1 1 0 】

但し、このサブサンプル遅延フィルタは、上記疑似内挿 兼 サブサンプルシフトフィルタとは異なり、単純にサブサンプル遅延を与えるフィルタである。その為、1 つの経路に、 j タップの 0 . 5 サンプル遅延フィルタを 1 つ備えれば、その後段に 1 サンプル遅延器を配置して 1 . 5 サンプル遅延も実現可能である。

10

【 0 1 1 1 】

ここで、上記 j タップのサブサンプル遅延フィルタの処理遅延は、2 倍内挿補間後のサンプリングで $(j - 1)$ サンプル、すなわち、アップサンプリングされていないサンプリングレートで動作する D P D 1 のサンプリング換算で $(j/2 - 0.5)$ である。その為、上記サブサンプル遅延フィルタを配置しない経路において、F I R フィルタの入力に対して D P D 1 のサンプリングで $(j/2 - 1)$ サンプル遅延させれば、この $(j/2 - 1)$ サンプル遅延後の信号に対して、上記サブサンプル遅延フィルタを通過した後の信号は 0 . 5 サンプル遅延した信号となる。その為、上記サブサンプル遅延フィルタは、D P D 1 にとってのサブサンプル F I R タップ = + 0 . 5 を得る為のサブサンプル遅延フィルタとなる。

20

【 0 1 1 2 】

尚、上記サブサンプル遅延フィルタは、I 相用タップ係数と Q 相用タップ係数が同一で複素乗算を必要としない構成である。

【 0 1 1 3 】

上記サブサンプル遅延フィルタを配置した経路においては、上記サブサンプル遅延フィルタによって、上記 $(j/2 - 1)$ サンプル遅延後の信号に対して、0 . 5 サンプル遅延した信号と、この 0 . 5 サンプル遅延した信号を更に D P D 1 のサンプリングで 1 サンプル遅延させて 1 . 5 サンプル遅延させた信号とを各々出力する。また、一方で、上記サブサンプル遅延フィルタを配置しない経路においては、D P D 1 のサンプリングで $(j/2 - 1)$ サンプル遅延させた信号と、更にこの信号を D P D 1 のサンプリングで 1 サンプル及び 2 サンプル遅延させた信号とを各々出力する。これにより、上記 $(j/2 - 1)$ サンプル遅延後の信号に対して、D P D 1 のサンプリングにおける遅延量が 0 サンプル、0 . 5 サンプル、1 サンプル、1 . 5 サンプル、及び 2 サンプルの信号を得ることができ、その結果、5 タップの、サブサンプル F I R タップ = 0、+ 0 . 5、+ 1、+ 1 . 5、+ 2 を実現できる。この 5 タップによって、2 倍のサンプリング周波数で動作する F I R タップ $r_s = 0、+ 1、+ 2、+ 3、+ 4$ に相当する F I R フィルタを、2 倍アップサンプリングすることなく実現できる。

30

【 0 1 1 4 】

以上の通り、疑似内挿 兼 サブサンプルシフトフィルタを備えた係数量を削減した多項式構造と、サブサンプル遅延フィルタを備えたサブサンプル F I R フィルタと、により、上記式 (1 1) に相当する信号を実現できる。

40

【 0 1 1 5 】

実際には、上記疑似内挿 兼 サブサンプルシフトフィルタと上記サブサンプル遅延フィルタの追加に伴って、上記疑似内挿 兼 サブサンプルシフトフィルタの、2 倍内挿補間後のサンプリングでの遅延量 $(i - 1)$ サンプルと、上記サブサンプル遅延フィルタを配置しない経路に追加した、D P D 1 のサンプリングでの $(j/2 - 1)$ サンプル遅延を 2 倍内挿補間後のサンプリングに換算した遅延量 $(j - 2)$ サンプルと、の合計遅延量 $(i - 1) + (j - 2)$ サンプルが、D P D 1 の入力信号の、あるサンプルタイミング n に対して、 $l_s = 0、r_s = 0$ においても加算される処理遅延となる。その為、上記式 (1 1) は、次の式 (1 8) となる。

50

$$\begin{aligned}
& y_u'(n-3-(i-1)-(j-2)) \\
&= \sum_{l_s=0}^2 \sum_{r_s=0}^4 W_{l_s, r_s} \cdot x_u'(n-l_s-r_s-(i-1)-(j-2)) \cdot K_{l_s} \left(\left| x_u'(n-l_s-r_s-(i-1)-(j-2)) \right| \right) \\
&\quad \dots\dots(18)
\end{aligned}$$

【 0 1 1 6 】

更に式 (1 8) を整理し、次の式 (1 9) を得る。

$$\begin{aligned}
y_u'(n-i-j) &= \sum_{l_s=0}^2 \sum_{r_s=0}^4 W_{l_s, r_s} \cdot x_u'(n+3-i-j-l_s-r_s) \cdot K_{l_s} \left(\left| x_u'(n+3-i-j-l_s-r_s) \right| \right) \\
&\quad \dots\dots(19)
\end{aligned}$$

10

【 0 1 1 7 】

すなわち、2倍アップサンプリングレートに置き換えた式 (1 9) に相当する演算は、2倍アップサンプリングされていないサンプリングレートで動作するDPD1のサンプリングレートにおいては、次の式 (2 0) を演算することによって実現できる。

$$\begin{aligned}
y \left(n - \frac{i}{2} - \frac{j}{2} \right) &= \sum_{l_s=0}^2 \sum_{r_s=0}^4 W_{l_s, r_s} \cdot x \left(n + \frac{3-i-j-l_s-r_s}{2} \right) \cdot K_{l_s} \left(\left| x \left(n + \frac{3-i-j-l_s-r_s}{2} \right) \right| \right) \\
&\quad \dots\dots(20)
\end{aligned}$$

20

【 0 1 1 8 】

尚、式 (2 0) においても、上記式 (8) と同様に、DPD1の入力信号に対するDPD1の出力信号の時間シフト量がゼロとなる $l_s = 1$ 且つ $r_s = 2$ での多項式が、メモリレス多項式に相当する。

【 0 1 1 9 】

以上の通り、上記疑似内挿兼サブサンプルシフトフィルタを備えた多項式構造と、上記サブサンプル遅延フィルタを備えたFIRフィルタと、によって、アップサンプリングされていないDPD1の入力信号のサンプル信号列から、2倍アップサンプリングすることなく、上記式 (2 0) を実現できることが確認された。

30

【 0 1 2 0 】

図9に示した特許文献3に係るDPD1は、上記疑似内挿兼サブサンプルシフトフィルタを備えた多項式構造と、この多項式構造の後段に配置され、上記サブサンプル遅延フィルタを備えたFIRフィルタと、を備える構成である。この構成によって、以上で実現性を確認したように、アップサンプリングされていないDPD1の入力信号のサンプル信号列から、2倍アップサンプリングすることなく、上記式 (2 0) を実現する。

【 0 1 2 1 】

前述の図9は、上記式 (2 0) の演算を、例えばハードウェア機能で構成した場合の、特許文献3に係るDPD1の一構成例を示したものである。以下、図9に示した特許文献3に係るDPD1について具体的に説明する。

40

【 0 1 2 2 】

図9に示した特許文献3に係るDPD1は、前述の通り、図6に示した歪補償装置におけるDPD1に相当する。図6は、本実施の形態で提案する歪補償装置の構成例を示している。図6に示した歪補償装置は、前述の通り、関連技術の歪補償装置におけるデバイス性能に関する上記第二の課題に対し、図2に示した内挿補間回路8を削除し、DPD用アップサンプリングを行わない構成である。

【 0 1 2 3 】

図9に示した特許文献3に係るDPD1は、iタップのFIRフィルタで構成される疑似

50

内挿兼サブサンプルシフトフィルタ101a、101bと、 $i/2$ サンプル遅延器102と、1サンプル遅延器103と、振幅アドレス演算回路104a、104b、104cと、LUT105a、105b、105cと、複素乗算器106a、106b、106cと、FIRフィルタ₀107a、FIRフィルタ₁107b、FIRフィルタ_{R2}107cと、加算器108と、を備える。更に、FIRフィルタ₀107a、FIRフィルタ₁107b、FIRフィルタ₂107cは各々いずれも、 j タップのFIRフィルタで構成されるサブサンプル遅延フィルタ111と、 $(j/2 - 1)$ サンプル遅延器112と、1サンプル遅延器113a、113b、113cと、複素乗算器114a、114b、114c、114d、114eと、加算器115と、を備える。

【0124】

図9に示した特許文献3に係るDPD1は、DPD1の入力段から、3個の経路(第1経路)に並列に分岐され、3個の経路には各々、疑似内挿兼サブサンプルシフトフィルタ101a、 $i/2$ サンプル遅延器102、疑似内挿兼サブサンプルシフトフィルタ101bが配置される。

【0125】

疑似内挿兼サブサンプルシフトフィルタ101a、101bは、自身に入力された信号のサンプル点とサンプル点との間に疑似的にサブサンプル点を内挿し、疑似的に内挿したサブサンプル点をサブサンプル分シフトさせるもので、疑似内挿兼サブサンプルシフト処理部の一例である。 $i/2$ サンプル遅延器102は、自身に入力された信号のサンプル点を $i/2$ サンプル分遅延させるもので、第1遅延器の一例である。

【0126】

疑似内挿兼サブサンプルシフトフィルタ101aの後段には、振幅アドレス演算回路104a、LUT105a、複素乗算器106a、及びFIRフィルタ₀107aが配置される。 $i/2$ サンプル遅延器102の後段には、振幅アドレス演算回路104b、LUT105b、複素乗算器106b、及びFIRフィルタ₁107bが配置される。疑似内挿兼サブサンプルシフトフィルタ101bの前段には、1サンプル遅延器103が配置され、疑似内挿兼サブサンプルシフトフィルタ101bの後段には、振幅アドレス演算回路104c、LUT105c、複素乗算器106c、及びFIRフィルタ₂107cが配置される。1サンプル遅延器103は、自身に入力された信号のサンプル点を1サンプル分遅延させるものである。更に、FIRフィルタ₀107a、FIRフィルタ₁107b、及びFIRフィルタ_{R2}107cの後段には、加算器108が配置される。加算器108は、第1加算器の一例である。尚、多項式構造とは、例えば、疑似内挿兼サブサンプルシフトフィルタ101aが配置された経路では、先頭から複素乗算器106aまでの構造と定義する。他の経路も同様である。

【0127】

FIRフィルタ₀107a、FIRフィルタ₁107b、及びFIRフィルタ_{R2}107cの各々は、自身のFIRフィルタの入力段から、2個の経路(第2経路)に並列に分岐され、2個の経路には各々、サブサンプル遅延フィルタ111、 $(j/2 - 1)$ サンプル遅延器112が配置される。

【0128】

サブサンプル遅延フィルタ111は、自身に入力された信号のサンプル点をサブサンプル分遅延させるものである。 $(j/2 - 1)$ サンプル遅延器112は、自身に入力された信号のサンプル点を $(j/2 - 1)$ サンプル分遅延させるもので、第2遅延器の一例である。

【0129】

$(j/2 - 1)$ サンプル遅延器112の後段には、直列に接続された1サンプル遅延器113a、113bが配置される。また、 $(j/2 - 1)$ サンプル遅延器112の後段には、1サンプル遅延器113aと並列に複素乗算器114aが配置され、1サンプル遅延器113aの後段には、1サンプル遅延器113bと並列に複素乗算器114bが配置され、1サンプル遅延器113bの後段には、複素乗算器114cが配置される。サブサンプル遅延フィルタ111の後段には、1サンプル遅延器113cが配置される。また、サブサン

10

20

30

40

50

ル遅延フィルタ 1 1 1 の後段には、1 サンプル遅延器 1 1 3 c と並列に複素乗算器 1 1 4 d が配置され、1 サンプル遅延器 1 1 3 c の後段には、複素乗算器 1 1 4 e が配置される。1 サンプル遅延器 1 1 3 a、1 1 3 b、1 1 3 c は、自身に入力された信号のサンプル点を 1 サンプル分遅延させるものである。更に、複素乗算器 1 1 4 a、1 1 4 b、1 1 4 c、1 1 4 d、1 1 4 e の後段には、加算器 1 1 5 が配置される。加算器 1 1 5 は、第 2 加算器の一例である。

【 0 1 3 0 】

以上説明した各遅延のサンプル量は、いずれもアップサンプリングされていないサンプリングレートで動作する D P D 1 のサンプリングレートでの値である。

【 0 1 3 1 】

また、図 9 中では、説明の簡略化の為、上記式 (2 0) のメモリタップ l_s の各項毎の、複素乗算器 1 0 6 a、1 0 6 b、1 0 6 c の出力における多項式

$$x\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right) \right| \right)$$

を、次の式 (2 1) の通り、関数

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right)$$

に置き換えて表現している。

$$x\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right) \right| \right) = d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right) \quad \dots\dots(21)$$

【 0 1 3 2 】

以下、図 9 に示した特許文献 3 に係る D P D 1 の動作について説明する。

あるサンプルタイミングの D P D 1 の入力信号 $x(n)$ に対して、疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 a によって、2 倍内挿補間後のサンプリングで $(i - 1)$ サンプル遅延した 2 倍内挿信号 $x_u'(n - i + 1)$ に相当する、D P D 1 のサンプリングレートにおける

$$x\left(n - \frac{i}{2} + \frac{1}{2}\right)$$

を生成する。

【 0 1 3 3 】

また、 $i/2$ サンプル遅延器 1 0 2 によって、2 倍内挿補間後のサンプリングで i サンプル ($= i/2 \times 2$ サンプル) 遅延した信号 $x_u'(n - i)$ に相当する、D P D 1 のサンプリングレートにおける

$$x\left(n - \frac{i}{2}\right)$$

を生成する。

【 0 1 3 4 】

更に、1 サンプル遅延器 1 0 3 と疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 b とによって、2 倍内挿補間後のサンプリングで $(i + 1)$ サンプル遅延した 2 倍内挿信号 $x_u'(n - i - 1)$ に相当する、D P D 1 のサンプリングレートにおける

10

20

30

40

50

$$x\left(n - \frac{i}{2} - \frac{1}{2}\right)$$

を生成する。

このようにして、2倍内挿補間後のサンプリングで1サンプルずつ遅延させたことに相当する、

$$x\left(n - \frac{i}{2} + \frac{1}{2}\right), x\left(n - \frac{i}{2}\right), x\left(n - \frac{i}{2} - \frac{1}{2}\right)$$

10

の各信号を生成する。

【0135】

上記各信号は、振幅アドレス演算回路104a、104b、104cによって、この各信号の振幅

$$\left| x\left(n - \frac{i}{2} + \frac{1}{2}\right) \right|, \left| x\left(n - \frac{i}{2}\right) \right|, \left| x\left(n - \frac{i}{2} - \frac{1}{2}\right) \right|$$

に相当するLUT用振幅アドレスが各々演算される。

20

【0136】

上記2倍内挿補間後のサンプリングで1サンプルずつ遅延させたことに相当する各信号に対するLUT用振幅アドレスに基づいて、LUT105a、105b、105cが参照され、LUT用振幅アドレスに対応する各LUTの出力信号が得られる。そして、各LUTの出力信号と、上記2倍内挿補間後のサンプリングで1サンプルずつ遅延させたことに相当する各信号とが、複素乗算器106a、106b、106cによって複素乗算される。複素乗算器106a、106b、106cによる複素乗算の結果は、2倍内挿補間後のサンプリングにおけるメモリタップ $l_s = 0, 1, 2$ の各項毎の多項式

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right)$$

30

として、各々FIRフィルタ $_0$ 107a、FIRフィルタ $_1$ 107b、FIRフィルタ $_2$ 107cに入力される。FIRフィルタ $_0$ 107aは、2倍内挿補間後のサンプリングにおけるメモリタップ $l_s = 0$ に対応する。FIRフィルタ $_1$ 107bは、2倍内挿補間後のサンプリングにおけるメモリタップ $l_s = 1$ に対応する。FIRフィルタ $_2$ 107cは、2倍内挿補間後のサンプリングにおけるメモリタップ $l_s = 2$ に対応する。

【0137】

FIRフィルタ $_0$ 107a、FIRフィルタ $_1$ 107b、及びFIRフィルタ $_2$ 107cでは、各々入力された

40

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right)$$

に対して、2倍内挿補間後のサンプリングにおけるFIRタップ $r_s = 0, 1, 2, 3, 4$ に各々対応するように、以下の信号を各々出力する。

【0138】

FIRタップ $r_s = 0$ においては、 $(j/2 - 1)$ サンプル遅延器112によって、2倍内挿補間後のサンプリングで $(j - 2)$ サンプル遅延した信号に相当する

50

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2} - \frac{j}{2} + 1\right)$$

を出力する。

【 0 1 3 9 】

F I R タップ $r_s = 1$ においては、 j タップの F I R フィルタで構成されるサブサンプル遅延フィルタ 1 1 1 によって、2 倍内挿補間後のサンプリングで $(j - 1)$ サンプル遅延した信号に相当する

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2} - \frac{j}{2} + \frac{1}{2}\right)$$

10

を出力する。

【 0 1 4 0 】

F I R タップ $r_s = 2$ においては、 $(j/2 - 1)$ サンプル遅延器 1 1 2 の後段の 1 サンプル遅延器 1 1 3 a によって、2 倍内挿補間後のサンプリングで j サンプル遅延した信号に相当する

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2} - \frac{j}{2}\right)$$

20

を出力する。

【 0 1 4 1 】

F I R タップ $r_s = 3$ においては、サブサンプル遅延フィルタ 1 1 1 の後段の 1 サンプル遅延器 1 1 3 c によって、2 倍内挿補間後のサンプリングで $(j + 1)$ サンプル遅延した信号に相当する

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2} - \frac{j}{2} - \frac{1}{2}\right)$$

30

を出力する。

【 0 1 4 2 】

F I R タップ $r_s = 4$ においては、1 サンプル遅延器 1 1 3 a の後段の 1 サンプル遅延器 1 1 3 b によって、2 倍内挿補間後のサンプリングで $(j + 2)$ サンプル遅延した信号に相当する

$$d\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2} - \frac{j}{2} - 1\right)$$

40

を出力する。

【 0 1 4 3 】

以上、各メモリタップ l_s に対応する F I R l_s における、上記 5 タップ各々の出力を、メモリタップ l_s ($= 0, 1, 2$)、及び F I R タップ r_s ($= 0, 1, 2, 3, 4$) を変数として一般化して表すと、

$$d\left(n + \frac{3 - i - j - l_s - r_s}{2}\right)$$

である。

50

【 0 1 4 4 】

即ち、上記 2 倍内挿補間後のサンプリングで 1 サンプルずつ遅延させたことに相当する各 F I R タップ r_s の出力信号は、以下で表される。

$$d\left(n + \frac{3 - i - j - l_s - r_s}{2}\right)$$

各 F I R タップ r_s の出力信号は、各々複素乗算器 1 1 4 a、1 1 4 d、1 1 4 b、1 1 4 e、1 1 4 c によって、各々 F I R タップ $r_s = 0, 1, 2, 3, 4$ に対応したフィルタ (複素) 係数 $W_{l_s, 0}, W_{l_s, 1}, W_{l_s, 2}, W_{l_s, 3}, W_{l_s, 4}$ が各々複素乗算される。その後、複素乗算器 1 1 4 a、1 1 4 d、1 1 4 b、1 1 4 e、1 1 4 c で各々複素乗算された信号は、加算器 1 1 5 で加算される。加算器 1 1 5 で加算された信号は、各メモリタップ l_s に対する

$$\sum_{r_s=0}^4 W_{l_s, r_s} \cdot d\left(n + \frac{3 - i - j - l_s - r_s}{2}\right)$$

として、F I R フィルタ $_0 1 0 7 a$ 、F I R フィルタ $_1 1 0 7 b$ 、及び F I R フィルタ $_2 1 0 7 c$ から各々出力される。

【 0 1 4 5 】

このとき、メモリタップ $l_s = 0$ に対応する F I R フィルタ $_0 1 0 7 a$ の出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{0, r_s} \cdot d\left(n + \frac{3 - i - j - r_s}{2}\right)$$

また、メモリタップ $l_s = 1$ に対応する F I R フィルタ $_1 1 0 7 b$ の出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{1, r_s} \cdot d\left(n + \frac{2 - i - j - r_s}{2}\right)$$

また、メモリタップ $l_s = 2$ に対応する F I R フィルタ $_2 1 0 7 c$ の出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{2, r_s} \cdot d\left(n + \frac{1 - i - j - r_s}{2}\right)$$

F I R フィルタ $_0 1 0 7 a$ 、F I R フィルタ $_1 1 0 7 b$ 、及び F I R フィルタ $_2 1 0 7 c$ の出力信号は、最終的に加算器 1 0 8 で加算され、上記式 (20) で表現される、係数を削減した多項式として D P D 1 から出力される。

【 0 1 4 6 】

ここで、疑似内挿兼サブサンプルシフトフィルタ 1 0 1 a、1 0 1 b のタップ係数、及びサブサンプル遅延フィルタ 1 1 1 のタップ係数は、前述の通り、既知の固定係数であり、変更の必要はない。

【 0 1 4 7 】

また、 $i/2$ サンプル遅延器 1 0 2 は、疑似内挿兼サブサンプルシフトフィルタ 1 0 1 a、1 0 1 b のタップ数 i によって決まる固定遅延器である。同様に、 $(j/2 - 1)$ サンプル遅延器 1 1 2 は、サブサンプル遅延フィルタ 1 1 1 のタップ数 j によって決まる固定遅延器である。

10

20

30

40

50

【 0 1 4 8 】

従って、図 9 に示した特許文献 3 に係る D P D 1 において、適応制御によって導出し更新する必要のある、L U T 1 0 5 a、1 0 5 b、1 0 5 c における、べき級数係数量及び F I R フィルタ₀ 1 0 7 a、F I R フィルタ₁ 1 0 7 b、F I R フィルタ₂ 1 0 7 c のタップ係数量は、関連技術と比較して、係数量を 3 0 % 削減した上記式 (8) 及び図 5 に示した構成における係数量と同一である。

【 0 1 4 9 】

まず、比較の為に、D P D 用アップサンプリングを行わない構成の歪補償装置において、サンプリング周波数 9 8 3 . 0 4 M H z のシステム帯域 8 0 0 M H z の信号を、アップサンプリングすることなく D P D 1 の入力信号とし、上記式 (8) 及び図 5 の構成を適用して、次の式 (2 2) を誤差評価関数とする適応制御によって、D P D 1 を動作させる場合の例を説明する。

$$\text{NRMSE} = 10 \cdot \log_{10} \left(\frac{\sum_{n=1}^N |z(n) - x(n)|^2}{\sum_{n=1}^N |x(n)|^2} \right) \dots\dots(22)$$

【 0 1 5 0 】

尚、式 (2 2) は、D P D 用アップサンプリングを行わない構成に伴い、図 6 に従って、上記式 (1 0) の $x_u(n)$ を $x(n)$ に、 $z_u(n)$ を $z(n)$ に、各々置き換えたものである。

【 0 1 5 1 】

上記式 (8) 及び図 5 の構成では、D P D 1 の後段の内挿補間型 D A 変換器 2 によって内挿補間される内挿前のサンプリングレートで動作する D P D 1 にとっては、サブサンプルに対するキャリア帯域内のメモリ効果を補償する歪補償信号が生成できない。

【 0 1 5 2 】

これに対して、上記と同様に、サンプリング周波数 9 8 3 . 0 4 M H z のシステム帯域 8 0 0 M H z の信号を、アップサンプリングすることなく D P D 1 の入力信号とするが、上記式 (2 0) 及び図 9 の構成を適用して、上記式 (2 2) を誤差評価関数とする適応制御によって、D P D 1 を動作させた場合を考える。この場合には、上記式 (2 0) 及び図 9 の説明で示したように、疑似内挿兼サブサンプルシフトフィルタ 1 0 1 a、1 0 1 b で実現したサブサンプルメモリタップと、サブサンプル遅延フィルタ 1 1 1 で実現したサブサンプル F I R タップとにより、D P D 1 にとってのサブサンプルに対するキャリア帯域内のメモリ効果を補償する歪補償信号を生成することが可能となる。

【 0 1 5 3 】

上述したように、図 9 に示した特許文献 3 に係る D P D 1 は、D P D 1 前段で D P D 用アップサンプリングされていない入力信号をサンプリングする低サンプリングレートで動作することを前提とする。

【 0 1 5 4 】

図 9 に示した特許文献 3 に係る D P D 1 は、疑似内挿兼サブサンプルシフトフィルタ 1 0 1 a、1 0 1 b を備えた多項式構造を用いることにより、例えば、係数量を削減した上記式 (8) 及び図 5 における 2 倍アップサンプリング後の信号 $x_u(n - l_s)$ に相当する信号を、アップサンプリングされていない D P D 1 の入力信号のサンプル信号列から生成することができる。

【 0 1 5 5 】

また、図 9 に示した特許文献 3 に係る D P D 1 は、多項式構造の後段に配置された、サブサンプル遅延フィルタ 1 1 1 を備えた F I R フィルタ₀ 1 0 7 a、F I R フィルタ₁ 1 0 7 b、F I R フィルタ₂ 1 0 7 c を用いることにより、例えば、図 5 における、2 倍のサンプリング周波数で動作する F I R フィルタ₀ 4 0 5 a、F I R フィルタ₁ 4 0 5 b、F I R フィルタ₂ 4 0 5 c と等価な F I R フィルタを実現することができる。

10

20

30

40

50

【 0 1 5 6 】

その為、図 9 に示した特許文献 3 に係る D P D 1 は、上記多項式構造及び F I R フィルタ₀ 1 0 7 a、F I R フィルタ₁ 1 0 7 b、F I R フィルタ₂ 1 0 7 c を用いることにより、サンプル点による歪を補償するだけでなく、D P D 1 にとってのサンプル点とサンプル点との間のサブサンプル点による歪についても補償する構成となる。

【 0 1 5 7 】

従って、図 9 に示した特許文献 3 に係る歪補償装置は、D P D 1 の前段での D P D 用アップサンプリング処理を行わず、低サンプリングレートで動作する歪補償装置でありながらも、関連技術のアップサンプリング型歪補償装置と比較して、係数演算量を削減し、且つ、D P D 1 の動作周波数と、D A 変換器 2 及び A D 変換器 7 のサンプリングレートと、を低減することが可能となる。更に、D P D 1 のサンプル点とサンプル点の間のサブサンプルメモリタップによるキャリア帯域内のメモリ効果を補償することが可能となる為、目標の補償性能を達成することが可能となる。

10

【 0 1 5 8 】

以上、図 9 に示した特許文献 3 に係る D P D 1 について説明したが、特許文献 3 に係る技術には別の課題が存在する。

特許文献 3 では、特許文献 3 に係る多項式構造に関して、複素乗算器 1 0 6 a、1 0 6 b、及び 1 0 6 c によって、2 倍内挿補間後のサンプリングで 1 サンプルずつ遅延させたことに相当する信号

$$x\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right)$$

20

と、各 L U T 出力

$$K_{l_s}\left(\left|x\left(n - \frac{i}{2} + \frac{1}{2} - \frac{l_s}{2}\right)\right|\right)$$

と、を複素乗算する組み合わせを、固定的にメモリタップ_{l_s}の値が異なる項同士とするクロスターム構成への応用例について言及している。

【 0 1 5 9 】

しかしながら、歪補償に最適な電力増幅器モデルの構築に際して、固定的なクロスタームで複素乗算する構成では自由度がなく、補償される増幅器毎に、その都度、複素乗算するクロスタームの組み合わせのメモリタップを変更したハードウェアが必要になるという課題がある。

30

【 0 1 6 0 】

一方で、任意のクロスタームの組み合わせに対応できるよう回路構成を汎用化すると、回路が複雑になり、係数量を削減しつつ、目標の補償性能を達成するという本来の目的が達成できなくなるという課題も残る。

【 0 1 6 1 】

本開示の目的は、上述した課題を鑑み、係数量を増やすことなく、少ない回路追加で、クロスタームで複素乗算する構成における組み合わせに自由度を持たせることが可能な歪補償装置及び歪補償方法を提供することにある。

40

【課題を解決するための手段】

【 0 1 6 2 】

上記課題を解決する為に、本開示に係る歪補償装置は、電力増幅器の非線形歪を補償する歪補償装置であって、前記電力増幅器の出力信号を帰還させて A D (アナログ/デジタル) 変換し、A D 変換した信号をフィードバック信号として出力する A D 変換器と、入力信号に対し、前記フィードバック信号を用いて、歪補償処理を行い、歪補償処理を行った信号を出力するデジタルプリディストータと、

前記デジタルプリディストータと前記電力増幅器との間に設けられ、前記デジタルプリ

50

ディストータの出力信号を D A (デジタル / アナログ) 変換し、 D A 変換した信号を前記電力増幅器に出力する D A 変換器と、を備え、

前記デジタルプリディストータは、

前記デジタルプリディストータの前段でアップサンプリングされていない前記入力信号をサンプリングするサンプリングレートで動作し、

前記入力信号のサンプル点とサンプル点との間に疑似的にサンプル点を内挿し、疑似的に内挿したサンプル点をサブサンプル分シフトさせる疑似内挿 兼 サブサンプルシフト処理部を含むと共に、前記入力信号が前記疑似内挿 兼 サブサンプルシフト処理部で処理された信号自身と、前記入力信号が前記疑似内挿 兼 サブサンプルシフト処理部で処理された信号の振幅に相当する振幅アドレスに対応するルックアップテーブルの出力と、の複素乗算におけるサブサンプルシフト量の組み合わせを選択するマルチプレクサを含む多項式構造と、

前記多項式構造の後段に設けられ、前記入力信号のサンプル点をサブサンプル分遅延させるサブサンプル遅延フィルタを含む F I R (Finite Impulse Response) フィルタと、を備え、

前記多項式構造及び前記 F I R フィルタを用いて、前記入力信号のサンプル点による歪を補償すると共に、前記デジタルプリディストータにとっての前記入力信号のサンプル点とサンプル点との間のサブサンプル点による歪を補償する。

【 0 1 6 3 】

上記課題を解決する為に、本開示に係る歪補償方法は、

電力増幅器の非線形歪を補償する歪補償装置による歪補償方法であって、

デジタルプリディストータにおいて、入力信号に対し、前記電力増幅器の出力信号を帰還させて A D (アナログ / デジタル) 変換したフィードバック信号を用いて、歪補償処理を行い、歪補償処理を行った信号を出力し、

前記デジタルプリディストータの出力信号を D A (デジタル / アナログ) 変換し、 D A 変換した信号を前記電力増幅器に出力し、

前記デジタルプリディストータは、

前記デジタルプリディストータの前段でアップサンプリングされていない前記入力信号をサンプリングするサンプリングレートで動作し、

前記入力信号のサンプル点とサンプル点との間に疑似的にサンプル点を内挿し、疑似的に内挿したサンプル点をサブサンプル分シフトさせる疑似内挿 兼 サブサンプルシフト処理部を含むと共に、前記入力信号が前記疑似内挿 兼 サブサンプルシフト処理部で処理された信号自身と、前記入力信号が前記疑似内挿 兼 サブサンプルシフト処理部で処理された信号の振幅に相当する振幅アドレスに対応するルックアップテーブルの出力と、の複素乗算におけるサブサンプルシフト量の組み合わせを選択するマルチプレクサを含む多項式構造と、

前記多項式構造の後段に設けられ、前記入力信号のサンプル点をサブサンプル分遅延させるサブサンプル遅延フィルタを含む F I R (Finite Impulse Response) フィルタと、を備え、

前記多項式構造及び前記 F I R フィルタを用いて、前記入力信号のサンプル点による歪を補償すると共に、前記デジタルプリディストータにとっての前記入力信号のサンプル点とサンプル点との間のサブサンプル点による歪を補償する。

【 発明の効果 】

【 0 1 6 4 】

本開示によれば、係数量を増やすことなく、少ない回路追加で、クロスタームで複素乗算する構成における組み合わせに自由度を持たせることが可能な歪補償装置及び歪補償方法を提供することができるという効果が得られる。

【 図面の簡単な説明 】

【 0 1 6 5 】

【 図 1 A 】 本開示の実施の形態に係る D P D の一構成例を示すブロック図である。

【図 1 B】本開示の実施の形態に係る D P D における F I R フィルタの一構成例を示すブロック図である。

【図 2】関連技術に係る歪補償装置の構成例を示すブロック図である。

【図 3】内挿補間型 D A 変換器の機能例を示すブロック図である。

【図 4】図 2 に示した関連技術に係る歪補償装置における D P D の構成例を示すブロック図である。

【図 5】図 4 に示した関連技術に係る D P D に対して、係数量を削減する施策を適用した D P D の一構成例を示すブロック図である。

【図 6】内挿補間回路を削除して D P D 用アップサンプリングを行わない構成とした歪補償装置の構成例を示すブロック図である。

10

【図 7】内挿前のサンプリング周波数 9 8 3 . 0 4 M H z の 8 0 0 M H z 帯域の信号の振幅変化と、この信号を 2 倍内挿補間処理によってサンプリング周波数 1 . 9 6 6 0 8 G H z へ 2 倍アップサンプリングした後の信号の振幅変化と、の比較の例を示す図である。

【図 8】2 倍内挿補間処理によってサンプリング周波数 1 . 9 6 6 0 8 G H z へ 2 倍アップサンプリングされた信号の振幅変化と、この信号を更に 2 倍内挿補間処理によってサンプリング周波数 3 . 9 3 2 1 6 G H z へ 4 倍アップサンプリングされた信号の振幅変化と、の比較の例を示す図である。

【図 9】特許文献 3 に開示された D P D の一構成例を示すブロック図である。

【図 1 0】内挿補間型 D A 変換器に内蔵された、2 倍内挿用ハーフバンド F I R フィルタのタップ係数例を示す図である。

20

【図 1 1】内挿補間型 D A 変換器における 2 倍内挿補間処理の例を図示化したタイミングチャート図である。

【図 1 2】アップサンプリングされていないサンプリングレートで動作する D P D にとってのサブサンプルメモリタップ = ± 0 . 5 を得る為の、疑似内挿フィルタのタップ係数を求める手順の例を示す図である。

【図 1 3 A】遅延がサンプルに対して非整数の場合の、0 . 5 サンプル遅延フィルタのインパルス応答例を示す図である。

【図 1 3 B】0 . 5 サンプル遅延フィルタを F I R フィルタで構成した場合の、タップ数に対するフィルタ減衰量の周波数特性の例を示す図である。

【発明を実施するための形態】

30

【 0 1 6 6 】

以下、本開示の実施の形態について図面を参照して説明する。

< 実施の形態の構成 >

図 1 A 及び図 1 B に、本実施の形態に係る D P D 1 の一構成例のブロック図を示す。図 1 A は、本実施の形態に係る D P D 1 の構成例を示し、図 1 B は、本実施の形態に係る D P D 1 における F I R フィルタ $0\ 1\ 0\ 7\ a$ 、F I R フィルタ $1\ 1\ 0\ 7\ b$ 、及び F I R フィルタ $2\ 1\ 0\ 7\ c$ の構成例を示している。

【 0 1 6 7 】

図 1 A 及び図 1 B に示す本実施の形態に係る D P D 1 は、図 9 に示した特許文献 3 に係る D P D 1 に対して、マルチプレクサ $0\ 1\ 0\ 9\ a$ 、マルチプレクサ $1\ 1\ 0\ 9\ b$ 、及びマルチプレクサ $2\ 1\ 0\ 9\ c$ を、追加している。

40

【 0 1 6 8 】

マルチプレクサ $0\ 1\ 0\ 9\ a$ は、メモリタップ $l_s = 0$ の経路、すなわち疑似内挿 兼 サブサンプルシフトフィルタ $1\ 0\ 1\ a$ 、振幅アドレス演算回路 $1\ 0\ 4\ a$ 、及び L U T $1\ 0\ 5\ a$ が配置された経路において、複素乗算器 $1\ 0\ 6\ a$ によって L U T $1\ 0\ 5\ a$ の出力と複素乗算される信号を、疑似内挿 兼 サブサンプルシフトフィルタ $1\ 0\ 1\ a$ の出力、 $i/2$ サンプル遅延器 $1\ 0\ 2$ の出力、及び疑似内挿 兼 サブサンプルシフトフィルタ $1\ 0\ 1\ b$ の出力、のいずれかから選択可能なマルチプレクサである。

【 0 1 6 9 】

マルチプレクサ $1\ 1\ 0\ 9\ b$ は、メモリタップ $l_s = 1$ の経路、すなわち $i/2$ サンプル遅延

50

器 1 0 2、振幅アドレス演算回路 1 0 4 b、及び L U T 1 0 5 b が配置された経路において、複素乗算器 1 0 6 b によって L U T 1 0 5 b の出力と複素乗算される信号を、疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 a の出力、 $i/2$ サンプル遅延器 1 0 2 の出力、及び疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 b の出力、のいずれかから選択可能なマルチプレクサである。

【 0 1 7 0 】

マルチプレクサ₂ 1 0 9 c は、メモリタップ_s = 2 の経路、すなわち疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 b、振幅アドレス演算回路 1 0 4 c、及び L U T 1 0 5 c が配置された経路において、複素乗算器 1 0 6 c によって L U T 1 0 5 c の出力と複素乗算される信号を、疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 a の出力、 $i/2$ サンプル遅延器 1 0 2 の出力、及び疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 b の出力、のいずれかから選択可能なマルチプレクサである。

10

【 0 1 7 1 】

マルチプレクサ (M u l t i p l e x e r) は、一般的に、2 つ以上の入力を、それらを選択したりまとめたりして 1 つの信号として出力する回路機構である。本開示におけるマルチプレクサ₀ 1 0 9 a、マルチプレクサ₁ 1 0 9 b、及びマルチプレクサ₂ 1 0 9 c は、データセクタとしてのマルチプレクサであり、例えば、3 系統のデータ入力と 1 系統のデータ出力とを有する。マルチプレクサ₀ 1 0 9 a、マルチプレクサ₁ 1 0 9 b、及びマルチプレクサ₂ 1 0 9 c は、各々、選択制御信号 S E L₀、S E L₁、及び S E L₂ に従って、3 系統の入力信号の中から 1 系統を選択して出力信号とする。

20

【 0 1 7 2 】

メモリタップ_s ($l_s = 0, 1, 2$) の経路において、各径路用のマルチプレクサで、疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 a の出力、 $i/2$ サンプル遅延器 1 0 2 の出力、及び疑似内挿兼 サブサンプルシフトフィルタ 1 0 1 b の出力のいずれかから選択される信号の、2 倍内挿補間後のサンプリングにおけるメモリタップを m_{l_s} と表現する。

【 0 1 7 3 】

すなわち、 $l_s = 0$ の経路用のマルチプレクサ₀ 1 0 9 a で選択された信号出力の当該メモリタップは $m_{l_s} = m_0$ である。また、 $l_s = 1$ の経路用のマルチプレクサ₁ 1 0 9 b で選択された信号出力の当該メモリタップは $m_{l_s} = m_1$ である。また、 $l_s = 2$ の経路用のマルチプレクサ₂ 1 0 9 c で選択された信号出力の当該メモリタップは $m_{l_s} = m_2$ である。図 1 A 及び図 1 B の例では、 m_{l_s} は 0、1、2 のいずれかが選択される。

30

【 0 1 7 4 】

< 実施の形態の動作 >

本実施の形態の構成によれば、2 倍内挿補間後のサンプリングで 1 サンプルずつ遅延させたことに相当する各信号に対する L U T 用振幅アドレスに基づいて、L U T 1 0 5 a、1 0 5 b、1 0 5 c が参照され、L U T 用振幅アドレスに対応する各 L U T 1 0 5 a、1 0 5 b、1 0 5 c の出力信号が得られる。そして、各 L U T の出力信号と、2 倍内挿補間後のサンプリングで 1 サンプルずつ遅延させたことに相当する各信号とが、複素乗算器 1 0 6 a、1 0 6 b、1 0 6 c によって複素乗算される。本実施の形態に係る D P D 1 の複素乗算器 1 0 6 a、1 0 6 b、1 0 6 c による複素乗算の結果、すなわち多項式構造のメモリタップ_s の各項毎の出力は、

40

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2}\right) \right| \right)$$

である。メモリタップ_s ($l_s = 0, 1, 2$) の経路におけるメモリタップ m_{l_s} ($m_{l_s} = 0, 1, 2$) を、 $l_s = 0$ の経路用のマルチプレクサ₀ 1 0 9 a、 $l_s = 1$ の経路用のマルチプレクサ₁ 1 0 9 b、及び $l_s = 2$ の経路用のマルチプレクサ₂ 1 0 9 c で選択することが可能となる。

【 0 1 7 5 】

複素乗算器 1 0 6 a、1 0 6 b、1 0 6 c による複素乗算の結果は、2 倍内挿補間後の

50

サンプリングにおけるメモリタップ $l_s = 0, 1, 2$ の各項毎の多項式

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2}\right) \right| \right)$$

として、各々FIRフィルタ $0107a$ 、FIRフィルタ $1107b$ 、FIRフィルタ $2107c$ に入力される。FIRフィルタ $0107a$ は、2倍内挿補間後のサンプリングにおけるメモリタップ $l_s = 0$ に対応する。FIRフィルタ $1107b$ は、2倍内挿補間後のサンプリングにおけるメモリタップ $l_s = 1$ に対応する。FIRフィルタ $2107c$ は、2倍内挿補間後のサンプリングにおけるメモリタップ $l_s = 2$ に対応する。

【0176】

FIRフィルタ $0107a$ 、FIRフィルタ $1107b$ 、及びFIRフィルタ $2107c$ では、各々入力された

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2}\right) \right| \right)$$

に対して、2倍内挿補間後のサンプリングにおけるFIRタップ $r_s = 0, 1, 2, 3, 4$ に各々対応するように、以下の信号を各々出力する。

【0177】

FIRタップ $r_s = 0$ においては、 $(j/2 - 1)$ サンプル遅延器 112 によって、2倍内挿補間後のサンプリングで $(j - 2)$ サンプル遅延した信号に相当する

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2} - \frac{j}{2} + 1\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2} - \frac{j}{2} + 1\right) \right| \right)$$

を出力する。

【0178】

FIRタップ $r_s = 1$ においては、 j タップのFIRフィルタで構成されるサブサンプル遅延フィルタ 111 によって、2倍内挿補間後のサンプリングで $(j - 1)$ サンプル遅延した信号に相当する

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2} - \frac{j}{2} + \frac{1}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2} - \frac{j}{2} + \frac{1}{2}\right) \right| \right)$$

を出力する。

【0179】

FIRタップ $r_s = 2$ においては、 $(j/2 - 1)$ サンプル遅延器 112 の後段の1サンプル遅延器 $113a$ によって、2倍内挿補間後のサンプリングで j サンプル遅延した信号に相当する

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2} - \frac{j}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2} - \frac{j}{2}\right) \right| \right)$$

を出力する。

【0180】

FIRタップ $r_s = 3$ においては、サブサンプル遅延フィルタ 111 の後段の1サンプル遅延器 $113c$ によって、2倍内挿補間後のサンプリングで $(j + 1)$ サンプル遅延した信号に相当する

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2} - \frac{j}{2} - \frac{1}{2}\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2} - \frac{j}{2} - \frac{1}{2}\right) \right| \right)$$

を出力する。

【0181】

FIRタップ $r_s = 4$ においては、1サンプル遅延器 $113a$ の後段の1サンプル遅延器

10

20

30

40

50

113bによって、2倍内挿補間後のサンプリングで $(j+2)$ サンプル遅延した信号に相当する

$$x\left(n - \frac{i}{2} + \frac{1 - m_{l_s}}{2} - \frac{j}{2} - 1\right) \cdot K_{l_s} \left(\left| x\left(n - \frac{i}{2} + \frac{1 - l_s}{2} - \frac{j}{2} - 1\right) \right| \right)$$

を出力する。

【0182】

以上、各メモリタップ l_s に対応するFIR l_s における、上記5タップ各々の出力を、メモリタップ l_s ($= 0, 1, 2$)、及びFIRタップ r_s ($= 0, 1, 2, 3, 4$)を変数として一般化して表すと、

$$x\left(n + \frac{3 - i - j - m_{l_s} - r_s}{2}\right) \cdot K_{l_s} \left(\left| x\left(n + \frac{3 - i - j - l_s - r_s}{2}\right) \right| \right)$$

である。

【0183】

即ち、上記2倍内挿補間後のサンプリングで1サンプルずつ遅延させたことに相当する各FIRタップ r_s の出力信号は、以下で表される。

$$x\left(n + \frac{3 - i - j - m_{l_s} - r_s}{2}\right) \cdot K_{l_s} \left(\left| x\left(n + \frac{3 - i - j - l_s - r_s}{2}\right) \right| \right)$$

【0184】

各FIRタップ r_s の出力信号は、各々複素乗算器114a、114d、114b、114e、114cによって、各々FIRタップ $r_s = 0, 1, 2, 3, 4$ に対応したフィルタ(複素)係数 $W_{l_s, 0}, W_{l_s, 1}, W_{l_s, 2}, W_{l_s, 3}, W_{l_s, 4}$ が各々複素乗算される。その後、複素乗算器114a、114d、114b、114e、114cで各々複素乗算された信号は、加算器115で加算される。加算器115で加算された信号は、各メモリタップ l_s に対する

$$\sum_{r_s=0}^4 W_{l_s, r_s} \cdot x\left(n + \frac{3 - i - j - m_{l_s} - r_s}{2}\right) \cdot K_{l_s} \left(\left| x\left(n + \frac{3 - i - j - l_s - r_s}{2}\right) \right| \right)$$

として、FIRフィルタ 0 107a、FIRフィルタ 1 107b、及びFIRフィルタ 2 107cから各々出力される。

【0185】

このとき、メモリタップ $l_s = 0$ に対応するFIRフィルタ 0 107aの出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{0, r_s} \cdot x\left(n + \frac{3 - i - j - m_0 - r_s}{2}\right) \cdot K_0 \left(\left| x\left(n + \frac{3 - i - j - r_s}{2}\right) \right| \right)$$

また、メモリタップ $l_s = 1$ に対応するFIRフィルタ 1 107bの出力信号は以下となる。

$$\sum_{r_s=0}^4 W_{1, r_s} \cdot x\left(n + \frac{3 - i - j - m_1 - r_s}{2}\right) \cdot K_1 \left(\left| x\left(n + \frac{2 - i - j - r_s}{2}\right) \right| \right)$$

また、メモリタップ $l_s = 2$ に対応するFIRフィルタ 2 107cの出力信号は以下となる。

10

20

30

40

50

$$\sum_{r_s=0}^4 W_{2, r_s} \cdot x\left(n + \frac{3-i-j-m_2-r_s}{2}\right) \cdot K_2\left(\left|x\left(n + \frac{1-i-j-r_s}{2}\right)\right|\right)$$

【 0 1 8 6 】

F I R フィルタ₀ 1 0 7 a、F I R フィルタ₁ 1 0 7 b、及びF I R フィルタ₂ 1 0 7 c の出力信号は、最終的に加算器 1 0 8 で加算される。加算器 1 0 8 による加算結果は、図 9 に示した特許文献 3 に係る D P D 1 における式 (2 0) に相当し、本実施の形態に係る D P D 1 における、次の式 (2 3) で表現される、係数量を削減した多項式として、D P D 1 から出力される。

10

$$y\left(n - \frac{i}{2} - \frac{j}{2}\right) = \sum_{l_s=0}^2 \sum_{r_s=0}^4 W_{l_s, r_s} \cdot x\left(n + \frac{3-i-j-m_{l_s}-r_s}{2}\right) \cdot K_{l_s}\left(\left|x\left(n + \frac{3-i-j-l_s-r_s}{2}\right)\right|\right) \dots(23)$$

【 0 1 8 7 】

以上で説明した通り、本実施の形態に係る D P D 1 は、サブサンプルシフト量の組み合わせを選択するマルチプレクサを含む多項式構造と、マルチプレクサへの選択制御によって、メモリタップ_{l_s} (l_s = 0、1、2) の経路に対して、l_s の値と同一か、または異なるメモリタップ m_{l_s} (m_{l_s} = 0、1、2) の値を自由に選択することが可能である。

20

【 0 1 8 8 】

従って、本実施の形態に係る歪補償装置は、D P D 1 の前段での D P D 用アップサンプリング処理を行わず、低サンプリングレートで動作する歪補償装置でありながらも、関連技術のアップサンプリング型歪補償装置と比較して、係数演算量を削減し、且つ、D P D 1 の動作周波数と、D A 変換器 2 及び A D 変換器 7 のサンプリングレートと、を低減することが可能となる。更に、D P D 1 のサンプル点とサンプル点の間のサブサンプルメモリタップによるキャリア帯域内のメモリ効果の補償において、サブサンプルシフト量の組み合わせを選択するマルチプレクサを含む多項式構造と、マルチプレクサへの選択制御により、係数量を増やすことなく、且つ少ない回路追加で、メモリタップ (= サブサンプルシフト量) が異なるクロスタームで複素乗算する構成の組み合わせに自由度を持たせることが可能となる。その為、歪補償に最適な電力増幅器モデルを構築でき、目標の補償性能を達成することが可能となる。

30

【 0 1 8 9 】

以上、実施の形態を参照して本開示における様々な観点を説明したが、本開示は上記によって限定されるものではない。本開示の各観点における構成や詳細には、開示のスコープ内で当業者が理解し得る様々な変更をすることができる。

【 0 1 9 0 】

例えば、上記実施の形態で示したメモリタップ_{l_s} 及び m_{l_s} の個数、及び F I R タップ_{r_s} の個数は例示であって制限的なものではない。例えば、上記実施の形態では、7 次メモリ多項式モデルを近似する例として、メモリタップ_{l_s} 及び m_{l_s} の個数を 3 個、F I R タップ_{r_s} の個数を 5 個としたが、メモリタップ_{l_s} 及び m_{l_s} の個数を 5 個、F I R タップ_{r_s} の個数を 3 個として、7 次メモリ多項式モデルを近似してもよい。また、回路規模と係数演算量の増加を許容すれば、上記タップ数を増加させた構成としてもよい。

40

【 0 1 9 1 】

この出願は、2 0 2 0 年 5 月 1 2 日に出願された日本出願特願 2 0 2 0 - 0 8 3 9 6 0 を基礎とする優先権を主張し、その開示の全てをここに取り込む。

【 符号の説明 】

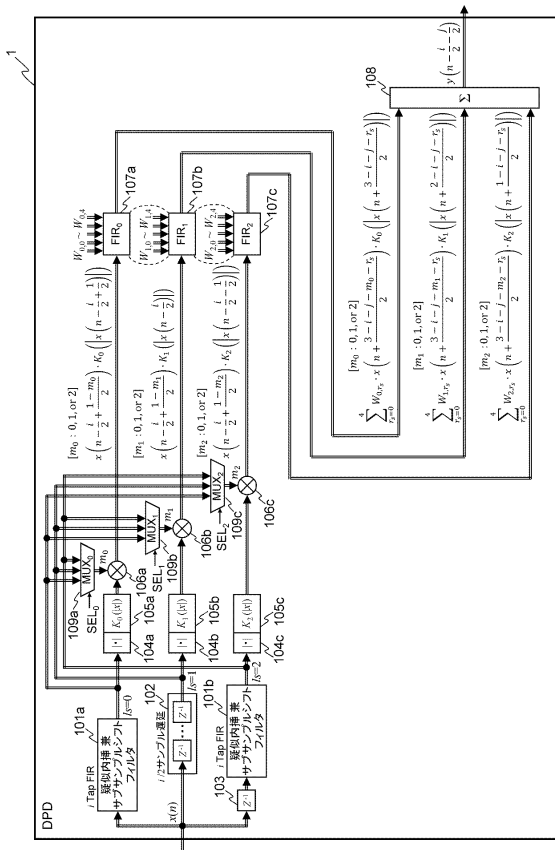
50

【 0 1 9 2 】

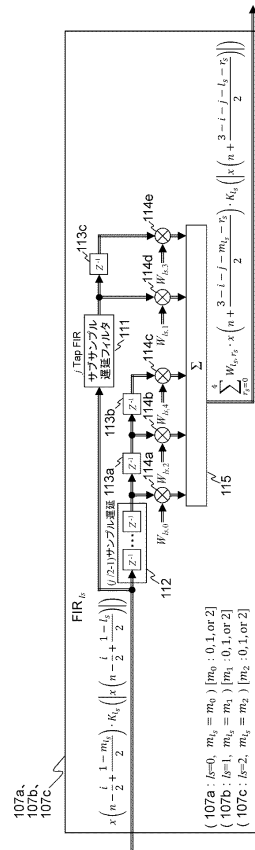
1	D P D (デジタルプリディストータ)	
2	D A (デジタル / アナログ) 変換器	
3	送信アップコンバータ	
4	電力増幅器	
5	方向性結合器	
6	帰還ダウンコンバータ	
7	A D (アナログ / デジタル) 変換器	
1 0 1 a、1 0 1 b	疑似内挿 兼 サブサンプルシフトフィルタ	
1 0 2	$i/2$ サンプル遅延器	10
1 0 3	1 サンプル遅延器	
1 0 4 a、1 0 4 b、1 0 4 c	振幅アドレス演算回路	
1 0 5 a、1 0 5 b、1 0 5 c	L U T (ルックアップテーブル)	
1 0 6 a、1 0 6 b、1 0 6 c	複素乗算器	
1 0 7 a	F I R フィルタ ₀	
1 0 7 b	F I R フィルタ ₁	
1 0 7 c	F I R フィルタ ₂	
1 0 8	加算器	
1 0 9 a	マルチプレクサ ₀	
1 0 9 b	マルチプレクサ ₁	20
1 0 9 c	マルチプレクサ ₂	
1 1 1	サブサンプル遅延フィルタ	
1 1 2	$(j/2-1)$ サンプル遅延器	
1 1 3 a、1 1 3 b、1 1 3 c	1 サンプル遅延器	
1 1 4 a、1 1 4 b、1 1 4 c、1 1 4 d、1 1 4 e	複素乗算器	
1 1 5	加算器	
2 0 1、2 0 2	ハーフバンドフィルタ ₁	
2 0 3、2 0 4	ハーフバンドフィルタ ₂	
2 0 5	N C O (数値制御発振器)	
2 0 6、2 0 7	複素乗算器	30
2 0 8	加算器	
2 0 9	D A 変換部	

【図面】

【図 1 A】



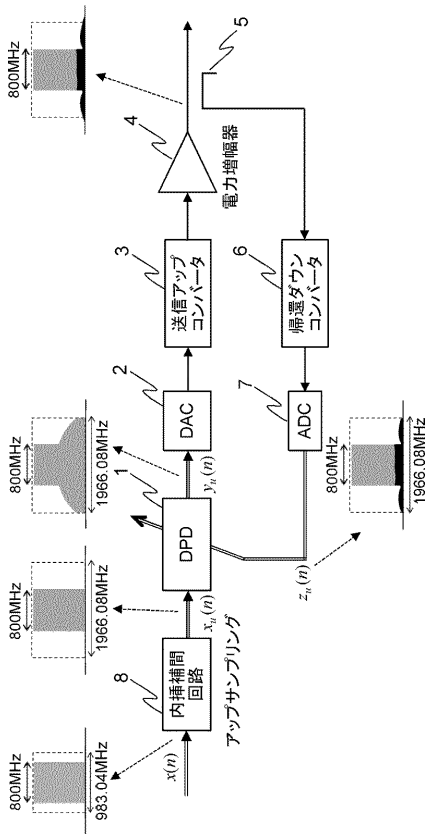
【図 1 B】



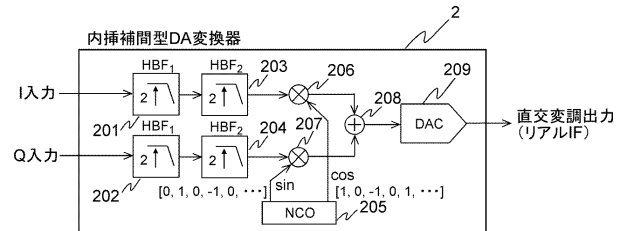
10

20

【図 2】



【図 3】

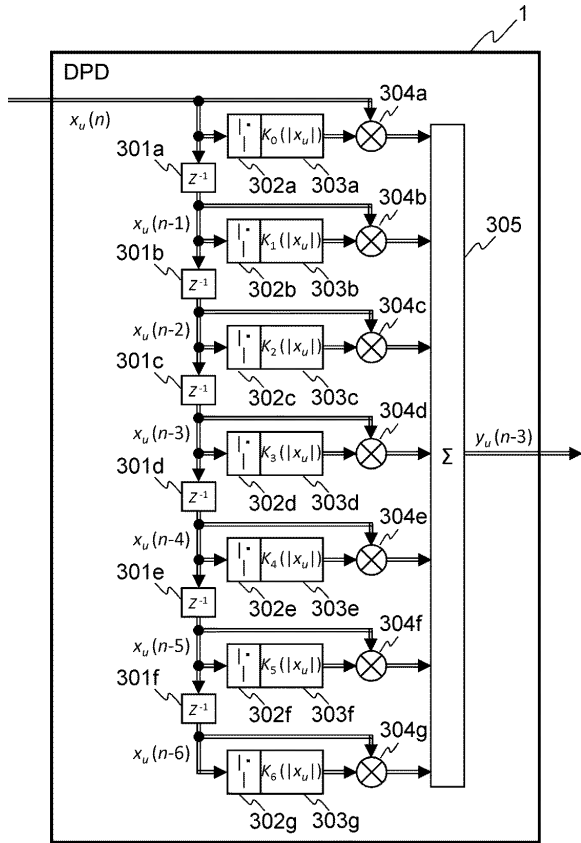


30

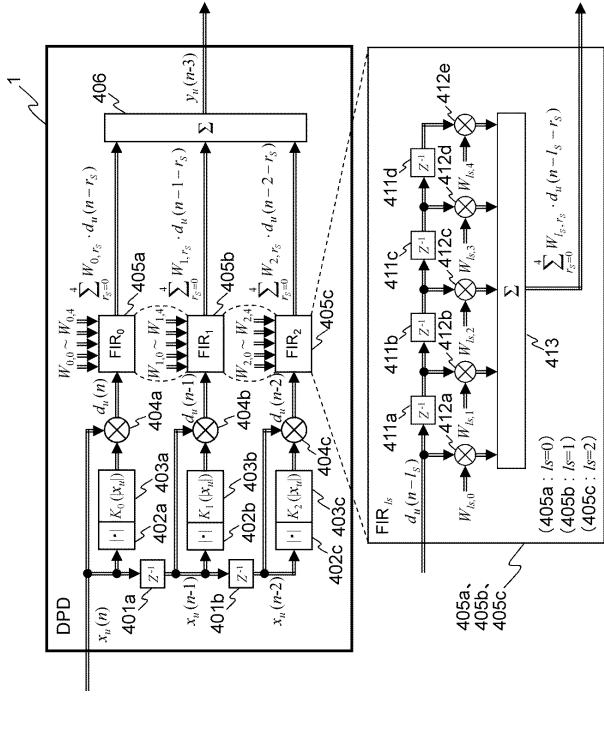
40

50

【 図 4 】



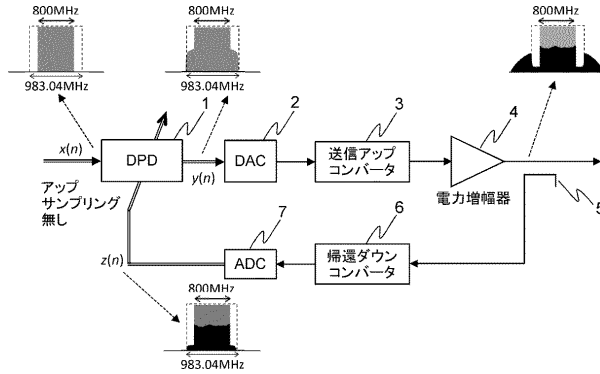
【 図 5 】



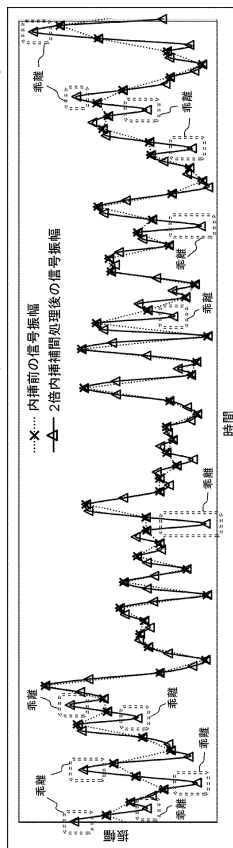
10

20

【 図 6 】



【 図 7 】

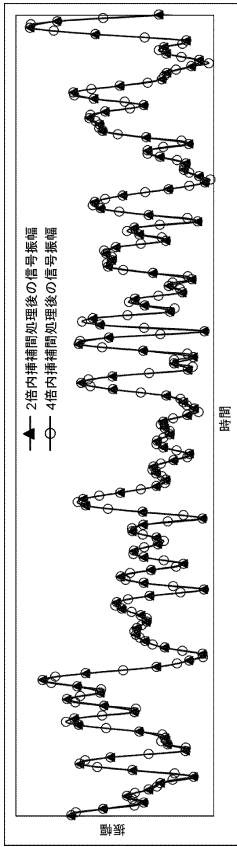


30

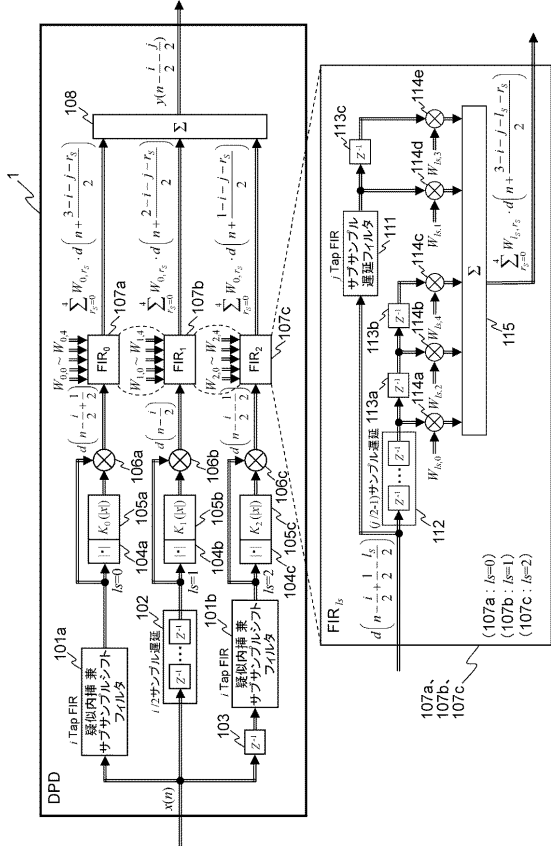
40

50

【図 8】



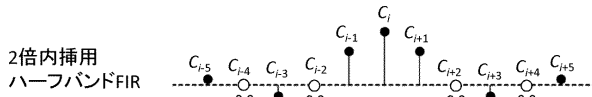
【図 9】



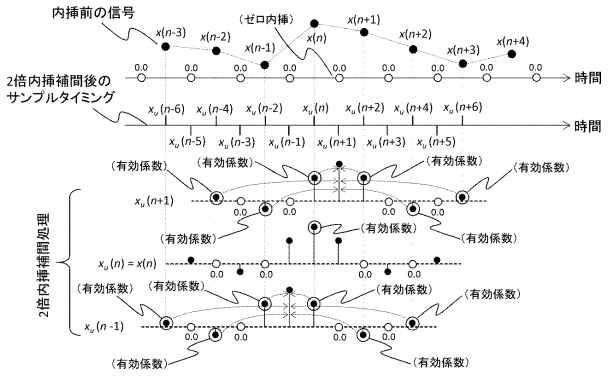
10

20

【図 10】



【図 11】

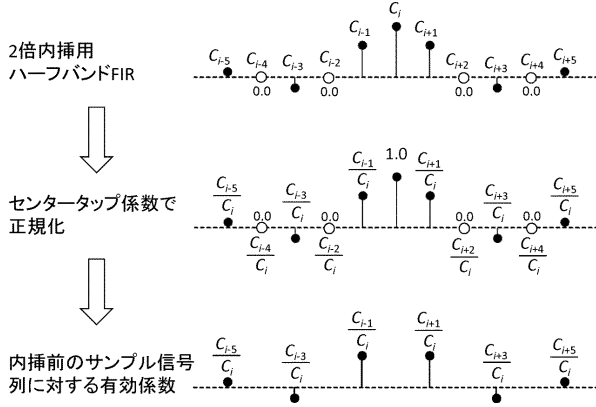


30

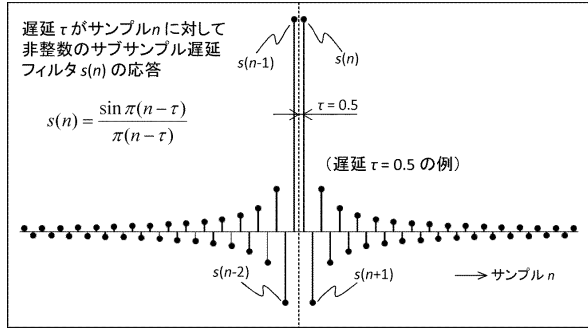
40

50

【図 1 2】

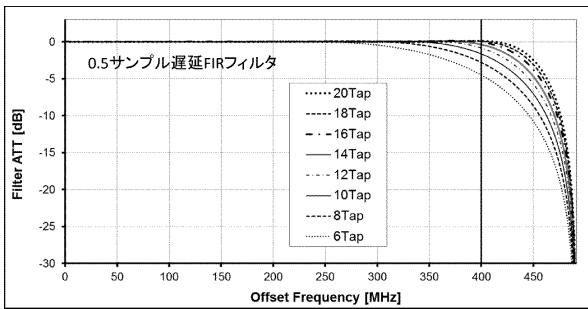


【図 1 3 A】



10

【図 1 3 B】



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 9 - 1 2 5 8 6 3 (J P , A)
国際公開第 2 0 1 8 / 1 5 9 0 2 1 (W O , A 1)
中国特許出願公開第 1 0 7 8 9 5 0 7 4 (C N , A)
Lei Guan, Anding Zhu , Low-Cost FPGA Implementation of Volterra Series-Based Digital Pre
distorter for RF Power Amplifiers , IEEE TRANSACTIONS ON MICROWAVE THEORY AND T
ECHNIQUES , 米国 , IEEE , 2010年04月 , VOL. 58, NO. 4 , p. 866-872
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 3 F 1 / 0 0 - 3 / 7 2