(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0155011
(43) 공개일자 2021년12월21일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 21/02576 (2013.01)
H01L 21/02554 (2013.01)
(21) 출원번호 10-2021-0177965(분할)
(22) 출원일자 2021년12월13일
심사청구일자 2021년12월13일
(62) 원출원 특허 10-2020-0050930
원출원일자 2020년04월27일
심사청구일자 2020년04월27일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
오승주
서울특별시 중구 청구로 64, 청구e편한세상 113동 104호
우호균
서울특별시 양천구 목동서로 70, 목동신시가지아파트 214동 1204호
김동규
경기도 남양주시 늘을2로 90-36 신명스카이뷰아파트 1401동 1703호
(74) 대리인
남건필, 박종수, 차상윤

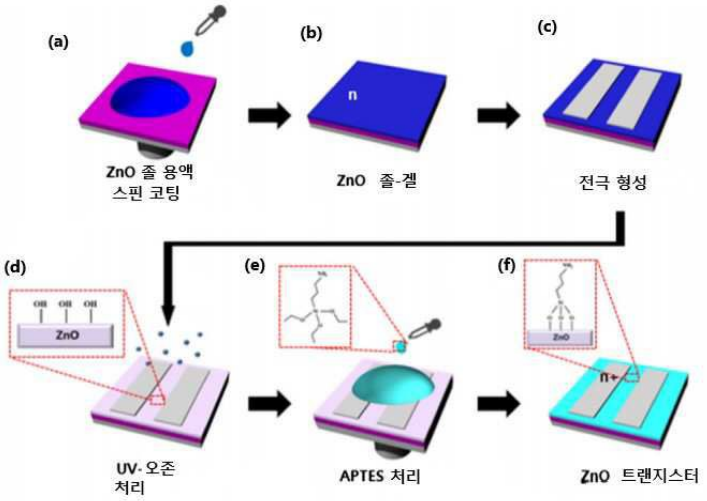
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **금속 산화물 박막의 캐리어 도핑 방법 및 이에 의해 제조된 반도체층을 포함하는 전자 소자**

(57) 요 약

본 발명은 금속 산화물 박막에 캐리어를 n형 도핑하는 방법으로서, (a) 기판 상에 금속 산화물 박막을 전자 소자의 반도체층으로서 형성하는 단계; 및 (b) 아미노계 실란계 화합물을 0 초과 내지 15 부피% 미만의 농도로 함유하는 용액으로 상기 금속 산화물 박막을 처리하여 캐리어를 n형 도핑하는 단계를 포함하는 방법에 관한 것이다. 또한, 본 발명은 상기 방법을 이용하여 캐리어가 n형 도핑된 금속 산화물 박막을 포함하는 전자 소자에 관한 것이다. 본 발명에 따르면, 금속 산화물 박막의 표면 처리에 사용되는 실란 화합물의 용액 농도를 제어함으로써 금속 산화물 박막의 n형 도핑 농도를 손쉽게 제어할 수 있다. 상기 표면 처리는 공정이 간편하고 제조 비용이 낮으며, 소자의 전기적 특성을 개선시킨다. 게다가, n형 도핑 농도의 제어를 통해, 박막트랜지스터, 센서와 같은 다양한 용도에 맞는 반도체 특성을 갖춘 금속 산화물 박막을 손쉽게 제공할 수 있다.

대 표 도 - 도2



(52) CPC특허분류
H01L 21/02565 (2013.01)
H01L 21/02628 (2013.01)
H01L 21/02691 (2013.01)
H01L 29/7869 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711109752
과제번호	2019R1C1C1003319
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	유연 적외선 아발란지 광검출기 응용을 위한 양자점 다중양자우물 개발 연구
기 여 율	1/2
과제수행기관명	고려대학교
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711082946
과제번호	2018M3D1A1059001
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리지원(R&D)
연구과제명	Small form-factor용 초고효율 적외선 흡수 소재 개발
기 여 율	2/2
과제수행기관명	고려대학교
연구기간	2019.01.16 ~ 2020.01.15

명 세 서

청구범위

청구항 1

금속 산화물 박막에 캐리어를 n형 도핑하는 방법으로서,

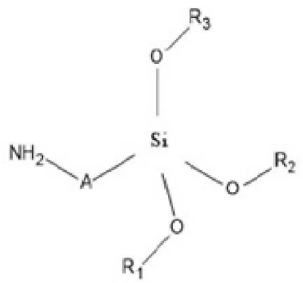
(a) 기판 상에 반도체 특성을 갖는 금속 산화물 박막을 형성하는 단계;

(c) 상기 금속 산화물 박막을 UV-오존으로 처리하여, 상기 금속 산화물 박막 표면에 하이드록시기를 도입하는 단계; 및

(b) 하기 화학식 1의 실란 화합물을 0 초과 내지 15 부피% 미만의 농도로 함유하고 용매가 물, 메탄올, 에탄올 또는 이소프로판올인 염기성 용액을 상기 금속 산화물 박막 상에 도포하여 상기 금속산화물 박막 상에 상기 실란 화합물로 형성된 막을 형성함으로써 상기 금속 산화물 박막에 캐리어를 n형 도핑하는 단계를 포함하고,

상기 (b) 단계에서, 상기 염기성 용액에 의해 상기 금속 산화물 박막 표면의 하이드록시기 중 일부는 상기 실란 화합물과 축합되고, 다른 일부는 탈양자화되어 $-O^-$ 기로 변환되어 유지되는 것을 특징으로 하는 방법:

[화학식 1]



상기 화학식 1에서, R1, R2, 및 R3은 각각 독립적으로 탄소수 1 내지 3개의 직쇄 알킬기이고, A는 탄소수 1 내지 10개의 직쇄 알킬기 또는 -R4-NH-R5-이고, 여기서, R4 및 R5는 각각 독립적으로 탄소수 1 내지 5개의 직쇄 알킬기이다.

청구항 2

제1항에 있어서, 상기 화학식 1에서 A가 탄소수 1 내지 6개의 직쇄 알킬기인 방법.

청구항 3

제1항에 있어서, 상기 금속 산화물 박막의 금속 산화물은 ZnO, InZnO 및 InGaZnO에서 선택되는 투명 금속 산화물인 방법.

청구항 4

제1항에 있어서, 상기 (a) 단계가 상기 기판을 금속 산화물 졸 용액으로 용액 공정에 의해 코팅함으로써 수행되는 방법.

청구항 5

제1항에 있어서, 상기 UV-오존 처리 단계는 상기 금속 산화물 박막을 184 내지 254 nm의 UV 광으로 1 내지 15분 동안 조사시켜 수행되는 방법.

청구항 6

제1항에 있어서, 상기 (b) 단계는 상기 금속 산화물 박막을 상기 화학식 1의 실란 화합물을 함유하는 용액으로 용액 공정에 의해 코팅함으로써 수행되고, 여기서 상기 용액 공정은 딥 코팅, 스핀 코팅, 및 스프레이 코팅에서

선택되는 방법.

청구항 7

제6항에 있어서, 상기 금속 산화물 박막을 상기 화학식 1의 실란 화합물을 함유하는 용액으로 코팅함으로써 상기 금속 산화물 박막 상에 실란 화합물 막이 형성되고, 여기서 상기 실란 화합물 막은 두께가 5 내지 120 nm 인 방법.

청구항 8

제1항에 있어서, 상기 (b) 단계에서 상기 화학식 1의 실란 화합물이 0 초과 내지 7.5 부피% 미만의 농도이고, 상기 전자 소자가 박막 트랜지스터, 센서, 태양 전지, 또는 발광 다이오드인 방법.

청구항 9

제1항에 있어서, 상기 (b) 단계에서 상기 화학식 1의 실란 화합물이 7.5 부피% 이상 내지 15 부피% 미만의 농도이고, 상기 전자 소자가 열전 소자 또는 플라즈모닉 소자인 방법.

청구항 10

n형 도핑된 금속 산화물 박막을 반도체층으로서 포함하고,

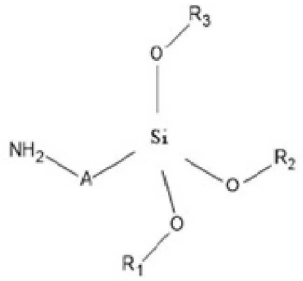
상기 n형 도핑된 금속 산화물 박막은,

금속산화물층;

하기 화학식 1의 실란 화합물과 상기 금속산화물층의 하이드록시기 사이의 축합반응에 의해 상기 금속산화물층 표면에 결합된 아미노 실란 관능기; 및

상기 금속산화물층의 하이드록시기가 탈양자화되어 형성된 $-O^-$ 관능기를 포함하는 것을 특징으로 하는, 전자 소자:

[화학식 1]



상기 화학식 1에서, R1, R2, 및 R3은 각각 독립적으로 탄소수 1 내지 3개의 직쇄 알킬기이고, A는 탄소수 1 내지 10개의 직쇄 알킬기 또는 -R4-NH-R5-이고, 여기서, R4 및 R5는 각각 독립적으로 탄소수 1 내지 5개의 직쇄 알킬기이다.

청구항 11

제10항에 있어서, 상기 금속 산화물 박막 상에 전극을 더 포함하는, 전자 소자.

발명의 설명

기 술 분 야

[0001] 본 발명은 금속 산화물 박막에 캐리어를 도핑하는 방법 및 상기 방법을 이용하여 제조된 반도체층을 포함하는 전자 소자에 관한 것이다. 구체적으로, 본 발명은 전자 소자의 반도체층으로 사용되는 금속 산화물 박막을 아미노계 실란 커플링제로 표면 처리하여 캐리어를 n형 도핑하는 방법 및 상기 방법을 이용하여 제조된 반도체층을 포함하는 전자 소자에 관한 것이다.

배 경 기 술

[0002] 최근, 플렉서블 디스플레이, 메모리, 센서 등 차세대 전자 소자의 수요가 높아짐에 따라, 이들 전자 소자의 핵심 부품인 전계 효과 트랜지스터(Field-Effect Transistor, FET)와 같은 박막 전자 장치는 상당한 관심을 받아 왔다.

[0003] 이러한 전자 소자의 제조 단가를 낮추고 플렉서블 기판과 같은 다양한 기판 상에 전자 소자를 구현하려는 목적으로, 증착과 같은 고온, 고압의 고가 공정이 아닌 상온, 상압의 용액 공정을 사용하는 제조 방법을 개발하려는 연구가 활발히 진행되어 왔다.

[0004] 그러나, 용액 공정으로 전자 소자를 제조하면 일반적으로 산소 공공(oxygen vacancies)와 같은 표면 트랩이 많이 발생하고 이러한 표면 트랩은 히스테리시스(hysteresis)를 증가시키고 소자의 안정성이나 성능을 저하시키는 요인이 되기 때문에, 이를 해결하기 위해 트랩 패시베이션과 같은 과정이 반드시 도입되어야 한다는 문제점이 있었다. 특히, 전자 소자를 다양한 분야에 널리 사용하기 위해서는 사용하는 목적에 맞게 도핑 농도를 제어하여 적절한 페르미 준위를 얻어야 하였다.

[0005] 이를 위해 예를 들어, 플라즈마 표면 처리, 리간드 처리, 및 폴리머 캡슐화와 같은 다양한 표면 개질법을 수행하여 트랩을 패시베이션하거나 In 또는 Ga와 같은 이종 원자를 첨가하여 소자의 도핑 농도를 제어하는 방안이 시도되었다. 그러나, 이러한 방법은 다단계의 복잡하고 추가적인 공정 단계나 고가의 장비를 요구하기 때문에 저비용을 이점으로 하는 용액 공정에서는 불리하게 작용하는 문제점이 있다.

발명의 내용

해결하려는 과제

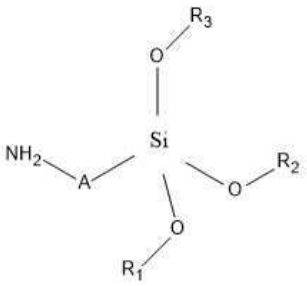
[0006] 본 발명의 목적은 전자 소자의 사용 목적에 맞게 반도체층의 도핑 농도를 손쉽게 제어할 수 있으면서 전자 소자의 전기적 성능도 개선시킬 수 있는 반도체층의 캐리어 도핑 방법을 제공하는 것이다.

[0007] 본 발명의 다른 일 목적은 전술한 방법에 의해 캐리어를 도핑한 반도체층을 포함하는 전자 소자를 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 일 양태에 따르면, 금속 산화물 박막에 캐리어를 n형 도핑하는 방법으로서, (a) 기판 상에 금속 산화물 박막을 전자 소자의 반도체층으로서 형성하는 단계; 및 (b) 하기 화학식 1의 실란 화합물을 0 초과 내지 15 부피% 미만의 농도로 함유하는 용액으로 상기 금속 산화물 박막을 처리하여 상기 금속 산화물 박막에 캐리어를 n형 도핑하는 단계를 포함하는 방법이 제공된다:

[0009] [화학식 1]



[0010]

[0011] 상기 화학식 1에서, R_1, R_2, 및 R_3은 각각 독립적으로 탄소수 1 내지 3개의 직쇄 알킬기이고, A는 탄소수 1 내지 10개의 직쇄 알킬기 또는 $-R_4-NH-R_5-$이고, 여기서, R_4 및 R_5는 각각 독립적으로 탄소수 1 내지 5개의 직쇄 알킬기이다.

[0012] 본 발명의 일 구현예에 따르면, 상기 화학식 1에서 A가 탄소수 1 내지 6개의 직쇄 알킬기일 수 있다.

[0013] 본 발명의 다른 일 구현예에 따르면, 상기 화학식 1의 실란 화합물을 함유하는 용액에서 용매는 물, 메탄올, 에

탄올, 또는 이소프로판올일 수 있다.

[0014] 본 발명의 또다른 일 구현예에 따르면, 상기 화학식 1의 실란 화합물을 함유하는 용액은 염기성 용액일 수 있다.

[0015] 본 발명의 또다른 일 구현예에 따르면, 상기 금속 산화물 박막의 금속 산화물은 ZnO, InZnO 및 InGaZnO에서 선택되는 투명 금속 산화물일 수 있다.

[0016] 본 발명의 또다른 일 구현예에 따르면, 상기 (a) 단계는 상기 기판을 금속 산화물 졸 용액으로 용액 공정에 의해 코팅함으로써 수행될 수 있다.

[0017] 본 발명의 또다른 일 구현예에 따르면, 상기 (a) 단계와 상기 (b) 단계 사이에, 상기 금속 산화물 박막을 UV-오존으로 처리하는 단계를 추가로 더 포함할 수 있다.

[0018] 본 발명의 또다른 일 구현예에 따르면, 상기 UV-오존 처리 단계는 상기 금속 산화물 박막을 184 내지 254 nm의 UV 광으로 1 내지 15분 동안 조사시켜 수행될 수 있다.

[0019] 본 발명의 또다른 일 구현예에 따르면, 상기 (b) 단계는 상기 금속 산화물 박막을 상기 화학식 1의 실란 화합물을 함유하는 용액으로 용액 공정에 의해 코팅함으로써 수행되고, 여기서 상기 용액 공정은 딥 코팅, 스핀 코팅, 및 스프레이 코팅에서 선택될 수 있다.

[0020] 본 발명의 또다른 일 구현예에 따르면, 상기 금속 산화물 박막을 상기 화학식 1의 실란 화합물을 함유하는 용액으로 코팅함으로써 상기 금속 산화물 박막 상에 실란 화합물 막이 형성되고, 여기서 상기 실란 화합물 막은 두께가 5 내지 120 nm 일 수 있다.

[0021] 본 발명의 또다른 일 구현예에 따르면, 상기 (b) 단계에서 상기 화학식 1의 실란 화합물은 0 초과 내지 7.5 부피% 미만의 농도이고, 상기 전자 소자는 박막 트랜지스터, 센서, 태양 전지, 또는 발광 다이오드일 수 있다.

[0022] 본 발명의 또다른 일 구현예에 따르면, 상기 (b) 단계에서 상기 화학식 1의 실란 화합물은 7.5 부피% 이상 내지 15 부피% 미만의 농도이고, 상기 전자 소자는 열전 소자 또는 플라즈모닉 소자일 수 있다.

[0023] 본 발명의 추가의 일 양태에 따르면, 전술한 방법에 따라 캐리어가 n형 도핑된 금속 산화물 박막을 반도체층으로서 포함하는 전자 소자가 제공된다.

[0024] 본 발명의 일 구현예에 따르면, 상기 전자 소자는 상기 금속 산화물 박막 상에 전극을 더 포함할 수 있다.

발명의 효과

[0025] 본 발명에 따르면, 금속 산화물 박막의 표면 처리에 사용되는 실란 화합물의 용액 농도를 제어함으로써 금속 산화물 박막의 n형 도핑 농도를 손쉽게 제어할 수 있다. 상기 n형 도핑 방법은 상온 상압 하에서 용액 공정으로 수행될 수 있으므로, 공정이 간편하고 제조 비용이 저렴하다. 또한, 이러한 표면 처리에 의해 캐리어가 n형 도핑된 금속 산화물 박막을 반도체층으로 사용함으로써 전자 이동도와 히스테리시스(hysteresis) 같은 전기적 특성이 개선될 수 있다. 게다가, 표면 처리용 용액의 농도 제어를 통해 금속 산화물 박막의 n형 도핑 농도를 제어할 수 있으므로, 박막트랜지스터, 센서, 태양 전지, 발광 다이오드, 열전 소자, 또는 플라즈모닉 소자와 같은 다양한 용도에 맞게 반도체 특성이 적절히 제어된 금속 산화물 박막을 손쉽게 제공할 수 있다.

도면의 간단한 설명

[0026] 도 1은 ZnO 박막을 APTES로 처리하여 패시베이션하는 메커니즘을 개략적으로 나타내는 개략도이며, 도 1에서 a)는 APTES 처리하지 않은 ZnO 표면이고 도 1에서 b)는 APTES 처리한 ZnO 표면이다.

도 2는 APTES로 처리된 ZnO 박막을 포함하는 TFT의 제작 과정을 개략적으로 나타내는 개략도이다.

도 3은 XRD 패턴으로서, ZnO-졸 (흑색), ZnO-겔 (적색), ZnO (APTES 처리없음) (청색), 및 ZnO (APTES 처리) (녹색)에 대한 것이다.

도 4는 SEM 이미지로서, ZnO-겔 (좌측), ZnO (APTES 처리없음) (중간), 및 ZnO (APTES 처리) (우측)에 대한 것이다.

도 5은 SEM-EDX 데이터로서, ZnO-졸, ZnO-겔, ZnO (APTES 처리없음), ZnO (APTES 2.5% 처리)에 대한 것이다.

도 6는 FTIR 스펙트럼으로서, ZnO-졸 (흑색), ZnO-겔 (적색), ZnO (APTES 처리없음) (청색), 및 ZnO (APTES 처

리)(녹색)에 대한 것이다.

도 7는 광발광(PL) 스펙트럼으로서, ZnO (APTES 처리없음) (흑색) 및 ZnO (APTES 처리)(적색)에 대한 것이다.

도 8은 Au 기판에 형성된 각 ZnO 박막에 대한 UPS 스펙트럼으로서, 도 8의 a)는 컷-오프(cut-off) 구역이고 도 8의 b)는 시작(onset) 구역이다.

도 9는 Tauc 플롯으로서, ZnO (APTES 처리없음) (흑색) 및 ZnO (APTES 처리)(적색)에 대한 것이다.

도 10은 에너지 밴드 다이어그램으로서, ZnO (APTES 처리없음) (흑색) 및 ZnO (APTES 처리)(적색)에 대한 것이다.

도 11은 APTES 처리하지 않은 ZnO 를 포함하는 TFT (도 11의 a))와 APTES 처리한 ZnO 를 포함하는 TFT (도 11의 b))의 전달 특성을 보여주는 그래프이다.

도 12는 APTES 처리하지 않은 ZnO를 포함하는 TFT (도 12의 a))와 APTES 처리한 ZnO를 포함하는 TFT (도 12의 b)) 의 출력 특성을 보여주는 그래프이다.

도 13은 다양한 농도의 APTES 로 처리한 ZnO를 포함하는 TFT 의 전달 특성을 비교하는 그래프이다.

도 14는 다양한 농도의 APTES 로 처리한 ZnO의 포화 이동도를 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명에 대해 상세히 설명한다.

[0028] 본 출원에서 사용한 용어는 단지 특정한 구현예를 설명하기 위해 사용된 것으로서 본 발명을 한정하려는 의도가 아니다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.

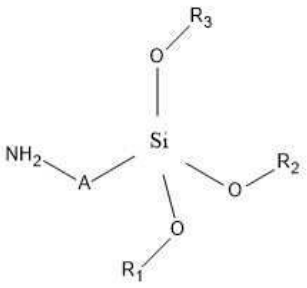
[0029] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다, "함유"한다, "가지다"라고 할 때, 이는 특별히 달리 정의되지 않는 한, 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.

[0030] 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 전술한 용어들에 의해 제한되는 것은 아니다.

[0031] 층, 막 등의 어떤 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 또는 "바로 상에" 있어서 어떤 부분과 다른 부분이 서로 접해 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 존재하는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 또는 "바로 상에" 있다고 할 때는 중간에 다른 부분이 없는 것을 의미한다.

[0033] 본 발명은, 하기 화학식 1의 실란 화합물을 0 초과 내지 15 부피% 미만의 농도로 함유하는 용액을 사용하여 전자 소자의 반도체층으로서의 금속 산화물 박막을 처리하는 것을 특징으로 하는, 금속 산화물 박막에 캐리어를 n형 도핑하는 방법을 제공한다.

[0034] [화학식 1]



[0035]

[0036] 상기 화학식 1에서, R_1, R_2, 및 R_3은 각각 독립적으로 탄소수 1 내지 3개의 직쇄 알킬기이다. 구체적으로는,

R_1, R_2, 및 R_3은 탄소수 1 내지 2개의 직쇄 알킬기일 수 있고, 여기서 R_1, R_2, 및 R_3은 서로 동일하거나 상이할 수 있다. 예를 들어, R_1, R_2, 및 R_3은 서로 동일하고, 메틸 또는 에틸일 수 있다.

[0037] 상기 화학식 1에서, A는 탄소수 1 내지 10개의 직쇄 알킬기 또는 $-R_4-NH-R_5-$이고, 여기서, R_4 및 R_5는 각각 독립적으로 탄소수 1 내지 5개의 직쇄 알킬기이다. 구체적으로는, A는 탄소수 1 내지 6개의 직쇄 알킬기일 수 있고, 더욱 구체적으로는 탄소수 2 내지 5개의 직쇄 알킬기일 수 있다.

[0038] 상기 화학식 1의 실란 화합물에 대한 구체적 예로는, N-2(아미노에틸)-3-아미노프로필트리메톡시실란, 3-아미노프로필트리메톡시실란 (APTMS), 및 3-아미노프로필트리에톡시실란 (APTES)을 들 수 있다.

[0039] 상기 화학식 1의 실란 화합물은 용매 중에 0 초과 내지 15 부피% 미만의 농도로 용해되어 용액으로서 사용될 수 있다.

[0040] 여기서, 상기 용매는 화학식 1의 실란 화합물을 충분히 용해시킬 수 있고 금속 산화물 박막을 비롯한 전자 소자의 성능에 악영향을 미치지 않는다면 특별히 제한되지 않는다. 통상적으로는 상기 용매로서 물 또는 알콜, 예를 들어 메탄올, 에탄올 또는 이소프로판올이 사용될 수 있다.

[0041] 용액 중에서 상기 실란 화합물의 농도는 0 초과 내지 15 부피% 미만일 수 있다. 이하에서 상세히 설명하겠지만, 상기 실란 화합물은 상기 금속 산화물 박막에 트랩된 전자를 해방시켜서 금속 산화물 박막에 전자 캐리어가 n형 도핑되게 하여주는 역할을 한다. 이에, 상기 실란 화합물의 농도가 높아질수록 금속 산화물 박막인 반도체층으로의 캐리어 도핑 수준이 더 높아질 수 있다. 다만, 상기 실란 화합물의 농도에 따른 구체적인 캐리어 도핑 수준은, 실란 화합물로 코팅될 금속 산화물의 종류 및 산소 공공 정도 등과 같은 변수에 따라 달라질 수 있다. 통상적으로는, 상기 실란 화합물의 농도가 0 초과 내지 7.5 부피% 미만의 농도일 경우, 도핑 수준이 낮거나 중간 정도일 수 있고, 이에, 박막 트랜지스터, 센서, 태양 전지, 또는 발광 다이오드와 같은 전자 소자의 반도체층, 구체적으로 박막 트랜지스터의 활성층, 센서의 활성층, 태양 전지의 전자 전달층, 또는 발광 다이오드의 전자 전달층을 도핑하는데 적합하게 사용될 수 있다. 또한, 통상적으로는, 상기 실란 화합물의 농도가 7.5 부피% 이상 내지 15 부피% 미만의 농도일 경우, 고농도의 도핑이 발생할 수 있고, 이에, 열전 소자 또는 플라즈모닉 소자와 같은 전자 소자의 반도체층을 도핑하는데 적합하게 사용될 수 있다. 상기 농도가 15 부피% 이상일 경우, 반도체층에 전자 캐리어가 과도하게 도핑되어 반도체층의 성질이 금속으로 변화될 수 있으므로, 반도체층으로서 기능하기에는 곤란해질 수 있다.

[0042] 상기 실란 화합물은 용매 중의 용액 상태로 사용되므로, 상기 금속 산화물 박막을 상기 실란 화합물로 처리하는 단계는 상기 금속 산화물 박막을 상기 실란 화합물의 용액으로 용액 공정에 의해 코팅함으로써 수행될 수 있다. 여기서 상기 용액 공정은 특별히 제한되지는 않으나, 예를 들어 딥 코팅, 스핀 코팅, 또는 스프레이 코팅일 수 있다. 상기 용액 공정은 상온 및 상압 하에서 수행될 수 있다. 이러한 용액 공정을 통한 코팅에 의해 상기 금속 산화물 박막 상에 상기 실란 화합물의 막이 형성될 수 있으며, 여기서, 상기 실란 화합물 막의 두께는 구체적인 코팅 조건, 예를 들어 실란 화합물 용액의 양과 스핀 속도 등에 따라 달라질 수는 있으나, 통상적으로는 5 내지 120 nm, 구체적으로는 10 내지 100 nm 일 수 있다.

[0043] 상기 실란 화합물이 금속 산화물 박막을 n형 도핑하는 단계에 대해 구체적으로 설명하면, 상기 실란 화합물은 상기 금속 산화물 박막 상에 코팅되어 이를 패시베이션함으로써 금속 산화물 박막의 산소 공공 내에 트랩된 전자를 해방시켜주는 역할을 하고 이에 따라 해방된 전자가 금속 산화물 박막을 n형 도핑하는 것으로 이해될 수 있다.

[0044] 이러한 실란 화합물에 의한 n형 도핑 메커니즘에 대해 도 1을 참조하여 더욱 구체적으로 설명하면 다음과 같다.

[0045] 도 1은 실란 화합물 (예를 들어, APTES)로의 처리 전 (도 1의 a))과 처리 후 (도 1의 b))의 금속 산화물 (예를 들어 ZnO)의 표면 모폴로지를 개괄적으로 보여준다. 실란 화합물로의 처리를 하지 않은 금속 산화물 박막의 경우, 히드록시기가 표면에 형성되어 있는데, 이러한 표면 상의 히드록시기가 실란 화합물과의 부착성을 증진시켜 줄 수 있다 (도 1의 a) 참고). 이러한 -OH 기는 금속 산화물 박막 위를 UV-오존 처리함으로써 형성될 수 있는데, 이러한 -OH 기의 형성에 의해 표면 제어에 용이한 상태가 될 수 있다. 도 1의 b)를 참고하면, 중성 조건 하에서 실란 화합물로의 처리 이후, 실란 화합물의 층이 히드록시기(-OH)에 변화를 주지 않고 금속 산화물 박막의 표면에 형성되지만, 염기성 조건이 되면 히드록시기(-OH)가 탈양자화(deprotonation)되어 표면에 O^- 를 형성시킨다. 후술하는 실시예에서 탈이온수로 제조한 APTES (실란 화합물)의 용액은 염기성 (pH ~ 11)이므로, 이와

같이 실란 화합물의 용액으로 처리한 금속 산화물 박막은 표면에 O^- 를 형성하고, 이에 따라, 양으로 하전되어 있는 산소 공공을 패시베이션한다 (도 1의 b) 참고). 그 결과, 트랩된 전자가 해방되어 금속 산화물 박막의 n형 농도를 증가시킨다. 또한, 후술하는 실시예에서도 확인할 수 있듯이, 이와 같은 실란 화합물로의 처리에 의해 줄어든 트랩은 박막 트랜지스터와 같은 전자 소자의 히스테리시스를 감소시켜주는 역할을 한다.

[0046] 전술한 도 1의 설명에서도 알 수 있는 바와 같이, 본 발명의 바람직한 일 구현예에 따르면, 화학식 1의 실란 화합물을 함유하는 용액은 염기성 용액, 구체적으로는 pH 7 초과일 수 있다. 이와 같이 실란 화합물의 용액을 염기성으로 함으로써 금속 산화물 박막의 표면 상에 있는 -OH 기가 O^- 로 용이하게 탈양자화될 수 있다.

[0047] 이하에서는, 본 발명의 n형 도핑 방법의 일 실시예로서, ZnO를 금속 산화물로 이용한 박막 트랜지스터의 제조 방법에 대한 도 2를 참조하여 구체적으로 설명한다.

[0048] 도 1의 (a) 단계는 기판 상에 금속산화물(ZnO) 졸 용액을 스핀 코팅하는 단계이다. 상기 기판은 디스플레이 및 태양 전지와 같은 전자 소자의 기판으로 사용되는 임의의 기판, 예를 들어, 유리, 실리콘 웨이퍼, 또는 플렉서블 기판, 예를 들어 박형 유리, 금속 호일, 고무질 기판, 및 폴리머 기판, 구체적으로 PI (Polyimide), PET (Polyethylene Terephthalate), PES (Polyether Sulfone), PEN (Polyethylene Naphthalate), PDMS(Polydimethyl Siloxane) 기판 등일 수 있다. 상기 기판은 금속 산화물 졸과의 부착성 향상을 위해 UV-오존 처리 혹은 플라즈마 처리를 미리 수행하는 것이 바람직하다. 금속 산화물로서는 상기 예시한 산화아연(ZnO) 이외에도, 반도체로서 사용될 수 있는 임의 금속 산화물, 예를 들어, InZnO 및 InGaZnO 등을 사용하여도 좋다. 또한, 상기 금속산화물 졸 용액의 코팅은 임의의 용액 코팅 방법일 수 있으며, 상기 예시한 스핀 코팅 이외에, 예를 들어 딥 코팅, 스프레이 코팅 등이 사용될 수 있다.

[0049] 도 2의 (b) 단계는 상기 기판 상에 형성된 ZnO(금속산화물) 졸을 어닐링하여 겔로 형성하는 단계이다. 본 단계는 졸에 포함되어 있는 용매와 안정제들을 증발시키고 이로써 금속 산화물 졸이 겔화되어 반도체층을 형성한다.

[0050] 도 2의 (c) 단계는 상기 반도체층 상에 전극을 형성하는 단계이다. 상기 전극은 열 증착과 같은 통상의 방법에 의해 형성될 수 있으며, Cr, Mo, Ta, Cu, Ti, Al 또는 Al 합금과 같이 도전성이 좋은 금속을 사용할 수 있다. 상기 전극은 구체적으로는 박막 트랜지스터의 소스 전극 또는 드레인 전극일 수 있다.

[0051] 도 2의 (d) 단계는 상기 형성된 금속 산화물(ZnO) 박막을 UV-오존 처리하는 단계이다. 앞서 도 1과 관련하여 설명한 바와 같이, 금속 산화물 박막 위를 UV-오존 처리함으로써 금속 산화물 박막의 표면에 -OH 기가 형성될 수 있고, 이러한 -OH 기에 의해 표면 제어가 용이한 상태가 될 수 있다.이에 따라, 본 발명의 일 구현예에 따르면, 본 발명의 금속 산화물 박막에 캐리어를 n형 도핑하는 방법은 화학식 1의 실란 화합물의 용액으로 금속 산화물 박막을 처리하기 전에 금속 산화물 박막의 표면을 UV-오존으로 처리하는 단계를 추가로 더 포함할 수 있다. 이러한 UV-오존 처리 단계는 상기 금속 산화물 박막을 184 내지 254 nm의 UV 광으로 1 내지 15 분 동안, 예를 들어 3 내지 7분 동안 조사시켜 수행될 수 있다.

[0052] 도 2의 (e) 및 (f) 단계는 각각, 실란 화합물 (APTES) 용액으로 코팅하는 단계이다. 상기 코팅은 상온 및 상압 하에서 용액 공정에 의해 수행될 수 있으며, 예를 들어, 딥 코팅, 스핀 코팅 또는 스프레이 코팅에 의해 수행될 수 있다. 상기 코팅에 의해 상기 금속 산화물 박막 위에 실란 화합물의 층이 형성될 수 있다.

[0053] 본 발명의 다른 일 양태에 따르면, 본 발명의 전술한 캐리어를 n형 도핑하는 방법에 의해 제조된 금속 산화물 박막을 반도체층으로 포함하는 전자 소자, 및 상기 전자 소자를 포함하는 전자 장치가 제공된다.

[0054] 상기 전자 소자는 구체적으로는, 박막 트랜지스터, 센서, 태양 전지, 발광 다이오드, 열전 소자, 또는 플라즈모닉 소자일 수 있다. 예를 들어, 상기 전자 소자가 박막 트랜지스터일 경우, 상기 기판, 상기 기판 상의 상기 금속 산화물 박막, 및 상기 금속 산화물 박막 상에 형성된 화학식 1의 실란 화합물 층 이외에도 게이트 전극 (예를 들어, Ag 또는 Al 게이트 전극), 게이트 절연막 (예를 들어 산화실리콘 절연막), 소스 전극, 또는 드레인 전극 등을 추가로 더 포함할 수 있다.

[0055] 상기 전자 장치는 초고해상도 디스플레이와 같은 디스플레이, 웨어러블 기기 등일 수 있다.

[0056] 이하에서는 본 발명의 실시예를 참조하여 발명을 더욱 구체적으로 설명하겠다. 실시예는 발명의 설명을 위해 제시되는 것이므로, 본 발명이 이에 한정되는 것은 아니다.

[0058] [실시예]

[0059] 재료

[0060] 수산화암모늄(NH_4OH, 28%) (Alfa Aesar 제품), 수산화아연 ($Zn(OH)_2$) (Junsei Chemical Co., Ltd. 제품), 3-아미노프로필트리에톡시실란 (APTES) (Sigma-Aldrich 제품), 건식 열 산화에 의해 증착된 SiO_2 층 (285 nm 두께)이 있는 고농도 도핑 p형(heavily doped p-type) Si 웨이퍼 (> 2.055 $\times 10^{19}$ cm^{-3})(Wafer Biz 제품).

[0062] ZnO 졸 용액의 합성

[0063] $Zn(OH)_2$ (248 mg), NH_4OH (22.5 mL) 및 탈이온수(DI) (2.5 mL)를 50 mL 코니칼 튜브에 넣었다. 상온 하에서 상기 혼합물을 12 시간 동안 격렬히 교반하여 ZnO 졸 용액을 수득하였다. 소자 제조에 사용하기 전에 상기 용액은 15 분 동안 70℃에서 어닐링(annealing) 되었다.

[0065] 기판의 준비

[0066] 자외선-가시광선(UV-Vis) 분광분석 및 푸리에 변환 적외선 분광분석(FTIR)용으로는 유리 기판을 사용하고, 주사전자 현미경 (SEM) 및 에너지 분산형 X선 분광기가 장착된 SEM (SEM-EDX) 분석에는 Au 증착된 유리 기판을 사용하였다. TFT (박막 트랜지스터)에는, 건식 열 산화에 의해 증착된 SiO_2 층 (285 nm 두께)이 있는 고농도 도핑 p형 Si 웨이퍼를 사용하였다. 모든 기판은 아세톤, 이소프로판올, 및 탈이온수를 순차적으로 사용하여 초음파로 미리 세정하였다. 수산화물 라디칼을 형성하는 UV-오존에 기판을 노출시켜 강한 UV 광 (184 및 254 nm)을 조사하여, 반응성이 높은 히드록실 기가 기판 표면에 형성되도록 하였다. UV-오존 처리를 30 분 동안 수행하여 ZnO 졸 용액과의 부착성을 향상시켰다. ZnO 졸 용액을 30 초 동안에 3000 rpm 으로 스핀 코팅하고 200℃에서 1 시간 동안 어닐링하여 졸-겔 박막을 형성시켰다.

[0068] ZnO 졸-겔 TFT 제작

[0069] 건식 산화에 의해 증착된 SiO_2 층 (285 nm 두께)이 있는 고농도 도핑 p형 Si 웨이퍼에 앞서 "기판의 준비"에서 설명한 바에 따라 ZnO 졸-겔 박막을 형성시켰다. 소스 전극과 드레인 전극용으로 Al 전극 (70 nm)를 열 증착시켰고, 여기서 모든 소자에 대한 채널 길이(L) 대 폭(W) 정수비는 15 였다.

[0071] APTES 처리

[0072] ZnO 졸-겔 TFT를 UV-오존 (UV-O)에 5 분 동안 노출시켜 APTES 용액과의 부착성을 향상시켰다. APTES 용액을 다양한 농도로 하여 (탈이온수 중 2.5 부피%, 3.75 부피%, 5 부피%, 7.5 부피%, 10 부피%, 및 15 부피%), 이를 30 초 동안 3000 rpm 으로 ZnO 졸-겔 TFT 에 스핀 코팅하였다. APTES 의 두께는 10 내지 100 nm 였다.

[0074] 전기적 특성 측정

[0075] 프로브 스테이션(probe station)(모델 M5VC, MSTECH) 및 파라미터 분석기 (모델 4200A-SCS, Keithley)를 사용하여 ZnO 박막의 전기적 특성을 측정하였다. ZnO TFT의 포화 이동도 (μ)를 아래의 수학식 1에 따라 계산하였다.

[0076] [수학식 1]

[0077]
$$\mu = \frac{2L}{WC}\left(\frac{\partial\sqrt{I_{DS}}}{\partial V_G}\right)^2$$

[0078] 상기 수학식 1에서, V_G는 게이트 전압이고, L, W, 및 C는 각각 채널 길이, 폭, 및 산화물 커패시턴스이다.

[0079] TFT의 히스테리시스 값은 I_{DS} 대 V_G의 선형 플롯에서 순방향 스윕(forward sweep)과 역방향 스윕(reverse sweep) 사이의 가장 큰 전압차를 찾아서 계산하였다.

[0081] <u>광학적 특성, 화학적 특성, 및 구조적 특성의 분석</u>

[0082] UV-Vis 분광기 (모델 Cary 5000, Agilent Technologies), FTIR 분광기 (모델 LabRam ARAMIS IR2, Horiba Jobin Yvon), 헬륨 I 방사선 (21.2 eV)을 사용하는 UPS (Ultra DLD, Korea Basis Science Institute), SEM-EDX (Hitachi S-4300), XPS (X-TOOL, ULVAC-PHI), X-선 회절(XRD) 분석기 (Rigaku SmartLab), 및 광발광(PL) 분광기 (SPEX1403, Korea Basis Science Institute)를 사용하여 ZnO 박막의 성질을 검사하였다. ZnO 졸 희석액을 사용하여 SEM 및 SEM-EDX 이미지를 얻고, 각 조건에서의 표면과 성분을 상세히 비교하였다. 용액의 pH 값은 pH 시험기 (모델 35634-30, Oakton)를 통해 측정하였다. 표면 프로파일러 (ET 200, Kosaka Laboratory Ltd.)를 사용하여 막 두께를 측정하였다. ZnO의 밴드 갭은 아래 수학식 2의 Tauc 관계를 통해 계산하였다:

[0083] [수학식 2]

[0084] $$\alpha hv = B(hv - E_g)^n$$

[0085] 상기 수학식 2에서, α, hv, E_g, B, 및 n은 각각, 흡광 계수, 포톤 에너지, 광학 밴드갭, 밴드 테일링 파라미터, 및 0.5 (직접 밴드갭의 경우)이다. 광학 밴드갭은 α= 0 일 때의 hv 및 $(\alpha hv)^2$ 사이의 곡선의 선형 부분을 외삽하여 구했다.

[0087] <u>실험 결과</u>

[0088] ZnO 박막의 특성 및 UVO와 APTES의 효과를 알아보기 위하여, ZnO 졸 박막, ZnO 졸-겔 박막, UVO 처리되고 APTES 처리되지 않은 졸-겔 박막, 및 UVO 처리되고 2.5% APTES 처리된 졸-겔 박막을 분석하였고, 이들을 이하에 각각, ZnO-졸, ZnO-겔, ZnO (APTES 처리없음), 및 ZnO (APTES 처리)로 표시한다.

[0090] XRD 분석

[0091] 각 ZnO 박막의 구조적 특성을 XRD 분석하였으며, 그 결과를 도 3에 나타내었다. ZnO-졸의 경우, 주목할만한 피이크는 나타나지 않았는데, 이는 ZnO가 아직 결정화되지 않았고 여전히 졸 상태에 있다는 것을 의미한다. ZnO-겔의 경우, 31.98°, 34.6°, 및 36.34°에서 주목할만한 피이크를 나타났고, 이는 섬유아연석형(wurtzite) 구조의 ZnO 에 일치하는 것이다. ZnO (APTES 처리없음) 및 ZnO (APTES 처리)의 경우, 유사한 반치전폭을 갖는 동일한 피이크를 나타내었다. 각 막의 입도는 56.8° 에서의 피이크를 사용하여 Scherrer 방정식으로 계산하였다. 평균 입도는 ZnO-겔의 경우 13.64 nm, ZnO (APTES 처리없음)의 경우 12.89 nm, ZnO (APTES 처리)의 경우 13.88 nm 였다. 이는 ZnO 가 어닐링 이후에 형성되었다는 점 및 UVO 처리 또는 APTES 처리가 ZnO의 결정도에 큰 영향을 미치지 않는다는 점을 가리킨다.

[0093] SEM 분석

[0094] 희석액을 사용하여 ZnO의 구조적 특성을 SEM 분석을 통해 알아보았다. ZnO-겔, ZnO (APTES 처리없음), 및 ZnO (APTES 처리)의 SEM 이미지는 도 4 에서 각각, 좌측, 중간, 및 우측에 나타나 있다. ZnO 졸-겔 박막의 표면은 침전 없이 매우 균일하게 형성되었음을 알 수 있다. UVO 또는 APTES 는 표면을 크게 변화시키지 않았다는 점을 확인할 수 있었다.

[0096] EDX 분석

[0097] 도 5 은 EDX 결과를 나타내는데, 이는 ZnO 졸-겔 박막을 APTES 처리한 후에 ZnO 표면에 존재하는 원자의 원자비를 보여주는 것이다. Zn/O 원자비는 ZnO-졸, ZnO-겔, ZnO (APTES 처리없음), 및 ZnO (APTES 처리)에 대하여 각각, 13.7:86.3, 26.4:73.5, 19:81, 및 4.4:32.8 이었다. ZnO-졸에 비하여 ZnO-겔에서 산소 함량이 더 낮았는데, 이는 어닐링 과정 동안에 H_2O가 탈출한 것에서 비롯되었을 수 있다. ZnO-겔에 비하여 ZnO (APTES 처리없음)에서 O/Zn 비가 더 높았는데, 이는 UVO 처리 동안에 ZnO 표면에 -OH 기가 형성되었다는 점을 나타낸다. ZnO (APTES 처리없음)에 비하여 ZnO (APTES 처리)에서 O/Zn 비가 더 높았는데, 이는 APTES 중의 산소에서 비롯되었을 수 있다. ZnO (APTES 처리)에서 탄소 농도가 높다는 점은 APTES 가 ZnO 표면에 성공적으로 형성되었음을 암시한다.

[0099] FTIR 스펙트럼

[0100] 도 6 는 APTES 처리 후의 FTIR 스펙트럼을 나타내는데 이는 ZnO 박막의 표면 화학을 알아보기 위해 얻은 것이었다. APTES 처리 이전에는, 박막이 주목할만한 피이크를 나타내지 않았다. 그러나, APTES 처리 이후에는, 1500 내지 1600 cm^{-1} 영역에서 -NH의 흡광 피이크 및 2900 cm^{-1} 영역에서 -CH의 흡광 피이크가 검출되었는데, 이는 APTES 가 ZnO-겔 박막에 성공적으로 형성되었음을 나타낸다.

[0102] 전술한 분석 결과를 종합하여 보면, 졸-겔 방법에 의해 결정질 ZnO 박막이 얻어졌고, APTES 는 ZnO (APTES 처리없음) 박막에 잘 형성되었다는 점을 확인할 수 있다.

[0104] 광발광(photoluminescence)(PL)

[0105] 오직 ZnO 박막에 대한 APTES 의 영향만을 알아보기 위해서는, ZnO (APTES 처리없음) 및 ZnO (APTES 처리)의 광학적 특성 및 전자적 특성을 분석해야 한다. 먼저, 광발광 (PL) 분광 분석을 수행하여 광학적 특성에 대해 알아보았다. 도 7 에서, 415 nm 부근의 피이크는 ZnO의 밴드 엣지 피이크이다. 가시광 영역 (500-700 nm)에 있는 폭넓은 피이크는, ZnO 내의 결함부가 밴드 갭 내에 다양한 트랩을 만들었기 때문으로, 트랩과 연관된 피이크에서 유래한 것이다. 결함부의 강도는 APTES 처리 이후에 현저히 감소하였음을 관찰할 수 있다. 이는 트랩이 감소하였기 때문인 것으로 해석할 수 있다. PL 결과는 APTES 가 표면 결함부를 패시베이션할 수 있고 다수의 트랩을 감소시킬 수 있다는 점을 가리킨다.

[0107] UPS, UV-Vis, 에너지 밴드 다이어그램

[0108] APTES 처리시 ZnO의 전자적 특성 및 에너지 밴드 상태에 대해 알아보기 위해 UPS 및 UV-Vis 분광분석을 수행하였다. 이는 특별히, ZnO 박막의 에너지 준위와 도핑 준위에 대한 APTES의 영향을 알아보려는 목적으로 수행된 것이었다. UPS의 컷오프(cut-off) 구역과 시작(onset) 구역으로부터, ZnO (APTES 처리없음) 및 ZnO (APTES 처리)의 페르미 준위 및 원자가 밴드를 계산할 수 있다. ZnO (APTES 처리없음)의 페르미 준위는 -4.16 eV 인 반면, ZnO (APTES 처리)의 페르미 준위는 -2.84 eV 였다 (도 8의 a) 참고). ZnO (APTES 처리없음)과 ZnO (APTES 처리)의 페르미 준위와 원자가 밴드 사이의 차이는 각각 2.00 eV 및 3.28 eV 였고, 이들의 원자가 밴드가 각각 6.30 eV 및 6.15 eV 라는 것을 나타낸다 (도 8의 b) 참고).

[0109] ZnO 막의 광학 밴드 갭은 UV-Vis 흡광 스펙트럼에 기초하되, 도 9의 Tauc 플롯을 사용하여 계산하였다. Tauc 플롯으로부터 추출한 광학 밴드 갭은 3.34 eV 였는데, 이는 ZnO 의 직접 밴드 갭의 값에 잘 일치한다.

[0110] 전체 에너지 밴드 다이어그램을 도 10에 나타내었다. 도 10으로부터, APTES 처리에 의해, ZnO의 페르미 준위가 위쪽으로 쉬프트되어 ZnO의 n형 도핑이 증가하는 것을 알 수 있다. 이는 산소 공공의 깊은 준위(deep level)에 트랩된 전자들이 APTES 처리에 의해 해방되어 ZnO의 전자 캐리어 농도를 증가시켰기 때문이다. 에너지 밴드 및 도핑 농도는 소자의 성능을 결정하기 때문에, TFT 및 그 외 다양한 용도에 중요한 인자이다.

[0111] 본 분석은 APTES 처리를 이용하여 에너지 밴드와 도핑을 조정할 수 있다는 점을 성공적으로 보여주는 것이다.

[0113] **TFT의 전기적 특성**

[0114] 도 11의 a) 는 APTES로 처리하지 않은 ZnO를 포함하는 TFT 의 전달 특성(transfer characteristics)을 V_{DS} = 50 V에서 측정한 그래프로서, I_{on}/I_{off} 비가 8.46×10^4, 이동도가 0.0595 cm^2/Vs, 히스테리시스가 11.5 V, 문턱 전압(threshold voltage) 히스테리시스 (ΔV_{th})가 16 V 였다. 반면에, APTES로 처리한 ZnO를 포함하는 TFT 는 I_{on}/I_{off} 비가 1.67×10^5, 이동도가 0.117 cm^2/Vs, 히스테리시스가 0.77 V, ΔV_{th} 가 2 V 였는 바, 개선된 특성을 나타내었다 (도 11의 b)). APTES로 처리하지 않은 ZnO를 포함하는 TFT 가 높은 히스테리시스를 나타내는 것은 ZnO 층의 전자를 흡착하는 O_2 분자 또는 전하 캐리어 트랩핑(trapping)을 유도하는 표면 결함으로 인한 것이다. 게이트에 양의 바이어스(positive bias)를 인가하면 O_2 분자는 ZnO 층의 전자를 끌어내서 O_2 분자가 O^- 로 되어 전자 농도가 감소한다. APTES 처리한 ZnO의 히스테리시스가 낮은 것은, ZnO 층의 표면에 O_2 가스가 부착되는 것을 방해하고 트랩 자리를 패시베이션하는 APTES의 표면 패시베이션 덕분이다. APTES 처리한 ZnO의 높은 I_{on}/I_{off} 비 및 이동도는, APTES 처리에 의해 야기되는 강한 n형 배열로 인한 것이다. 전자 농도의 증가로 하부의 중간 갭 또는 트랩 상태가 채워져서 전달 특성이 개선될 수 있다.

[0115] 도 12의 a)와 b)는 APTES로 처리하지 않은 ZnO 와 APTES로 처리한 ZnO에 대해, 게이트 전압 바이어스 0 내지 50 V 사이를 10 V 간격로 나누어 측정한 출력 곡선이다. APTES로 처리하지 않은 ZnO 표면에는 트랩이 많기 때문에 게이트 전압 바이어스와 관계없이 전도도가 포화 구역에서 감소하였다. 이에 반해, APTES로 처리한 ZnO 는, APTES가 ZnO 층의 표면을 성공적으로 패시베이션하였기 때문에 포화 구역에서 감소하지 않는 전도도를 나타내었다.

[0116] APTES의 효과를 더 알아보기 위하여 APTES 농도를 변화시키면서 V_{DS} = 50 V 에서의 TFT 성능을 검사하였다. 다양한 농도의 APTES로 처리한 ZnO를 포함하는 TFT 들을 제작하고 전달 곡선 및 전계 효과 이동도를 측정하여 도 13 및 도 14에 나타내었다.

[0118] 아래의 [표 1]은 각 APTES 농도에서의 ZnO TFT 의 on/off 비, 문턱 히스테리시스, 히스테리시스, 및 포화 이동도를 나타낸다.

[0119] [표 1]

APTES 농도 (부피%)	On/Off 비	문턱 전압 히스테리시스 (ΔV_{th})	히스테리시스 (V)	포화 이동도 (cm^2/Vs)
0	8.46×10^4	16	20.22	0.0595
2.5	1.67×10^5	2	1.13	0.117
3.75	6.48×10^4	2	1.68	0.117
5	1.58×10^5	0	2.51	0.134
7.5	4.11×10^2	N/A	4.18	0.179
10	1.12×10^1	N/A	8.13	0.191
15	1.41×10^0	N/A	24.18	0.262

[0120]

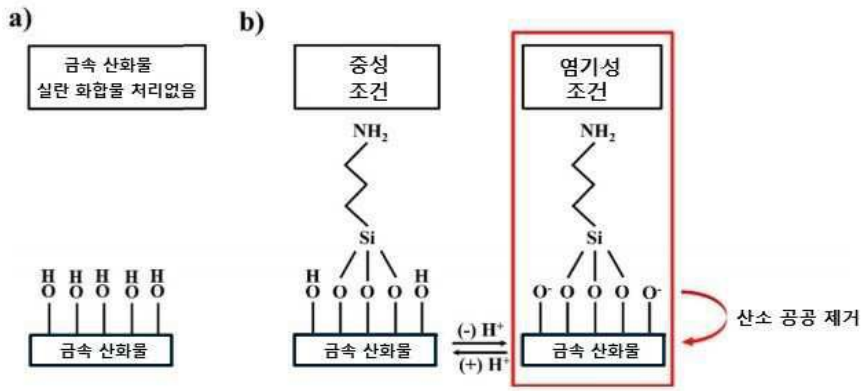
[0121] TFT 의 전자 이동도 및 on 전류는 APTES 농도가 증가함에 따라 증가하였다. 이는 APTES의 농도가 높으면 ZnO 박막의 도핑 수준이 높아지기 때문이다. 또한, 문턱 전압이 APTES 농도의 증가에 따라 음의 영역으로 쉬프트하였다. 이는, APTES 처리로 ZnO 박막이 n형 도핑된다는 것을 분명히 보여주는 것이다. 2.5 부피%의 APTES로 처리한 것이 최적의 조건이었고 이 때의 ZnO TFT 는 중간 정도로 도핑되었고, 10^5의 I_{on}/I_{off} 비, 1.13 V의 히스테리시스, 및 0.117 cm^2/Vs의 이동도를 나타내었다. 7.5 부피%의 APTES로 처리했을 때, ZnO 박막이 작은 게이트 변조로 높은 전도 거동을 나타내었기 때문에, I_{on}/I_{off} 비가 현저히 감소하였다. 이는 약하게 도핑된 반도체에서부터 중간 정도로 도핑된 반도체를 거쳐 고농도로 도핑된 반도체 또는 준-금속(semi-metal)까지 변화했다는 것

을 나타낸다. 상기 전자 소자는 0.2 cm^2/Vs 보다 더 높은 이동도를 나타낸다. 이러한 더 높은 이동도는, 고농도의 APTES 가 전자를 ZnO 박막에 공여하였기 때문에 가능해졌던 것이다. 고농도 도핑은 일부 전자 소자, 예컨대 열전 소자 또는 플라즈모틱(plasmonic) 소자에서 중요하다.

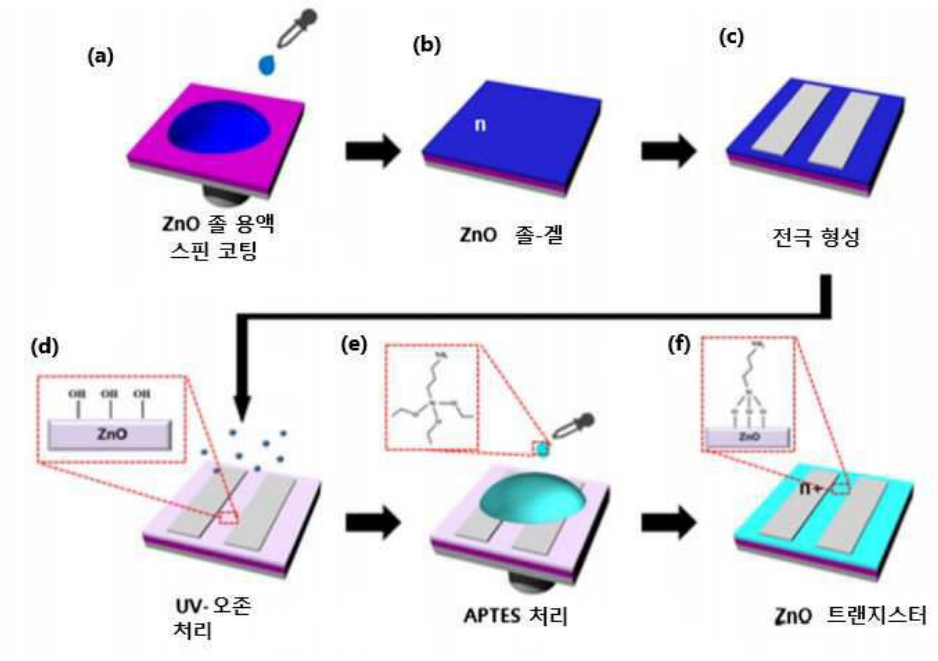
[0123] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

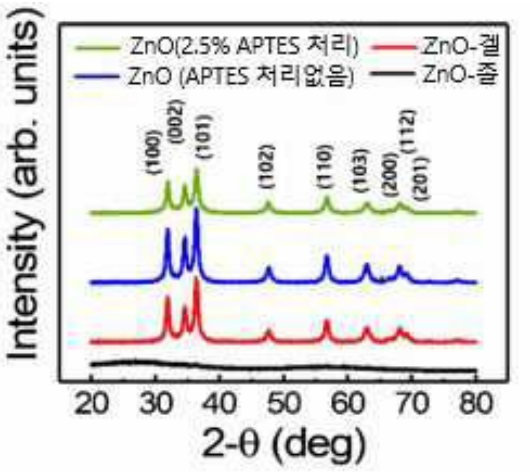
도면1



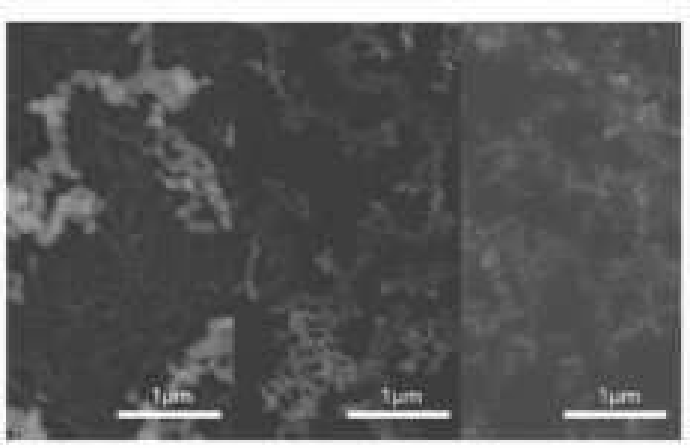
도면2



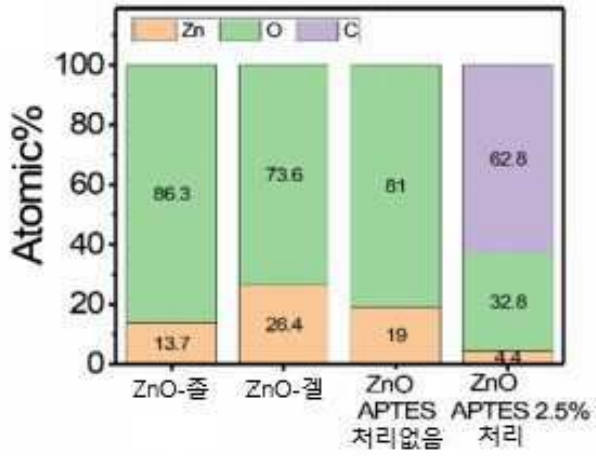
도면3


ZnO(2.5% APTES 처리)
ZnO-겔
ZnO (APTES 처리없음)
ZnO-졸
(100)
(002)
(101)
(102)
(110)
(103)
(200)
(112)
(201)
Intensity (arb. units)
20 30 40 50 60 70 80
2-θ (deg)

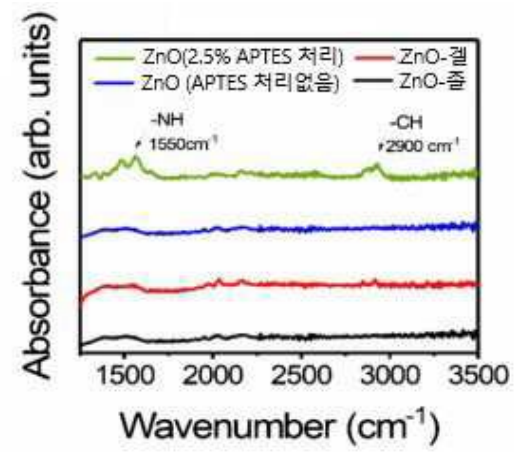
도면4


1μm
1μm
1μm

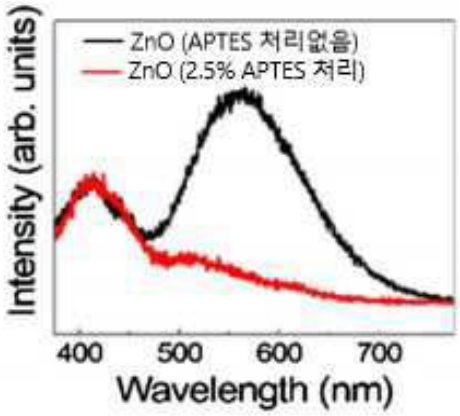
도면5


Zn
O
C
Atomic%
100
80
60
40
20
0
86.3
13.7
73.6
26.4
81
19
62.8
32.8
4.4
ZnO-졸
ZnO-겔
ZnO APTES 처리없음
ZnO APTES 2.5% 처리

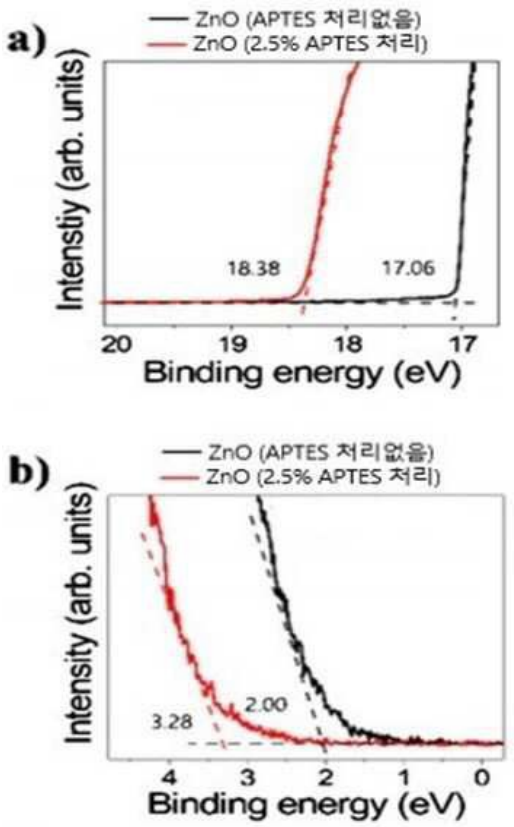
도면6


ZnO(2.5% APTES 처리)
ZnO-겔
ZnO (APTES 처리없음)
ZnO-졸
-NH
1550cm-1
-CH
2900 cm-1
Absorbance (arb. units)
1500
2000
2500
3000
3500
Wavenumber (cm-1)

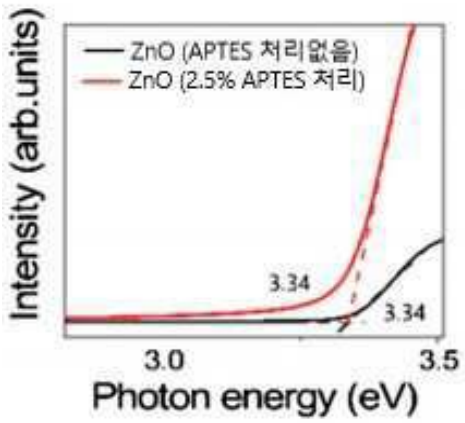
도면7


ZnO (APTES 처리없음)
ZnO (2.5% APTES 처리)
Intensity (arb. units)
400
500
600
700
Wavelength (nm)

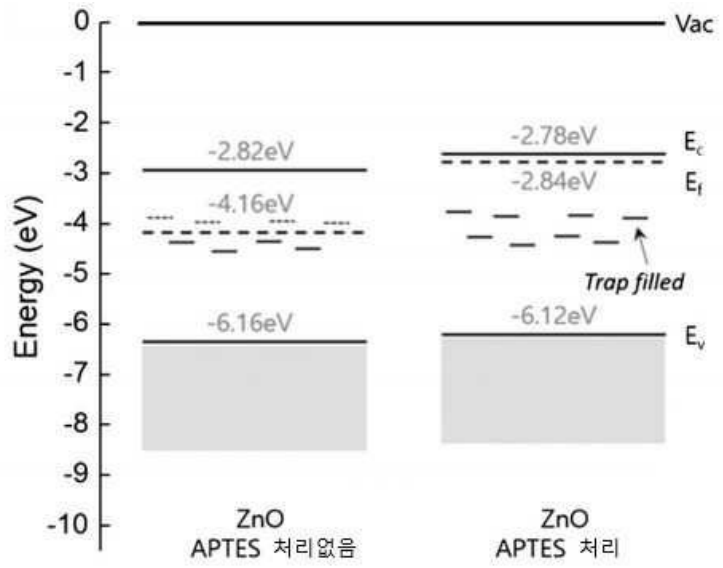
도면8


a)
ZnO (APTES 처리없음)
ZnO (2.5% APTES 처리)
Intenstiy (arb. units)
18.38
17.06
20
19
18
17
Binding energy (eV)
b)
ZnO (APTES 처리없음)
ZnO (2.5% APTES 처리)
Intensity (arb. units)
3.28
2.00
4
3
2
1
0
Binding energy (eV)

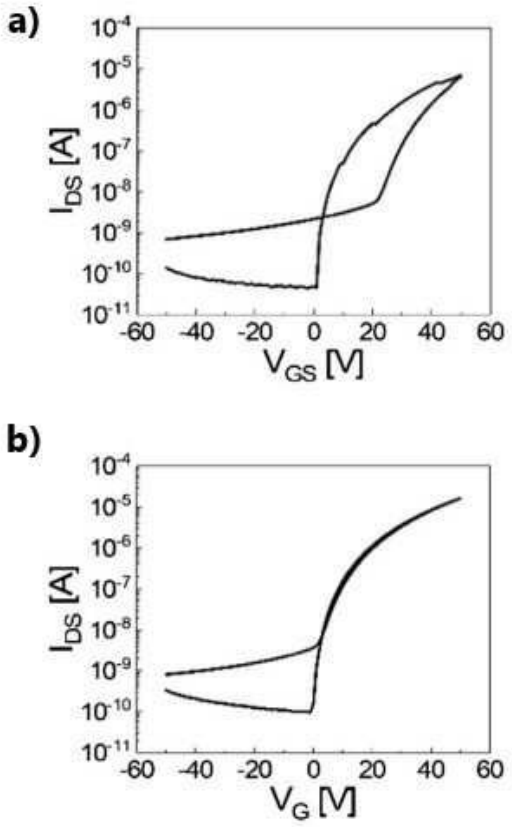
도면9


Intensity (arb.units)
ZnO (APTES 처리없음)
ZnO (2.5% APTES 처리)
3.34
3.34
3.0
3.5
Photon energy (eV)

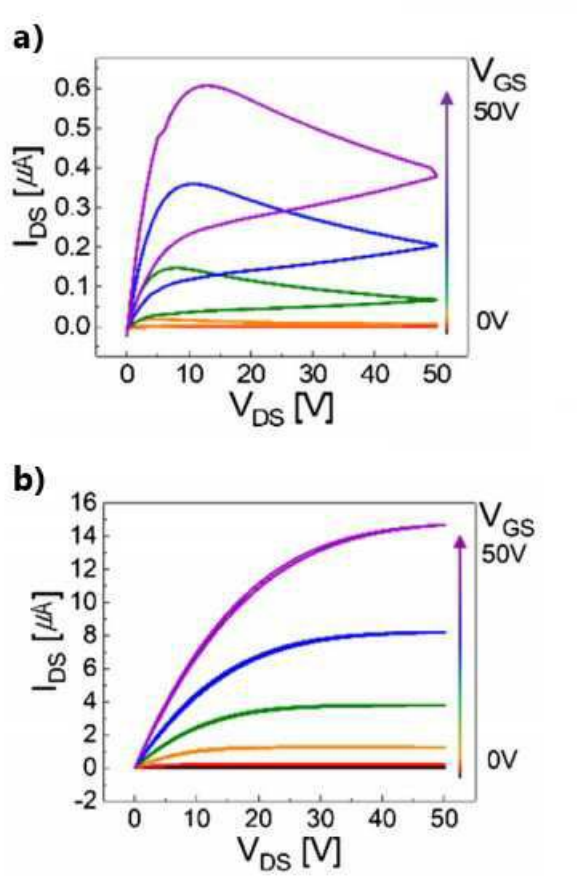
도면10


Vac
-2.82eV
-4.16eV
-6.16eV
-2.78eV
-2.84eV
-6.12eV
Ec
Ef
Ev
Trap filled
Energy (eV)
ZnO
APTES 처리없음
ZnO
APTES 처리

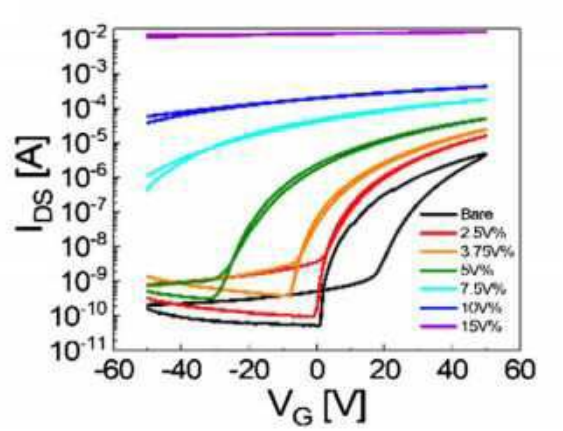
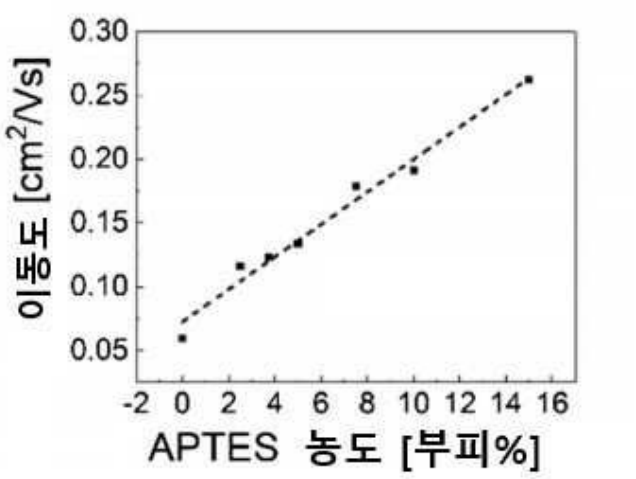
도면11


a)
IDS [A]
VGS [V]
b)
IDS [A]
VG [V]

도면12


a)
V_{GS}
50V
0V
I_{DS} [μA]
V_{DS} [V]
b)
V_{GS}
50V
0V
I_{DS} [μA]
V_{DS} [V]

도면13


I_{DS} [A]
V_G [V]
Bare
2.5V%
3.75V%
5V%
7.5V%
10V%
15V%

도면14