



(12) 发明专利

(10) 授权公告号 CN 110010187 B

(45) 授权公告日 2024. 09. 17

(21) 申请号 201811409219.1
(22) 申请日 2018.11.23
(65) 同一申请的已公布的文献号
申请公布号 CN 110010187 A
(43) 申请公布日 2019.07.12
(30) 优先权数据
10-2017-0158829 2017.11.24 KR
(73) 专利权人 三星电子株式会社
地址 韩国京畿道
(72) 发明人 金经纶
(74) 专利代理机构 北京天昊联合知识产权代理
有限公司 11112
专利代理师 赵南 张帆

(51) Int. Cl.
G11C 29/00 (2006.01)
G11C 29/44 (2006.01)
(56) 对比文件
US 2008072121 A1, 2008.03.20
审查员 邱爽

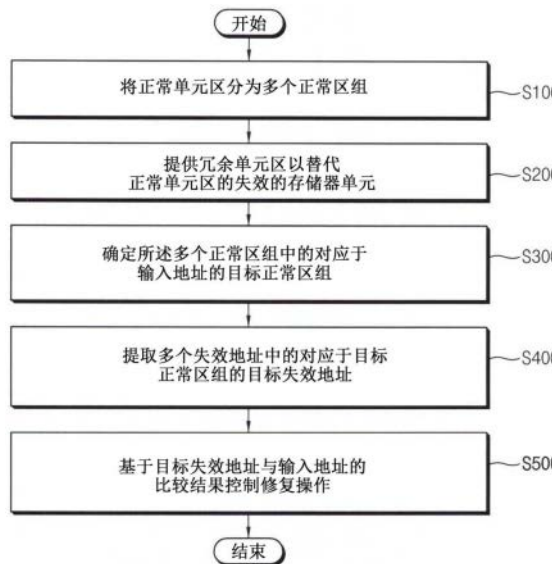
权利要求书3页 说明书15页 附图20页

(54) 发明名称

半导体存储器装置及其操作方法

(57) 摘要

本申请提供了一种半导体存储器装置及其操作方法。所述半导体存储器装置具有存储器单元阵列和修复控制电路。存储器单元阵列包括正常单元区和冗余单元区,正常单元区包括多个正常区组,冗余单元区被构造为替代正常单元区的失效的存储器单元。修复控制电路被构造为:基于输入地址从所述多个正常区组中确定目标正常区组,基于目标正常区组从多个失效地址中提取目标失效地址,以及基于目标失效地址和输入地址控制修复操作。



1. 一种半导体存储器装置,包括:
存储器单元阵列,其包括正常单元区和冗余单元区,所述正常单元区包括多个正常区组,所述冗余单元区被构造为替代所述正常单元区的失效的存储器单元;以及
修复控制电路,其被构造为,
基于输入地址从所述多个正常区组中确定目标正常区组,
基于所述目标正常区组从多个失效地址中提取目标失效地址,以及
基于所述目标失效地址和所述输入地址控制修复操作,其中,所述多个正常区组包括 2^M 个正常区组,
所述输入地址的比特数为N个输入比特,并且
所述多个失效地址中的每一个的比特数为N-M,N是自然数,M是小于N的自然数。
2. 根据权利要求1所述的半导体存储器装置,其中,所述多个正常区组中的每一个包括多个子区,以使得所述多个子区中的邻近于彼此的子区位于所述多个正常区组中的不同的正常区组中。
3. 根据权利要求2所述的半导体存储器装置,其中,在所述多个正常区组中的每一个中,所述多个子区根据循环方案在列方向上按次序排列。
4. 根据权利要求1所述的半导体存储器装置,其中,所述多个失效地址中的每一个的比特数小于所述输入地址的比特数。
5. 根据权利要求1所述的半导体存储器装置,其中,所述输入地址包括表示所述目标正常区组的一个或多个组标识位。
6. 根据权利要求5所述的半导体存储器装置,其中,所述修复控制电路包括:
组选择电路,其被构造为基于所述组标识位产生多个组选择信号,所述多个组选择信号表示所述目标正常区组;
地址存储电路,其被构造为存储所述多个失效地址,以及基于所述多个组选择信号从所述多个失效地址中提取所述目标失效地址;以及
比较电路,其被构造为基于所述输入地址和所述目标失效地址产生修复控制信号。
7. 根据权利要求6所述的半导体存储器装置,其中,所述比较电路由所述多个正常区组共享。
8. 根据权利要求6所述的半导体存储器装置,其中,
所述比较电路包括多个比较器,其被构造为将所述目标失效地址与所述输入地址进行比较,并且
其中,所述多个比较器的数量小于能够存储在所述地址存储电路中的所述失效地址的数量。
9. 根据权利要求8所述的半导体存储器装置,其中,
所述多个比较器的数量为P,并且所述多个正常区组的数量为Q,并且
能够存储在所述地址存储电路中的所述失效地址的数量为 $P \times Q$,P和Q为自然数。
10. 根据权利要求8所述的半导体存储器装置,其中,
所述输入地址包括所述一个或多个组标识位和其它比特,
所述多个比较器中的每一个包括多个逻辑门,其被构造为执行所述目标失效地址之一的比特与所述输入地址的所述其它比特的按位比较,并且

各个比较器中的所述多个逻辑门的数量为 $N-M$ 。

11. 根据权利要求2所述的半导体存储器装置, 其中, 所述输入地址包括一个或多个组标识位以及一个或多个子区标识位, 所述一个或多个组标识位表示所述目标正常区组, 并且所述一个或多个子区标识位表示所述多个子区中的目标子区。

12. 根据权利要求11所述的半导体存储器装置, 其中, 所述输入地址中的所述组标识位是比所述输入地址中的所述子区标识位更低的有效位。

13. 根据权利要求2所述的半导体存储器装置, 其中, 所述半导体存储器装置被构造为以行为单位执行行修复操作以修复所述失效的存储器单元, 以使得所述多个子区中的每一个对应于多条字线。

14. 根据权利要求2所述的半导体存储器装置, 其中, 所述半导体存储器装置被构造为在多个存储器块中的每一个中以列为单位执行列修复操作以修复所述失效的存储器单元, 以使得所述多个子区对应于所述多个存储器块, 并且所述冗余单元区的字线与所述正常单元区的字线不同。

15. 根据权利要求1所述的半导体存储器装置, 其中, 所述冗余单元区包括多个冗余区组, 所述多个冗余区组被构造为替代所述多个正常区组中的对应的正常区组中的所述失效的存储器单元。

16. 根据权利要求1所述的半导体存储器装置, 其中, 所述冗余单元区由所述多个正常区组共享, 以使得所述冗余单元区被构造为替代所述多个正常区组中的所述失效的存储器单元。

17. 一种半导体存储器装置, 包括:

正常单元区, 其包括多个正常区组, 所述多个正常区组中的每一个包括多个子区, 包括在所述多个正常区组中的对应一个中的所述多个子区根据循环方案在列方向上按次序逐个排列;

冗余单元区, 其被构造为替代所述正常单元区的失效的存储器单元; 以及
修复控制电路, 其被构造为,

基于输入地址确定所述多个正常区组中的目标正常区组,

基于所述目标正常区组从多个失效地址中提取目标失效地址, 以及

基于所述目标失效地址和所述输入地址控制修复操作, 其中, 所述多个正常区组包括 2^M 个正常区组,

所述输入地址的比特数为 N 个输入比特, 并且

所述多个失效地址中的每一个的比特数为 $N-M$, N 是自然数, M 是小于 N 的自然数。

18. 一种操作半导体存储器装置的方法, 所述半导体存储器装置包括正常单元区和冗余单元区, 所述正常单元区分为多个正常区组, 并且所述冗余单元区被构造为替代所述正常单元区的失效的存储器单元, 所述方法包括以下步骤:

基于输入地址从所述多个正常区组中确定目标正常区组;

基于所述目标正常区组从多个失效地址中提取目标失效地址; 以及

基于所述目标失效地址和所述输入地址控制修复操作,

其中, 所述多个正常区组包括 2^M 个正常区组,

所述输入地址的比特数为 N 个输入比特, 并且

所述多个失效地址中的每一个的比特数为 $N-M$, N 是自然数, M 是小于 N 的自然数。

19. 根据权利要求18所述的方法,还包括以下步骤:

将所述多个正常区组中的每一个划分为多个子区;以及

根据循环方案将包括在对应的正常区组中的所述多个子区在列方向上按次序逐个排列。

半导体存储器装置及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年11月24日在韩国知识产权局提交的韩国专利申请No.10-2017-0158829的优先权,该申请的公开以引用方式全文并入本文中。

技术领域

[0003] 示例实施例一般性地涉及半导体集成电路。例如,至少一些示例实施例涉及一种半导体存储器装置和/或一种操作半导体存储器装置的方法,用于有效修复操作。

背景技术

[0004] 半导体存储器装置可划分为诸如闪速存储器的非易失性存储器装置和诸如动态随机存取存储器(DRAM)的易失性存储器装置。闪速存储器可用于作用于存储海量数据的贮存器,并且DRAM可用于作用于存储系统数据的主要存储器。近来,半导体存储器装置的制造规模减小,以增大集成度,因此,比特错误率可增加,产率可下降。为了确保特定程度的产率,可使用利用冗余资源的修复方案。然而,半导体存储器装置的大小可增大以实施修复方案。

发明内容

[0005] 一些示例实施例可提供一种半导体存储器装置和/或一种操作半导体存储器装置的方法,能够有效执行修复操作。

[0006] 一些示例实施例涉及一种半导体存储器装置,该半导体存储器装置包括:存储器单元阵列,其包括正常单元区和冗余单元区,正常单元区包括多个正常区组,冗余单元区被构造为替代正常单元区的失效的存储器单元;以及修复控制电路,其被构造为基于输入地址从所述多个正常区组中确定目标正常区组,基于目标正常区组从多个失效地址中提取目标失效地址,以及基于目标失效地址和输入地址控制修复操作。

[0007] 一些示例实施例涉及一种半导体存储器装置,该半导体存储器装置包括:正常单元区,其包括多个正常区组,所述正常区组中的每一个包括多个子区,包括在正常区组中的对应一个中的所述多个子区根据循环方案在列方向上按次序逐个排列;冗余单元区,其被构造为替代正常单元区的失效的存储器单元;以及修复控制电路,其被构造为,基于输入地址确定所述多个正常区组中的目标正常区组,基于目标正常区组从多个失效地址中提取目标失效地址,以及基于目标失效地址和输入地址控制修复操作。

[0008] 一些示例实施例涉及一种操作半导体存储器装置的方法,所述半导体存储器装置包括正常单元区和冗余单元区,正常单元区分为多个正常区组,并且冗余单元区被构造为替代正常单元区的失效的存储器单元。在一些示例实施例中,所述方法包括以下步骤:基于输入地址从所述多个正常区组中确定目标正常区组;基于目标正常区组从多个失效地址中提取目标失效地址;以及基于目标失效地址和输入地址控制修复操作。

[0009] 根据示例实施例的半导体存储器装置和操作半导体存储器装置的方法可通过将正常单元区分组为所述多个正常区组以减少比较器的数量和被存储和用于比较的失效地

址的比特数来减小半导体存储器装置的大小。

[0010] 另外,根据示例实施例的半导体存储器装置和操作半导体存储器装置的方法可通过将各个正常区组分为多个子块和将邻近的子区布置在不同的正常区组中来增大半导体存储器装置的产率而不增大半导体存储器装置的大小。

附图说明

[0011] 将从下面结合附图的详细描述中更清楚地理解本公开的示例实施例。

[0012] 图1是示出操作根据示例实施例的半导体存储器装置的方法的流程图;

[0013] 图2是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图;

[0014] 图3是示出根据示例实施例的存储器系统的框图;

[0015] 图4是示出根据示例实施例的半导体存储器装置的框图;

[0016] 图5是示出图4的半导体存储器装置中的分块阵列的示例的图;

[0017] 图6是示出包括在根据示例实施例的半导体存储器装置中的修复控制电路的示例实施例的框图;

[0018] 图7是示出包括在图6的修复控制电路中的组选择电路的示例实施例的图;

[0019] 图8是示出包括在图6的修复控制电路中的地址存储电路的示例实施例的图;

[0020] 图9是示出包括在图6的修复控制电路中的比较电路的示例实施例的图;

[0021] 图10是示出包括在图9的比较电路中的比较器的示例实施例的图;

[0022] 图11是示出包括在根据示例实施例的半导体存储器装置中的正常单元区的示例实施例的图;

[0023] 图12是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图;

[0024] 图13是示出对应于图12的存储器单元阵列的输入地址的示例的图;

[0025] 图14是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图;

[0026] 图15是示出包括在根据示例实施例的半导体存储器装置中的分块阵列的示例实施例的图;

[0027] 图16是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图;

[0028] 图17是示出对应于图16的存储器单元阵列的输入地址的示例的图;

[0029] 图18是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图;

[0030] 图19和图20是示出根据示例实施例的堆叠的存储器装置的图;

[0031] 图21是示出图19和图20的半导体存储器装置的示例排列方式的图;

[0032] 图22是示出根据示例实施例的移动系统的框图。

具体实施方式

[0033] 下文中,将参照其中示出了一些示例实施例的附图更完全地描述各个示例实施

例。在图中,相同标号始终指代相同元件。可省略重复描述。

[0034] 图1是示出操作根据示例实施例的半导体存储器装置的方法的流程图,图2是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图。

[0035] 参照图1和图2,在操作S100中,将正常单元区NCREG分为多个正常区组NRGR1至NRGRQ。在操作S200中,提供冗余单元区RCREG以替代正常单元区的失效的存储器单元。

[0036] 在一些示例实施例中,可将通过半导体存储器制造工艺形成的存储器单元阵列300的一部分分配至正常单元区NCREG,并且可将存储器单元阵列300的另一部分分配至冗余单元区RCREG。在图2中,为了方便示出,将各个正常区组表示为一个独特区,但是所述多个正常区组NRGR1至NRGRQ中的每一个可分为多个子区,并且同一正常区组的子区可分布在存储器单元阵列300中。

[0037] 如下参照图3和图4的讨论,修复控制电路400可利用存储器单元阵列300的这种结构执行有效修复操作。

[0038] 例如,在操作S300中,修复控制电路400可确定所述多个正常区组NRGR1至NRGRQ中的对应于输入地址的目标正常区组。

[0039] 在操作S400中,修复控制电路400可提取多个失效地址中的对应于目标正常区组的目标失效地址。

[0040] 在操作S500中,修复控制电路400可基于目标失效地址与输入地址的比较结果控制半导体存储器装置的修复操作。

[0041] 下面将参照图6至图10描述操作S400的目标失效地址的提取和操作S500的修复操作的示例实施例。

[0042] 这样,根据示例实施例的半导体存储器装置和操作半导体存储器装置的方法可通过将正常单元区分为所述多个正常区组以减少比较器的数量和被存储和比较的失效地址的比特数来减小半导体存储器装置的大小。

[0043] 根据示例实施例,如下面参照图11至图18的描述,可将所述多个正常区组NRGR1至NRGRQ中的每一个划分为多个子区,并且可将彼此邻近的子区包括在不同的正常区组中。例如,包括在对应的正常区组中的子区可根据循环方案在列方向上按次序逐个排列。

[0044] 这样,根据示例实施例的半导体存储器装置和操作半导体存储器装置的方法可通过将各个正常区组划分为多个子块和将邻近的子区布置在不同的正常区组中来增大半导体存储器装置的产率,而不用增大半导体存储器装置的大小。

[0045] 图3是示出根据示例实施例的存储器系统的框图。

[0046] 参照图3,存储器系统20可包括存储器控制器100和半导体存储器装置200。

[0047] 存储器控制器100可控制存储器系统20的整体操作。存储器控制器100可控制外部主机与半导体存储器装置200之间的整体数据交换。例如,存储器控制器100可响应于来自主机的请求将数据写入半导体存储器装置200中或者可从半导体存储器装置200读取数据。另外,存储器控制器100可向半导体存储器装置200发出用于控制半导体存储器装置200的操作命令。

[0048] 在一些示例实施例中,半导体存储器装置200可为存储器装置,其包括动态存储器单元,诸如动态随机存取存储器(DRAM)、双数据率4(DDR4)同步DRAM(SDRAM)、低功率DDR4(LPDDR4)SDRAM或LPDDR5SDRAM。

[0049] 存储器控制器100可将时钟信号CLK、命令CMD和地址(信号)ADDR发送至半导体存储器装置200,并且与半导体存储器装置200交换数据DQ。

[0050] 半导体存储器装置200可包括存储数据DQ的存储器单元阵列MCA 300、控制逻辑电路210和修复控制电路400。

[0051] 如上所述,存储器单元阵列300可包括:正常单元区,其包括多个正常区组NRGR1至NRGRQ;和冗余单元区,其用于替代正常单元区的失效的存储器单元。

[0052] 控制逻辑电路210和修复控制电路400可包括存储器和处理电路。

[0053] 存储器可包括易失性存储器、非易失性存储器、随机存取存储器(RAM)、闪速存储器、硬盘驱动器和光盘驱动器中的至少一个。存储器可存储流映射表和垃圾回收预期成本表。

[0054] 处理电路可为(但不限于)一个或多个处理器、中央处理单元(CPU)、控制器、算术逻辑单元(ALU)、数字信号处理器、微计算机、现场可编程门阵列(FPGA)、专用集成电路(ASIC)、系统芯片(SoC)、可编程逻辑单元、微处理器或能够按照限定方式执行操作的任何其它装置。

[0055] 通过布局设计或存储在存储器(未示出)中的计算机可读指令的执行,可将处理电路构造为专用计算机,以执行控制逻辑电路210和修复控制电路400中的一个或多个的操作。控制逻辑电路210和修复控制电路400可在分立处理电路或相同处理电路中实现。

[0056] 例如,控制逻辑电路210的处理电路可基于命令CMD和地址ADDR控制对存储器单元阵列300的访问。

[0057] 此外,修复控制电路400的处理电路可利用存储器单元阵列300的分组结构有效地控制半导体存储器装置200的修复操作。例如,修复控制电路400可确定所述多个正常区组中的对应于输入地址的目标正常区组,提取多个失效地址中的对应于目标正常区组的目标失效地址,并且随后基于目标失效地址与输入地址的比较结果控制修复操作。

[0058] 图4是示出根据示例实施例的半导体存储器装置的框图。

[0059] 参照图4,半导体存储器装置200可包括控制逻辑电路210、地址寄存器220、分块控制逻辑230、刷新计数器245、行地址(RA)复用器240、列地址(CA)锁存器250、行解码器260、列解码器270、存储器单元阵列300、读出放大器单元285、I/O门控电路290、错误校正电路280、数据I/O缓冲器295、修复控制电路400和时序控制电路500。

[0060] 存储器单元阵列300包括第一分块阵列310至第八分块阵列380。行解码器260包括分别耦接至第一分块阵列310至第八分块阵列380的第一分块行解码器260a至第八分块行解码器260h,列解码器270包括分别耦接至第一分块阵列310至第八分块阵列380的第一分块列解码器270a至第八分块列解码器270h,并且读出放大器单元285包括分别耦接至第一分块阵列310至第八分块阵列380的第一分块读出放大器285a至第八分块读出放大器285h。第一分块阵列310至第八分块阵列380、第一分块行解码器260a至第八分块行解码器260h、第一分块列解码器270a至第八分块列解码器270h以及第一分块读出放大器285a至第八分块读出放大器285h可形成第一分块至第八分块。第一分块阵列310至第八分块阵列380中的每一个可包括形成在多条字线WL和多条位线BL的交叉位置的多个存储器单元MC。

[0061] 地址寄存器220可从存储器控制器100接收包括分块地址BANK_ADDR、行地址ROW_ADDR和列地址COL_ADDR的地址ADDR。地址寄存器220可将接收到的分块地址BANK_ADDR提供

至分块控制逻辑230,将接收到的行地址ROW_ADDR提供至行地址复用器240,以及将接收到的列地址COL_ADDR提供至列地址锁存器250。

[0062] 分块控制逻辑230可响应于分块地址BANK_ADDR产生分块控制信号。可响应于分块控制信号将对应于分块地址BANK_ADDR的第一分块行解码器260a至第八分块行解码器260h之一激活,并且可响应于分块控制信号将对应于分块地址BANK_ADDR的第一分块列解码器270a至第八分块列解码器270h之一激活。

[0063] 行地址复用器240可从地址寄存器220接收行地址ROW_ADDR,并且可从刷新计数器245接收刷新行地址REF_ADDR。行地址复用器240可选择性地输出行地址ROW_ADDR或刷新行地址REF_ADDR,作为行地址RA。可将行地址复用器240输出的行地址RA应用于第一分块行解码器260a至第八分块行解码器260h。

[0064] 第一分块行解码器260a至第八分块行解码器260h中的通过分块控制逻辑230被激活的那一个可将行地址复用器240输出的行地址RA解码,并且激活对应于行地址RA的字线。例如,激活的分块行解码器可将字线驱动电压施加至对应于行地址RA的字线。另外,在激活对应于行地址RA的字线的同时,被激活的分块行解码器可基于来自修复控制电路400的修复控制信号RP激活对应于备用行地址的备用字线。

[0065] 列地址锁存器250可从地址寄存器220接收列地址COL_ADDR,并且暂时地存储接收到的列地址COL_ADDR。在一些实施例中,在突发模式下,列地址锁存器250可产生相对于接收到的列地址COL_ADDR增加的列地址。列地址锁存器250可将暂时地存储或产生的列地址应用于第一分块列解码器270a至第八分块列解码器270h。

[0066] 第一分块列解码器270a至第八分块列解码器270h中的被激活的一个可通过I/O门控电路290激活对应于分块地址BANK_ADDR和列地址COL_ADDR的读出放大器。另外,被激活的分块列解码器可基于来自修复控制电路400的修复控制信号RP执行列修复操作。

[0067] I/O门控电路290可包括用于对输入/输出数据进行门控的电路,并且还可通过用于存储从第一分块阵列310至第八分块阵列380输出的数据的读数据锁存器以及用于将数据写至第一分块阵列310至第八分块阵列380的写驱动器。

[0068] 从第一分块阵列310至第八分块阵列380中的一个分块阵列中读出的码字CW可通过耦接至将从中读取数据的该一个分块阵列的读出放大器感测,并且可将其存储在读数据锁存器中。在通过错误校正电路280对码字CW执行ECC解码之后,可经数据I/O缓冲器275将存储在读数据锁存器中的码字CW提供至存储器控制器100。在通过错误校正电路280对数据DQ执行ECC编码之后,可将将被写入第一分块阵列310至第八分块阵列380中的一个分块阵列中的数据DQ从存储器控制器100提供至数据I/O缓冲器295,并且通过写驱动器将其写入一个分块阵列中。

[0069] 数据I/O缓冲器295可在半导体存储器装置200的写操作中基于时钟信号CLK将数据DQ从存储器控制器100提供至错误校正电路280,并且可在半导体存储器装置200的读操作中将数据DQ从错误校正电路280提供至存储器控制器100。

[0070] 错误校正电路280在写操作中可基于来自数据I/O缓冲器295的数据DQ产生奇偶校验位,并且可为I/O门控电路290提供包括数据DQ和奇偶校验位的码字CW。I/O门控电路290可在一个分块阵列中写码字CW。另外,错误校正电路280在读操作中可从I/O门控电路290接收从一个分块阵列读取的码字CW。错误校正电路280可基于码字CW中的奇偶校验位对数据

DQ执行ECC解码,校正数据DQ中的单比特错误或者双比特错误以及将校正后的数据提供至数据I/O缓冲器295。

[0071] 控制逻辑电路210可控制半导体存储器装置200的操作。例如,控制逻辑电路210可产生用于半导体存储器装置200的控制信号,以执行写操作或读操作。控制逻辑电路210可包括解码从存储器控制器100接收到的命令CMD的命令解码器211和设置半导体存储器装置200的操作模式的模式寄存器212。

[0072] 例如,命令解码器211可通过将写使能信号、行地址选通信号、列地址选通信号、芯片选择信号等解码产生对应于命令CMD的操作控制信号ACT、PCH、WE和RD。控制逻辑电路210可将操作控制信号ACT、PCH、WE和RD提供至时序控制电路500。操作控制信号ACT、PCH、WE和RD可包括激活信号ACT、预充电信号PCH、写信号WE和读信号RD。

[0073] 时序控制电路500可响应于操作控制信号ACT、PCH、WE和RD产生用于控制字线WL的电压电平的第一控制信号CTL1和用于控制位线BL的电压电平的第二控制信号CTL2,并且将第一控制信号CTL1和第二控制信号CTL2提供至存储器单元阵列300。

[0074] 修复控制电路400可基于输入地址INADDR产生修复控制信号RP。输入地址INADDR可为来自存储器控制器的地址ADDR或者所述地址ADDR的一部分。

[0075] 在一些示例实施例中,半导体存储器装置200可以行为单位执行行修复操作以修复失效的存储器单元,如下面参照图12至图14的描述。在这种情况下,输入地址INADDR可包括行地址ROW_ADDR的至少一部分。在其它示例实施例中,半导体存储器装置200可在各个存储器块中以列为单位执行列修复操作以修复失效的存储器单元,如下面参照图15至图18的描述。在这种情况下,输入地址INADDR可包括行地址ROW_ADDR的至少一部分和列地址COL_ADDR的至少一部分。

[0076] 修复控制电路400可将修复控制信号RP提供至对应的分块行解码器260a至260h和/或对应的分块列解码器270a至270h。对应的分块行解码器和/或对应的分块列解码器可基于修复信号RP执行修复操作,以访问冗余单元区中的冗余存储器单元,以替代正常单元区中的失效的存储器单元。下面将参照图6至图10更详细地讨论修复控制电路400。

[0077] 图5是示出图4的半导体存储器装置中的分块阵列的示例的图。

[0078] 参照图5,分块阵列可包括正常单元区NCREG和冗余单元区RCREG。正常单元区NCREG可包括多条字线WL1至WL_m(其中m是大于二的自然数)、多条位线BTL1至BTL_n(其中n是大于二的自然数)和布置在字线WL1至WL_m与位线BTL1至BTL_n之间的交叉位置的多个存储器单元MC。冗余单元区RCREG可包括多条备用字线SWL1至SWL_r(其中r是大于二的自然数)、位线BTL1至BTL_n和布置在备用字线SWL1至SWL_r与位线BTL1至BTL_n之间的交叉位置的多个备用存储器单元SMC。

[0079] 如上所述,正常单元区NCREG可分组为多个正常区组,并且各个正常区组可包括多个子区。正常单元区NCREG可具有交叉结构或分散结构,从而在不同的正常区组中包括邻近的子区。

[0080] 图6是示出包括在根据示例实施例的半导体存储器装置中的修复控制电路的示例实施例的框图。

[0081] 参照图6,修复控制电路400可包括组选择电路420、地址存储电路440和比较电路460。

[0082] 组选择电路420可基于包括在输入地址INADDR中的M比特的组标识位BGR产生表示目标正常区组的Q比特的多个组选择信号GRSEL。在一些示例实施例中,如将参照图7的描述,比特数可满足 $Q=2^M$ 。

[0083] 地址存储电路440可存储多个失效地址,并且基于所述多个组选择信号GRSEL提取和提供所述多个失效地址中的目标失效地址TFADDR1至TFADDRP。目标失效地址TFADDR1至TFADDRP中的每一个可为N-M比特。

[0084] 比较电路460可将目标失效地址TFADDR1至TFADDRP与输入地址INADDR的N-M比特中除组标识位BGR以外的其它比特或剩余比特BRM进行比较,并且基于其它比特BRM与目标失效地址TFADDR1至TFADDRP的比较结果产生修复控制信号RP。

[0085] 当输入地址INADDR的比特数为N并且组标识位BGR的比特数为M时,输入地址INADDR中除组标识位BGR以外的其它比特BRM的比特数为N-M。地址存储电路440可存储N-M比特的所述多个失效地址,因此目标失效地址TFADDR1至TFADDRP中的每一个的比特数可为N-M。比较电路460可执行其它比特BRM与各个目标失效地址的按位比较,以产生修复控制信号RP。

[0086] 根据示例实施例的比较电路460可将输入地址INADDR中的N-M比特与各个目标失效地址的N-M比特进行比较,而常规修复控制电路将N比特输入地址与N比特失效地址进行比较。这样,地址存储电路440可存储比特数减少的失效地址,因此地址存储电路440的大小可减小。另外,将由比较电路460比较的地址的比特数可减少,因此比较电路460的大小可减小。此外,如将在下面描述的,将要比较的失效地址的数量可减少。在这种情况下,比较电路460中的比较器的数量可减少,因此比较电路460的大小可进一步减小。

[0087] 就半导体存储器装置而言,可针对各行定向线路和各列定向线路设计冗余电路,并且冗余电路可包括用于记录失效的存储器单元的地址信息的熔丝块。当对失效的存储器单元进行访问时,利用熔丝块通过修复处理访问替代的存储器单元而不是失效的存储器单元。熔丝块可包括多个熔丝线路。通过执行其中利用激光切割多条熔丝中的特定熔丝的熔丝切割处理,可记录修复的存储器单元的地址信息。为了记录修复的存储器单元的地址信息,可需要多条熔丝。通常,可针对地址的各对应比特提供熔丝。例如,为了记录16比特地址的修复信息,可需要至少16条熔丝。

[0088] 为了记录一个修复的地址,可需要一个熔丝块。因此,随着熔丝块的数量增加,增加数量的失效的存储器单元可被替换,从而具有失效的存储器单元的增加数量的半导体存储器装置可变为良品。由于随着熔丝块的数量增加,占据面积增大,因此在集成增加数量的熔丝块方面存在限制。因此,可基于芯片大小和制造产率确定将被设计的熔丝块的数量。

[0089] 根据示例实施例的半导体存储器装置和操作半导体存储器装置的方法可通过将正常单元区分为所述多个正常区组以减少比较器的数量和被存储和比较的失效地址的比特数来减小半导体存储器装置的大小。

[0090] 图7是示出包括在图6的修复控制电路中的组选择电路的示例实施例的图。

[0091] 参照图7,组选择电路420可基于输入地址INADDR的M比特的组标识位BGR1至BGRM产生表示目标正常区组的Q比特的组选择信号GRSEL1至GRSELQ,其中 $Q=2^M$ 。例如,当M为2时,Q可为 $4=2^2$,或者当M为3时,Q可为 $8=2^3$ 。

[0092] 组选择电路420可解码组标识位BGR1至BGRM以激活组选择信号GRSEL1至GRSELQ中

的一个和去激活组选择信号GRSEL1至GRSELQ中的其它组选择信号。利用基于组标识位BGR1至BGRM被选择性地激活的组选择信号GRSEL1至GRSELQ,地址存储电路440可提取和提供对应于的激活的组选择信号的目标失效地址。

[0093] 图8是示出包括在图6的修复控制电路中的地址存储电路的示例实施例的图。

[0094] 参照图8,地址存储电路440可包括多个地址单元AU11至AUQP、用于访问地址单元AU11至AUQP的字线AW1至AWLQ、用于从被访问的地址单元转移地址的位线ABL1至ABLP和用于感测通过位线ABL1至ABLP转移的地址的感测单元442。

[0095] 各行的地址单元AU11至AUQP可存储对应的正常区组的失效地址。第一行的地址单元AU11至AU1P可存储第一正常区组的失效地址,第二行的地址单元AU21至AU2P可存储第二正常区组的失效地址,并且按照这种方式,第Q行的地址单元AUQ1至AUQP可存储第Q正常区组的失效地址。

[0096] 如上所述,可激活对应于目标正常区组的组选择信号GRSEL1至GRSELQ中的仅一个,并且可将组选择信号GRSEL1至GRSELQ中的其它组选择信号去激活。因此,可选择对应于目标正常区组的该行的地址单元,并且可提供存储在选择的地址单元中的失效地址,作为目标失效地址TFADDR1至TFADDRP。

[0097] 在一些示例实施例中,图8中的地址单元可通过非易失性存储器单元实施。在这种情况下,可在地址单元中直接编程失效地址。

[0098] 在其它示例实施例中,图8中的地址单元可通过易失性存储器单元实施。在这种情况下,可例如在半导体存储器装置的引导处理中将失效地址加载至地址单元中。例如,可通过不需要刷新操作的静态随机存取存储器(SRAM)单元实施地址单元。

[0099] 如上所述,各个地址单元可存储对应于N比特的输入地址INADDR中除M比特的组标识位BGR之外的N-M比特的其它比特BRM的N-M比特的各个失效地址。换句话说,将被存储的失效地址的比特数为N-M,其小于输入地址INADDR的整个比特数N。与存储N比特的失效地址的常规方案相比,可仅存储N-M比特的失效地址,因此地址存储电路440的大小可减小。

[0100] 图9是示出包括在图6的修复控制电路中的比较电路的示例实施例的图。

[0101] 参照图9,比较电路460可包括多个比较器COM1至COMP,它们用于将目标失效地址TFADDR1至TFADDRP分别与输入地址INADDR的除组标识位BGR之外的其它比特BRM进行比较。

[0102] 图8的地址存储电路440可针对各个正常区组存储P个失效地址并且比较电路460可包括P个比较器。提供至比较电路460的目标失效地址TFADDR1至TFADDRP根据对应于输入地址INADDR的目标正常区组改变。换句话说,比较电路460可由多个正常区组共享。

[0103] 当正常区组的数量为Q时,可被存储在地址存储电路440中的失效地址的最大数为 $P \times Q$ 。在常规方案中,可利用 $P \times Q$ 个比较器来将所有失效地址与输入地址同时进行比较,以提高修复操作的速度。相反,在一个或多个示例实施例中,在比较电路460中包括对应于目标失效地址TFADDR1至TFADDRP的P个比较器,因此比较电路460的大小可减小。

[0104] 图10是示出包括在图9的比较电路中的比较器的示例实施例的图。

[0105] 参照图10,比较器462可包括多个逻辑门G1至G(N-M)和一个输出门GS。逻辑门G1至G(N-M)可执行目标失效地址TFADDR_i的比特TFADDR_{i1}至TFADDR_{i(N-M)}与输入地址INADDR的除组标识位BGR以外的其它比特BRM1至BRM(N-M)的按位比较。输出门GS可对逻辑门G1至G(N-M)的输出执行逻辑操作,以产生修复控制信号RP_i。

[0106] 图10示出了由XOR门实施逻辑门G1至G(N-M)并且由NAND门实施输出门GS的非限制性示例,但是可不同地确定比较器462中的门的组合。

[0107] 在常规方案中,各个比较器可利用N个逻辑门执行N比特的失效地址与输入地址的按位比较。相反,在一个或多个示例实施例中,比较器462可利用N-M个逻辑门G1至G(N-M)执行N-M比特的输入地址INADDR的其它比特BRM与目标失效地址的按位比较。因此,可减少包括在各个比较器中的逻辑门的数量,并且因此可进一步减小比较电路460的大小。

[0108] 下文中,第一方向D1为字线延伸的行方向,第二方向D2为位线延伸的列方向。

[0109] 图11是示出包括在根据示例实施例的半导体存储器装置中的正常单元区的示例实施例的图。

[0110] 参照图11,正常单元区NCREG可包括多个正常区组NRGR1至NRGRQ,并且所述多个正常区组NRG1至NRGQ中的每一个可包括多个子区。第一正常区组NRGR1可包括第一子区SBREG11至第S子区SBREG1S,第二正常区组NRGR2可包括第一子区SBREG21至第S子区SBREG2S,并且按照这种方式,第Q正常区组NRGRQ可包括第一子区SBREGQ1至第S子区SBREGQS。

[0111] 根据示例实施例,正常单元区NCREG可具有交叉结构或分散结构,从而邻近的子区被包括在不同的正常区组中。图11示出了其中被包括在对应的正常区组NRGR1至NRGRQ中的子区SBREG11至SBREGQS根据循环方案在列方向上按次序逐个排列的示例实施例。

[0112] 在存储器单元阵列中导致的缺陷可包括由于易损位线读出放大器引起的缺陷、粒子类型的缺陷、多比特类型的缺陷。换句话说,缺陷具有局部性,使得失效的存储器单元往往集中在小的区中。传统上,可将存储器单元阵列划分为所述多个正常区组NRGR1至NRGRQ,并且可限制每个正常区组的最大修复资源。因此,可通过限制修复操作的灵活性来减小芯片尺寸,但是灵活性限制可导致在局部缺陷的情况下半导体存储器装置的产率大量降低。

[0113] 相反,根据示例实施例,可将各个正常区组划分为多个子区,并且子区可例如通过循环方案按照分散结构排列,以将局部缺陷分布于所述多个正常区组。因此,半导体存储器装置的产率可增加,而不用增大半导体存储器装置的大小或者芯片大小。

[0114] 图12是示出被包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图,图13是示出对应于图12的存储器单元阵列的输入地址的示例的图。

[0115] 图12示出了以行为单位修复失效的存储器单元的行修复操作。

[0116] 参照图12,存储器单元阵列300a可包括正常单元区NCREGa和冗余单元区RCREGa。

[0117] 正常单元区NCREGa可包括多个正常区组NRGR1至NRGR4。为了方便示出和说明,图12示出了四个正常区组NRGR1至NRGR4,并且正常单元区NCREGa可包括任意数量的正常区组。

[0118] 所述多个正常区组NRGR1至NRGR4中的每一个可包括多个子区。第一正常区组NRGR1可包括第一子区SBREG11至第S子区SBREG1S,第二正常区组NRGR2可包括第一子区SBREG21至第S子区SBREG2S,第三正常区组NRGR3可包括第一子区SBREG31至第S子区SBREG3S,并且第四正常区组NRGR4可包括第一子区SBREG41至第S子区SBREG4S。

[0119] 根据示例实施例,如图12所示,包括在对应的正常区组NRGR1至NRGR4中的子区SBREG11至SBREG4S可根据循环方案在列方向D2上按次序逐个排列。

[0120] 分别被包括在第一正常区组NRGR1至第四正常区组NRGR4中的第一子区SBREG11至

SBREG41在列方向D2上按次序排列,以形成第一集群区CLST1,分别被包括在第一正常区组NRGR1至第四正常区组NRGR4中的第二子区SBREG12至SBREG42在列方向D2上按次序排列,以形成第二集群区CLST2,并且按照这种方式,分别被包括在第一正常区组NRGR1至第四正常区组NRGR4中的第S子区SBREG1S至SBREG4S在列方向D2上按次序排列,以形成第S集群区CLSTS。

[0121] 所述多个子区SBREG11至SBREG4S中的每一个可对应于一条或多条字线。例如,各个子区可对应于两条字线。当集群区CLST1至CLSTS的数量是 $S=2^4$ 时,行地址ROW_ADDR可由16个地址位A0至A15表示,如图13所示。

[0122] 参照图13,对应于输入地址的行地址ROW_ADDR可包括子区标识位BCL、组标识位BGR和行标识位BRW。组标识位BGR可对应于两个地址位A1和A2,其表示所述多个正常区组NRGR1至NRGR4中的目标正常区组。子区标识位BCL可对应于十三个地址位A3至A15,其表示所述多个子区中的目标子区。换句话说,子区标识位BCL可表示所述多个集群区CLST1至CLSTS中的对应于行地址ROW_ADDR的目标集群区。行标识位BRW可对应于所述一个地址位A0,其表示各个子区中的目标行或目标字线的位置。

[0123] 这样,组标识位BGR可为行地址ROW_ADDR中的比子区标识位BCL更低的有效位,这表示包括在对应的正常区组NRGR1至NRGR4中的子区SBREG11至SBREG4S根据循环方案在列方向D2上按次序逐个排列。

[0124] 返回参照图12,冗余单元区RCREGa可包括分别对应于所述多个正常区组NRGR1至NRGR4的多个冗余区组RRGR1至RRGR4。所述多个冗余区组RRGR1至RRGR4中的每一个可替代所述多个正常区组NRGR1至NRGR4中的对应的正常区组中的失效的存储器单元。例如,如图12所示,第一正常区组NRGR1中的第一失效字线FWL1可由第一冗余区组RRGR1中的第一备用字线SWL1替代,第二正常区组NRGR2中的第二失效字线FWL2可由第二冗余区组RRGR2中的第二备用字线SWL2替代,并且第三正常区组NRGR3中的第三失效字线FWL3可由第三冗余区组RRGR3中的第三备用字线SWL3替代。

[0125] 图14是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图。

[0126] 图14的存储器单元阵列300b中的正常单元区NCREGb与图12的存储器单元阵列300a中的正常单元区NCREGa基本相同,并且省略重复描述。

[0127] 参照图14,冗余单元区RCREGb可由所述多个正常区组NRGR1至NRGR4共享,以替代所述多个正常区组NRGR1至NRGR4中的失效的存储器单元。例如,如图14所示,第一正常区组NRGR1中的第一失效字线FWL1、第二正常区组NRGR2中的第二失效字线FWL2和第三正常区组NRGR3中的第三失效字线FWL3可由冗余单元区RCREGb中的第一备用字线SWL1、第二备用字线SWL2和第三备用字线SWL3替代,而不用划分冗余单元区RCREGb。

[0128] 图15是示出包括在根据示例实施例的半导体存储器装置中的分块阵列的示例实施例的图。

[0129] 参照图15,存储器分块可包括多个存储器块BLK1至BLKm。图4中的读出放大器单元285可包括分布于存储器分块中的多个读出放大器电路SAC1至SAC4。存储器块BLK1至BLKm中的每一个可包括期望(或者可替换地,预定)数量的字线。例如,存储器块BLK1至BLKm中的每一个可包括1024条字线,也就是说,每位线1024个存储器单元。

[0130] 如图15所示,读出放大器电路SAC1至SAC4中的每一个可连接至布置在顶侧和底侧的两个邻近的存储器块。例如,读出放大器电路SAC1至SAC4中的每一个可仅连接至顶侧的存储器块和底侧的存储器块的奇数编号的位线BL_o,或者仅连接至顶侧的存储器块和底侧的存储器块的偶数编号的位线BL_e。

[0131] 在该结构中,可分别将存储器块BLK1至BLK_m分配给上述的子区。

[0132] 图16是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图,并且图17是示出对应于图16的存储器单元阵列的输入地址的示例的图。

[0133] 图16示出了用于以列为单位修复失效的存储器单元的列修复操作。

[0134] 参照图16,存储器单元阵列300c可包括正常单元区NCREG_c和冗余单元区RCREG_c。正常单元区NCREG_c可包括多个正常区组NRGR1至NRGR4。为了方便示出和说明,图16示出了四个正常区组NRGR1至NRGR4,并且正常单元区NCREG_c可包括任意数量的正常区组。

[0135] 所述多个正常区组NRGR1至NRGR4中的每一个可包括多个子区。第一正常区组NRGR1可包括第一子区SBREG11至第S子区SBREG1S,第二正常区组NRGR2可包括第一子区SBREG21至第S子区SBREG2S,第三正常区组NRGR3可包括第一子区SBREG31至第S子区SBREG3S,并且第四正常区组NRGR4可包括第一子区SBREG41至第S子区SBREG4S。

[0136] 根据示例实施例,如图16所示,包括在对应的正常区组NRGR1至NRGR4中的子区SBREG11至SBREG4S可根据循环方案在列方向D2上按次序逐个排列。

[0137] 分别被包括在第一正常区组NRGR1至第四正常区组NRGR4中的第一子区SBREG11至SBREG41在列方向D2上按次序排列,以形成第一集群区CLST1,分别被包括在第一正常区组NRGR1至第四正常区组NRGR4中的第二子区SBREG12至SBREG42在列方向D2上按次序排列,以形成第二集群区CLST2,并且按照这种方式,分别被包括在第一正常区组NRGR1至第四正常区组NRGR4中的第S子区SBREG1S至SBREG4S在列方向D2上按次序排列,以形成第S集群区CLSTS。

[0138] 所述多个子区SBREG11至SBREG4S可对应于参照图15描述的存储器块。例如,各个子区可为对应于1024条字线的存储器块。当集群区CLST1至CLSTS的数量为 $S=2^4$ 时,行地址ROW_ADDR可由16个地址位A0至A15表示,如图17所示。

[0139] 参照图17,对应于输入地址的行地址ROW_ADDR可包括子区标识位BCL、组标识位BGR和行标识位BRW。即使图17中未示出,但是除行地址ROW_ADDR以外,上述输入地址INADDR也可包括列地址COL_ADDR。组标识位BGR可对应于两个地址位A10和A11,其表示所述多个正常区组NRGR1至NRGR4中的目标正常区组。子区标识位BCL可对应于四个地址位A12至A15,其表示所述多个子区中的目标子区。换句话说,子区标识位BCL可表示所述多个集群区CLST1至CLSTS中的对应于行地址ROW_ADDR的目标集群区。行标识位BRW可对应于十个地址位A0至A9,其表示各个子区中的目标行或目标字线的位置。

[0140] 这样,组标识位BGR可为比行地址ROW_ADDR中的子区标识位BCL更低的有效位,这表示包括在对应的正常区组NRGR1至NRGR4中的子区SBREG11至SBREG4S根据循环方案在列方向D2上按次序逐个排列。

[0141] 返回参照图16,冗余单元区RCREG_a可包括分别对应于所述多个正常区组NRGR1至NRGR4的多个冗余区组RRGR1至RRGR4。所述多个冗余区组RRGR1至RRGR4中的每一个可替代所述多个正常区组NRGR1至NRGR4中的对应的正常区组中的失效的存储器单元。例如,如图

16所示,第一正常区组NRGR1中的第一失效位线FBL1可由第一冗余区组RRGR1中的第一备用位线SBL1替代,第二正常区组NRGR2中的第二失效位线FBL2可由第二冗余区组RRGR2中的第二备用位线SBL2替代,第三正常区组NRGR3中的第三失效位线FBL3可由第三冗余区组RRGR3中的第三备用位线SBL3替代,第四正常区组NRGR4中的第四失效位线FBL4可由第四冗余区组RRGR4中的第四备用位线SBL4替代。

[0142] 图18是示出包括在根据示例实施例的半导体存储器装置中的存储器单元阵列的示例实施例的图。

[0143] 图18的存储器单元阵列300d中的正常单元区NCREGd与图16的存储器单元阵列300c中的正常单元区NCREGc基本相同,并且省略重复描述。

[0144] 参照图18,冗余单元区RCREGd可由所述多个正常区组NRGR1至NRGR4共享,以替代所述多个正常区组NRGR1至NRGR4中的失效的存储器单元。例如,如图18所示,第一正常区组NRGR1中的第一失效位线FBL1、第二正常区组NRGR2中的第二失效位线FBL2、第三正常区组NRGR3中的第三失效位线FBL3和第四正常区组NRGR4中的第四失效位线FBL4可由冗余单元区RCREGd中的第一备用位线SBL1、第二备用位线SBL2、第三备用位线SBL3和第四备用位线SBL4替代,而不用划分冗余单元区RCREGd。

[0145] 图19和图20是示出根据示例实施例的堆叠的存储器装置的图。

[0146] 参照图19,半导体存储器装置900可包括第一半导体集成电路层LA1至第k半导体集成电路层LAK,其中假设最低的第一半导体集成电路层LA1为接口或控制芯片,并且假设其它半导体集成电路层LA2至LAK为包括核存储器芯片的从芯片。从芯片可形成上述多个存储器区块。

[0147] 第一半导体集成电路层LA1至第k半导体集成电路层LAK可通过穿通衬底过孔TSV(例如,穿通硅过孔)在层之间发送和接收信号。作为接口或控制芯片的最低的第一半导体集成电路层LA1可通过形成在外表面上的导电结构与外部存储器控制器通信。

[0148] 第一半导体集成电路层910至第k半导体集成电路层920中的每一个可包括存储器区921和用于驱动存储器区921的外围电路922。例如,外围电路922可包括用于驱动存储器的字线的行驱动器、用于驱动存储器的位线的列驱动器、用于控制数据的输入-输出的数据输入-输出电路、用于从外部源接收命令并且缓冲命令的命令缓冲器以及用于从外部源接收地址并且缓冲地址的地址缓冲器。

[0149] 第一半导体集成电路层910还可包括控制电路。控制电路可基于来自存储器控制器的命令和地址信号控制对存储器区921的访问,并且可产生用于访问存储器区921的控制信号。

[0150] 对应于从属层的半导体集成电路层LA2至LAK中的每一个可包括具有上述结构的存储器单元阵列以及上述修复控制电路RCC。

[0151] 存储器装置900可为包括垂直NAND串的三维(3D)垂直阵列结构,所述垂直NAND串垂直地取向,以使得至少一个存储器单元位于另一存储器单元上方。所述至少一个存储器单元可包括电荷捕获层。以引用方式全文并入本文的以下专利文献描述了用于包括3D垂直阵列结构(其中3D存储器阵列被构造为多个等级并且在等级之间共享字线和/或位线)的存储器单元阵列的合适构造:美国专利No.7,679,133、美国专利No.8,553,466、美国专利No.8,654,587和美国专利No.8,559,235以及美国专利公开No.2011/0233648。

[0152] 虽然基于闪速存储器装置描述了包括在根据示例实施例的非易失性存储器装置中的存储器单元阵列,但是根据示例实施例的非易失性存储器装置可为任何非易失性存储器装置,例如,相位随机存取存储器 (PRAM)、电阻随机存取存储器 (RRAM)、纳米浮栅存储器 (NFGM)、聚合物随机存取存储器 (PoRAM)、磁随机存取存储器 (MRAM)、铁电随机存取存储器 (FRAM)、晶闸管随机存取存储器 (TRAM) 等。

[0153] 图20示出了示例高带宽存储器 (HBM) 组织。

[0154] 参照图20,HBM 1100可被构造为具有多个DRAM半导体晶片1120、1130、1140和1150的堆叠件。堆叠结构的HBM可通过被称作通道的多个独立接口进行优化。各个DRAM堆叠件可根据HBM标准支持至多8个通道。图20示出了含4个DRAM半导体晶片1120、1130、1140和1150的示例堆叠件,并且各个DRAM半导体晶片支持两个通道CHANNEL0和CHANNEL1。

[0155] 每个通道提供对独立的一组DRAM分块的访问。来自一个通道的请求可不访问附着于不同通道的数据。通道独立地计时,并且不需要同步。

[0156] HBM 1100还可包括布置在堆叠结构底部以提供信号路由和其它功能的接口晶片1110或逻辑晶片。可在接口晶片1110中实施用于DRAM半导体晶片1120、1130、1140和1150的一些功能。

[0157] DRAM半导体晶片1120、1130、1140和1150中的每一个可包括具有上述结构的存储器单元阵列和上述修复控制电路。

[0158] 图21是示出图19和图20的半导体存储器装置的示例排列方式的图。

[0159] 参照图21,半导体存储器装置200可包括第一分块阵列310至第八分块阵列380、第一分块行解码器 (R/D) 260a至第八分块行解码器260h、第一分块列解码器 (C/D) 270a至第八分块列解码器270h、时序控制电路500和修复控制电路400。根据示例实施例,第一分块阵列至第八分块阵列可分布在衬底的核心区中。

[0160] 第一分块阵列310和第三分块阵列330可排列在衬底的第一区301中,第二分块阵列320和第四分块阵列340可排列在衬底的第二区302中,第五分块阵列350和第七分块阵列370可排列在衬底的第三区303中,并且第六分块阵列360和第八分块阵列380可排列在衬底的第四区304中。本领域普通技术人员应该理解针对示出的目的提供图21所示的排列方式,并且本公开不限于所示的结构。

[0161] 第一分块行解码器 (或者第一行解码器) 260a和第一分块列解码器 (或者第一列解码器) 270a可邻近第一分块阵列310布置,第二分块行解码器260b和第二分块列解码器270b可邻近第二分块阵列320布置,第三分块行解码器260c和第三分块列解码器270c可邻近第三分块阵列330布置,并且按照这种方式,第八分块行解码器260h和第八分块列解码器270h可邻近第八分块阵列380布置。第一区301至第四区304可对应于衬底的核心区。

[0162] 修复控制电路400和时序控制电路500可布置在衬底的外围区PERI中。即使未示出,图4中的控制逻辑电路210、地址寄存器220、列地址锁存器250、数据I/O缓冲器295也可布置在外围区PERI中。

[0163] 图22是示出根据示例实施例的移动系统的框图。

[0164] 参照图21,移动系统1200包括应用处理器 (AP) 1210、连接电路1220、易失性存储器装置 (VM) 1230、非易失性存储器装置 (NVM) 1240、用户接口1250和电源1260。

[0165] 应用处理器1210可执行存储在计算机可读介质 (例如,存储器装置) 中的计算机指

令,包括诸如网页浏览器、游戏应用、视频播放器等的应用。连接电路1220可执行与外部装置的有线或无线通信。易失性存储器装置1230可存储通过应用处理器1210处理的数据,或者可作为工作存储器操作。例如,易失性存储器装置1230可为动态随机存取存储器,诸如双数据率同步动态随机存取存储器(DDRSDRAM)、低功率双数据率同步动态随机存取存储器(LPDDR SDRAM)、图形双数据率同步动态随机存取存储器(GDDR SDRAM)、Rambus动态随机存取存储器(RDRAM)等。非易失性存储器装置1240可存储用于引导移动系统1200的引导镜像。用户接口1250可包括诸如键区、触摸屏等的至少一个输入装置以及诸如扬声器、显示装置等的至少一个输出装置。电源1260可将电源电压供应至移动系统1200。在一些实施例中,移动系统1200还可包括相机图像处理器(CIS)和/或诸如记忆卡、固态硬盘(SSD)、硬盘驱动(HDD)、CD-ROM等的存储装置。

[0166] 易失性存储器装置1230可包括具有上述结构的存储器单元阵列MCA 1231和上述修复控制电路RCC 1232。

[0167] 如上所述,根据示例实施例的半导体存储器装置和/或操作半导体存储器装置的方法可通过将正常单元区分组为所述多个正常区组以减少比较器的数量和被存储和用于比较的失效地址的比特数来减小半导体存储器装置的大小。另外,根据示例实施例的半导体存储器装置和/或操作半导体存储器装置方法可通过将各个正常区组划分为多个子块和将邻近的子区布置在不同正常区组中来增大半导体存储器装置的产率而不增大半导体存储器装置的大小。

[0168] 本发明构思的示例实施例可应用于包括需要修复操作的存储器装置的任何装置和系统。例如,本发明构思的示例实施例可应用于诸如移动电话、智能电话、个人数字助理(PDA)、便携式多媒体播放器(PMP)、数码相机、摄录机、个人计算机(PC)、服务器计算机、工作站、笔记本计算机、数字TV、机顶盒、便携式游戏主机、导航系统等系统。

[0169] 根据一个或多个示例实施例,诸如控制逻辑电路和修复控制电路的组件及其子组件(包括组选择电路420、地址存储电路440和比较电路460)的上述单元和/或装置可通过利用硬件、硬件和软件的组合或者存储可被执行以执行它们的功能的软件的暂时存储介质来实施。这些组件可在相同的硬件平台或分离的硬件平台中实现。

[0170] 硬件可利用处理电路实施,所述处理电路诸如(但不限于)一个或多个处理器、一个或多个中央处理单元(CPU)、一个或多个控制器、一个或多个算术逻辑单元(ALU)、一个或多个数字信号处理器(DSP)、一个或多个微计算机、一个或多个现场可编程门阵列(FPGA)、一个或多个系统芯片(SoC)、一个或多个可编程逻辑单元(PLU)、一个或多个微处理器、一个或多个专用集成电路(ASIC)或者能够按照限定方式响应于并且执行指令的任何其它一个或多个装置。

[0171] 软件可包括计算机程序、程序代码、指令或它们的一些组合,用于独立地或统一地指示或配置硬件装置以根据需要操作。计算机程序和/或程序代码可包括能够由一个或多个硬件装置(如上述一个或多个硬件装置)实现的程序或计算机可读指令、软件组件、软件模块、数据文件、数据结构等。程序代码的示例包括编译器产生的机器代码和使用解释器执行的高级程序代码二者。

[0172] 例如,当硬件装置是计算机处理装置(例如,一个或多个处理器、CPU、控制器、ALU、DSP、微计算机、微处理器等)时,计算机处理装置可被构造为通过根据程序代码执行算术、

逻辑和输入/输出操作来执行程序代码。一旦程序代码被加载到计算机处理装置中,计算机处理装置就可以被编程来执行程序代码,从而将计算机处理装置转换为专用计算机处理装置。在更具体的示例中,当程序代码被加载到处理器中时,处理器被编程以执行程序代码和相应的操作,从而将处理器转换为专用处理器。在另一示例中,硬件装置可为定制为专用处理电路(例如,ASIC)的集成电路。

[0173] 诸如计算机处理装置的硬件装置可运行操作系统(OS)和在OS上运行的一个或多个软件应用。计算机处理装置还可以响应于软件的执行来访问、存储、操作、处理和创建数据。为简单起见,一个或多个示例实施例可被例示为一个计算机处理装置;然而,本领域技术人员应该理解,硬件装置可包括多个处理元件和多种处理元件。例如,硬件装置可包括多个处理器或处理器和控制器。此外,其它处理配置是可能的,例如并行处理器。

[0174] 软件和/或数据可永久地或暂时地体现在任何类型的存储介质中,所述存储介质包括(但不限于)能够向硬件装置提供指令或数据或通过硬件装置解释指令或数据的任何机器、组件、物理或虚拟设备或计算机存储介质或装置。软件也可以通过网络耦接的计算机系统分布,以便以分布式方式存储和执行软件。具体地说,例如,软件和数据可以由一个或多个计算机可读记录介质(包括本文所讨论的有形或非暂时的计算机可读存储介质)存储。

[0175] 存储介质还可包括在根据一个或多个示例实施例的单元和/或装置处的一个或多个存储装置。一个或多个存储装置可为有形的或非暂时的计算机可读存储介质,诸如随机存取存储器(RAM)、只读存储器(ROM)、永久大容量存储装置(诸如磁盘驱动)和/或能够存储和记录数据的任何其它类似数据存储机构。所述一个或多个存储装置可被构造为存储用于一个或多个操作系统和/或用于实现本文描述的示例实施例的计算机程序、程序代码、指令或它们的一些组合。计算机程序、程序代码、指令或它们的一些组合也可从分离的计算机可读存储介质加载到使用驱动机构的一个或多个存储装置和/或一个或多个计算机处理装置中。这种分离的计算机可读存储介质可包括通用串行总线(USB) 闪速驱动器、记忆棒、蓝光/DVD/CD-ROM驱动器、存储卡和/或其它类似的计算机可读存储介质。

[0176] 计算机程序、程序代码、指令或它们的一些组合可经由网络接口而不是经由计算机可读存储介质从远程数据存储装置加载到一个或多个存储装置和/或一个或多个计算机处理装置中。此外,计算机程序、程序代码、指令或它们的一些组合可经网络从被构造为转移和/或分布计算机程序、程序代码、指令或它们的一些组合的远程计算系统加载到一个或多个存储装置和/或一个或多个处理器中。远程计算系统可通过有线接口、空中接口和/或任何其它类似介质转移和/或分布计算机程序、程序代码、指令或它们的一些组合。

[0177] 一个或多个硬件装置、存储介质、计算机程序、程序代码、指令或它们的一些组合可为示例实施例的目的而专门设计和构造,或者它们可以是为了示例实施例的目的而更改和/或修改的已知装置。

[0178] 上述是示例实施例的说明,并且不应被解释为是其限制。虽然已经描述了一些示例实施例,但是本领域技术人员应该容易理解,在不实质上偏离本发明构思的示例实施例的情况下,可在示例实施例中进行许多修改。

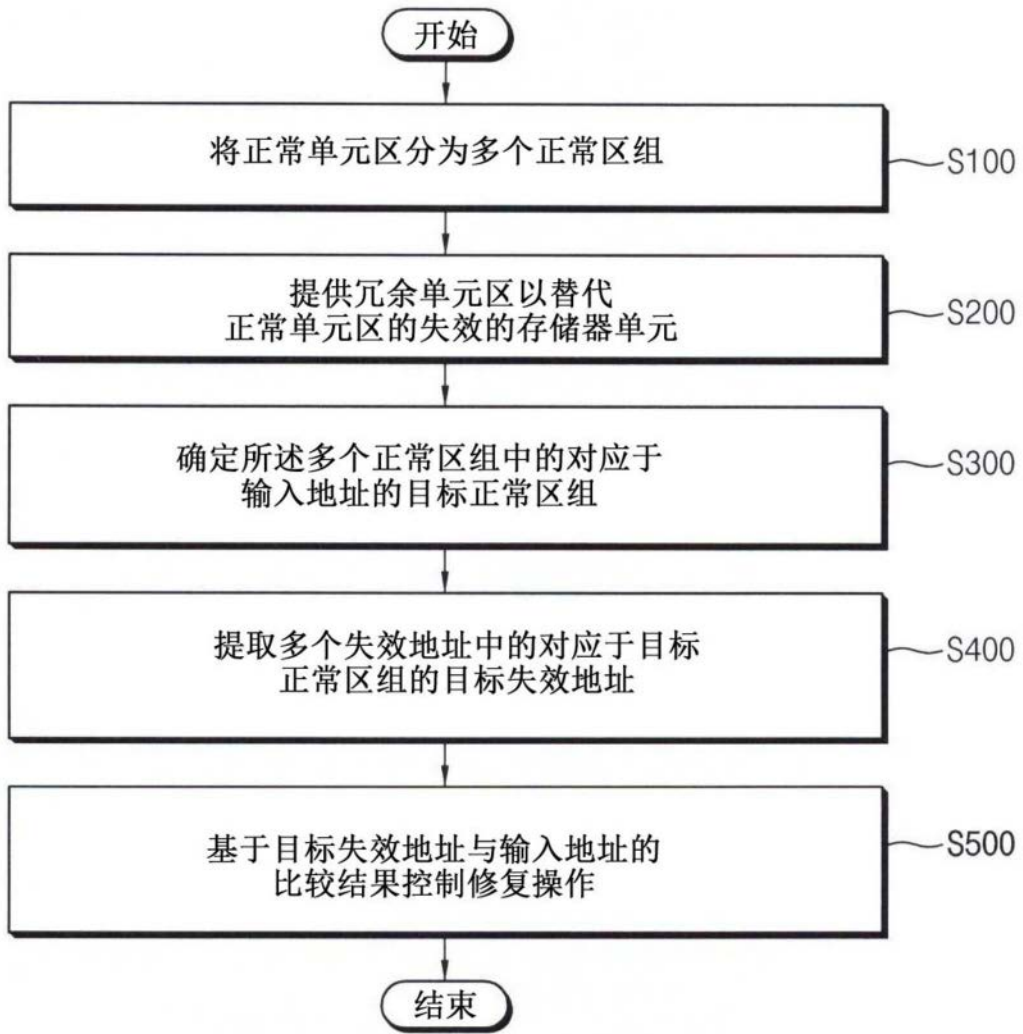


图1

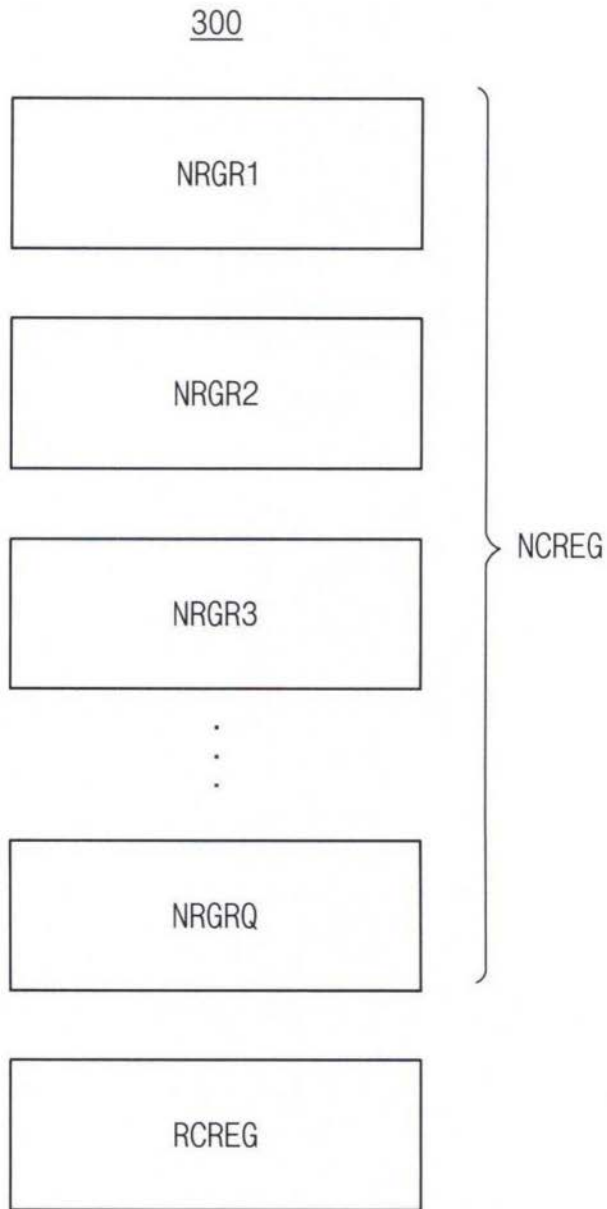


图2

20

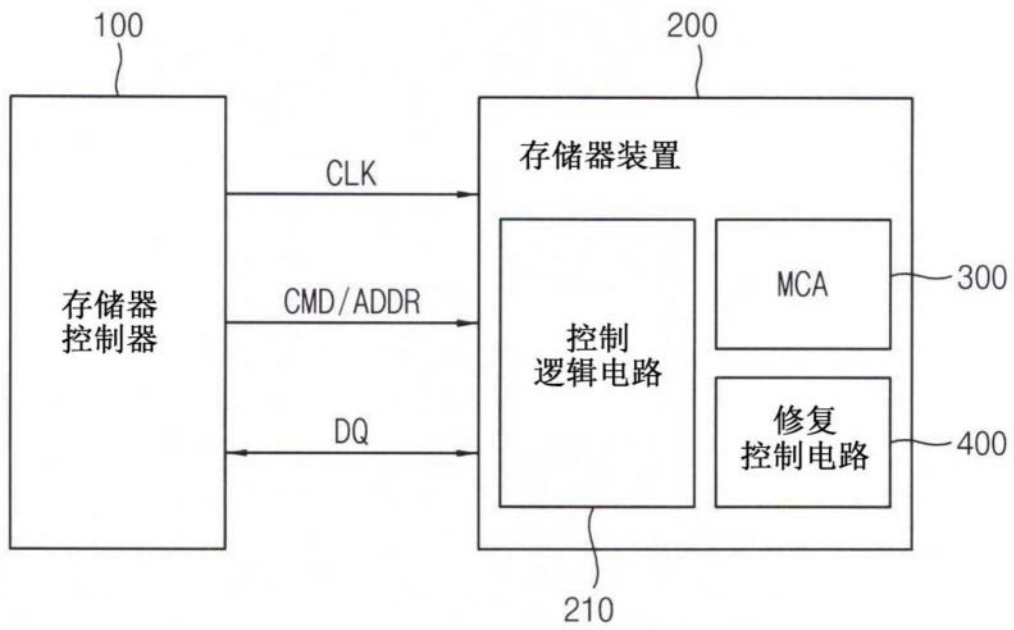


图3

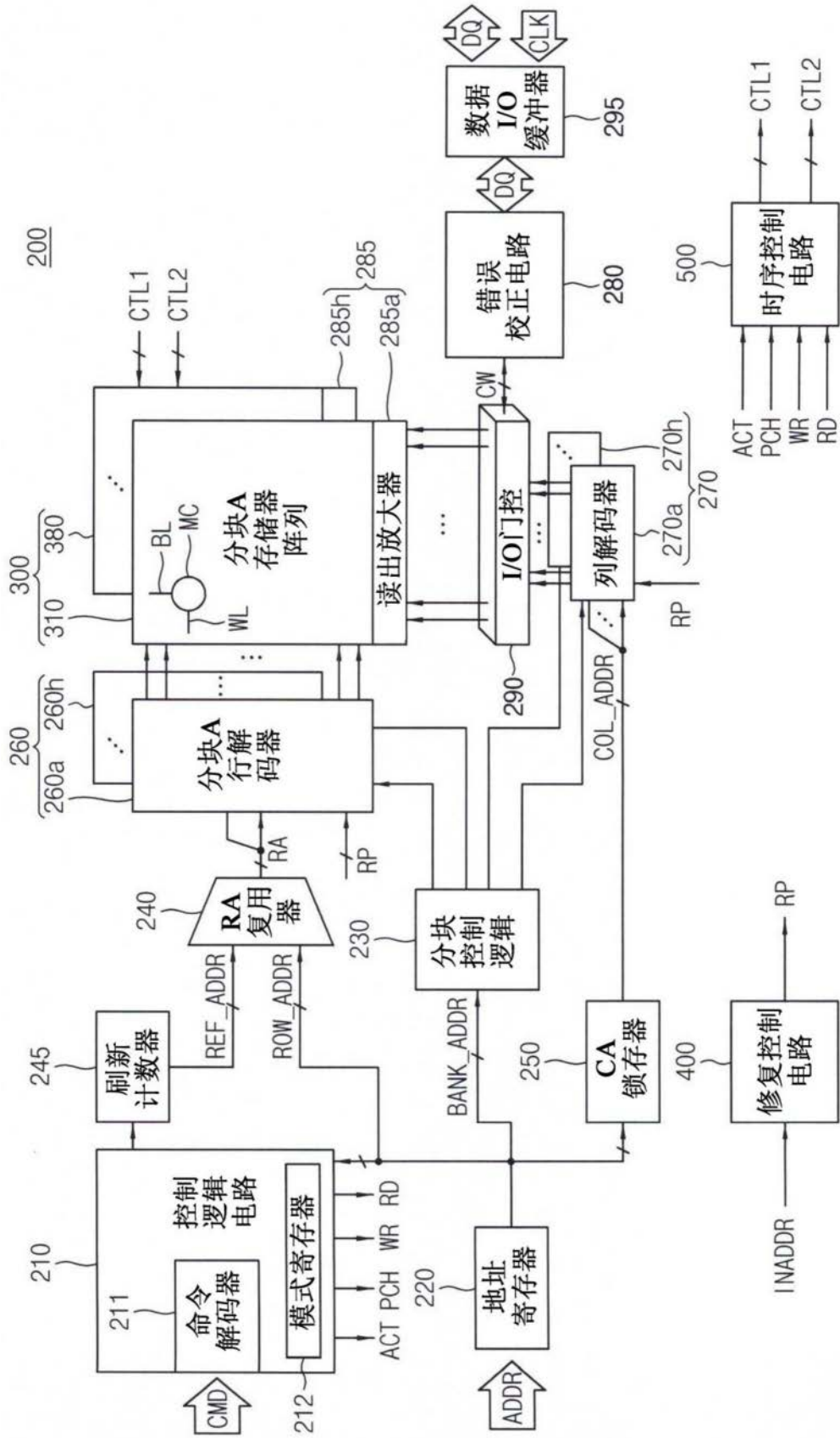


图4

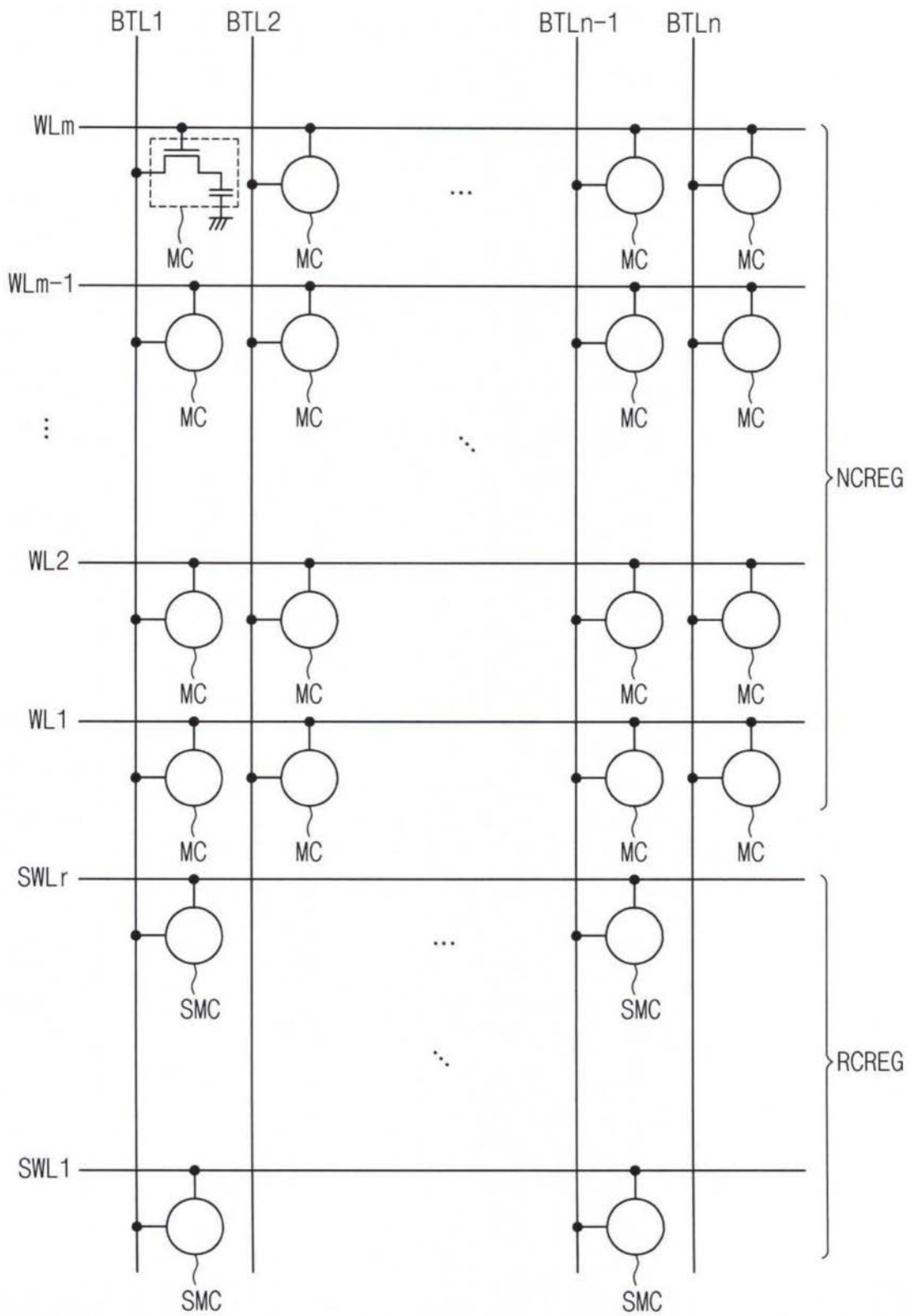


图5

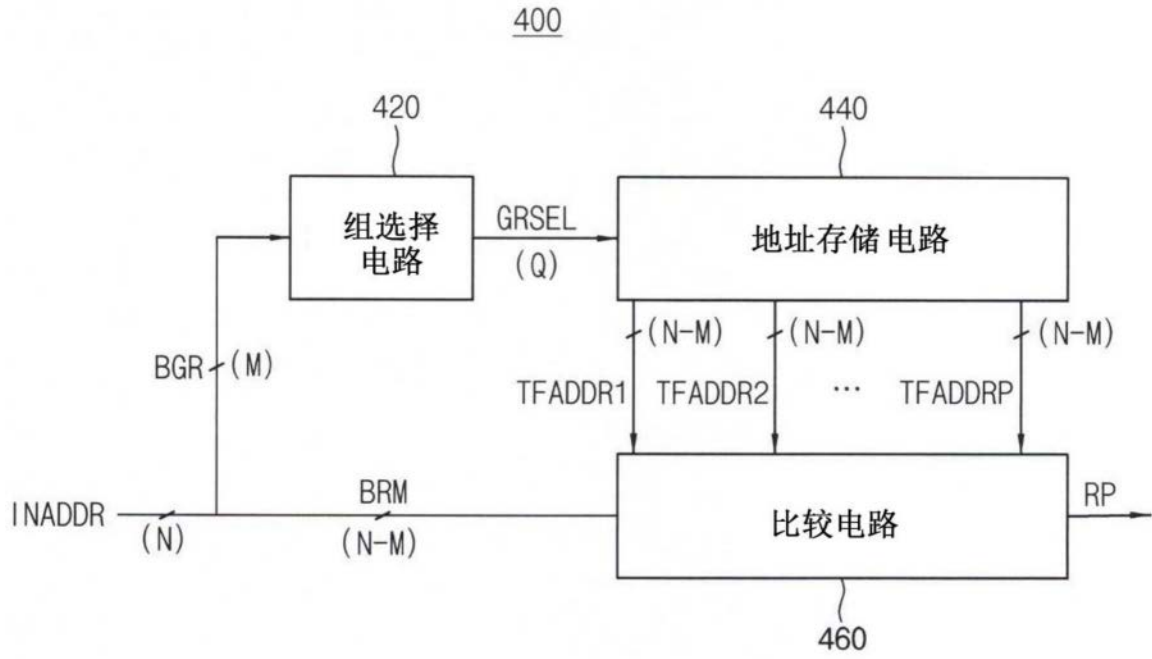


图6

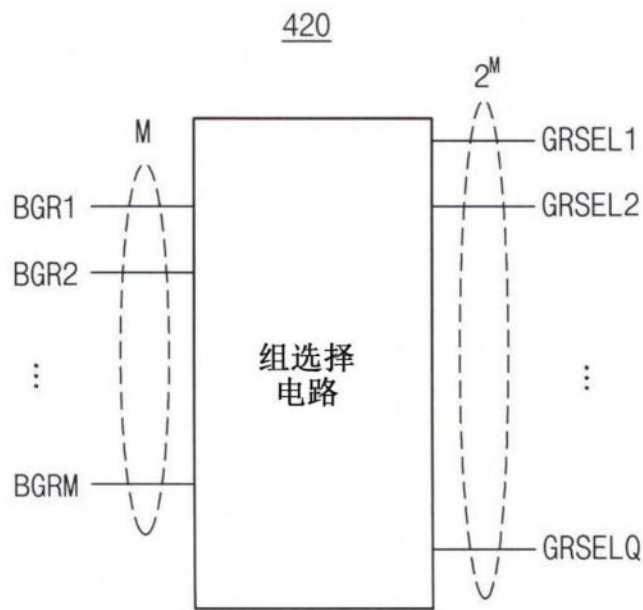


图7

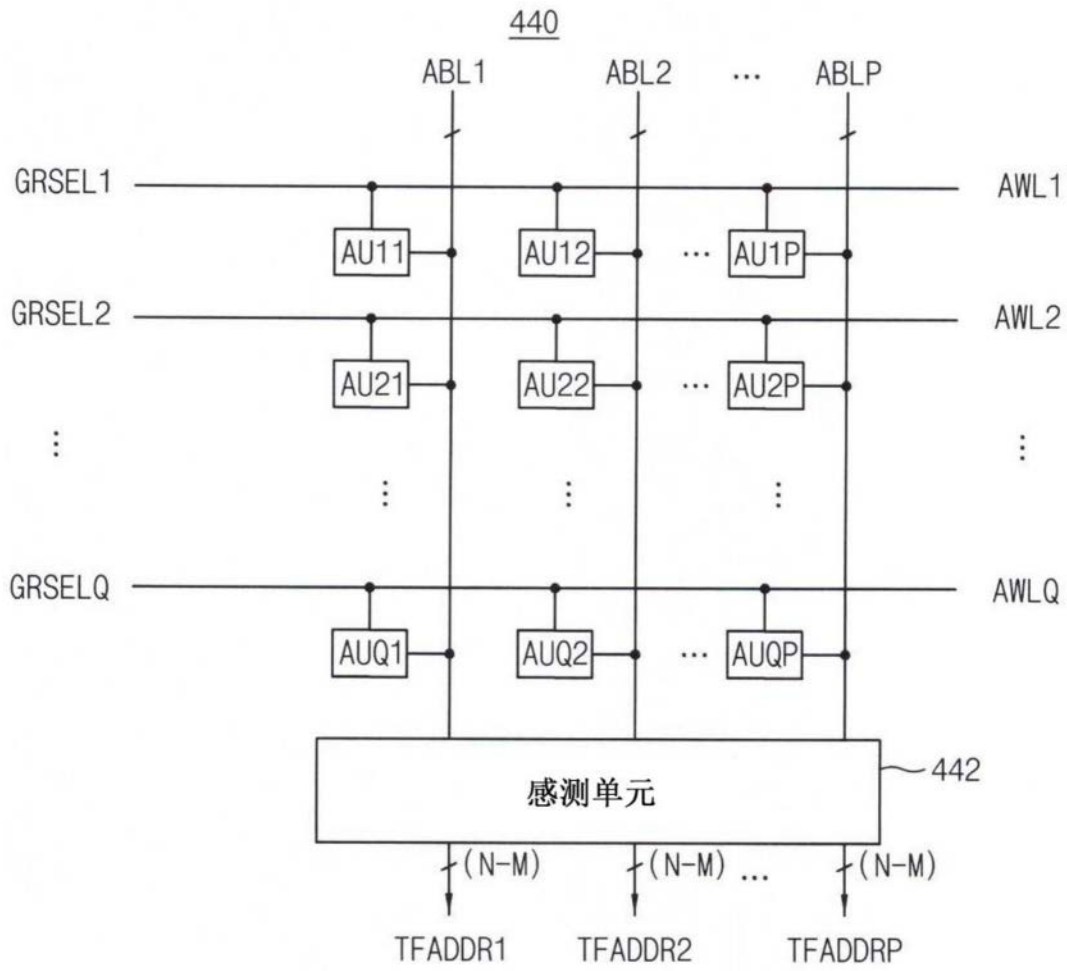


图8

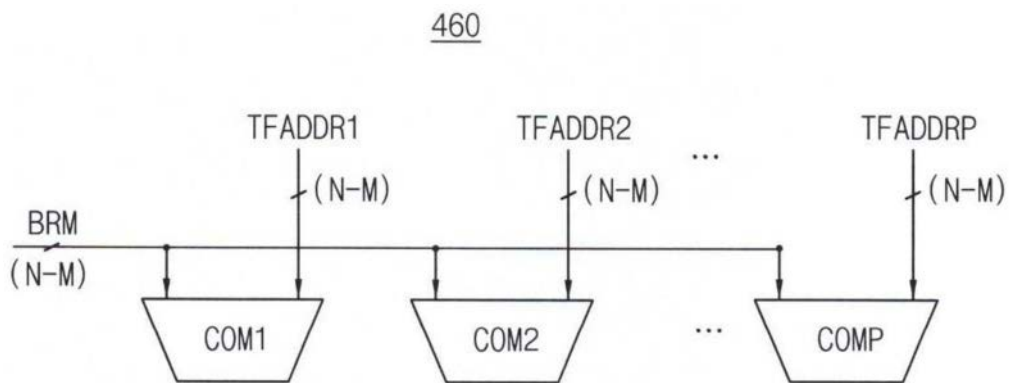


图9

462

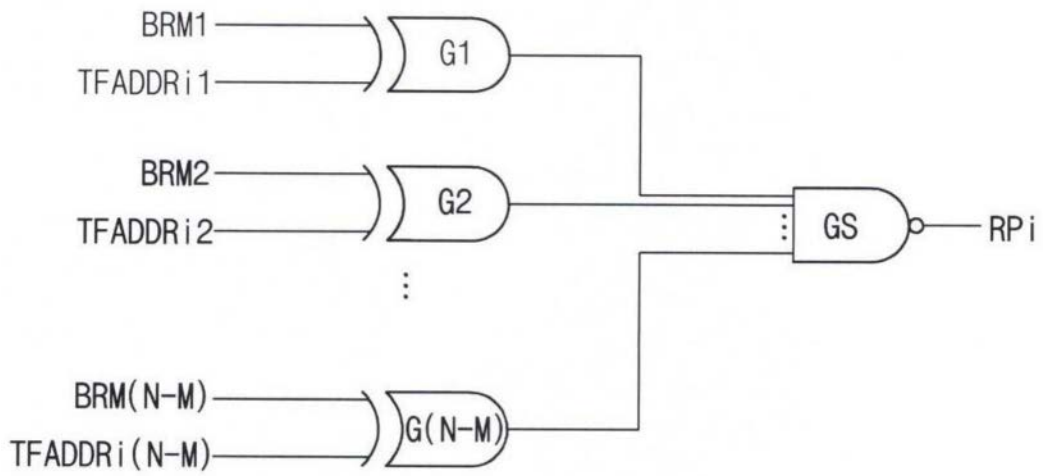


图10

NCREG

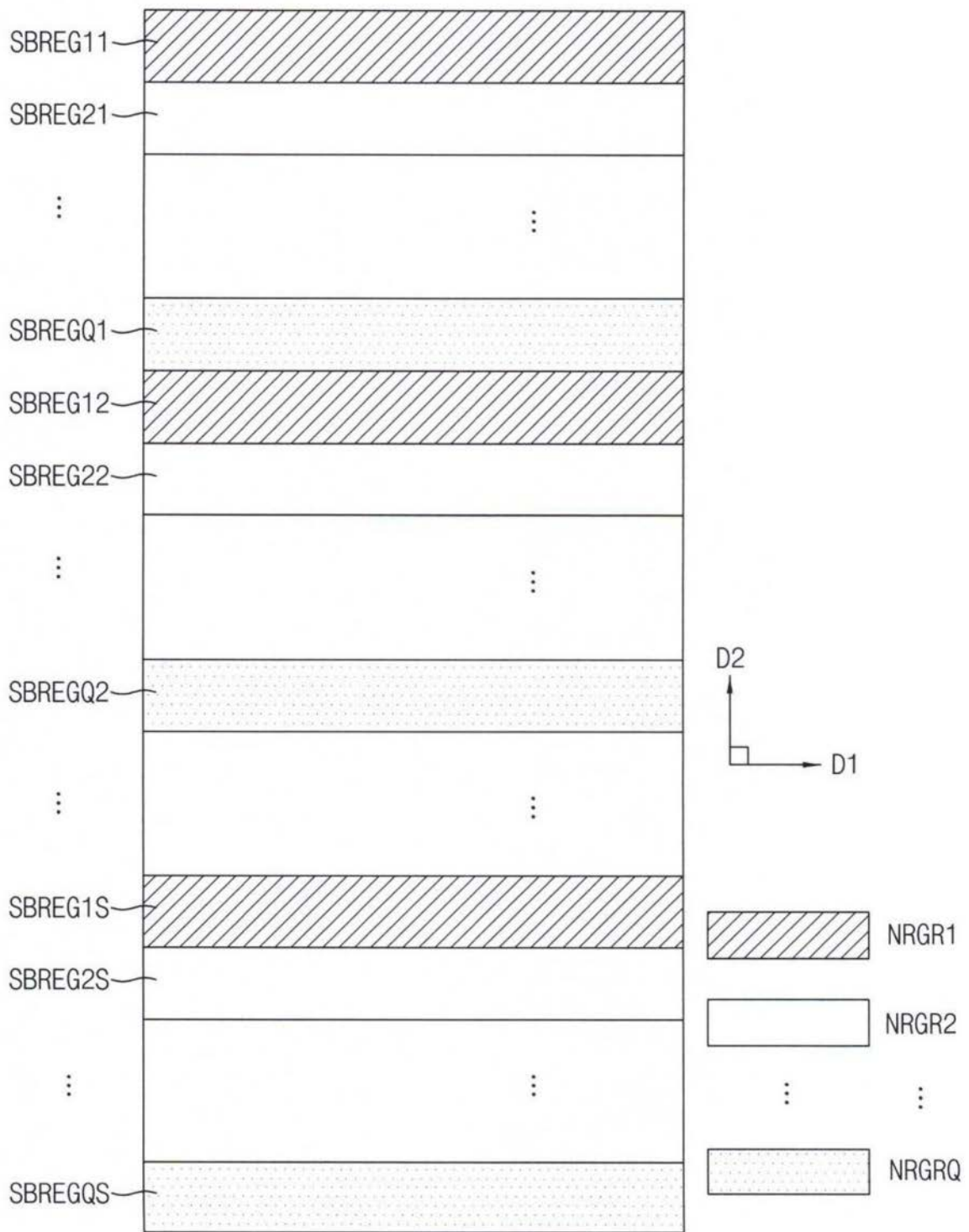


图11

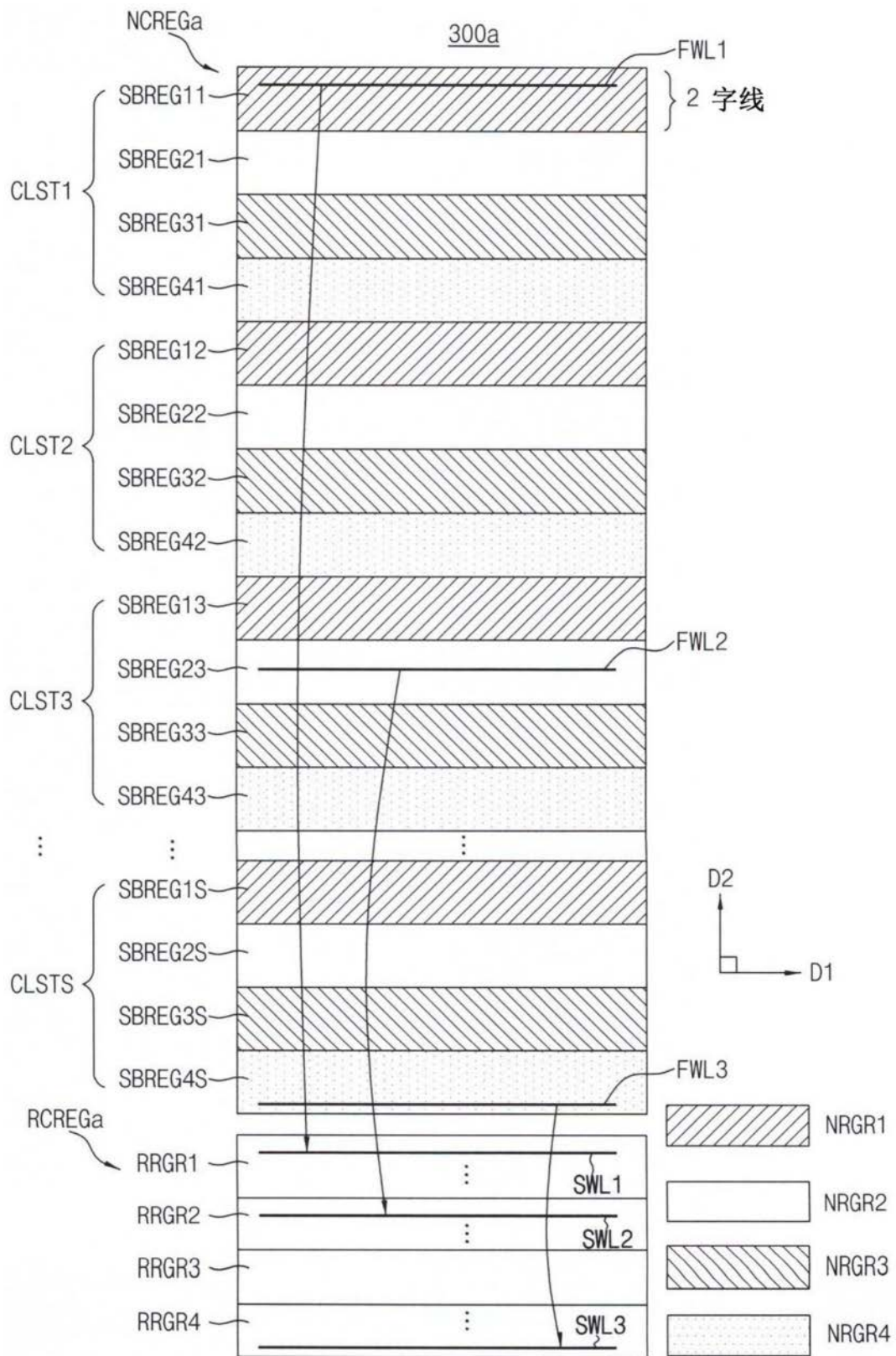


图12

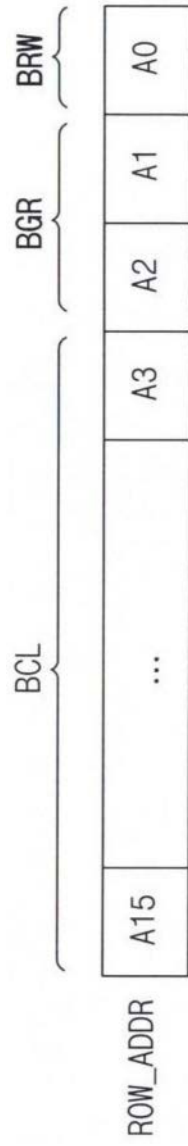


图13

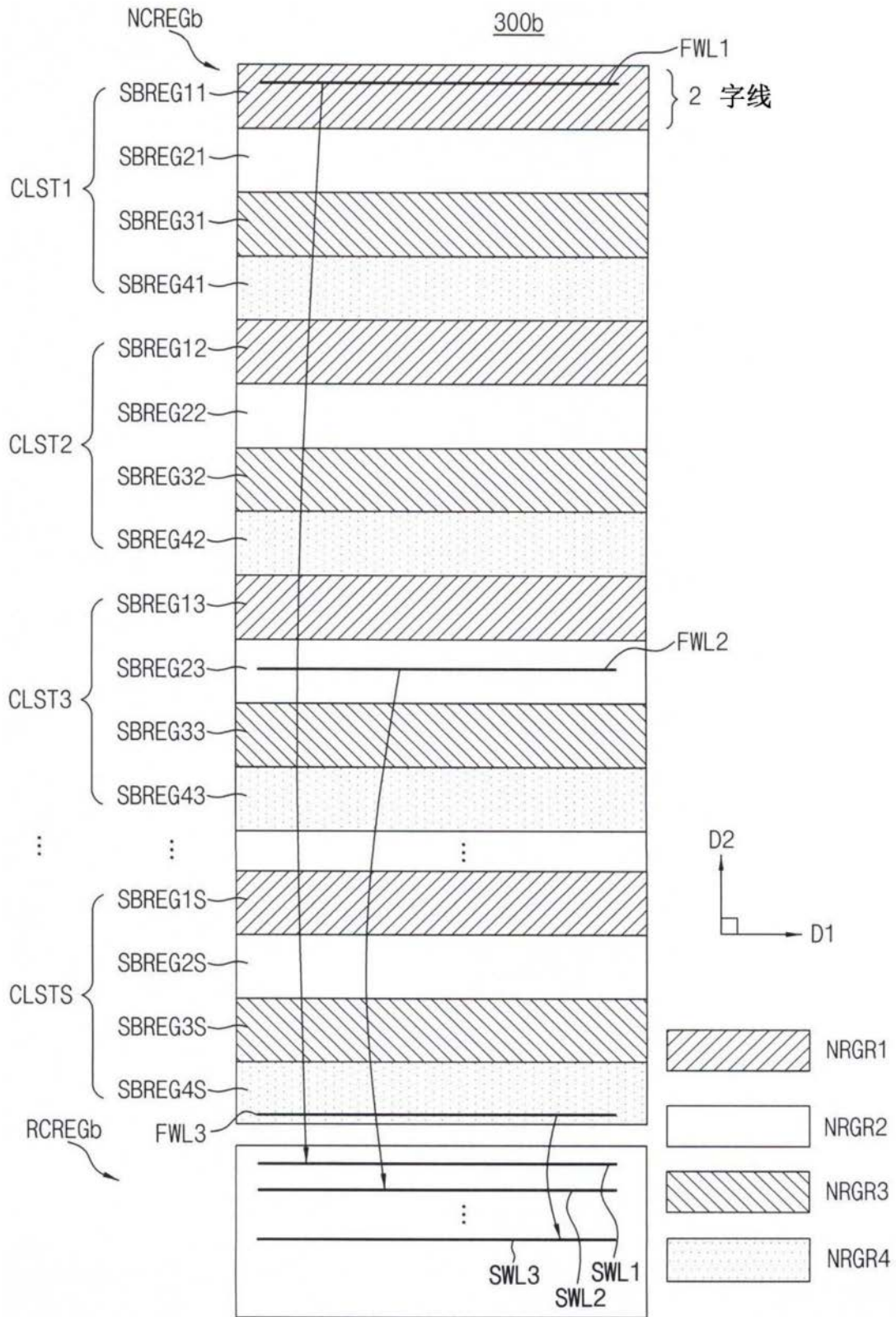


图14

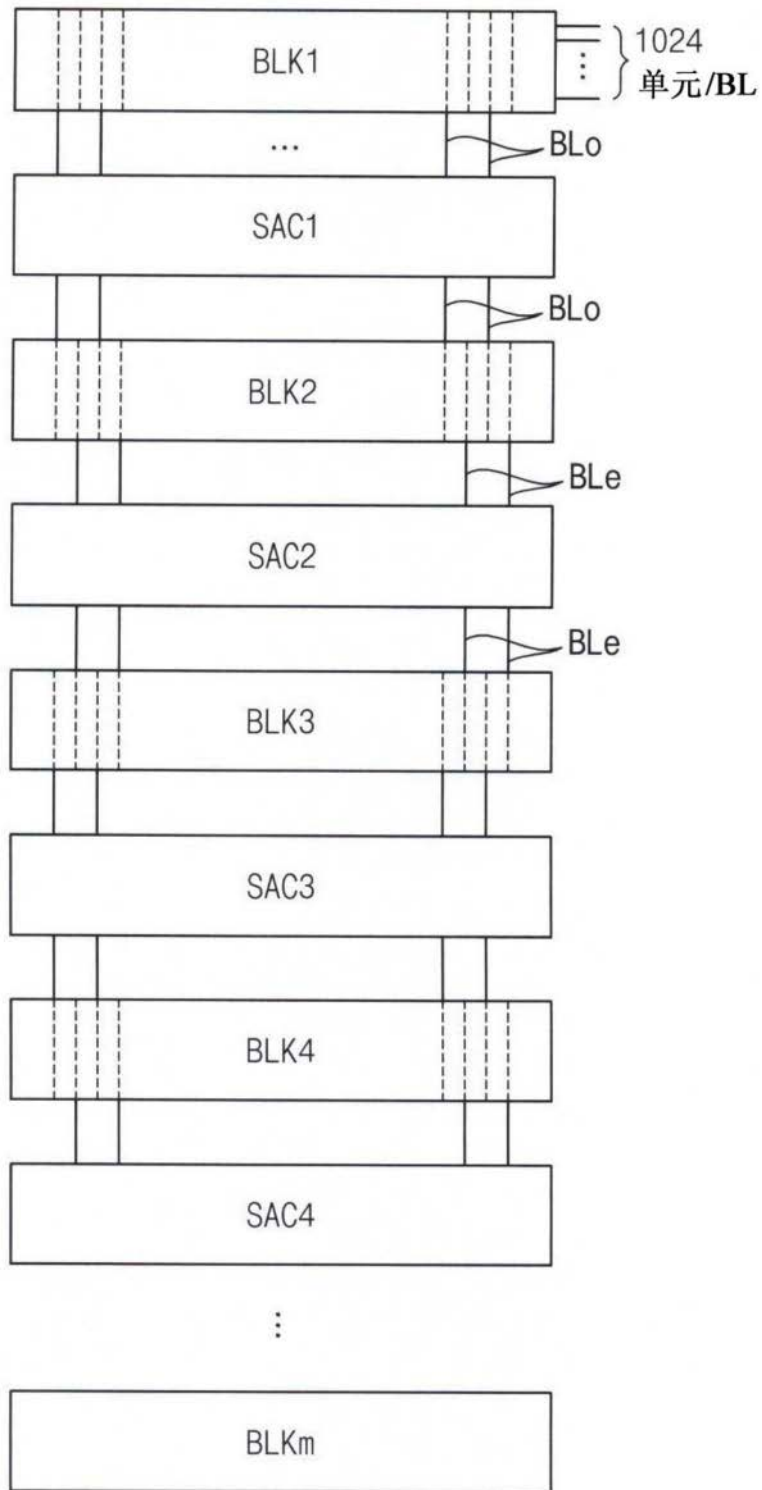


图15

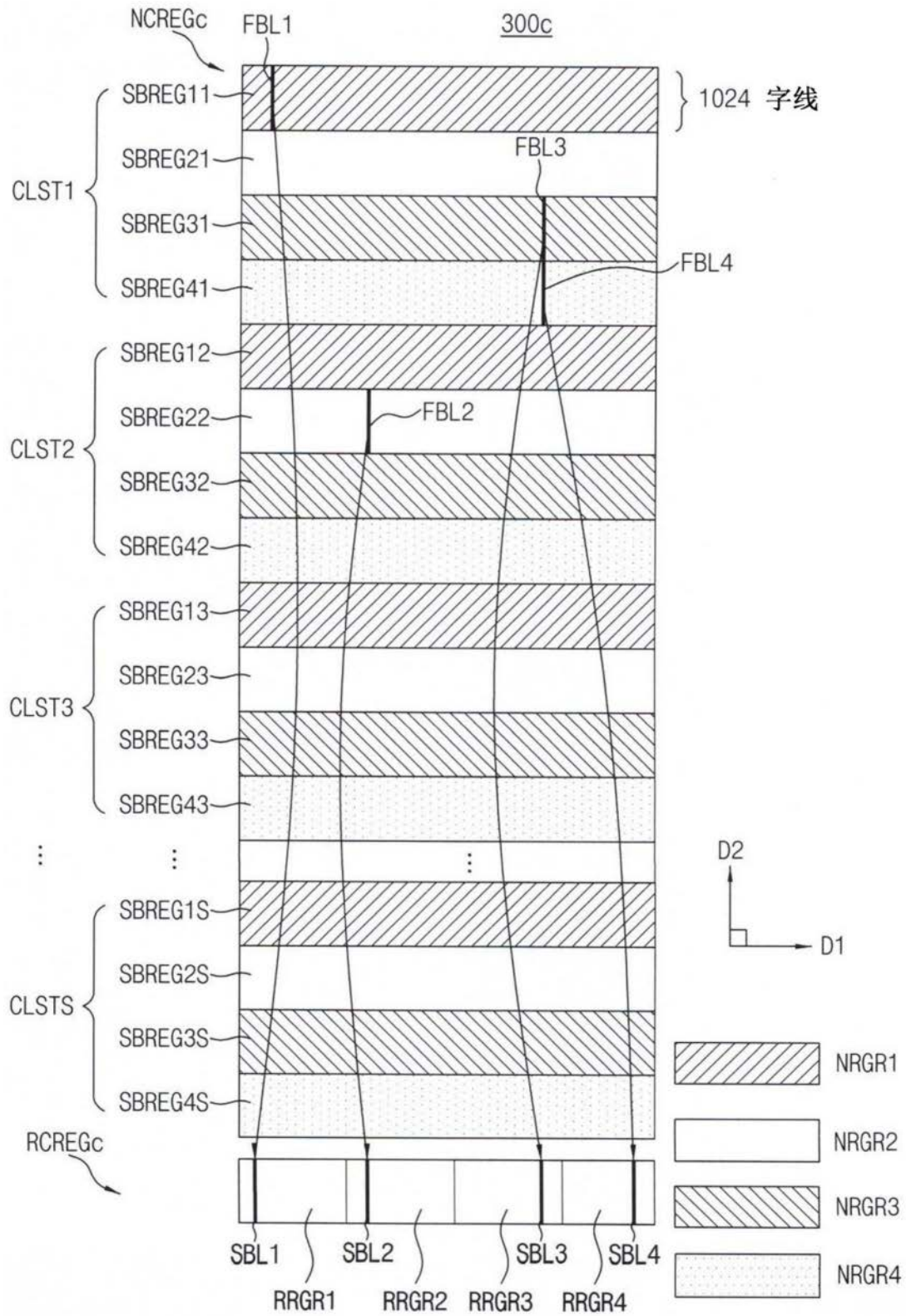


图16

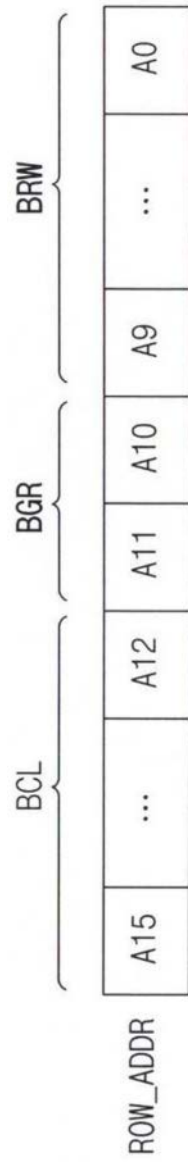


图17

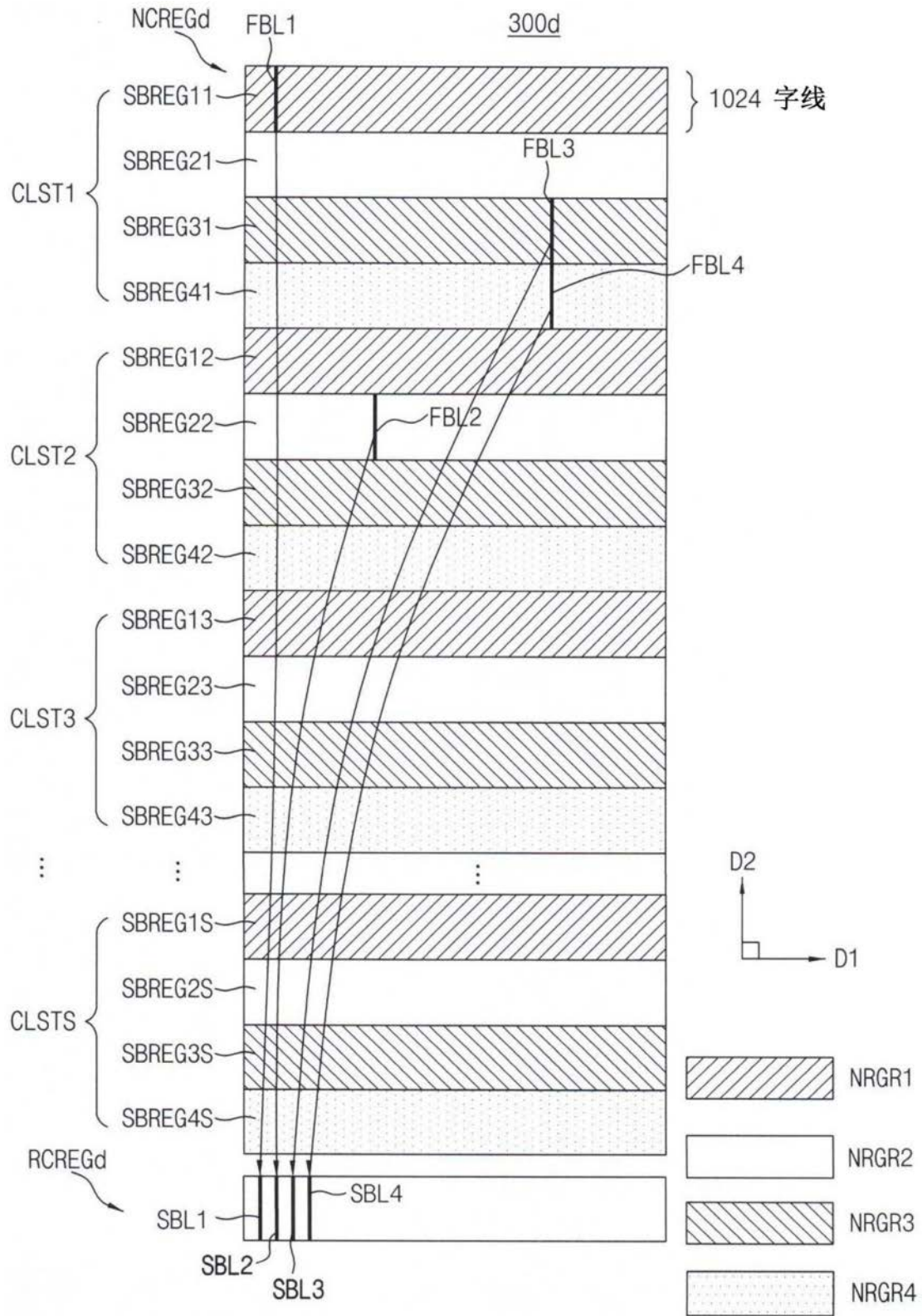


图18

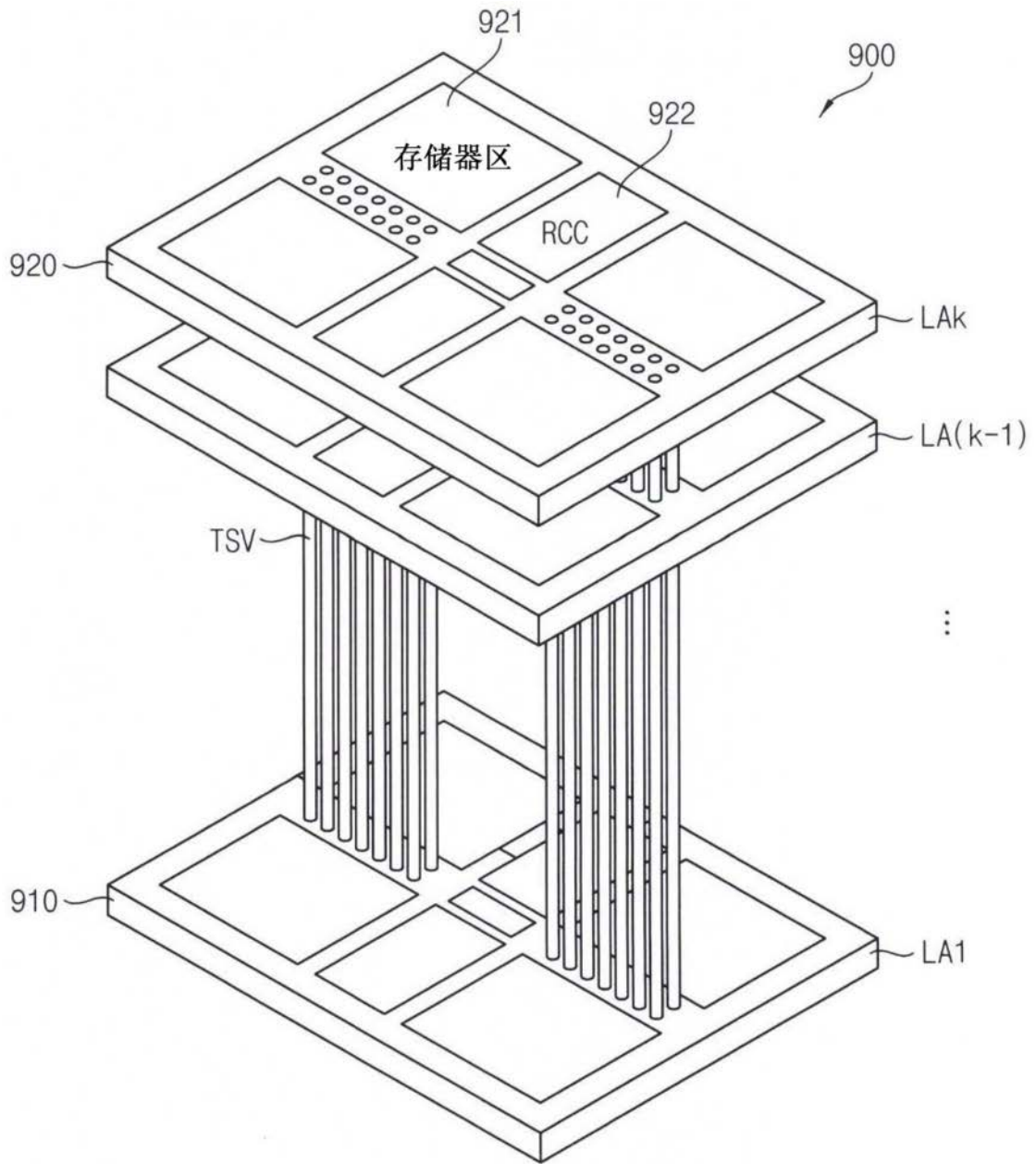


图19

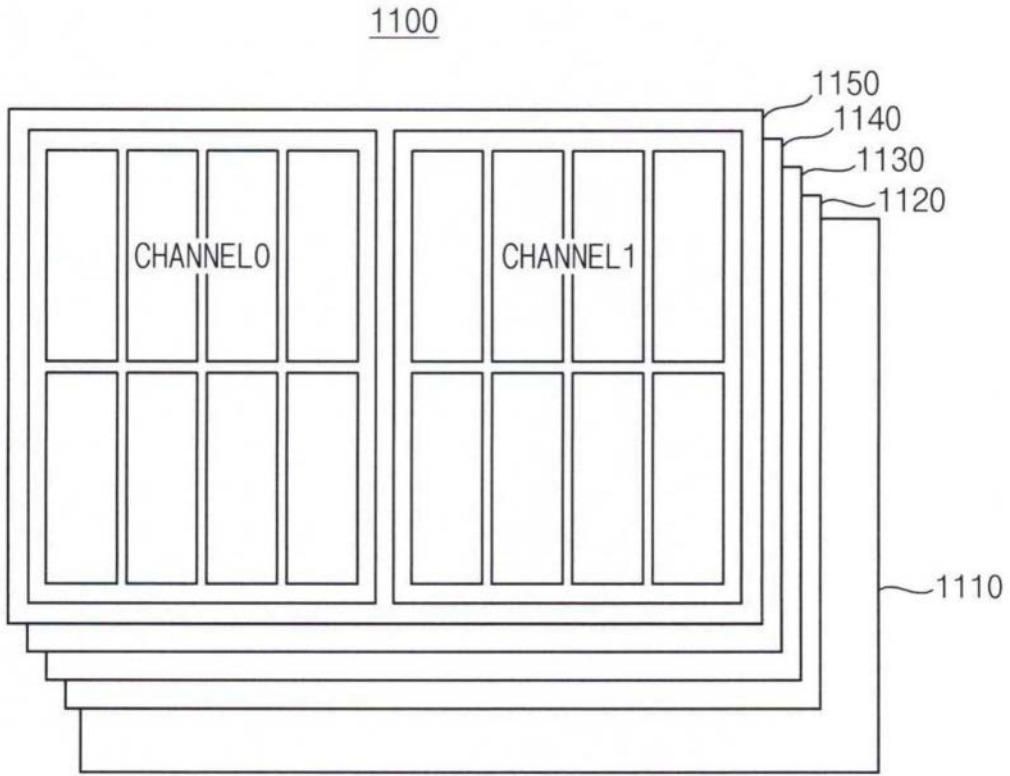


图20

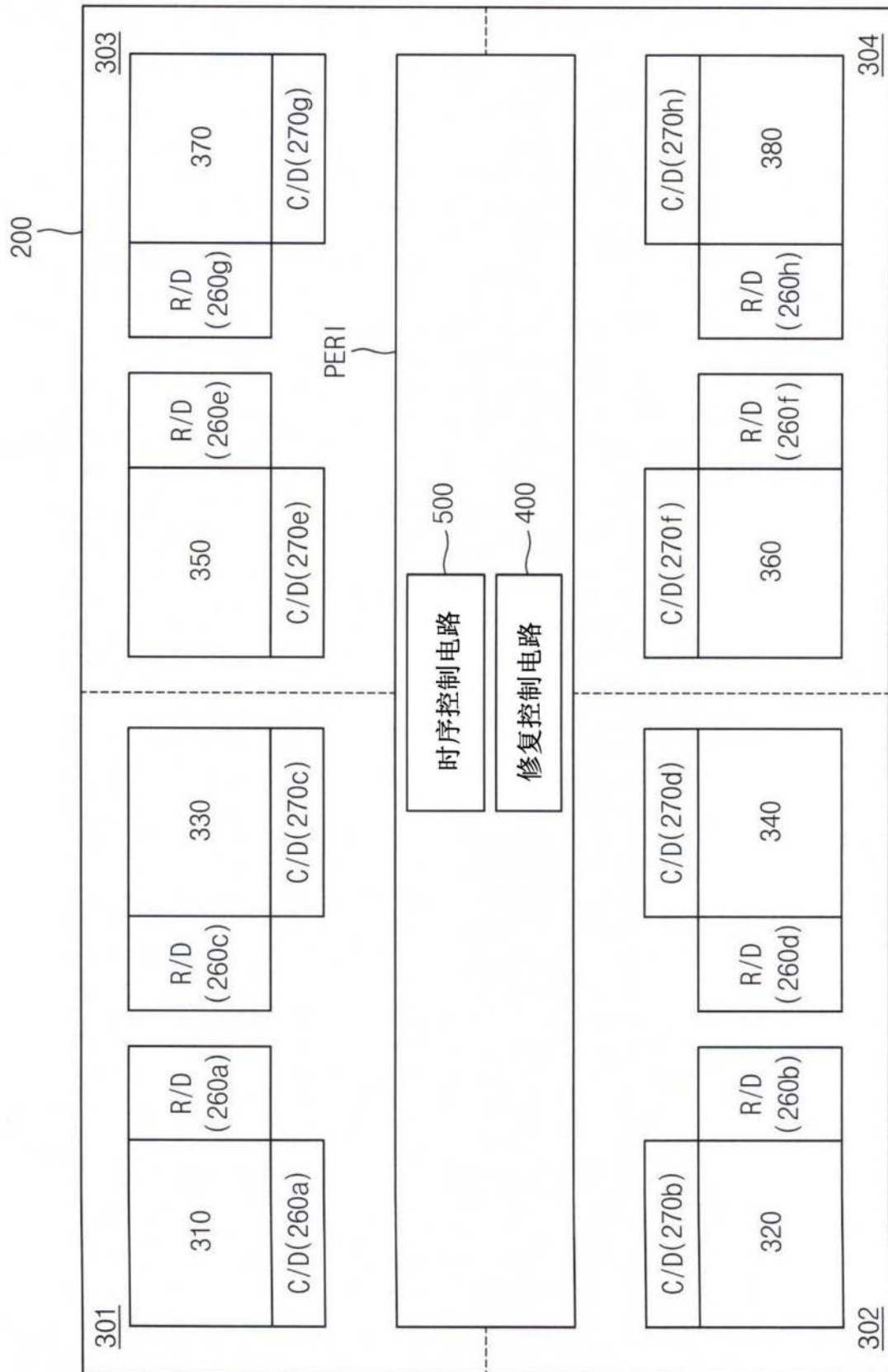


图21

1200

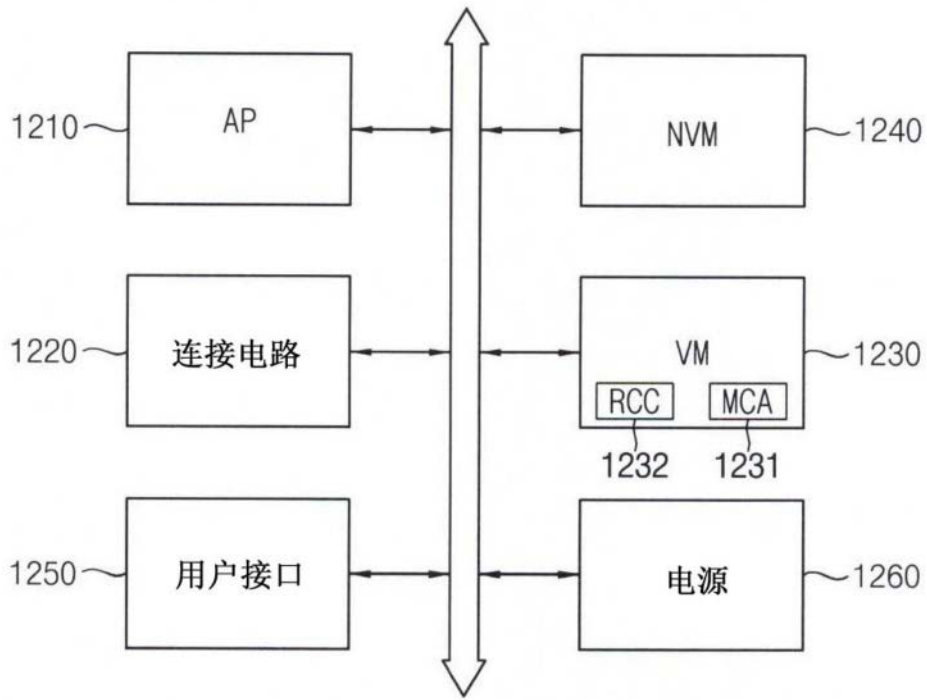


图22