

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G02F 1/133

G02F 1/1345 G09G 3/36



# [12] 发明专利申请公开说明书

[21] 申请号 02819366.0

[43] 公开日 2005 年 1 月 5 日

[11] 公开号 CN 1561469A

[22] 申请日 2002. 8. 9 [21] 申请号 02819366. 0

[30] 优先权

[32] 2001. 11. 15 [33] KR [31] 2001 - 71153

[32] 2002. 1. 12 [33] KR [31] 2002 - 1856

[86] 国际申请 PCT/KR2002/001524 2002. 8. 9

[87] 国际公布 WO2003/042964 英 2003. 5. 22

[85] 进入国家阶段日期 2004. 3. 31

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金炯杰 李东浩 马元锡

[74] 专利代理机构 北京市柳沈律师事务所

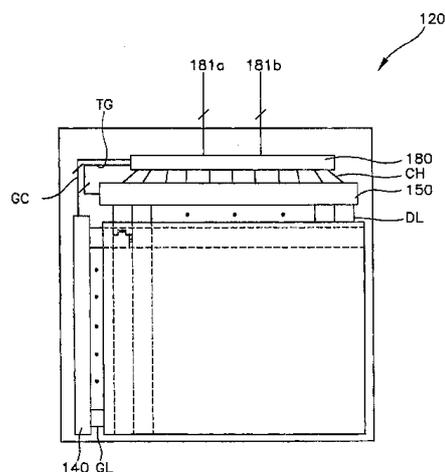
代理人 王志森 黄小临

权利要求书 7 页 说明书 22 页 附图 25 页

[54] 发明名称 液晶显示器

[57] 摘要

提供了一种 LCD，能够通过将整个尺寸和缺陷比例减为最小而减小，本 LCD 的 LCD 板包括驱动沿行方向延伸形成的栅极线的栅极驱动电路和驱动沿列方向延伸形成的数据线的线块选自电路。在 LCD 板上安置具有控制器、存储器、电平移位器、公共电压发生器、DC/DC 转换器的集成驱动芯片。集成驱动芯片不仅驱动栅极驱动电路和行列选择电路，而且还控制 LCD 板的操作以显示图像。因而其配置减小了 LCD 板的结构和缺陷比例，并且其整体尺寸也减小。



ISSN 1008-4274

1. 一种液晶显示装置, 包括:  
具有显示器和与显示区相邻的周边区中的第一基底;  
5 面对第一基底的第二基底; 和  
夹置在第一和第二基底之间的液晶,  
其特征在于第一基底还包括:  
多个开关器件, 以矩阵形式形成的显示区中;  
多个像素电极, 以矩阵形式地形成在显示区中, 多个像素电极中的每一  
10 个都连接到多个开关器件中每一个的第一电流电极;  
成行分布的多条栅极线, 多条栅极线中的每一条公共连接到多个开关器  
件中成行分布的开关器件的控制电极;  
成列分布的多条数据线, 多条数据线中的每一条共同连接到多个开关器  
件中成列分布的开关器件的第二电流电极;  
15 栅极驱动电路, 形成在周边区中的第一区中, 多条栅极线的第一端延伸  
到该区, 用于依次扫描多条栅极线; 以及  
集成驱动芯片, 形成在周边区中的第二区中, 多条数据线的第一端延伸  
到该区, 用于响应于外图像数据和外控制信号向栅极驱动电路提供驱动控制  
信号, 并且分别向多条数据线提供模拟信号。
- 20 2. 一种液晶显示装置, 包括:  
具有显示区和邻近显示区的周边区中的第一基底;  
面对第一基底的第二基底; 和  
夹置在第一和第二基底之间的液晶,  
其特征在于第一基底还包括:  
25 多个开关器件, 以矩阵形式形成在显示区中;  
多个像素电极, 以矩阵形式形成在显示区中, 多个像素电极中的每一个  
都连接到多个开关器件中每个开关器件的第一电流电极;  
成行分布的多条栅极线, 多条栅极线中的每一条共同连接到多个开关器  
件中成行分布的开关器件的控制电极;  
30 成列分布的多条数据线, 多条数据线中的每一条共同连接到多个开关器  
件中成列分布的开关器件的第二电流电极;

栅极驱动电路，形成在周边区中的第一区中，多条栅极线的第一端延伸到该区，用于依次扫描多条栅极线

5 线块选择电路，形成在周边区中的第二区中，多条数据线的第一端延伸到该区，用于接收以块为单元的模拟驱动信号，选择多条数据线的一个线块，并且将以块为单元的模拟驱动信号切换到选取线块的数据线；和

集成驱动芯片，形成在第二区中，用于响应于外图像数据和外控制信号提供驱动控制信号给栅极驱动电路，并提供线块选择信号和以块为单元的模拟信号给线块选择电路。

10 3. 如权利要求 2 所述的装置，其特征在于集成驱动芯片包括：  
接口部分，用于联系外图像数据和外控制信号；

存储器，用于储存外图像数据；

源极驱动器，用于响应于从存储器中逐块读出的以块为单元的图像数据输出以块为单元的模拟驱动信号；

15 电平移位器，移位驱动控制信号和线块选择信号的电平；和

20 控制器，用于响应于从接口部分输入的外控制信号将外图像数据储存到存储器中，产生驱动控制信号和线块选择信号，向电平移位器提供驱动控制信号和线块选择信号，从存储器中逐块读取图像数据块并向源极驱动器提供逐块读出的图像数据。

4. 如权利要求 3 所述的装置，其特征在于存储器逐帧储存外图像数据  
20 信号。

5. 如权利要求 3 所述的装置，其特征在于存储器按每两行储存外图像数据信号。

6. 如权利要求 3 所述的装置，其特征在于接口部分与 CPU 接口、视频图形板接口和多媒体 Q 接口兼容。

25 7. 如权利要求 3 所述的装置，其特征在于集成驱动芯片还包括：

公共电压发生器，用于产生公共电压并对形成在液晶板上的公共电极线提供公共电压；

DC/DC 转换器，用于接收外电压，转换外电压，上拉或下拉外电压，并向控制器、电平移位器、源极驱动器和公共电压发生器提供经转换的外电压。

30 8. 如权利要求 2 所述的装置，其特征在于外图像数据总共有 18 位并行数据，该 18 位数据包括红、绿和蓝各 6 位，并且外控制信号包括主时钟信号、

水平同步信号、垂直同步信号、数据启动信号。

9. 如权利要求 8 所述的装置，其特征在于外控制信号还包括模式选择信号，并且控制器响应于模式选择信号产生线块选择信号。

10. 如权利要求 2 所述的装置，其特征在于该块具有对应于选自 1/1、  
5 1/2、1/3 和 1/4 水平分辨率其中之一的大小。

11. 如权利要求 10 所述的装置，其特征在于当该块具有对应于 1/2 水平分辨率时第一线块包括偶数条数据线并且第二线块包括偶数条数据线。

12. 如权利要求 11 所述的装置，其特征在于线块选择电路包括：

多个第一选择晶体管，第一选择晶体管中的每个第一电流电极连接到输出集成驱动芯片的模拟驱动信号的第一输出端中的一对应第一输出端，每个  
10 第二电流电极连接到奇数条数据线中的一对应奇数数据线，每个控制电极连接到输出第一线块选择信号的第三输出端中的一对应第三输出端；和

多个第二选择晶体管，每个第一电流电极连接到第一输出端中的一对应  
15 第一输出端，每个第二电流电极连接到偶数条数据线中的一对应偶数数据线，并且每个控制电极连接到输出第二线块选择信号的第三输出端中的一对应第三输出端。

13. 如权利要求 10 所述的装置，其特征在于当块具有对应于 1/3 水平分辨率的大小时，第一线块包括  $(3n-2)$  条数据线，第二线块包括  $(3n-1)$  条数据线，第三线块包括  $(3n)$  条数据线，其中  $n$  是自然数。

20 14. 如权利要求 13 所述的装置，其特征在于线块选择电路包括：

多个第一选择晶体管，第一选择晶体管中的每个第一电流电极连接到输出集成驱动芯片的模拟驱动信号的第一输出端中的一对应第一输出端，每个  
25 第二电流电极连接到  $(3n-2)$  条数据线中的一对应  $(3n-2)$  数据线，并且每个控制电极连接到输出第一线块选择信号的第三输出端中的一对应第三输出端；

多个第二选择晶体管，每个第一电流电极连接到第一输出端中的一对应  
第一输出端，每个第二电流电极连接到  $(3n-1)$  条数据线中的一对应  $(3n-1)$  数据线，并且每个控制电极连接到输出第二线块选择信号的第三输出端中的一对应第三输出端；和

30 多个第三选择晶体管，每个第一电流电极连接到第一输出端中的一对应第一输出端，每个第二电流电极连接到  $(3n)$  条数据线中的一对应  $(3n)$  数

据线，并且每个控制电极连接到输出第三线块选择信号的第四输出端中的一对应第四输出端。

15. 如权利要求 2 所述的装置，其特征在于驱动控制信号包括启动信号、第一时钟信号和第二时钟信号。

- 5 16. 如权利要求 15 所述的装置，其特征在于栅极驱动电路包括包含多个级联级的移位寄存器，多个级联级具有第一级，启动信号施加到第一级的输入端，并且移位寄存器利用每一级的输出端输出的输出信号依次选自多条栅极线，

其特征在于每一级还包括：

- 10 输入端，连接到与前一级的输出端连接的栅极线；

输出端，连接到对应的栅极线；

控制端，连接到与下一级输出端连接的栅极线；

时钟端，对应的时钟信号输入该端；

上拉装置，用于对输出端提供第一和第二时钟信号中的一对应时钟信号；

- 15 下拉装置，用于对输出端提供第一电源电压；

上拉驱动装置，连接到上拉装置的输入节点，用于响应于从输入端输入的输入信号的上升边缘通过对电容器充电而导通上拉装置，并且响应于驱动信号的上升边缘通过将电容器放电而关断下拉装置，其中驱动信号是从控制端输入，用于驱动连接到下一级的栅极线；和

- 20 下拉驱动装置，连接到下拉装置的输入节点并连接到上拉装置的输入节点，用于响应于用于驱动连接到下一级的栅极线的驱动信号关断下拉装置和导通下拉装置。

17. 如权利要求 16 所述的装置，其特征在于上拉驱动装置包括：

电容器，连接在上拉装置的输入节点和输出端之间；

- 25 第一晶体管，其漏极连接到第二电源电压，其栅极连接到输入端，其源极连接到上拉装置的输入节点；

第二晶体管，其漏极连接到上拉装置的输入节点，其栅极连接到控制端，其源极连接到第一电源电压；和

- 30 第三晶体管，其漏极连接到上拉装置的输入节点，其栅极连接到下拉装置的输入节点，其源极连接到第一电源电压。

18. 如权利要求 16 所述的装置，其特征在于下拉驱动装置包括：

第四晶体管，其漏极和栅极连接到第二电源电压，其源极连接到下拉装置的输入节点；和

第五晶体管，其漏极连接到下拉装置的输入节点，其栅极连接到下拉装置的输入节点，其源极连接到第一电源电压。

5        19. 如权利要求 16 所述的装置，其特征在于移位寄存器最后一级的控制端连接到第一级的输入端。

20. 如权利要求 16 所述的装置，其特征在于移位寄存器最后一级的控制端连接到前一级的下拉装置的输入节点。

10       21. 如权利要求 2 所述的装置，还包括一个具有图案的挠性印刷电路板，图案连接到第一基底，用于向集成驱动芯片提供外图像数据和外控制信号。

22. 一种液晶显示装置，包括：

具有显示区和与显示区限流的周边区中的第一基底；

与第一基底面对的第二基底；和

15       夹置在第一和第二基底之间的液晶，

其特征在于第一基底还包括：

多个开关器件，以矩阵形式形成在显示区中；

多个像素电极，以矩阵形式形成在显示区中，多个像素电极中的每一个连接到多个开关器件的每一个的第一电流电极；

20       成行分布的多条栅极线，多条栅极线中的每一条共同连接到多个开关器件中成行分布的开关器件的控制电极；

成列分布的多条数据线，多条数据线中的每一条共同连接到多个开关器件中成列分布的开关器件的第二电流电极；

25       第一栅极驱动电路，形成在周边区中的第一区中，多条栅极线的第一端延伸到该区，用于驱动多条栅极线中的奇数栅极线；

第二栅极驱动电路，形成在周边区中的第二区中，多条栅极线的第二端延伸到该区，用于驱动多条栅极线中的偶数栅极线，并经多条栅极线连接到第一栅极驱动电路，以便依次扫描多条栅极线

30       线块选择电路，形成在周边区中的第三区，多条数据线的第一端延伸到该区，用于接收以块为单元的模拟驱动信号，选择多条数据线的的一个线块，并将线块的模拟驱动信号切换到选取线块的数据线；和

集成驱动芯片，形成在第三区中，响应于外图像数据和外控制信号对第一和第二栅极驱动电路提供驱动控制信号，并向线块选择电路提供线块选择信号和以块为单元的模拟信号。

23. 一种液晶显示装置，包括：

- 5 具有显示区和与显示区相邻的周边区中的第一基底；  
与第一基底面对的第二基底；和  
夹置在第一和第二基底之间的液晶，  
其特征在于第一基底包括：  
多个开关器件，以矩阵形式形成在显示区中；
- 10 多个像素电极，以矩阵形式形成在显示区中，并且多个像素电极中的每一个连接到多个开关器件中的每个开关器件的第一电流电极；  
成行分布的多条栅极线，并且多条栅极线中的每一条共同连接到多个开关器件中成行分布的开关器件的控制电极；  
成列分布的多条数据线，多条数据线中的每一条共同连接到多个开关器
- 15 件中成列分布的开关器件的第二电流电极；  
线块选择电路，形成在周边区中，多条数据线的第一端延伸到该区，用于接收以块为单元的模拟驱动信号，选择多条数据线的的一个线块，并将线块的模拟驱动信号切换到选取线块的数据线；和
- 集成驱动芯片，形成在块选择电路所在的周边区中，用于接收外图像数
- 20 据和外控制信号，对多条栅极线中的奇数栅极线提供第一栅极驱动信号，对其偶数栅极线提供第二栅极驱动信号，并对线块选择电路提供线块选择信号和以块为单元的模拟驱动信号。
24. 如权利要求 23 所述的装置，其特征在于集成驱动芯片包括：  
接口部分，用于联系外图像数据和外控制信号；
- 25 存储器，用于储存外图像数据；  
源极驱动器，响应于从存储器中逐块读出的以块为单元的图像数据输出以块为单元的模拟驱动信号；  
电平移位器，移位第一驱动控制信号、第二驱动控制信号和线块选择信号的电平；
- 30 第一栅极驱动器，响应于第一驱动控制信号对多条栅极线中的奇数栅极线提供第一栅极驱动信号；

第二栅极驱动器，响应于第二驱动控制信号对多条栅极线中的偶数栅极线提供第二栅极驱动信号；和

5 控制器，响应于从接口部分输入的外控制信号将外图像数据储存到存储器中，产生第一和第二驱动控制信号和线块选择信号，给电平移位器提供第一和第二驱动控制信号及线块选择信号，从存储器中逐块读出图像数据，并对源极驱动器提供逐块读出的图像数据。

25. 如权利要求 24 所述的装置，其特征在于用于集成驱动芯片的第一栅极驱动信号的输出端连接到周边区中多条栅极线中的奇数栅极线，多条栅极线的第一端延伸到该区。

10 26. 如权利要求 24 所述的装置，其特征在于用于集成驱动芯片的第二栅极驱动信号的输出端连接到周边区中多条栅极线中的奇数栅极线，多条栅极线的第二端延伸到该区。

27. 如权利要求 24 所述的装置，其特征在于集成驱动芯片还包括：  
公共电压发生器，用于产生公共电压，并向形成在液晶板上的公共电极  
15 线提供公共电压；和

DC/DC 转换器，用于接收外电压，转换外电压，并对控制器、移位寄存器、源极驱动器和公共电压发生器提供经转换的电压。

## 液晶显示器

## 5 技术领域

本发明总的涉及一种液晶显示器 (LCD)，并尤其涉及一种能够通过缺陷比例被减到最小而减小整体尺寸的 LCD。

## 背景技术

10 当前拥有的信息处理装置已经被迅速开发得具有各种结构、各种功能和更快的信息处理速度。在这些信息处理装置中处理的信息具有电信号形式。为了通过视觉确认信息处理装置中处理的信息，典型的做法是将显示装置设置为界面。

15 与传统的阴极射线管 (CRT) 相比，液晶显示器 (LCD) 有一定的优点，如重量轻、尺寸小、分辨率高和功耗低。另外，LCD 很容易适于指定的环境并还能够显示全颜色范围。这些优点使得 LCD 能够取代 CRT 并成为下一代显示器中的亮点。

一般地，LCD 采用两个基底，两个基底上分别具有电极和切换向电极施加的电源的薄膜晶体管 TFT (TFT-LCD)。TFT-LCD 可以包括非晶硅 TFT-LCD  
20 (a-Si TFT-LCD) 或多晶硅 TFT-LCD (poly-Si TFT-LCD)。与 a-Si TFT-LCD 相比，poly-Si TFT-LCD 具有低功耗和低价格的优点。但 poly-Si TFT-LCD 的缺点在于它有比较复杂的制造过程。因而 poly-Si TFT-LCD 主要用在小尺寸的显示装置、如移位电话中。另一方面，非晶硅-Si TFT LCD 典型地用在大屏幕显示装置如笔记本电脑、LCD 监视器、高清晰度 (HD) 电视接收器等  
25 中。

图 1 是根据常规技术的 a-Si TFT-LCD 的液晶显示板的简化示意图。

参见图 1，a-Si TFT-LCD 50 包括具有象素阵列的 LCD 板 10，用于向 LCD 板 10 提供驱动信号的驱动印刷电路板 36 和 42，以及将 LCD 板 10 电连接到驱动印刷电路板 36 和 42 的带式载体封装 (TCP) 32 和 38。

30 驱动印刷电路板 36 和 42 包括用于驱动形成在 LCD 板 10 中的多条数据线的的数据印刷电路板 36 和用于驱动形成在 LCD 板 10 中的多条栅极线的栅极印

刷电路板 42。数据印刷电路板 36 经数据侧 TCP 32 连接到多条数据线连接端，栅极印刷电路板 42 经栅极侧 TCP 38 连接到多条栅极线连接端。

根据 COF (膜上芯片) 技术，a-Si TFT-LCD 有一个形成在数据侧 TCP 32 的数据驱动芯片 34，并且还有通过 COF 形成在栅极侧 TCP 38 上的栅极驱动芯片 40。

近来，已经通过在 a-Si TFT-LCD 和 p-Si TFT-LCD 中的玻璃基底上同时形成数据驱动电路和栅极驱动电路以及象素阵列而尽力地减少了组装过程的步骤数。

图 2 是表示根据常规技术的其上设置有数据和栅极驱动芯片的 a-Si TFT-LCD 板的简化示意图。

参见图 2，a-Si TFT-LCD 90 包括具有显示区 60a 和周边区 60b 的玻璃基底，显示区 60a 中形成有象素阵列，周边区 60b 与显示区 60a 相邻。在周边区 60b 上形成有多个数据驱动芯片 61 和多个栅极驱动芯片 62。多个数据驱动芯片 61 中的每个输出端连接到多条数据线中的一对应数据线，并且多个栅极驱动芯片 62 中的每个输出端连接到多条栅极线中的一对应栅极线。数据和栅极驱动芯片 61 和 62 的输出端经挠性印刷电路板 70 连接到印刷集成电路板 (未示出)。

挠性印刷电路板 70 包括控制驱动芯片 71 和公共电压发生器 72。控制驱动芯片 71 分别向数据驱动芯片 61 和栅极驱动芯片 62 提供定时信号和图像数据信号。公共电压发生器 72 产生公共电压。

数据和栅极驱动芯片 61 和 62 形成在玻璃基底 60 上的结构由于驱动电路的集成化而降低了 LCD 的成本并还将功耗降到最低。但是，当在如图 2 所示的玻璃基底上形成多个驱动芯片时，出现几个问题。首先，当在玻璃基底上形成多个驱动芯片时，缺陷比例与形成在基底上的芯片数量成比例地增加。结果是因为即使多个驱动芯片中的单个芯片有故障 LCD 模块也不能够使用。此外，缺陷比例增加时，使得 LCD 的产量下降，LCD 的加工时间变长，并且其生产率降低。

其次，从设备结构的观点看，由于在玻璃基底上安置多个芯片而增大了 LCD 的最终尺寸。这是因为要形成在玻璃基底上的图案数量随芯片数量的增加而增加，并且因而 LCD 板的尺寸不得不增大以获得形成该图案的空间。因此，在有限尺寸要求的 LCD 中，不能实现所需的高分辨率。

第三，因为多个芯片形成在邻近 LCD 板的一侧部分中，LCD 板的结构变得不平衡，并且 LCD 的总体大小变大。

第四，从透过 LCD 板的图像显示特性的观点看，由于多个芯片和玻璃基底之间的接触电阻而不能维持图像的均匀性。

5

### 发明内容

本发明的实施例提供一种能够减少形成液晶显示器所需的处理时间并减小总体尺寸的液晶显示器。

10 本发明的另一实施例提供一种具有集成驱动芯片的液晶显示器，其中集成电路芯片中的通道端与数据线兼容。

本发明的另一实施例提供了一种能够应用到具有高垂直分辨率的显示设备的液晶显示器。

本发明的另一实施例提供了一种能够增大有效显示面积的液晶显示器。

15 提供的液晶显示装置包括具有显示区和与显示区相邻的周边区中的第一基底，面对第一基底的第二基底，以及夹置在第一和第二基底之间的液晶。

20 第一基底包括多个开关器件、多个像素电极、多条栅极线、多条数据线、栅极驱动电路和集成驱动芯片。多个开关器件以矩阵形式形成在显示区中。在显示区中以矩阵形式地形成多个像素电极，并且多个像素电极中的每一个都连接到多个开关器件中每一个的第一电流电极。多条栅极线成行分布，并且多条栅极线中的每一条公共连接到多个开关器件中成行分布的开关器件的控制电极。多条数据线成列分布，并且多条数据线中的每一条共同连接到多个开关器件中成列分布的开关器件的第二电流电极。栅极驱动电路形成在周边区中的第一区中，多条栅极线的第一端延伸到该区并依次扫描多条栅极线。在周边区中的第二区中形成集成驱动芯片，多条数据线的第一端延伸到该区，25 响应于外图像数据和外控制信号向栅极驱动电路提供驱动控制信号，并且分别向多条数据线提供模拟信号。

在另一实施例中，提供了一种液晶显示装置，其包括具有显示区和邻近显示区的周边区中的第一基底，面对第一基底的第二基底，和夹置在第一和第二基底之间的液晶。

30 第一基底包括多个开关器件，多个像素电极，多条栅极线，多条数据线，栅极驱动电路，线块(line block)选择电路和集成驱动芯片。多个开关器件

以矩阵形式形成在显示区中。多个像素电极以矩阵形式形成在显示区中，并且多个像素电极中的每一个连接到多个开关器件中每个开关器件的第一电流电极。多个栅极线成行分布，并且多条栅极线中的每一条共同连接到多个开关器件中成行分布的开关器件的控制电极。多条数据线成列分布，并且多条数据线上的每一条共同连接到多个开关器件中成列分布的开关器件的第二电流电极。栅极驱动电流形成在周边区中的第一区中，多条栅极线的第一端延伸到该区并依次扫描多条栅极线。在周边区中的第二区中形成线块选择电路，多条数据线的第一端延伸到该区，接收以块为单元的模拟驱动信号，选择多条数据线的的一个线块，并且将以块为单元的模拟驱动信号切换到选取线块的数据线。集成驱动芯片形成在第二区中，响应于外图像数据和外控制信号提供驱动控制信号给栅极驱动电路，并提供线块选择信号和以块为单元的模拟信号给线块选择电路。

集成驱动芯片包括：接口部分，用于联系外图像数据和外控制信号；存储器，用于储存外图像数据；源极驱动器，用于响应于从存储器中逐块读出的以块为单元的图像数据输出以块为单元的模拟驱动信号；电平移位器，移位驱动控制信号和线块选择信号的电平；和控制器，用于响应于从接口部分输入的外控制信号将外图像数据储存到存储器中，产生驱动控制信号和线块选择信号，向电平移位器提供驱动控制信号和线块选择信号，从存储器中逐块读取图像数据块并向源极驱动器提供逐块读出的图像数据。

集成驱动芯片还包括：公共电压发生器，用于产生公共电压并对形成在液晶板上的公共电极线提供公共电压；DC/DC 转换器，用于接收外电压，上拉或下拉外电压，并向控制器、电平移位器、源极驱动器和公共电压发生器提供上拉或下拉外电压。

控制信号包括主时钟信号、水平同步信号、垂直同步信号、数据启动信号和模式选择信号，控制器响应于模式选择信号产生线块选择信号。

当块具有对应于  $1/2$  水平分辨率的大小时第一线块包括包括奇数条数据线、并且第二线块包括偶数条数据线。

线块选择电路包括多个第一选择晶体管和多个第二选择晶体管。第一选择晶体管中的每个第一电流电极连接到输出集成驱动芯片的模拟驱动信号的第一输出端中的一对应第一输出端，每个第二电流电极连接到奇数条数据线中的一对应奇数数据线，每个控制电极连接到输出第一线块选择信号的第二

输出端中的一对应第二输出端。每个第一电流电极连接到第一输出端中的一对应第一输出端，每个第二电流电极连接到偶数条数据线中的一对应偶数数据线，并且每个控制电极连接到输出第二线块选择信号的第三输出端中的一对应第三输出端。

- 5 当块具有对应于  $1/3$  水平分辨率的大小时，第一线块包括  $(3n-2)$  条数据线，第二线块包括  $(3n-1)$  条数据线，第三线块包括  $(3n)$  条数据线，其中  $n$  是自然数。

线块选择电路包括多个第一选择晶体管，多个第二选择晶体管和多个第三选择晶体管。第一选择晶体管中的每个第一电流电极连接到输出集成驱动芯片的模拟驱动信号的第一输出端中的一对应第一输出端，每个第二电流电极连接到  $(3n-2)$  条数据线中的一对应  $(3n-2)$  数据线，并且每个控制电极连接到输出第一线块选择信号的第三输出端中的一对应第三输出端。每个第一电流电极连接到第一输出端中的一对应第一输出端，每个第二电流电极连接到  $(3n-1)$  条数据线中的一对应  $(3n-1)$  数据线，并且每个控制电极连接到输出第二线块选择信号的第三输出端中的一对应第三输出端。每个第一电流电极连接到第一输出端中的一对应第一输出端，每个第二电流电极连接到  $(3n)$  条数据线中的一对应  $(3n)$  数据线，并且每个控制电极连接到输出第三线块选择信号的第四输出端中的一对应第四输出端。

10 在另一实施例中，提供了一种液晶显示装置，该装置包括具有显示区和与显示区相邻的周边区中的第一基底，与第一基底面对的第二基底，和夹置在第一和第二基底之间的液晶。

第一基底包括多个开关器件，多个像素电极，多条栅极线，多条数据线，第一栅极驱动电路，第二栅极驱动电路，线块选择电路，和集成驱动芯片。多个开关器件以矩阵形式形成在显示区中，并且多个像素电极中的每一个连接到多个开关器件中的每个开关器件的第一电流电极。多条栅极线成行分布，并且多条栅极线中的每一条共同连接到多个开关器件中成行分布的开关器件的控制电极。多条数据线成列分布，多条数据线中的每一条共同连接到多个开关器件中成列分布的开关器件的第二电流电极。第一栅极驱动电路形成在周边区中的第一区中，多条栅极线的第一端延伸到该区，并且驱动多条栅极线中的奇数栅极线。第二栅极驱动电路形成在周边区中的第二区中，多条栅极线的第二端延伸到该区，驱动多条栅极线中的偶数栅极线，并经多条栅极

线连接到第一栅极驱动电路，以便依次扫描多条栅极线。线块选择电路形成在周边区中的第三区，多条数据线的第一端延伸到该区，接收以块为单元的模拟驱动信号，选择多条数据线的一个线块，并将线块的模拟驱动信号切换到选取线块的数据线。集成驱动芯片形成在第三区中，响应于外图像数据和外控制信号对第一和第二栅极驱动电路提供驱动控制信号，并向线块选择电路提供线块选择信号和以块为单元的模拟信号。

在另一实施例中，提供了一种液晶显示装置，包括具有显示区和与显示区相邻的周边区中的第一基底，与第一基底面对的第二基底，和夹置在第一和第二基底之间的液晶。

10 第一基底包括多个开关器件，多个像素电极，多条栅极线，多条数据线，线块选择电路和集成驱动芯片。多个开关器件以矩阵形式形成在显示区中。多个像素电极以矩阵形式形成在显示区中，并且多个像素电极中的每一个连接到多个开关器件中的每个开关器件的第一电流电极。多条栅极线成行分布，并且多条栅极线中的每一条共同连接到多个开关器件中成行分布的开关器件的控制电极。多条数据线成列分布，多条数据线中的每一条共同连接到多个开关器件中成列分布的开关器件的第二电流电极。线块选择电路形成在周边区中，多条数据线的第一端延伸到该区，接收以块为单元的模拟驱动信号，选择多条数据线的一个线块，并将线块的模拟驱动信号切换到选取线块的数据线。集成驱动芯片形成在块选择电路所在的周边区中，接收外图像数据和外控制信号，对多条栅极线中的奇数栅极线提供第一栅极驱动信号，对其偶数栅极线提供第二栅极驱动信号，并对线块选择电路提供线块选择信号和以块为单元的模拟驱动信号。

集成驱动芯片包括：接口部分；存储器，用于储存外图像数据；源极驱动器；电平移位器；第一栅极驱动器；第二栅极驱动器和控制器。接口部分联系外图像数据和外控制信号。源极驱动器响应于从存储器中逐块读出的以块为单元的图像数据输出以块为单元的模拟驱动信号。电平移位器移位第一驱动控制信号、第二驱动控制信号和线块选择信号的电平。第一栅极驱动器响应于第一驱动控制信号对多条栅极线中的奇数栅极线提供第一栅极驱动信号。第二栅极驱动器响应于第二驱动控制信号对多条栅极线中的偶数栅极线提供第二栅极驱动信号。控制器响应于从接口部分输入的外控制信号将外图像数据储存到存储器中，产生第一和第二驱动控制信号和线块选择信号，给

电平移位器提供第一和第二驱动控制信号及线块选择信号，从存储器中逐块读出图像数据，并对源极驱动器提供逐块读出的图像数据。根据前述的 LCD，在显示区的周边区中只设置一个用于驱动 LCD 板的集成驱动芯片，由此减短处理时间，将缺陷比例减到最小并减小 LCD 板的总体尺寸。

5 另外，只通过一个过程形成线块选择电路和 TFT 晶体管，其中线块选择电路形成在显示区的周边区中，TFT 晶体管形成在显示区中。通过线块选择电路以分时法驱动对应于一条线的像素数据。由此使得集成驱动芯片的通道端与数据线兼容。

10 另外，只通过一个过程形成栅极线驱动电路和 TFT 晶体管，其中栅极线驱动电路形成在显示区的周边区的左右侧，TFT 晶体管形成在显示区中。栅极线驱动电路形成成为 Z 字形，以便于栅极驱动电路对称地形成在周边区的左右侧。另外，可以将栅极线驱动电路应用到具有高垂直分辨率的 LCD。

15 另外，在 LCD 板上设置集成驱动芯片，该芯片具有用于驱动多条栅极线的栅极驱动器和用于驱动多条数据线的源极驱动器，由此增大 LCD 板的有效显示区。

#### 附图说明

通过下面结合附图对优选实施例的详细描述，本发明的上述目的及其它优点将变得更加清晰，其中：

20 图 1 是根据常规技术的 a-Si TFT-LCD 的液晶显示板的简化示意图；

图 2 是根据常规技术的 a-Si TFT-LCD 板的简化示意图，其中在 a-Si TFT-LCD 板上设置了数据和栅极驱动芯片；

图 3 是根据本发明实施例的 LCD 的分解透示意图；

图 4 是图 3 所示 TFT 基底的第一实施例示意图；

25 图 5 是图 3 所示 TFT 基底的第二实施例示意图；

图 6 是图 3 所示集成驱动芯片的第一实施例框图；

图 7 是根据本发明另一实施例的集成驱动芯片的第二实施例框图；

图 8 是选择性驱动分成两块的多条数据线的第一线块选择电路的电路图；

30 图 9 是图 8 所示第一线块选择性驱动电路的输出波形图；

图 10 是选择性驱动分成两块的多条数据线的第二线块选择电路的电路

图;

图 11 是图 10 所示第二线块选择电路的输出波形图;

图 12 是选择性驱动分成四块的多条数据线的第三线块选择电路的电路图;

5 图 13 是图 12 所示第三线块选择电路的输出波形图;

图 14 是根据本发明第一实施例, 图 5 所示的栅极驱动电路中第一移位寄存器的框图;

图 15 是图 14 所示第一移位寄存器的详细电路图;

图 16 是图 14 所示第一移位寄存器的输出波形图;

10 图 17 是根据本发明第二实施例, 图 5 所示的栅极驱动电路中第二移位寄存器的框图;

图 18 是根据本发明第三实施例, 图 5 所示的栅极驱动电路中第三移位寄存器的框图;

图 19 是图 18 所示第三移位寄存器的电路图;

15 图 20 是图 3 所示 FPC 的结构透示意图;

图 21 是根据本发明另一实施例的 LCD 板的示意图;

图 22 是图 21 中所示第一和第二栅极驱动电路的第四和第五移位寄存器的框图;

图 23 是图 22 所示的第四和第五移位寄存器的输出波形图;

20 图 24 是根据本发明另一实施例的 LCD 板示意图;

图 25 是图 24 所示集成驱动芯片的框图。

### 具体实施方式

25 现在详细描述在附图中表示的本发明的优选实施例示例的示范性优选实施例。下面结合附图详细描述本发明的实施例。

图 3 是根据本发明实施例的 LCD 的分解透示意图。

参见图 3, LCD 500 包括 LCD 板组件 100, 背光组件 200、底座 300 和盖板 400。

30 LCD 组件 100 包括 LCD 板 110、挠性印刷电路板 (以下称作 “FPC”) 190 和集成驱动芯片 180。LCD 板 110 包括做为下基底的 TFT 基底 120, 设置在 TFT 基底 120 上的彩色滤光片基底 130, 和液晶。液晶注入到 TFT 基底 120 和彩

色滤光片基底 130 之间, 并再密封液晶的注入口。在 TFT 基底 120 上设置一个显示单元阵列电路、栅极驱动电路和集成驱动芯片 180。TFT 基底 120 面对彩色滤光片基底 130。集成驱动芯片 180 经 FPC190 电连接到外电路基底(未示出)。

- 5        在彩色滤光片基底 130 上形成 RGB(红、绿、蓝)像素和透明的公共电极。

背光组件 200 包括灯光组件 220、光导板 240、一系列光学片 260、反射板 280 和模框 290。

图 4 是根据本发明的图 3 所示 TFT 基底的第一实施例示意图。

- 10        参见图 4, TFT 基底 120 被分成对应于彩色滤光片基底 130 的第一区和不对应于彩色滤光片基底 130 的第二区。第一区包括显示区和与显示区相邻的周边区。在显示区上分布多条沿行方向延伸的多条数据线 DL 和多条沿列方向延伸的栅极线 GL。栅极驱动电路 140 集成在周边区的左侧并连接到多条栅极线 GL。

- 15        在 TFT 基底 120 的第二区中分布用于控制 LCD 板 110 的操作的集成驱动芯片 180。集成驱动芯片 180 从与 LCD 板 110 分开设置的外电路基底接收外图像数据信号 181a 和外控制信号 181b。集成驱动芯片 180 对栅极驱动电路 140 提供驱动控制信号 GC, 并对多条数据线 DL 提供模拟驱动信号(或模拟像素数据)。集成驱动芯片 180 的第一和第二外连接端连接到 FPC 190, 该 FPC190  
20 电连接外电路基底和集成驱动芯片 180。外图像数据信号 181a 经第一外连接端输入, 并且外控制信号 181b 经第二外连接端输入。

- 在集成驱动芯片 180 的多个输出端中, 用于输出驱动控制信号 GC 中的每个输出端连接到栅极驱动电路 140 的一个对应输入端。每个通道端 CH 连接到多条数据线 DL 中对应的一个。另外, 用于输出驱动控制信号输出 GC 的连接  
25 端还包括启动信号输出端、第一时钟信号输出端、第二时钟信号输出端、第一电源电压连接端和第二电源电压连接端。

图 5 是根据本发明图 3 所示 TFT 基底的第二实施例示意图。

- 参见图 5, TFT 基底 120 被分成对应于彩色滤光片基底 130 的第一区和不对应于彩色滤光片基底 130 的第二区。TFT 基底 120 被分成对应于彩色滤光片基底 130 的第一区和不对应于彩色滤光片基底 130 的第二区。第一区包括  
30 显示区和与显示区相邻的周边区。在显示区上分布多条沿行方向延伸的数据

线 DL 和 多条沿列方向延伸的栅极线 GL。栅极驱动电路 140 集成在与显示区相邻的周边区的左侧并栅极驱动电路 140 连接到多条栅极线 GL。线块选择电路 150 集成在周边区的上侧并连接到多条数据线 DL。

在 TFT 基底 120 的第二区中分布用于控制 LCD 板 110 的操作的集成驱动芯片 180。集成驱动芯片 180 从与 LCD 板 110 分开设置的外电路基底接收外图像数据信号 181a 和外控制信号 181b。集成驱动芯片 180 分别对栅极驱动电路 140 和 多条数据线 D1 提供驱动控制信号 GC 和模拟驱动信号。集成驱动芯片 180 的第一和第二外连接端连接到 FPC 190, 该 FPC190 电连接外电路基底和集成驱动芯片 180。外图像数据信号 181a 经第一外连接端输入, 并外控制信号 181b 经第二外连接端输入。

在集成驱动芯片 180 的多个输出端中, 用于输出驱动控制信号 GC 中的每个输出端连接到栅极驱动电路 140 中的一个对应输入端。线块选择信号 TG 的输出端连接到栅极驱动电路 140 的控制端。每个通道端 CH 连接到线块选择电路 150 中的一个对应的输入端。线块选择电路 150 中的每个输出端连接到多条数据线 DL 中对应的一条。数据线 DL 的数量大于集成驱动芯片 180 的通道端 CH 的数量 N 倍, 此处 N 是整数。

图 6 是图 4 和 5 中所示集成驱动芯片的第一实施例框图。

参见图 6, 集成驱动芯片 180 包括接口部分 181、存储器 183、源极驱动器 185、电平移位器 184、公共电压发生器 186 和控制器 182。

接口部分 181 接收外图像数据信号 181a 和外控制信号 181b, 并且联系控制器 182 与外装置。接口部分 181 与 CPU 接口、视频图形板接口和多媒体 Q 接口兼容。

控制器 182 从接口部分 181 接收外图像数据信号 181a 和外控制信号 181b, 并且将外图像数据信号 181a 储存到存储器 183 中。外控制信号 181b 包括水平和垂直同步信号、主时钟信号、数据启动信号和模式选择信号。控制器 182 响应于模式选择信号产生线块选择信号 TG。

另外, 控制器 182 向电平移位器提供驱动控制信号 GC 和线块选择信号 TG。驱动控制信号包括启动信号 ST、第一时钟信号 CK、第二时钟信号 CKB、第一电源电压 VSS 和第二电源电压 VDD。

另外, 控制器 182 向源极驱动器 85 提供数字图像数据。即, 控制器 82 逐块读出储存在存储器中的外图像数据信号 181a, 并向源极驱动器 85 提供

外图像数据信号。

存储器 83 暂时储存从控制器 182 提供的外图像数据信号。存储器 183 逐帧或逐行储存外图像数据信号。如果把行存储器用作存储器 83 并从控制器 82 经 360 个通道提供外图像数据信号, 则存储器 83 具有对应于两行、即  $360 \times 3 \times 6 \times 2 = 12.960$  位的存储容量。

源极驱动器 185 从存储器 183 逐块接收数字图像数据并逐块输出模拟驱动信号。源极驱动器 185 的每一个通道端 CH 连接到多个数据线 DL 中对应的一个。

电平移位器 184 移位来自控制器 182 的驱动控制信号 GC 和线块选择信号 TG 的电压电平, 并输出电平移位的驱动控制信号 GC 和线块选择信号 TG。电平移位驱动控制信号 GC 包括电平移位启动信号 ST、电平移位第一时钟信号 CK、电平移位第二时钟信号 CKB、电平移位的第一电源电压 VSS 和电平移位的第二电源电压 VDD。

公共电压发生器 186 对平行于液晶层而形成的公共电极线施加公共电压 Vcom, 以便维持液晶层的电压。

图 7 是图 4 和 5 所示集成驱动芯片的第二实施例框图。

参见图 7, 集成驱动芯片 180 包括接口部分 181、存储器 183、源极驱动器 185、电平移位器 184、公共电压发生器 186、DC/DC 转换器 187 和控制器 182。

DC/DC 转换器 187 接收从外电源(未示出)提供的第一 DC 电源电压 187a, 并对集成驱动芯片 180 中的一对应电路部分提供第二 DC 电源电压 (AVDD, VSS, VDD 和 VCC)。一般地, DC/DC 转换器 187 接收第一 DC 电压 187a (约为 7~12V), 并将第一 DC 电源电压转变为第二 DC 电源电压 AVDD, VSS, VDD 和 VCC (约为 5V)。

通过 DC/DC 转换器 187 转换的第二 DC 电源电压 AVDD、VSS、VDD 和 VCC 分别提供给源极驱动器 185、电平移位器 184、公共电压发生器 186 和控制器 182。具体地说, DC/DC 转换器 187 将模拟驱动电源电压 AVDD 提供给源极驱动器 185 和公共电压发生器 186, 并还对电平移位器 184 提供图像驱动电源电压 VSS 和 VDD。数字驱动电源电压 VCC 提供给控制器 182。

下面将参考附图介绍线块选择电路 150 (连接在集成驱动芯片 180 的通道端 CH 和多条数据线 DL 之间用于对多条数据线 DL 选择施加来自集成驱动芯

片 180 的像素数据)。

图 8 是选择性驱动分成两块的数据线的第一线块选择电路的电路图，而图 9 是第一线块选择性驱动电路的模拟输出波形图。

参见图 8，第一线块选择电路 151 形成在与 TFT 基底 120 相邻的周边区的上侧，并且对多条数据线（表注 DL1 ~ DL2m）周期性地逐块施加由集成驱动芯片 180 提供的模拟驱动信号。

特别是，第一线块选择电路 151 有 2m 条数据线并被分成第一和第二块 BL1 和 BL2，每个有 m 条数据线。第一块 BL1 包括从 DL1 ~ DL2m 的 m 条奇数数据线，并且第二块 BL2 包括从 DL2 ~ DL2m 的 m 条偶数数据线。

集成驱动芯片 80 的通道端 CH1 ~ CHm 每个都共同连接到对应的成对数据线。例如，集成驱动芯片 180 的第一通道端 CH1 共同连接到第一和第二数据线 DL1 和 DL2。

15 连接到通道端 CH1 ~ CHm 以及奇数数据线 DL1 ~ DL2 的第一线块选择电路 151 的第一块 BL1 包括由来自集成驱动芯片 180 的第一线块选择信号 (TG1) 驱动的第一选择晶体管 SW1。相应地，连接到通道端 CH1 ~ CHm 和偶数数据线 DL2 ~ DL2m 的第二块 BL2 包括由来自集成驱动芯片 180 的第二线块选择信号 (TG2) 驱动的第二选择晶体管 SW2。信号 TG1 和信号 TG2 交替处于逻辑高电平。即，信号 TG1 处于逻辑高电平，信号 TG2 处于逻辑低电平；反之亦然。

20 当信号 TG1 处于逻辑高电平时，由此驱动第一选择晶体管 SW1，并且来自通道端 CH1 ~ CHm 的模拟驱动信号被提供给奇数数据线 DL1 ~ DL2m-1。相反，当信号 TG2 处于逻辑高电平时，由此驱动第二选择晶体管 SW2，并且来自通道端 CH1 ~ CHm 的模拟驱动信号被提供给偶数数据线 DL2 ~ DL2m。

如图 9 所示，当栅极线 GL1 ~ GLn 被顺序驱动时，信号 TG1 和 TG 在多条栅极线 GL1 ~ GLn 的每一条的作用周期(active period)中交替地为逻辑高电平。即，信号 TG1 在栅极线 GL1 ~ GLn 整个作用周期的一半中处于逻辑高电平，之后，信号 TG2 在栅极线 GL1 ~ GLn 的整个周期的剩下一半中维持在逻辑高电平。因而，当信号 TG1 处于逻辑高电平时，由此驱动第一选择晶体管 SW1，并且模拟驱动信号提供给第一块 BL1 的数据线 DL2m-1。另外，当信号 TG2 处于逻辑高电平时，由此驱动第二选择晶体管 SW2，并且将模拟驱动信号施加到第二块 BL2de 的数据线 DL2m。

另外，当信号 TG1 在第二栅极线 GL2 的作用周期中处于逻辑高电平时第

一选择晶体管 SW1 被驱动，并且模拟驱动信号被提供给第一块 BL1 的数据线 DL2m-1。当信号 TG2 处于逻辑高电平时，第二选择晶体管 SW2 被驱动，并且模拟驱动信号提供给第二块 BL2 的数据线 DL2m。

图 10 是本实施例中选择性驱动分成三块的数据线的第二线块选择电路的电路图，图 11 是图 10 所示第二线块选择电路的模拟输出波形图。

参见图 10，在邻近 TFT 基底 120 的周边区的上侧中形成第二线块选择电路 152，并且对多条数据线 (DL1 ~ DL3m) 逐块周期性地施加来自集成驱动芯片 180 的模拟驱动信号。

特别是，分别将第二线块选择电路 152 (具有 3m 条数据线) 分成第一、第二和第三块 BL1、BL2 和 BL3，每个块具有与其相连的 m 条数据线。第一块 BL1 包括高至第 DL3m-2 数据线的 m 条数据线 (即，DL1, DL4, DL7 等)。第二块 BL2 包括高至第 DL3m-1 数据线的 m 条数据线 (即，DL2, DL5, DL8 等)。第三块 BL3 包括高至第 DL3m-数据线的数据线的 m 条数据线 (即，DL3, DL6, DL9 等)。集成驱动芯片 180 中的每个通道端 CH1 ~ CHm 共同连接到对应组的三条数据线的中。即，集成驱动芯片 180 的第一通道端 CH1 共同连接到第一、第二和第三数据线 (DL1, DL2, DL3)。

第二线块选择电路 152 的第一块 BL1 包括第一选择晶体管 SW1，该晶体管连接到通道端 CH1 ~ CHm 以及 DL1 ~ DL3m-2 每条第三数据线，并且由来自集成驱动芯片 180 的第一线块选择信号 (TG1) 驱动。类似地，第二块 BL2 包括第二选择晶体管 SW2，该晶体管连接到通道端 CH1 ~ CHm 以及 DL2 ~ DL3m-1 每条第三数据线，并且由来自集成驱动芯片 180 的第二线块选择信号 (TG2) 驱动。另外，第三块 BL3 包括第三选择晶体管 SW3，该晶体管连接到通道端 CH1 ~ CHm 以及 DL3 ~ DL3m 每条第三数据线，并且由来自集成驱动芯片 180 的第三线块选择信号 (TG3) 驱动。如上所述，TG1、TG2 和 TG3 交替地驱动到高电平。

当信号 TG1 处于逻辑高电平时，由此驱动第一选择晶体管 SW1，并且因而来自通道端 CH1 ~ CHm 的模拟驱动信号被提供给 DL1, DL4, DL7, ...DL3m。当信号 TG2 处于逻辑高电平时，由此驱动第二选择晶体管 SW2，并且因而来自通道端 CH1 ~ CHm 的模拟驱动信号被提供给 DL2, DL5, DL8, ...DL3m-1。最后，当信号 TG3 处于逻辑高电平时，由此驱动第三选择晶体管 SW3，并且因而来自通道端 CH1 ~ CHm 的模拟驱动信号被提供给 DL3, DL6, DL9, ...DL3m。

如图 11 所示, 当由栅极线驱动电路 140 依次驱动栅极线  $GL_1 \sim GL_n$  时, 信号 TG1、TG2 和 TG3 在每条栅极线  $GL_1 \sim GL_n$  的作用周期中依次处于逻辑高电平。即, 信号 TG1、TG2 和 TG3 在栅极线  $GL_1 \sim GL_n$  的  $1/3$  作用周期中处于逻辑高电平。

5 因此, 当信号 TG1 在第一栅极线  $GL_1$  的作用周期中处于逻辑高电平时, 第一选择晶体管 SW1 被驱动, 并且模拟驱动信号被提供给第一块 BL1 的数据线  $DL_{3m-2}$ 。同样, 当信号 TG2 处于逻辑高电平时, 第二选择晶体管 SW2 被驱动, 并且模拟驱动信号被提供给第二块 BL2 的数据线  $DL_{3m-1}$ 。另外, 当信号 TG3 处于逻辑高电平时, 第三选择晶体管 SW3 被驱动, 并且模拟驱动信号被  
10 提供给第三块 BL3 的数据线  $DL_{3m}$ 。

当信号 TG1 在第二栅极线  $GL_2$  的作用周期中处于逻辑高电平时, 第一选择晶体管 SW1 被驱动, 并且模拟驱动信号被提供给第一块 BL1 的数据线  $DL_{3m-2}$ 。同样, 当信号 TG2 处于逻辑高电平时, 第二选择晶体管 SW2 被驱动, 并且模拟驱动信号被提供给第二块 BL2 的数据线  $DL_{3m-1}$ 。当信号 TG3 处于逻辑高电平时, 第三选择晶体管 SW3 被驱动, 并且模拟驱动信号被提供给第三  
15 块 BL3 的数据线  $DL_{3m}$ 。

图 12 是选择性驱动分成四块的多条数据线的第三线块选择电路的电路图, 而图 13 是图 12 所示第三线块选择电路的模拟输出波形图。

参见图 12, 第三线块选择电路 153 形成在与 TFT 基底 120 相邻的周边区的上侧, 并且将来自集成驱动芯片 180 的模拟驱动信号周期性地逐块施加到  
20 多条数据线 ( $DL_1 \sim DL_{4m}$ )。

特别是, 第三线块选择电路 153 (有  $4m$  条数据线) 被分成第一、第二、第三和第四块 BL1、BL2、BL3 和 BL4, 每都有与其相连的  $m$  条数据线。第一块 BL1 包括高至第  $DL_{4m-3}$  的  $m$  条数据线 (即,  $DL_1, DL_5, DL_9$  等)。第二块 BL2  
25 包括高至第  $DL_{4m-2}$  的  $m$  条数据线 (即,  $DL_2, DL_6, DL_{10}$  等)。第三块 BL3 包括高至第  $DL_{4m-1}$  的  $m$  条数据线 (即,  $DL_3, DL_7, DL_{11}$  等)。第四块 BL4 包括高至第  $DL_{4m}$  的  $m$  条数据线 (即,  $DL_4, DL_8, DL_{12}$  等)。集成驱动芯片 180 中的每个通道端  $CH_1 \sim CH_m$  共同连接到对应组中的四条数据线。即, 集成驱动芯片 180 的第一通道端  $CH_1$  共同连接到  $DL_1, DL_2, DL_3$  和  $DL_4$ 。

30 第三线块选择电路 153 的第一块 BL1 包括第一选择晶体管 SW1, 该晶体管连接到通道端  $CH_1 \sim CH_m$  以及  $DL_1 \sim DL_{4m-3}$  每条第四数据线, 并且由来自集

成驱动芯片 180 的第一线块选择信号 (TG1) 驱动。类似地, 第二块 BL2 包括第二选择晶体管 SW2, 该晶体管连接到通道端 CH1 ~ CH4m 以及 DL2 ~ DL4m-2 每条第四数据线, 并且由来自集成驱动芯片 180 的第二线块选择信号 (TG2) 驱动。第三块 BL3 包括第三选择晶体管 SW3, 该晶体管连接到通道端 CH1 ~ CHm 以及 DL3 ~ DL4m-1 每条第四数据线, 并且由来自集成驱动芯片 180 的第三线块选择信号 (TG3) 驱动。第四块 BL4 包括第四选择晶体管 SW4, 该晶体管连接到通道端 CH1 ~ CHm 以及 DL4 ~ DL4m 每条第四数据线, 并且由来自集成驱动芯片 180 的第四线块选择信号 (TG4) 驱动。如同后面所述, TG1、TG2、TG3 和 TG4 交替地驱动到高电平。

- 10 当信号 TG1 处于逻辑高电平时, 第一选择晶体管 SW1 被驱动, 并且模拟驱动信号从通道端 CH1 ~ CHm 被提供给第一块 DL1、DL5、DL9、...、DL4m-3。当信号 TG2 处于逻辑高电平时, 第二选择晶体管 SW2 被驱动, 并且模拟驱动信号从通道端 CH1 ~ CHm 被提供给 DL2、DL6、DL10、...DL4m-2。当信号 TG3 处于逻辑高电平时, 第三选择晶体管 SW3 被驱动, 并且模拟驱动信号从通道端 CH1 ~ CHm 被提供给 DL3、DL3、DL11、...DL4m-1。当信号 TG4 处于逻辑高电平时, 第四选择晶体管 SW4 被驱动, 并且模拟驱动信号从通道端 CH1 ~ CHm 被提供给 DL4、DL8、DL12、...DL4m。

20 如图 13 所示, 当栅极线 GL1 ~ GLn 被栅极线驱动电路 140 依次驱动时, 每个信号 TG1、TG2、TG3 和 TG4 在栅极线 GL1 ~ GLn 的作用周期中依次处于逻辑高电平。即, 信号 TG1、TG2、TG3 和 TG4 在 GL1 ~ GLn 栅极线的 1/4 作用周期中处于逻辑高电平。

25 因此, 当在第一栅极线 GL1 的作用周期中信号 TG1 处于逻辑高电平时, 第一选择晶体管 SW1 被驱动, 并且模拟驱动信号被提供给第一块 BL1 的数据线 DL4m-3。当信号 TG2 处于逻辑高电平时, 第二选择晶体管 SW2 被驱动, 并且模拟驱动信号被提供给第二块 BL4m-2 的数据线 DL4m-2。另外, 当信号 TG3 处于逻辑高电平时, 第三选择晶体管 SW3 被驱动, 并且模拟驱动信号被提供给第三块 BL3 的数据线 DL4m-1。当信号 TG4 处于逻辑高电平时, 第四选择晶体管 SW4 被驱动, 并且模拟驱动信号被提供给第四块 BL4 的数据线 DL4m。

30 当信号 TG1 在第二栅极线 GL2 的作用周期中处于逻辑高电平时, 第一选择晶体管 SW1 被驱动, 并且模拟驱动信号被提供给第一块 BL1 的数据线 DL4m-3。同样, 当信号 TG2 处于逻辑高电平时, 第二选择晶体管 SW2 被驱动,

并且模拟驱动信号被提供给第二块 BL2 的数据线 DL4m-2。另外，当信号 TG3 处于逻辑高电平时，第三选择晶体管 SW3 被驱动，并且模拟驱动信号被提供给第三块 BL3 的数据线 DL4m-1。当信号 TG4 处于逻辑高电平时，第四选择晶体管 SW4 被驱动，并且模拟驱动信号被提供给第三块 BL3 的数据线 DL4m。

5 如图 8~13 所示，虽然每个实施例的集成驱动芯片 180 的通道端 (CH1~CHm) 数量相同，为 m 个，但也能够通过增加共同连接到通道端 CH1~CHm 的数据线的数量 (如 2, 3, 4 或更多) 向多条数据线提供模拟驱动信号。因而可以实现不同的 LCD500 的分辨率。使用的数据线的具体数量根据模拟驱动信号的充电时间决定。但是，当主时钟信号被分为 3、4、5 或更多段以便提高 LCD  
10 500 的分辨率时，充电时间减短。因此希望 LCD 500 的分辨率提高，同时考虑到模拟驱动信号的充电时间。

以下将参看附图详细描述与 LCD 板相邻的周边区左侧中形成的栅极驱动电路 140。

图 14 是根据本发明第一实施例图 5 所示的栅极驱动电路中第一移位寄存器的框图，图 15 是图 14 所示第一移位寄存器的详细电路图。图 16 是图 15  
15 所示每级模拟的输出波形图；

参见图 14，栅极驱动电路 140 包括包含多个级联级 (SRC1~SRCn) 的第一移位寄存器 141。换言之，每级的输出端 OUT 连接到下一级的输入端。第一移位寄存器 141 的 n 级对应于 GL1~GLn 的栅极线，另外还有一个模拟级  
20 SRCn+1。每个级有输入端 IN、输出端 OUT、控制端 CT、时钟信号输入端 CK、第一电源电压端 VSS 和第二电源电压端 VDD。

第一级 SRC1 的输入端接收启动信号 ST。启动信号 ST 是一个与来自图 5 所示控制器 181 的垂直同步信号 VSYN 同步的脉冲信号。

各级中的每个输出端 OUT1~OUTn 连接到对应的栅极线 GL1~GLn。奇数  
25 级 SRC1 和 SRC3 接收第一时钟信号 CK，并且偶数级 SRC2 和 SRC4 接收第二时钟信号 CKB。第一时钟信号 CK 和第二时钟信号 CKB 具有彼此相反的相位。

下一级 SRC2、SCR3 和 SRC4 的输出信号 OUT2、OUT3 和 OUT4 分别输入到级 SRC1、SRC2 和 SRC3 的各个控制端 CT 做为控制信号。换言之，输入到控制端 CT 的控制信号用于将前一级输出的信号下拉到逻辑低电平。

30 因而，因为在逻辑高电平的作用周期中依次产生各个级的输出信号，所以选取对应于各个输出信号的作用周期的栅极线。

参见图 15, 图中示出了第一移位寄存器 141 的一个示范级的电路图。可以看到, 第一移位寄存器 141 中的每个级包括上拉部分 142、下拉部分 144、上拉驱动部分 146 和下拉驱动部分 148。

上拉部分 142 包括第一 NMOS 晶体管 NT1, 该晶体管具有连接到时钟信号 5 输出端的漏极、连接到第三节点 N3 的栅极和连接到输出端 OUT 的源极。

下拉部分 144 包括第二 NMOS 晶体管 NT2, 该晶体管具有连接到输出端 OUT 的漏极、连接到第四节点 N4 的栅极和连接到第一电源电压 VSS 的源极。

上拉部分 146 包括电容器 C 和 NMOS 晶体管 NT3、NT4 和 NT5。电容器 C 连接在第三节点 N3 和输出端 OUT 之间。第三 NMOS 晶体管 NT3 的漏极连接到 10 第二电源电压 VDD, NT3 的栅极连接到输入端 IN, 并且 NT3 的源极连接到第三节点 N3。第四晶体管 NMOS 晶体管 NT4 的漏极连接到第三节点 N3, NT4 的栅极连接到控制端 CT, NT4 的源极连接到第一电源电压 VSS。第五 NMOS 晶体管 NT5 的漏极连接到第三节点 N3, NT5 的栅极连接到第四节点 N4, 并且 NT5 的源极连接到第一电源电压 VSS。第三 NMOS 晶体管 NT3 包含的通道宽度约超 15 过第五 NMOS 晶体管 NT5 的两倍。

下拉驱动部分 148 包括第六和第七 NMOS 晶体管 NT6 和 NT7。第六 NMOS 晶体管 NT6 的漏极和栅极共同连接到第二电源电压 VDD, NT6 的源极连接到 20 第四节点 N4。第七 NMOS 晶体管 NT7 的漏极连接到第四节点 N4, NT7 的栅极连接到第三节点 N3, 并且 NT7 的源极连接到第一电源电压 VSS。第六 NMOS 晶体管 NT6 大小约超过七 NMOS 晶体管 NT7 的十六倍。

如图 16 所示, 当第一和第二时钟信号 CK 和 CKB 以及启动信号 ST 一起提 25 供给移位寄存器 170 时, 第一级 SRC1 延迟转变为逻辑高电平的第一时钟信号 CK 的作用持续一预定的时间, 直到启动信号 ST 的上升边缘。由此, 一旦 CK 从逻辑低电平升为逻辑高电平、随后 ST 从逻辑低电平到逻辑高电平, 延迟的第一输出信号 OUT1 即经输出端 OUT 输出。类似地, 第二级 SRC2 延迟从低电平转变为逻辑高电平的第二时钟信号 CKB 的作用, 直到第一级 SRC1 的第一输出信号 OUT1 的上升边缘。由此经输出端 OUT 输出延迟的第二输出信号 OUT2。由此经各个级的输出端 OUT 依次产生第一至第 N 输出信号 OUT1 ~ OUTn。

图 17 是根据本发明第二实施例, 图 5 所示的栅极驱动电路中第二移位寄 30 存器的框图。

参见图 17, 栅极驱动电路 140 包括包含多个级联级 (SRC1 ~ SRCn) 的第

二移位寄存器 142。换言之，每级的输出端 OUT 连接到下一级的输入端 IN。第二移位寄存器 142 具体地包括对应于栅极线 GL1 ~ GLn 的 n 级，并且还包括一个模拟 (dummy) 级 SRCn + 1。在一个帧周期中依次操作每个级时，n 条栅极线 GL1 ~ GLn 被依次扫描。

5 模拟级 SRCn+1 对第 N 级 SRCn 的控制端 CT 提供控制信号，并且做为最后一级工作。但因为模拟级之后没有下一级，所以因为模拟级 SRCn + 1 的控制端 CT 保持在浮动态，否则模拟级 SRCn+1 将处于不稳定状态。

因而，为了防止模拟级 SRCn+1 在不稳定的状态下工作，将模拟级 SRCn+1 的控制端 CT 连接到启动信号输入端以用于接收启动信号 ST。即，模拟级  
10 SRCn+1 经控制端 CT 接收启动信号 ST 做为控制信号。

操作中，当对第一级 SRC1 的启动信号输入端施加逻辑高电平驱动信号时（为了在一帧结束之后执行下一帧），也对模拟级 SRCn+1 的控制端 CT 施加启动信号做为其控制信号。这样做，通过使模拟级 SRCn+1 的控制端 CT 连接到第一级 SRC1 的输入端 IN 而防止模拟级 SRCn+1 在不稳定状态下工作。另外，  
15 如图 18 所示，模拟级 SRCn+1 的控制端 CT 可以交替地连接到前一级 SRCn 以防止模拟级 SRCn+1 在不稳定状态下工作。

更具体地说，图 18 是根据本发明第三实施例，图 5 所示的栅极驱动电路中第三移位寄存器的框图，图 19 是图 18 所示第三移位寄存器的电路图。

参见图 18，栅极驱动电路 140 包括包含多个级联级 (SRC1 ~ SRCn) 的第三  
20 移位寄存器 143。再者，每级的输出端 OUT 连接到下一级的输入端 IN 和前一级的控制端 CT。第三移位寄存器 143 包括对应于栅极线 GL1 ~ GLn 的 n 级，并且还包括一个模拟级 SRCn + 1。模拟级 SRCn+1 对第 N 级 SRCn 的控制端 CT 提供控制信号，并且做为最后一级工作。但因为模拟级之后没有下一级，所以模拟级 SRCn + 1 的控制端 CT 连接到第 N 级 SRCn 的第四节点 N4。

25 下面将参看图 19 描述在第四节点 N4 处的电位。

当从第 N 级 SRCn 向下一级 SRCn+1 的输入端 IN 施加前一级的输出信号时，NMOS 晶体管 NT7 导通。因此，第四节点 N4 的电位下降到第一电源电压 VSS 电平。

虽然 NMOS 晶体管 N7 导通，但第四节点 N4 维持第一电源电压 VSS，因为  
30 NMOS 晶体管 N6 比 NMOS 晶体管 N7 大十六倍。当模拟级 SRCn+1 的输出信号（也提供给第 N 级 SRCn 的控制端 CT）达到阈值电压电平时，NMOS 晶体管 NT7 关

断。此时，只有第二电源电压 VDD 经 NMOS 晶体管 NT6 施加给第四节点 N4。因此，第四节点 N4 的电位从第一电源电压 VSS 电平上升到第二电源电压 VDD 电平。

5 当模拟级 SRCn+1 的输出信号降低到低电平时，NMOS 晶体管 NT4 关断。但第四节点 N4 仍有一个处于第二电源电压 VDD 的偏压电平，因为第二电源电压 VDD 通过启动的晶体管 NT6 施加到第四节点 N4。

10 第四节点 N4 连接到模拟级 SRCn+1 的控制端 CT，使得模拟级 SRCn+1 的第四 NMOS 晶体管 N4 由于第四节点 N4 的电位导通。因而，模拟级 SRCn+1 的输出端输出的信号状态改变为关断电压，并且模拟级 SRCn+1 能够在稳态下工作。

因为模拟级 SRCn+1 的控制端 CT 连接到第 N 级 SRCn 的第四节点 N4，所以不需要单独的线将第一级 SRC1 的输入端 IN 电连接到模拟级 SRCn+1 的控制端 CT。

图 20 是图 3 所示的 FPC 只有一个图案层的结构透示意图。

15 参见图 20，FPC 190 包括一个与 LCD 板 110 分开设置的电路基底和多个将电路基底电连接到 LCD 板 110 的图案。FPC190 执行一种将电路基底产生的信号提供给集成驱动芯片 180 的操作。

20 集成驱动芯片 180 接收外图像数据信号和外控制信号 181b。具体地说，外控制信号 181b 包括垂直和水平同步信号 VSYNC 和 HSYNC 以及主时钟信号 MCLK。

当在 LCD 板 110 中设置集成驱动芯片 180 时，经 FPC 施加到 LCD 板 110 的信号数量下降，由此减少形成在 FPC 190 中的图案 191a 的数量。因此，可以形成的 FPC 190 只有一个图案层。

25 图案 191a 形式在 FPC 190 的第一膜 191 上，并且由面对第一膜 191 的第二膜 192 覆盖。

图 21 是根据本发明另一实施例的 LCD 板的示意图。图 22 是图 21 中所示第一和第二栅极驱动电路的第四和第五移位寄存器的框图，图 23 是图 22 所示移位寄存器的输出波形图。

30 参见图 21，TFT 基底 120 被分成对应于彩色滤光片基底的 30 的第一区和不对应于彩色滤光片基底 130 的第二区。第一区包括显示区和与显示区相邻的周边区。在显示区上分布有多条沿行方向延伸的数据线 D1 和多条沿沿列方

向延伸的栅极线 GL。第一和第二栅极驱动电路 160 和 170 分别集成在周边区的左右侧中。连接到多条栅极线 GL 中奇数栅极线的第一栅极驱动电路 160 设置在周边区的左侧。连接到多条栅极线 GL 中偶数栅极线的第二栅极驱动电路 70 设置在周边区的右侧中。在与显示区相邻的周边区的上侧设置连接到多条数据线的线块选择电路 150。

在 TFT 基底 120 的第二区中，分布有用于控制 LCD 板 110 的操作的集成驱动芯片 180。集成驱动芯片 180 从与 LCD 板 110 分开设置的外电路基底接收外图像数据信号和外控制信号。集成驱动芯片 180 分别提供控制第一和第二栅极驱动电路 160 和 170 的第一和第二驱动控制信号 GC1 和 GC2。第一和第二驱动控制信号 GC1、GC2 还对多条数据线 DL 的每条提供模拟驱动信号。

在集成驱动芯片 180 中的每个输出端中，用于输出第一和第二驱动控制信号 GC1 和 GC2 中的每个输出端连接到第一和第二栅极驱动电路 160 和 170 中的一对应输出端。另外，用于输出线块选择信号 TG 的输出端连接到线块选择电路 150 的控制端。每个通道端 CH 连接到线块选择电路 150 中的一对应输入端，并且线块选择电路 150 中的每个输出端连接到多条数据线 DL 中的一对应数据线。

特别是，第一驱动控制信号 GC1 包括启动信号 ST、第一时钟信号 CK、第一电源电压 VOFF 或 VSS 以及第二电源电压 VON 或 VDD。第二驱动控制信号 GC2 包括第二时钟信号 CKB、第一电源电压 VODD 或 VSS 以及第二电源电压 VON 或 VDD。

参见图 22，第一栅极驱动电路 160 包括第一移位寄存器 161。第一移位寄存器 161 设置在显示区的周边区的左侧，奇数栅极线 GL1 ~ GLn-1 延伸到该区。第一移位寄存器 161 中的每个输出端 OUT1 ~ OUTn-1 连接到奇数栅极线 GL1 ~ GLn-1。第二栅极驱动电路 170 包括第二移位寄存器 171。第二移位寄存器 171 设置在显示区的周边区的右侧，偶数栅极线 GL2 ~ GLn 延伸到该区。第二移位寄存器 171 中的每个输出端 OUT2 ~ OUTn 连接到偶数栅极线 GL2 ~ GLn。

从第一移位寄存器 161 的第 i 级 SRCi 输出的信号经第 i 栅极线 GLi 施加到设置在周边区右侧的第二移位寄存器 171 第 j 级 SRCj 的输入端 Inj。同时，从第一移位寄存器 161 的第 i 级 SRCi 输出的信号施加到第 j 级 SRCj-1 的控制端 CTj-1 做为控制信号。另外，从第二移位寄存器 171 的第 j 级 SRCj 输出

的信号施加到第一移位寄存器 161 第  $(i+1)$  级  $SRC_{j+1}$  的输入端  $In_{i+1}$  控制端; 同时, 施加到第一移位寄存器 161 的第  $i$  级  $SRC_i$  的控制端  $CT_i$  做为控制信号。第一移位寄存器 161 的最后一级  $SRC_{n+1}$  做为模拟级工作, 并对最后一级  $SRC_n$  的控制端  $CT_n$  提供控制信号。

5 参见图 23, 由启动信号 ST 依次移位奇数栅极线  $GL_1 \sim GL_{n-1}$  和偶数栅极线  $GL_2 \sim GL_n$ 。与第一和第二时钟信号 CK 和 CKB 同步地交替扫描奇数栅极线  $GL_1 \sim GL_{n-1}$  和偶数栅极线  $GL_2 \sim GL_n$ 。

在包含于一个水平行中的多个像素中, 每个奇数像素由奇数栅极线  $GL_1 \sim GL_{n-1}$  中的一对应栅极线操作, 并且每个偶数像素由偶数栅极线  $GL_2 \sim$   
10  $GL_n$  中的一对应栅极线操作。

同时操作栅极线  $GL_1$  和  $GL_2$  以驱动包含在一个水平行中的所有像素, 由此将栅极线的数量增大 2 倍。因此, 当 LCD 板 120 包括 160 个水平行时, 320 条数据线用于操作 160 个水平行。

根据上述栅极驱动法, 水平方向两个水平相邻的 TFT 晶体管共同连接到  
15 单条数据线, 并且还连接到彼此分开的两行。虽然像素设置在同一水平行, 但奇数像素由第一栅极驱动电路 160 充电, 偶数像素则由第二栅极驱动电路 170 充电。偶数像素的充电晚于奇数像素充电一个时钟周期。

图 24 是根据本发明另一实施例的 LCD 板示意图。

参见图 24, TFT 基底 121 被分成对应于彩色滤光片基底 130 的第一区和  
20 不对应于彩色滤光片基底 130 的第二区。第一区包括显示区和与显示区相邻的周边区。在显示区上分布有多条沿行方向延伸的数据线 DL 和多条沿列方向延伸的栅极线。线块选择电路 150 集成在与显示区相邻的周边区的上侧以驱动多条数据线 DL。

在 TFT 基底 120 的第二区中, 分布一个用于控制 LCD 板 110 的操作的集  
25 成驱动芯片 200。具体地说, 集成驱动芯片 200 接收来自与 LCD 板 110 分开设置的外电路基底的外图像数据信号和外控制信号 181b。然后, 集成驱动芯片 180 输出第一栅极驱动信号  $GD_1$  以驱动奇数栅极线  $GL_{n-1}$ , 并输出第二栅极驱动信号  $GD_2$  以驱动偶数栅极线  $GL_n$ 。另外, 集成驱动芯片 180 还分别对多条数据线 DL 提供模拟驱动信号。

30 集成驱动芯片 200 上用于输出第一栅极驱动信号  $GD_1$  中的每个输出端连接到奇数栅极线  $GL_{n-1}$  中的一对应栅极线, 并且用于输出第二栅极驱动信号

GD2 中的每个输出端连接到偶数栅极线  $GL_n$  中的一对应栅极线。集成驱动芯片 200 中的每个通道端 CH 连接到线块选择电路 150 中的一对应输入端, 并且从集成驱动芯片 200 输出的选择信号 TG 施加到线块选择电路 150。

图 25 是图 24 所示集成驱动芯片的框图。下文中执行与图 7 所示元件相同功能的元件具有与图 7 中相同的标号, 元件的功能不再赘述。

参见图 25, 集成驱动芯片 200 包括接口部分 181、存储器 183、源极驱动器 185、电平移位器 184、第一栅极驱动器 188、第二栅极驱动器 189 和控制器 182。

控制器 182 对电平移位器 184 提供第一和第二驱动控制信号 GC1 和 GC2 以及线块选择信号 TG。第一和第二驱动控制信号 GC1 和 GC2 包括启动信号 St、第一时钟信号 CK、第二时钟信号 CKB、第一电源电压 VSS 和第二电源电压 VDD。

电平移位器 184 移位第一和第二驱动控制信号 GC1 和 GC2 的电平, 并对第一和第二栅极驱动器 188 和 189 提供电平移位的第二驱动控制信号 GC1 和 GC2。

第一栅极驱动器 188 响应于第一驱动控制信号 GC1 输出第一栅极驱动信号 GD1, 由此通过第一栅极驱动信号 GD1 驱动奇数栅极线  $GL_{n-1}$ 。另外, 第二栅极驱动器 189 响应于第二驱动控制信号 GC2 输出第二栅极驱动信号 GD2, 由此通过第二栅极驱动信号 GD2 驱动偶数栅极线  $GL_n$ 。

另外, 集成驱动芯片 200 包括公共电压发生器 186 和 DC/DC 转换器 187。公共电压发生器 186 产生公共电压并将公共电压施加给形成在 LCD 板 110 上的公共电极线。DC/DC 转换器 187 接收来自外部源 (未示出) 的 DC 电源电压 187a, 转变 DC 电源电压 187a 的电平, 并将转变的 DC 电源电压 187a 分别提供给控制器 182、电平移位器 184、源极驱动器 185 和公共电压发生器 186。

虽然以上参考实施例描述了本发明, 但应该理解, 很多改型和变化对于本领域的技术人员来说是显而易见的。因此本发明的实施例将包括所有落在本发明权利要求所限定的实质和范围内的改型和变化。

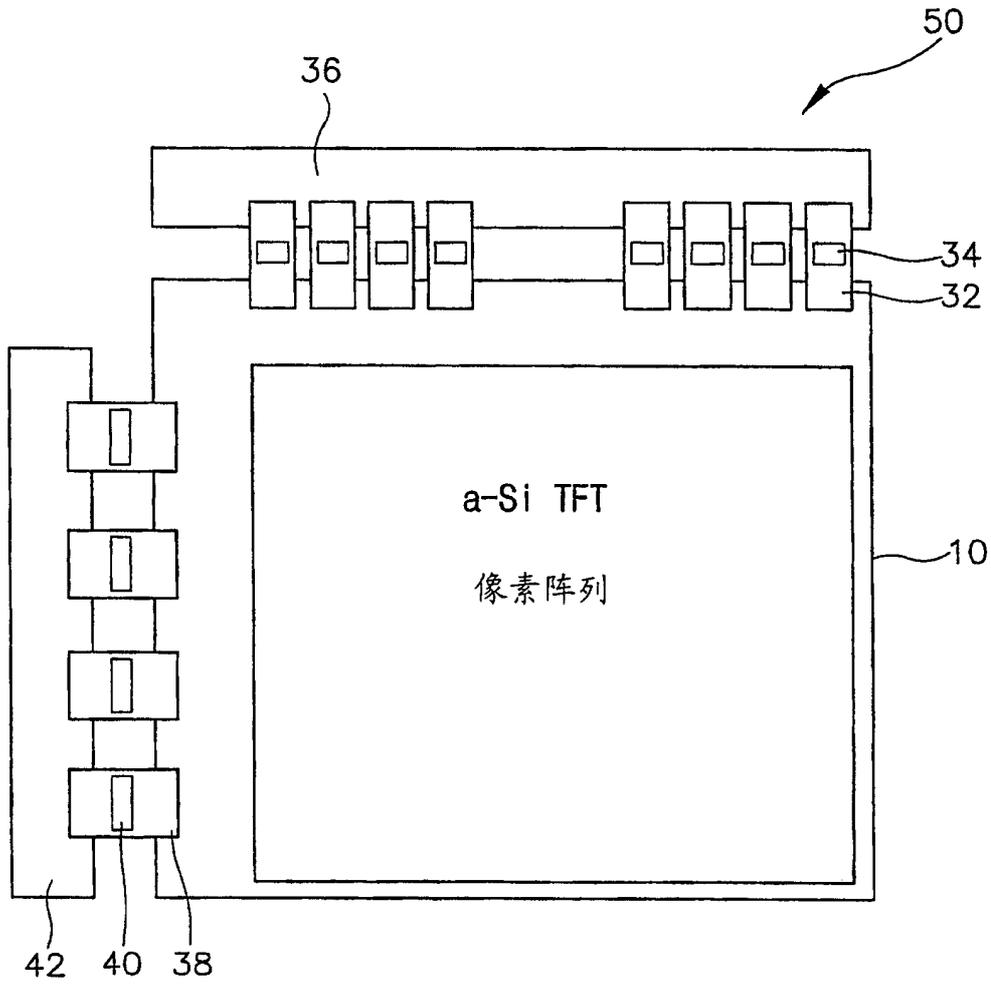


图 1

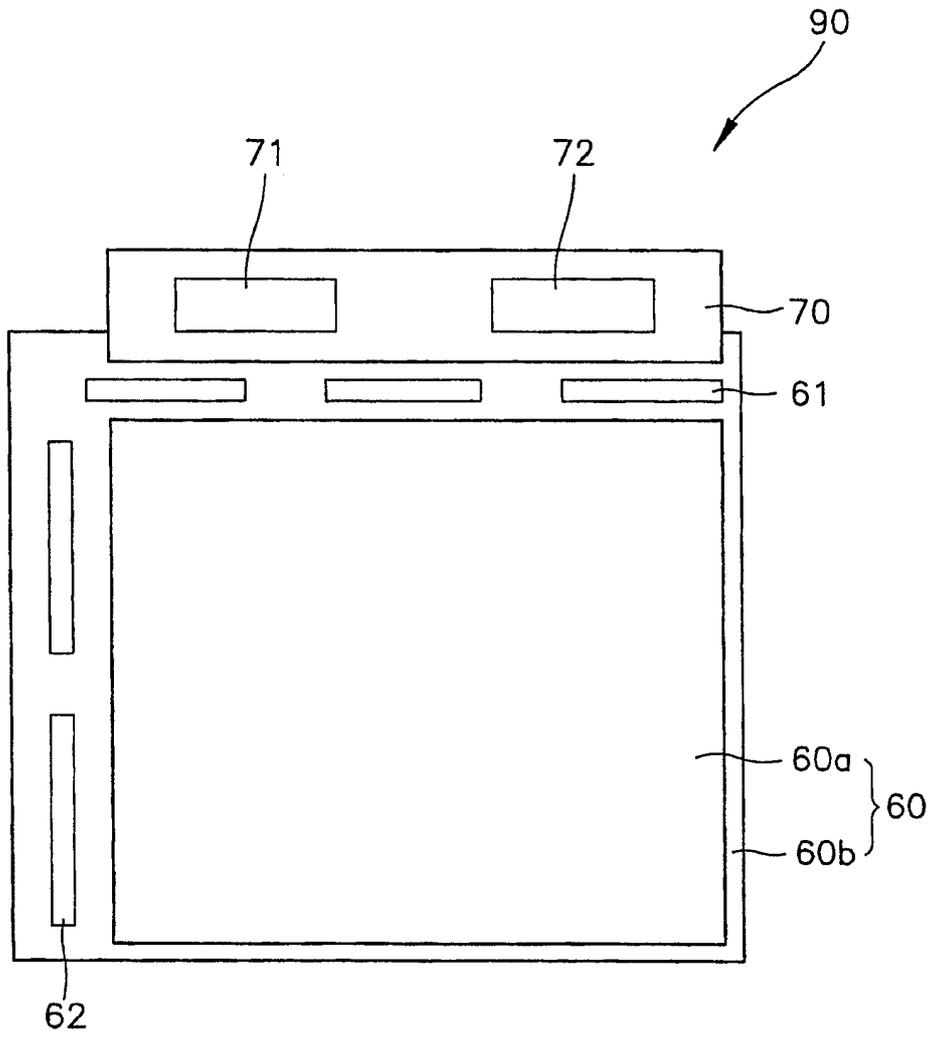


图 2

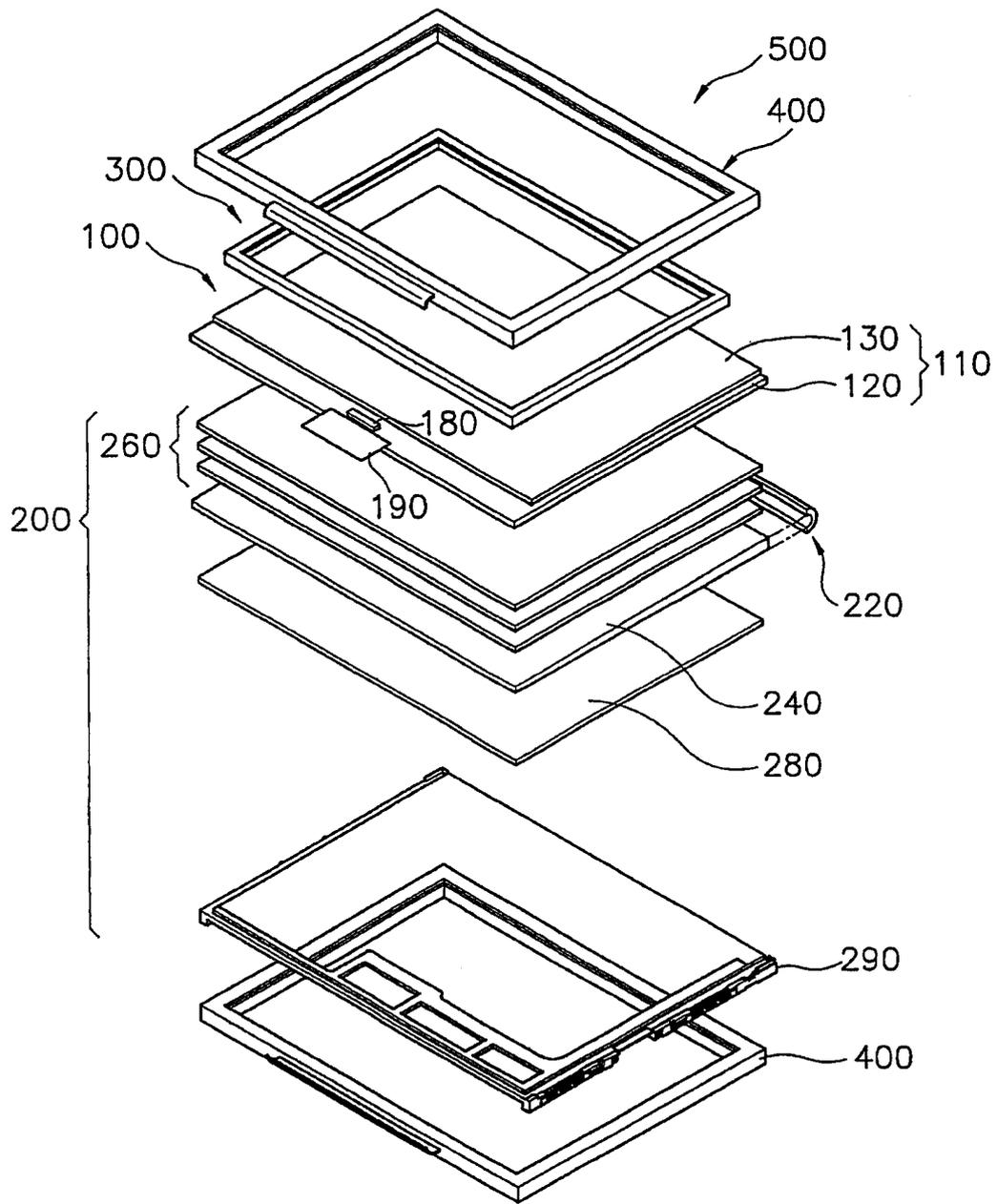


图 3

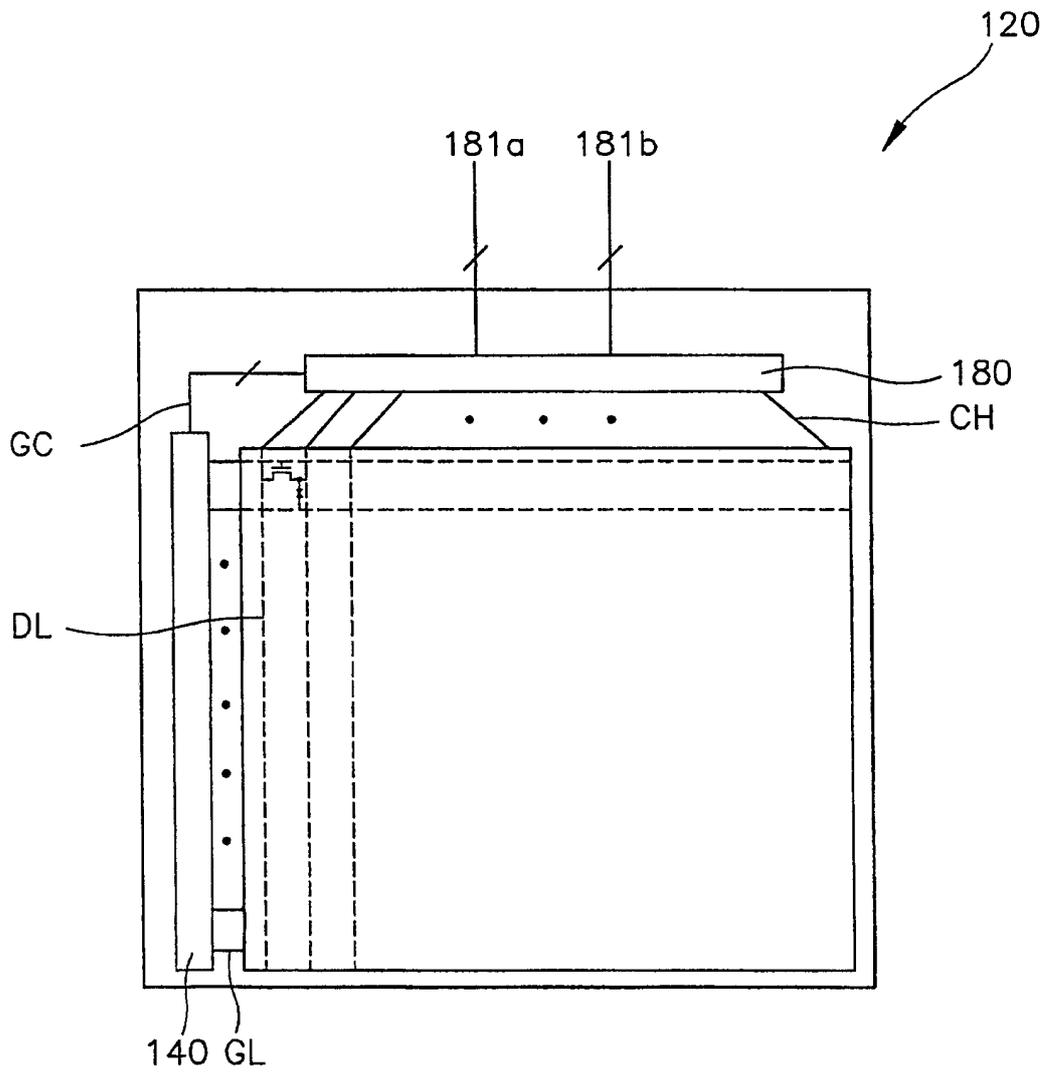


图 4

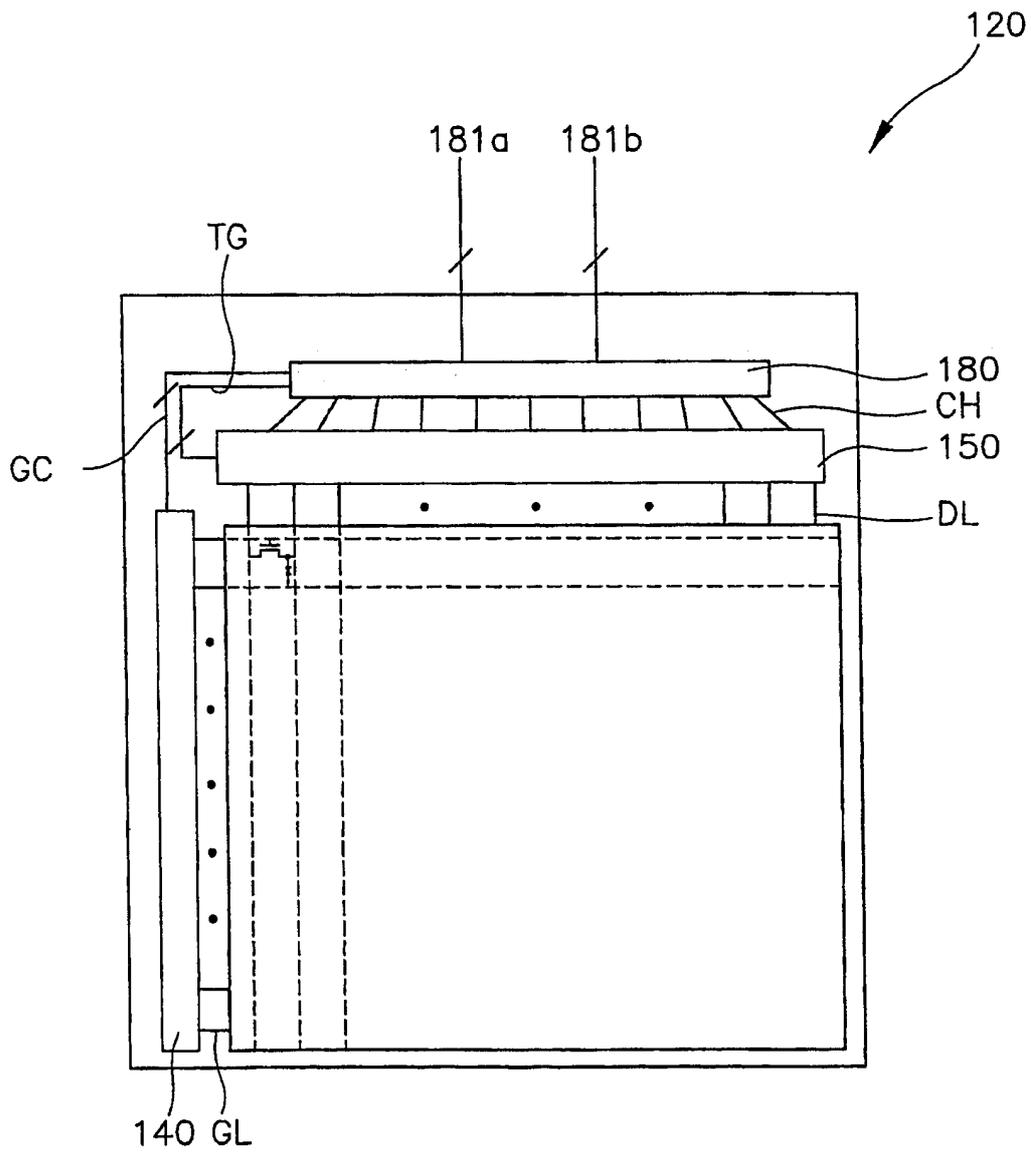


图 5

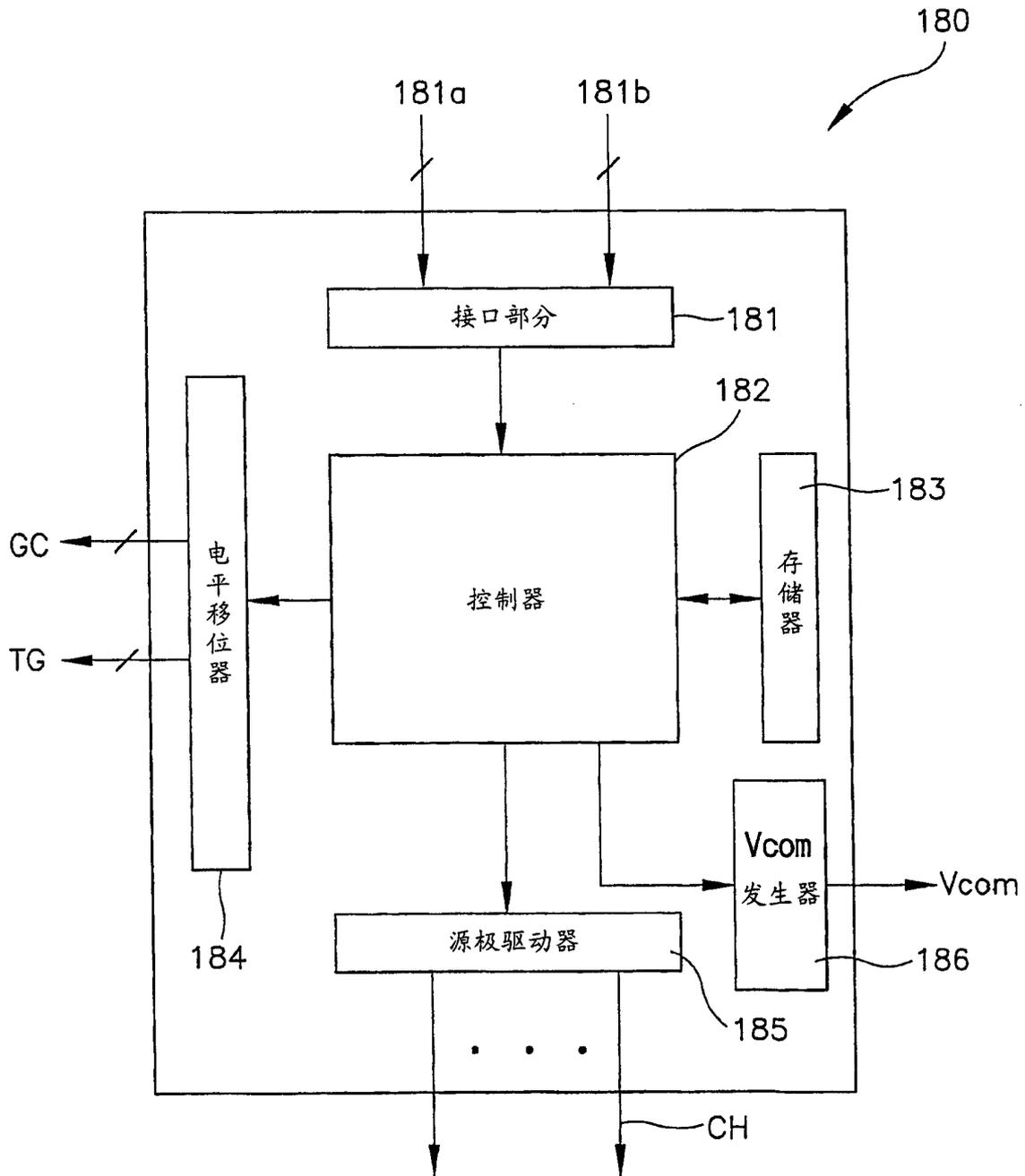


图 6

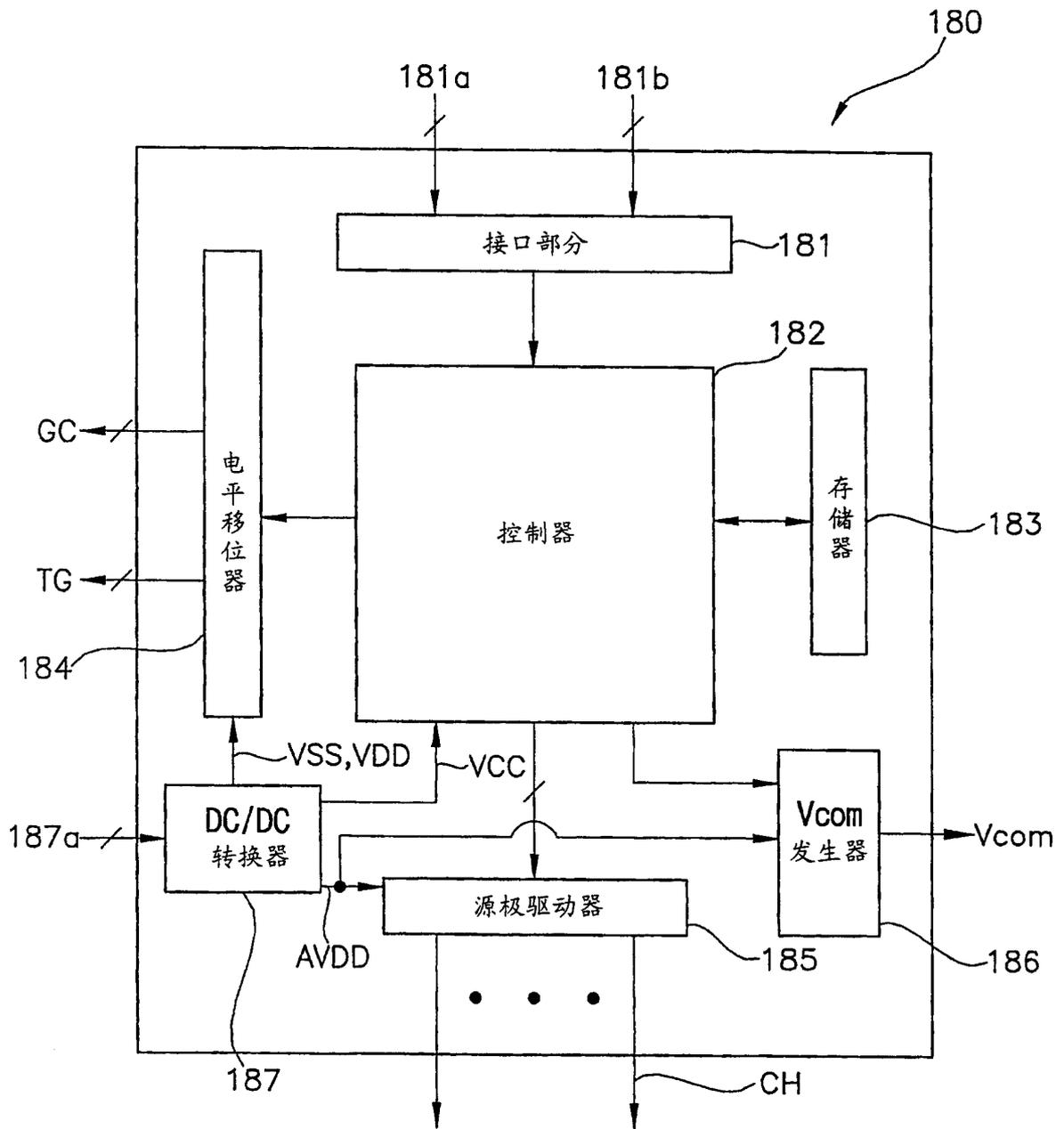


图 7

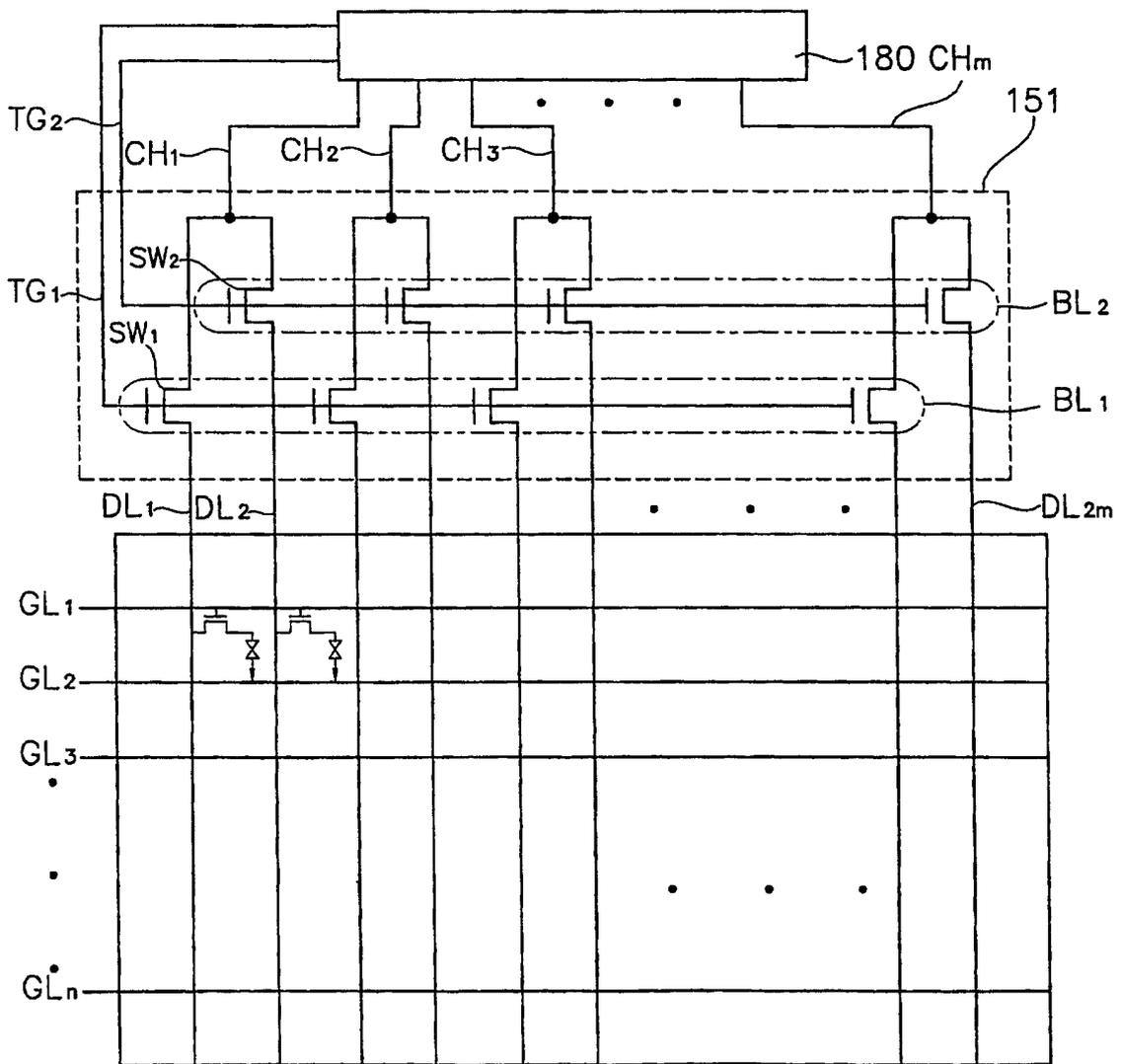


图 8

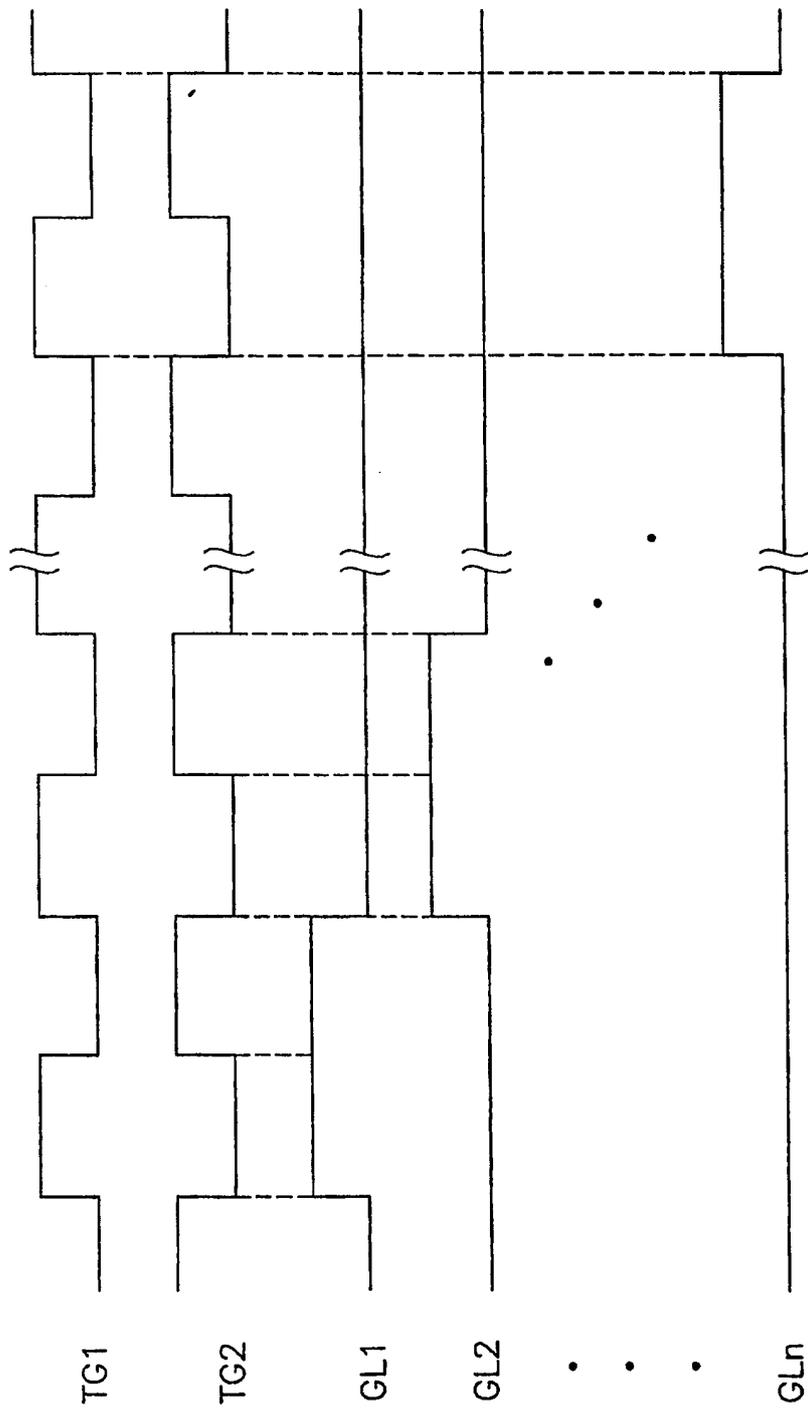


图 9

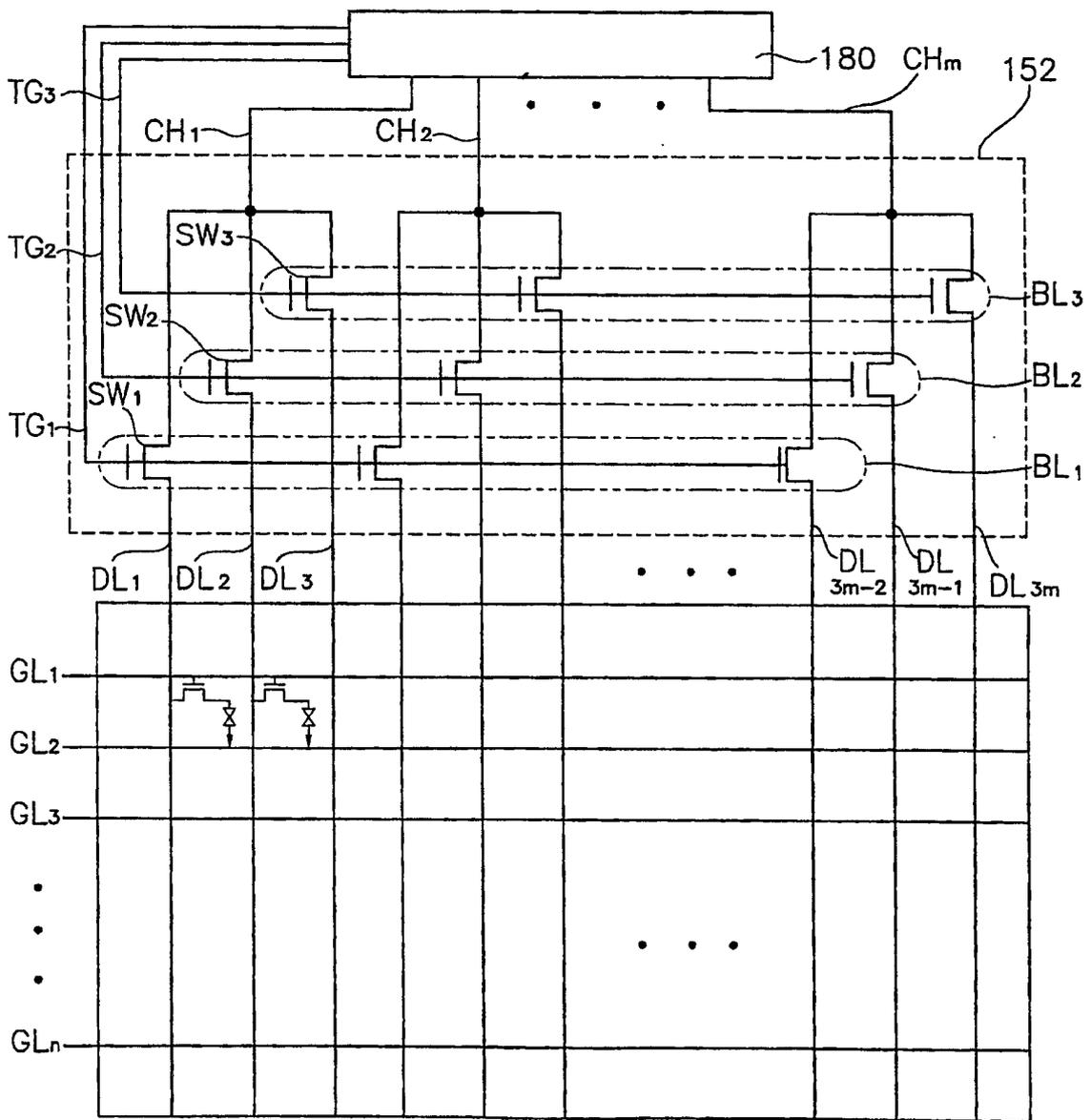


图 10

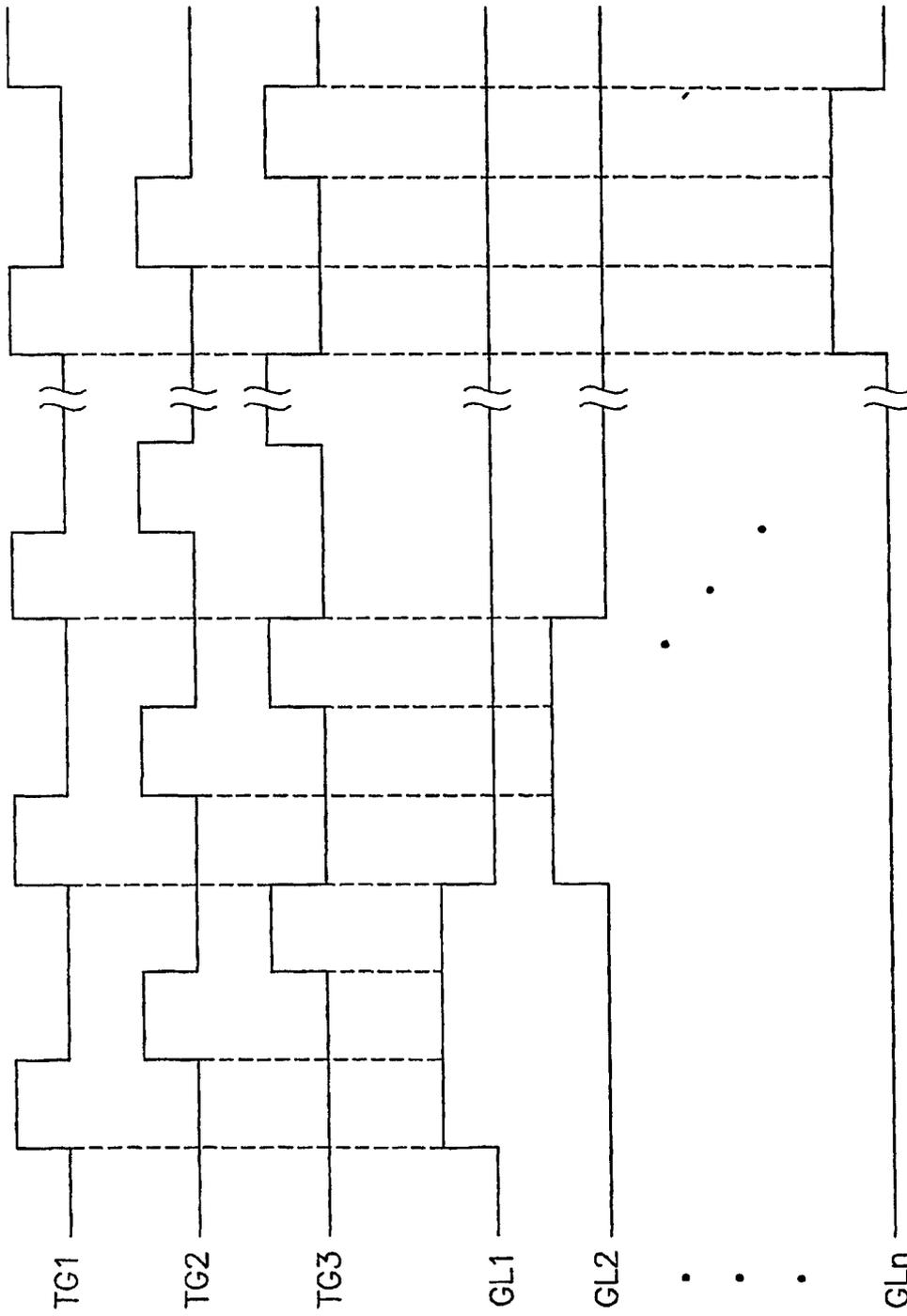


图 11

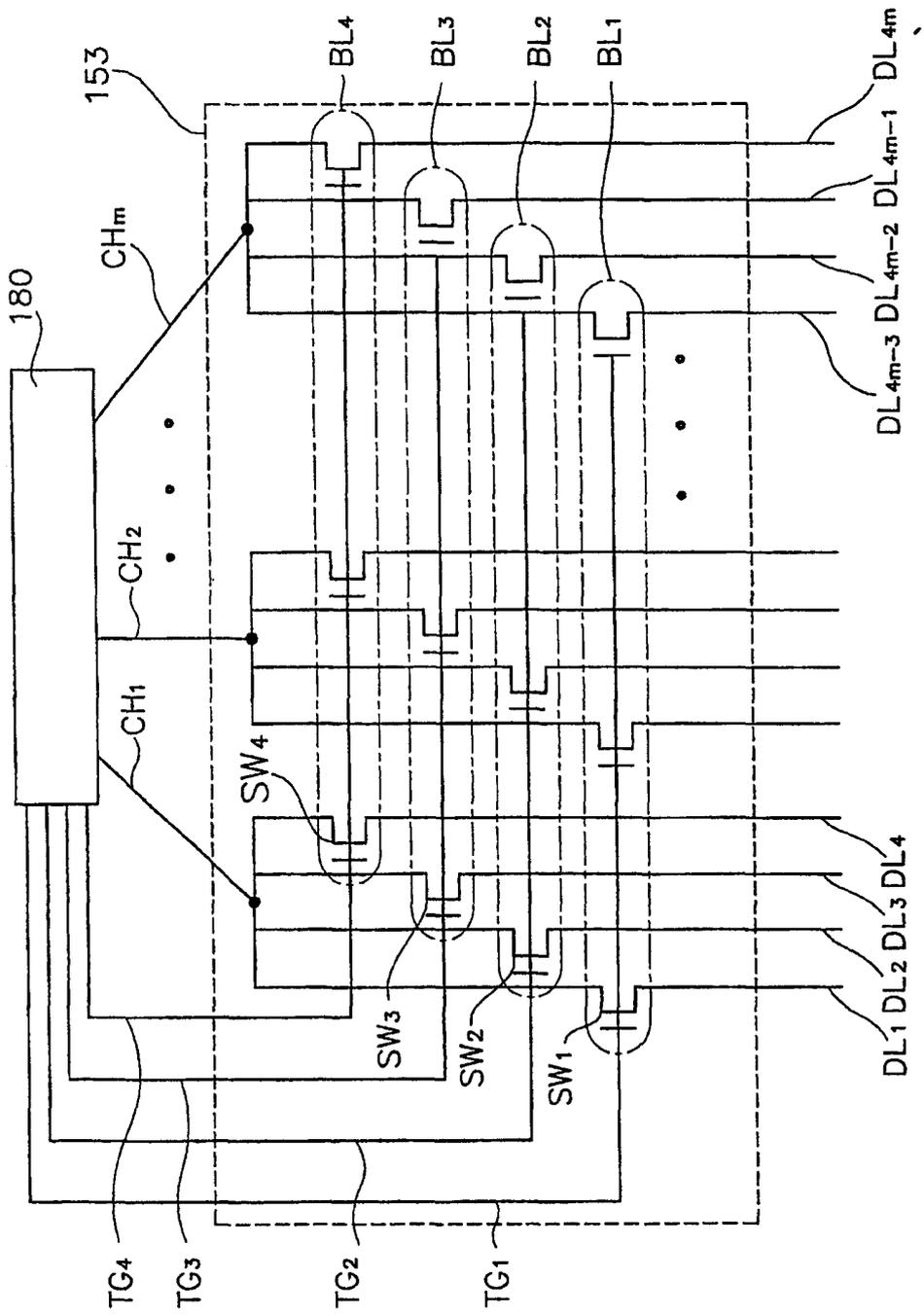


图 12

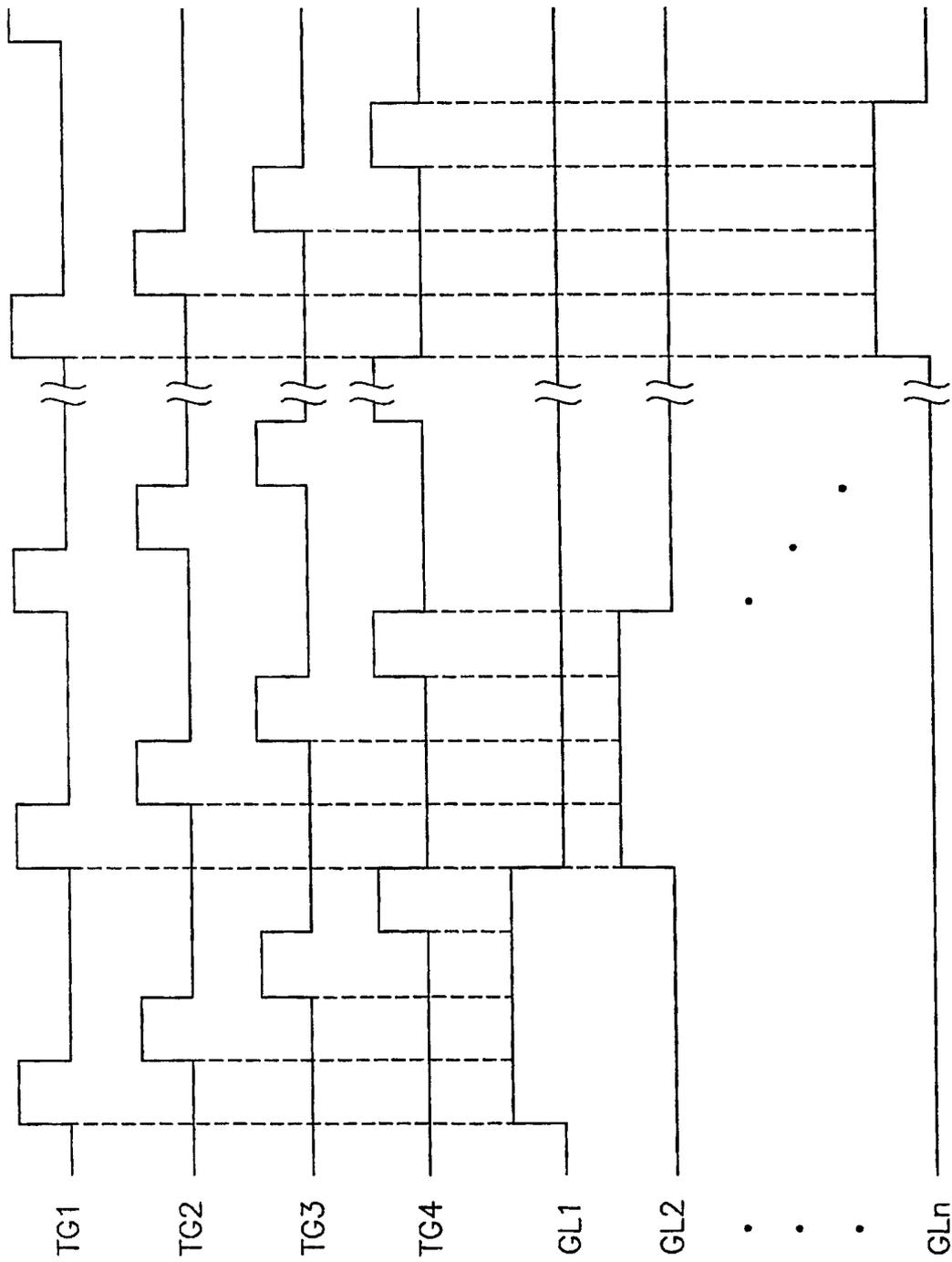


图 13

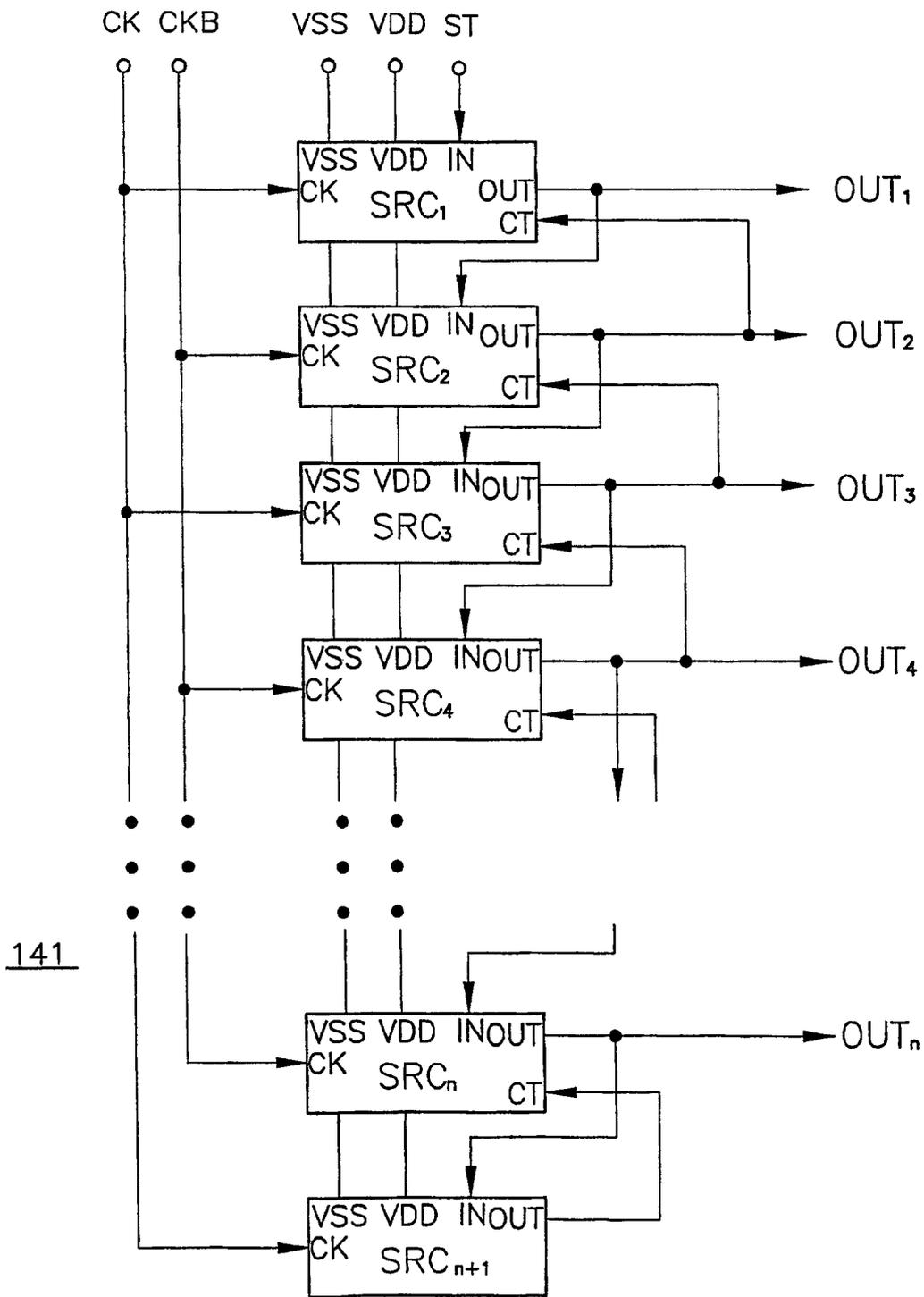


图 14

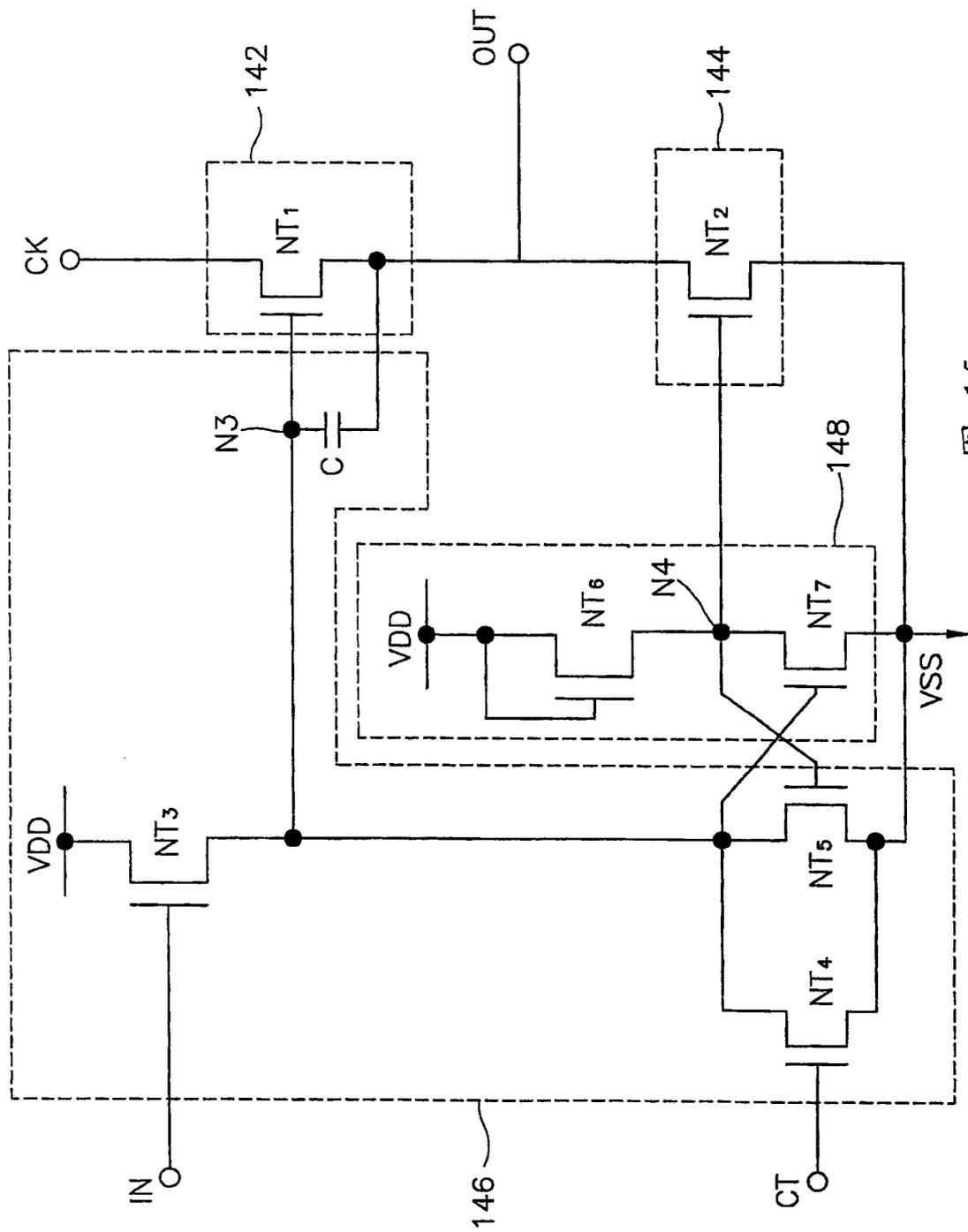


图 15



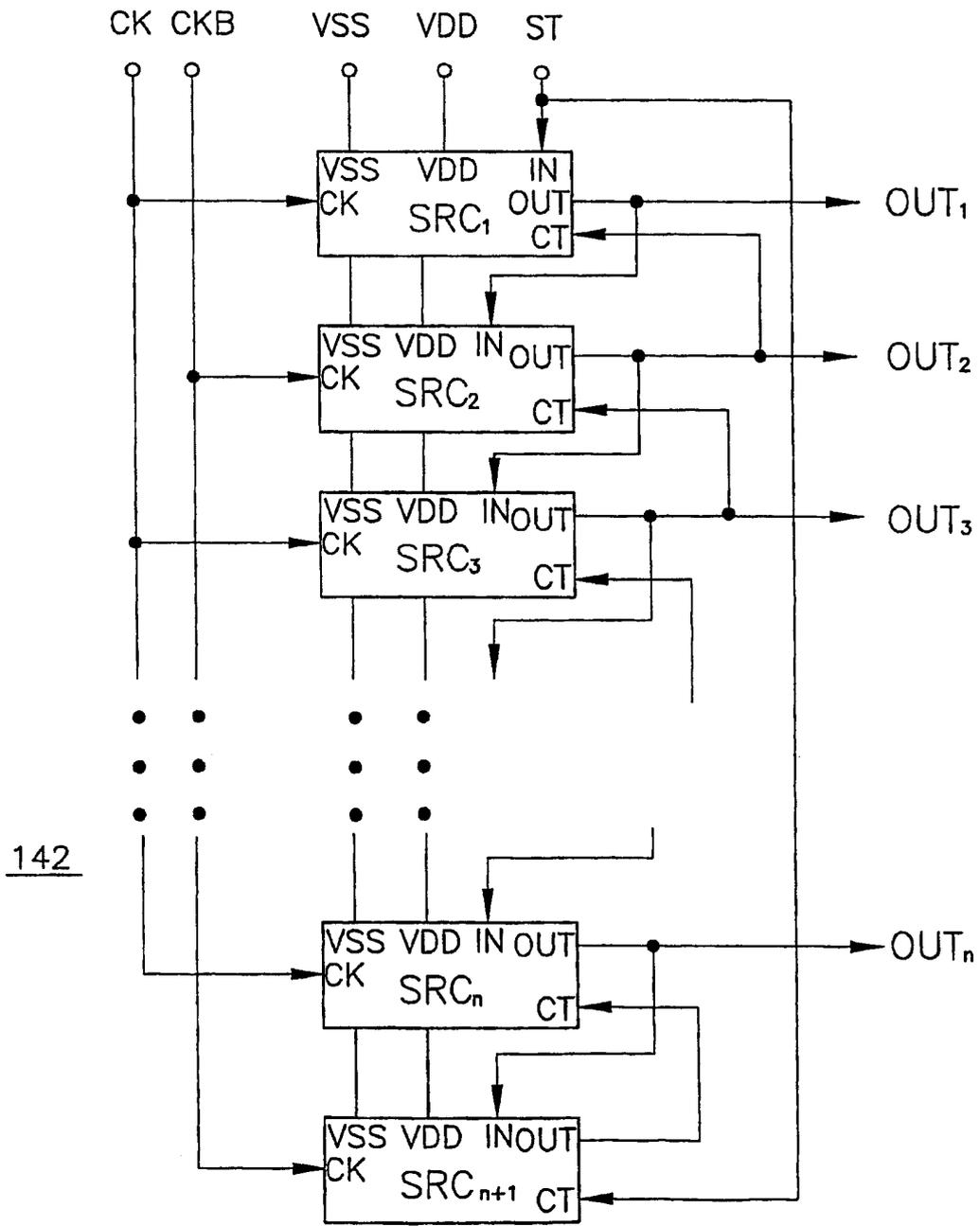


图 17

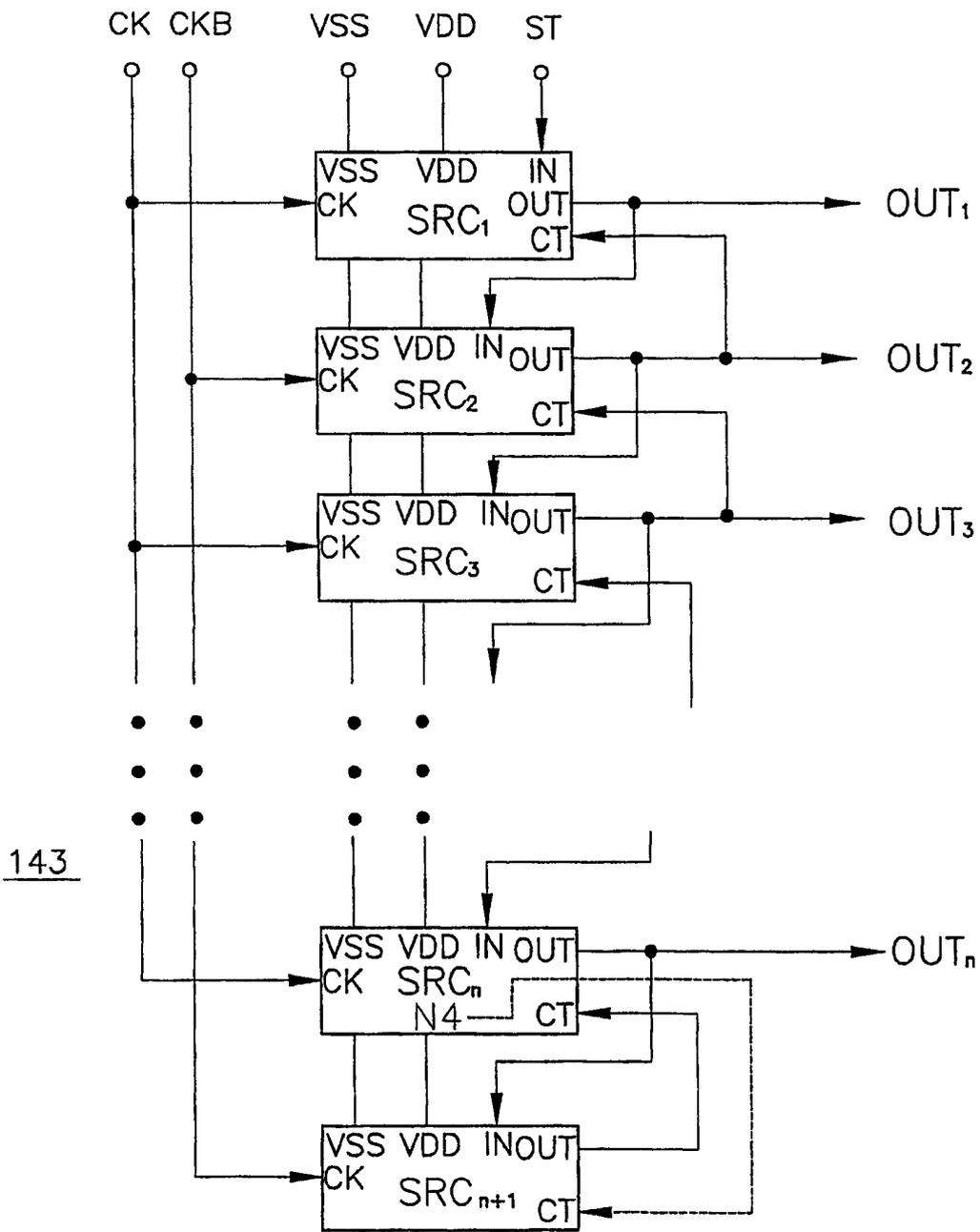


图 18

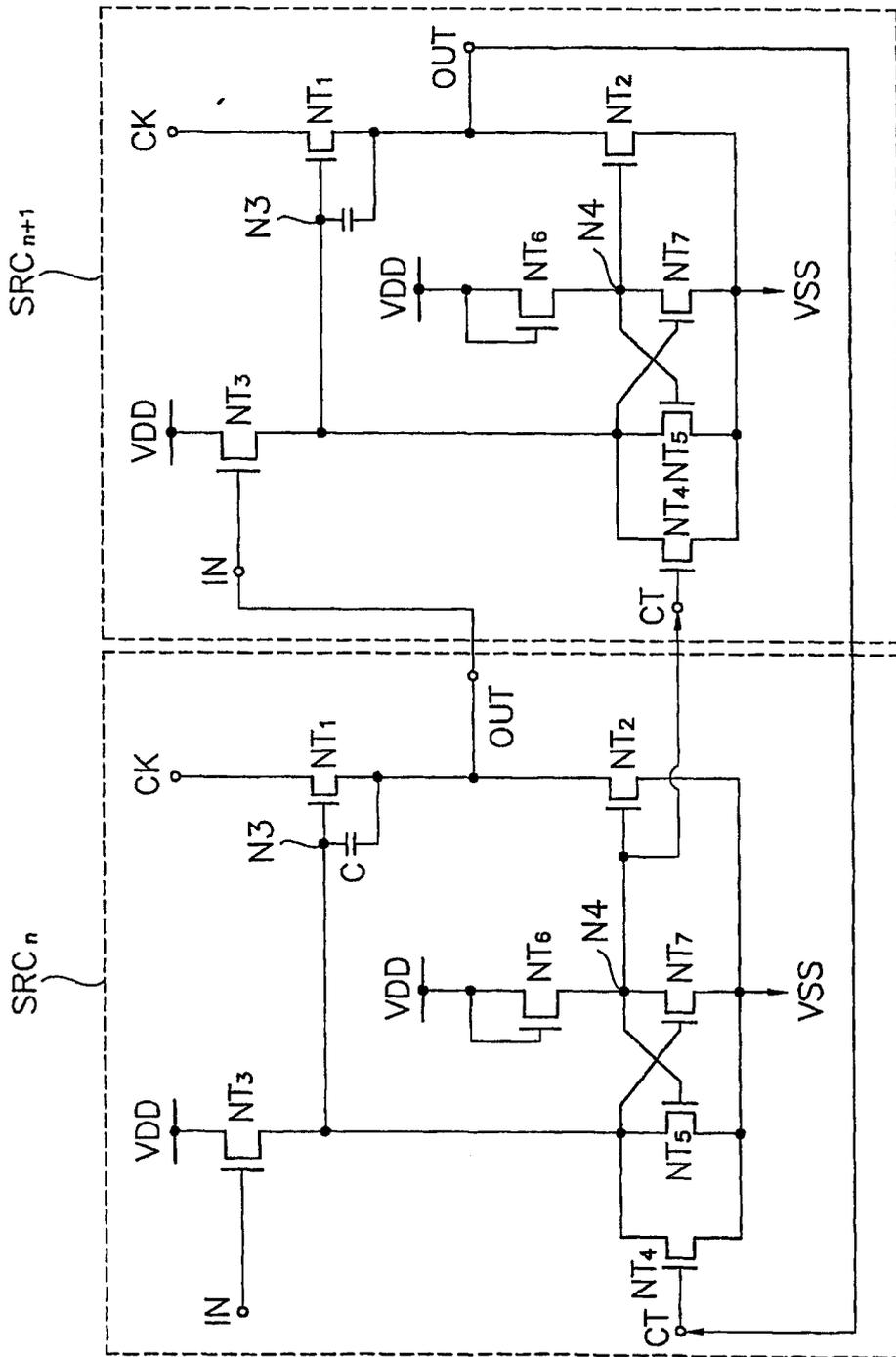


图 19

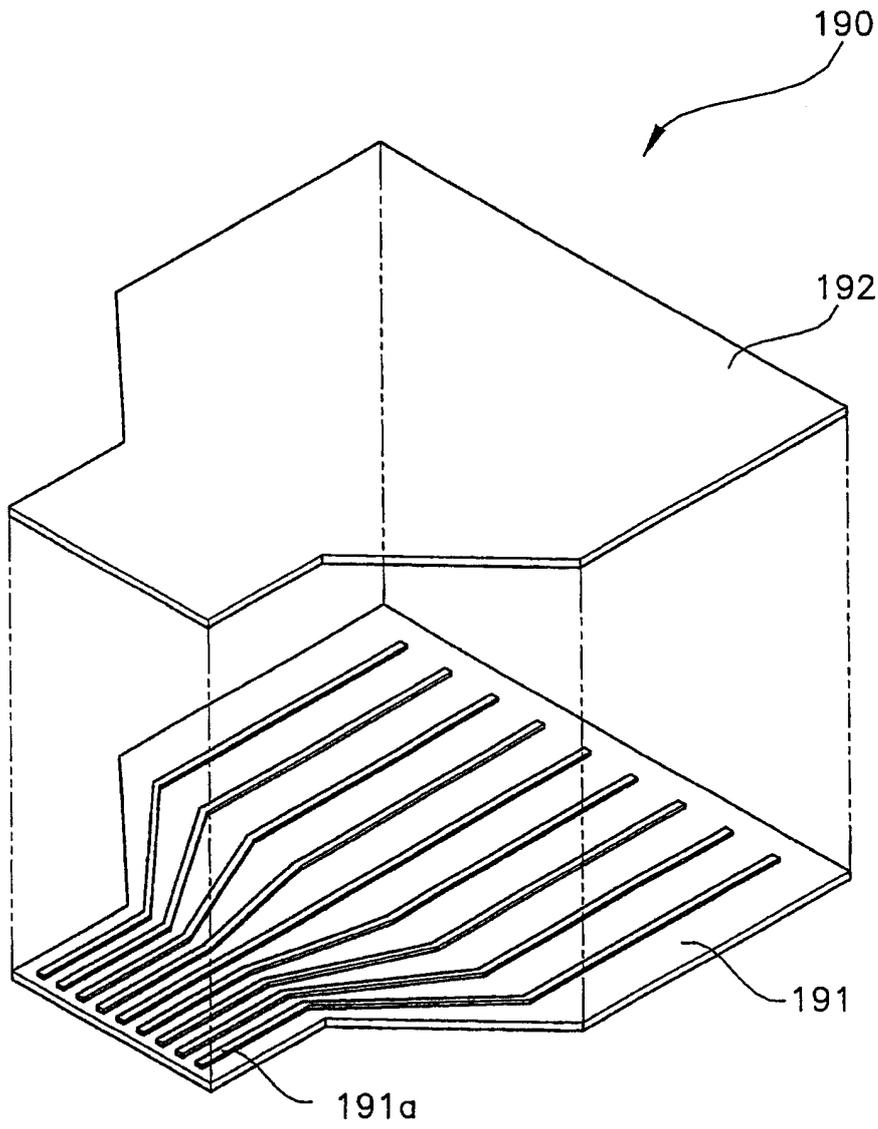


图 20

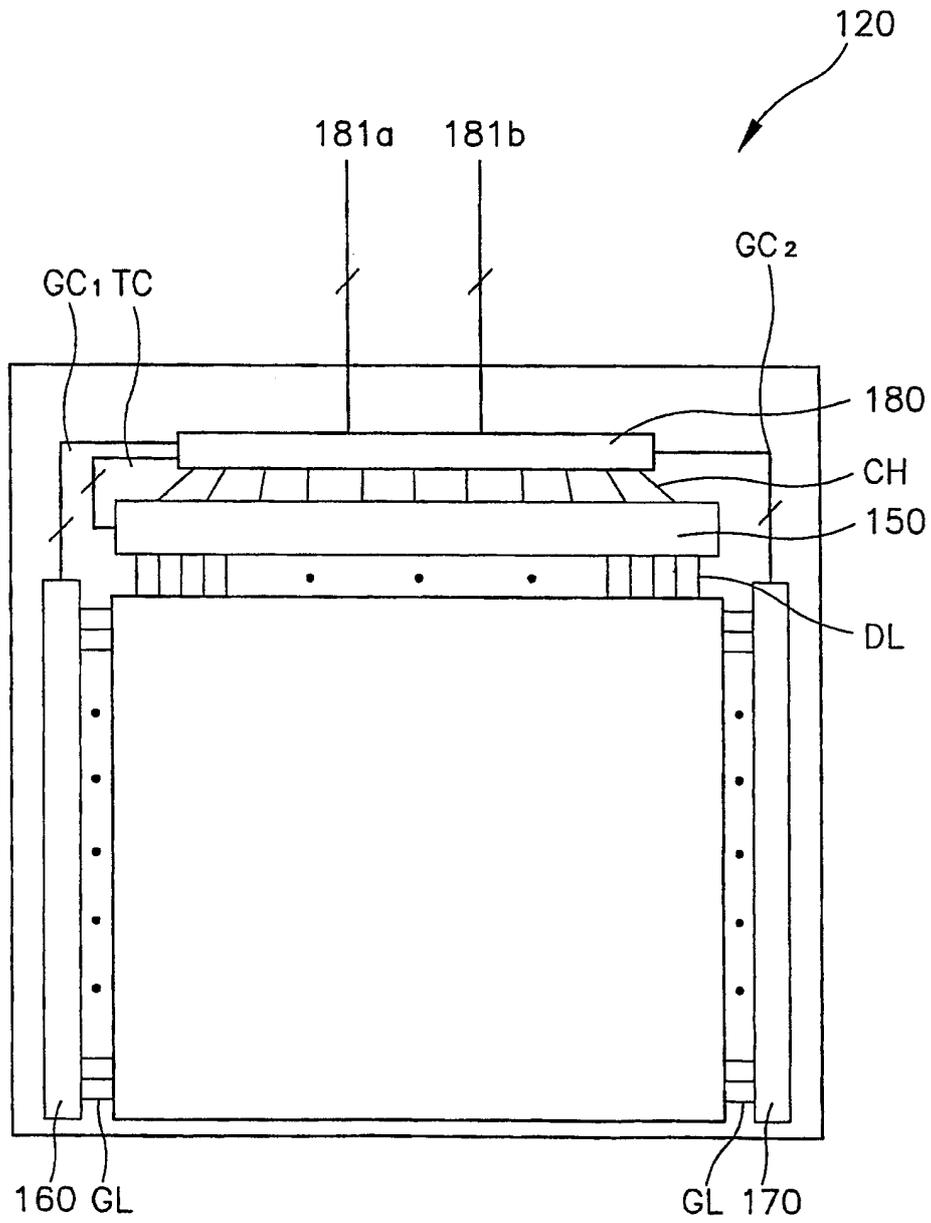


图 21

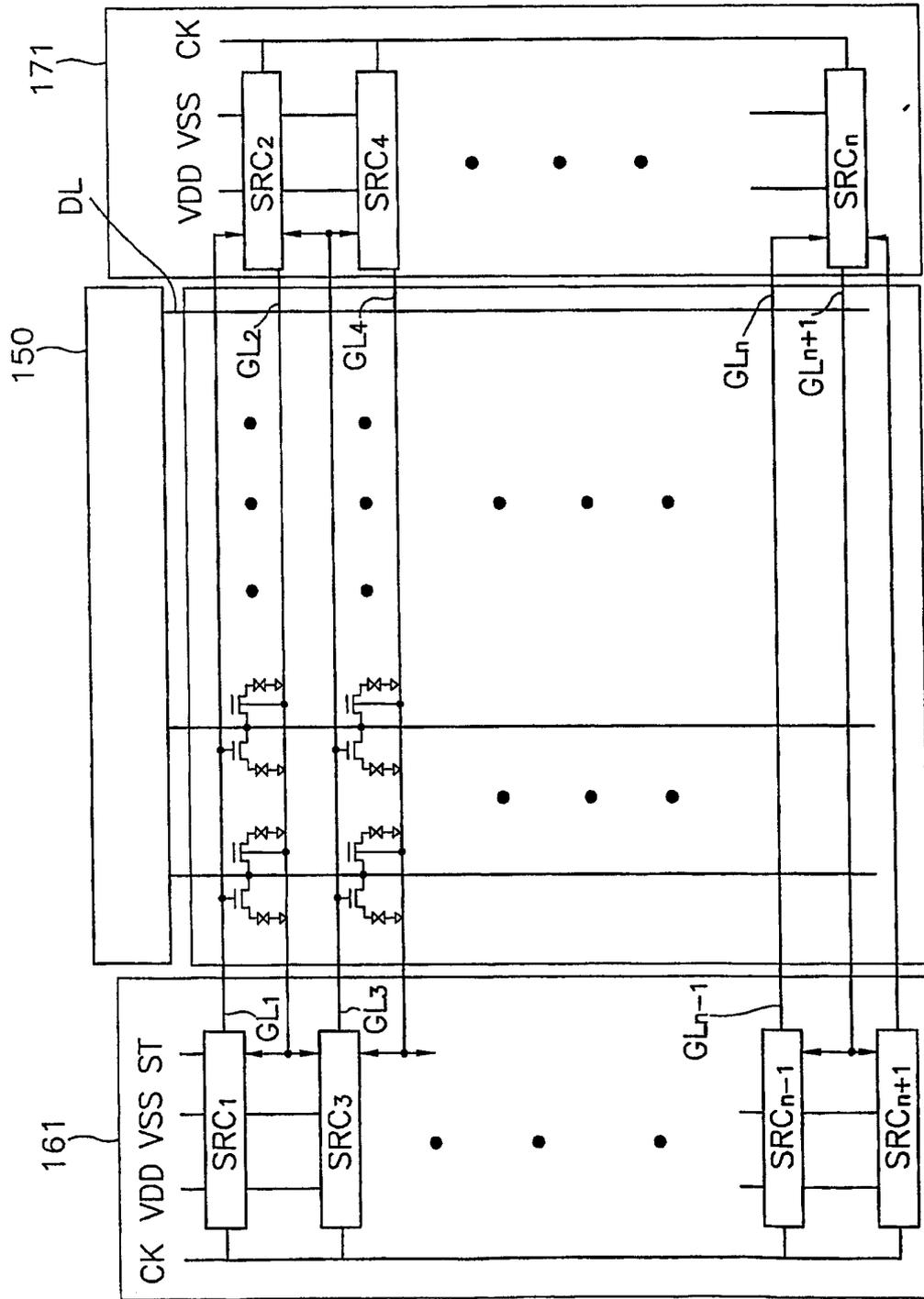


图 22

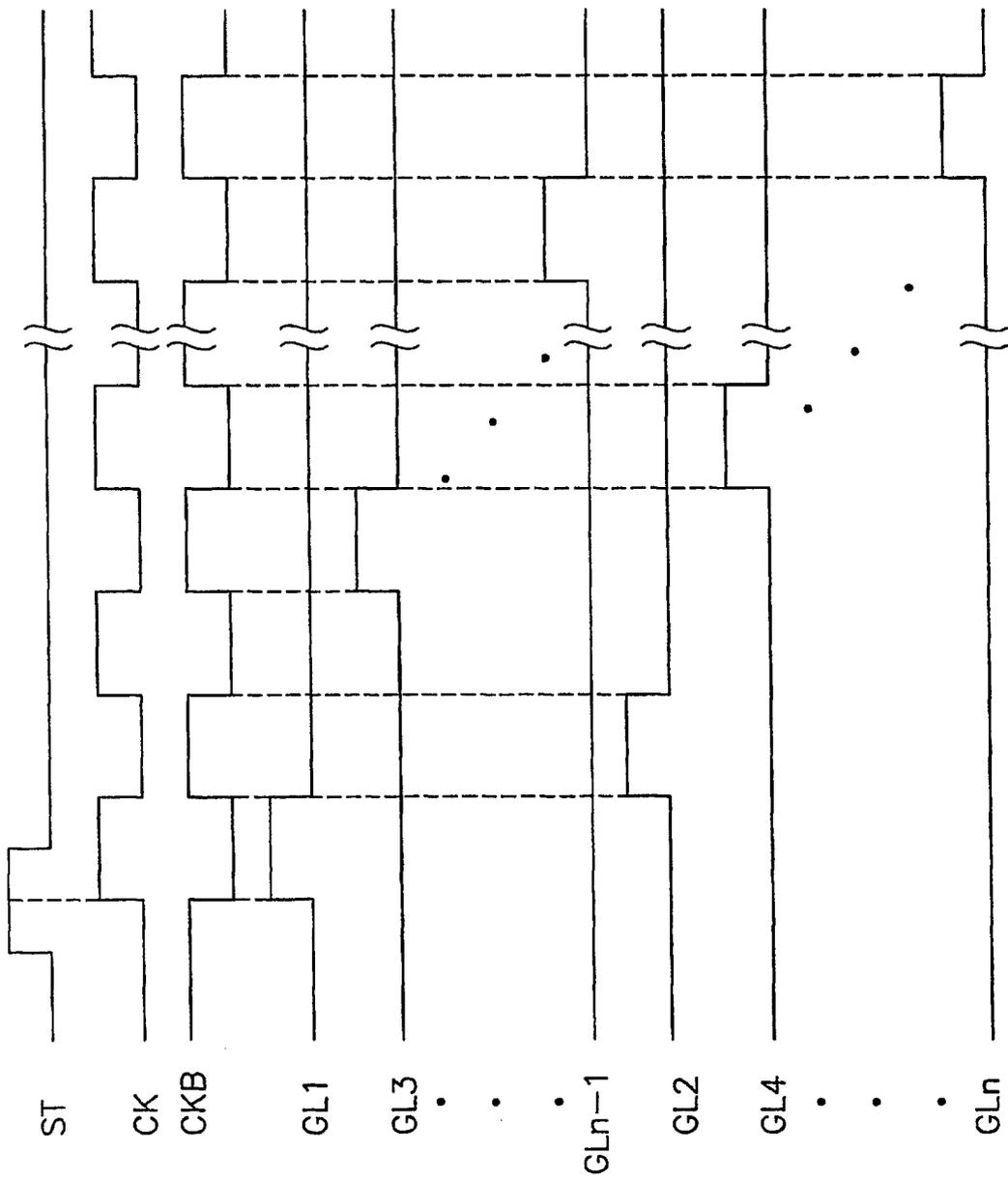


图 23

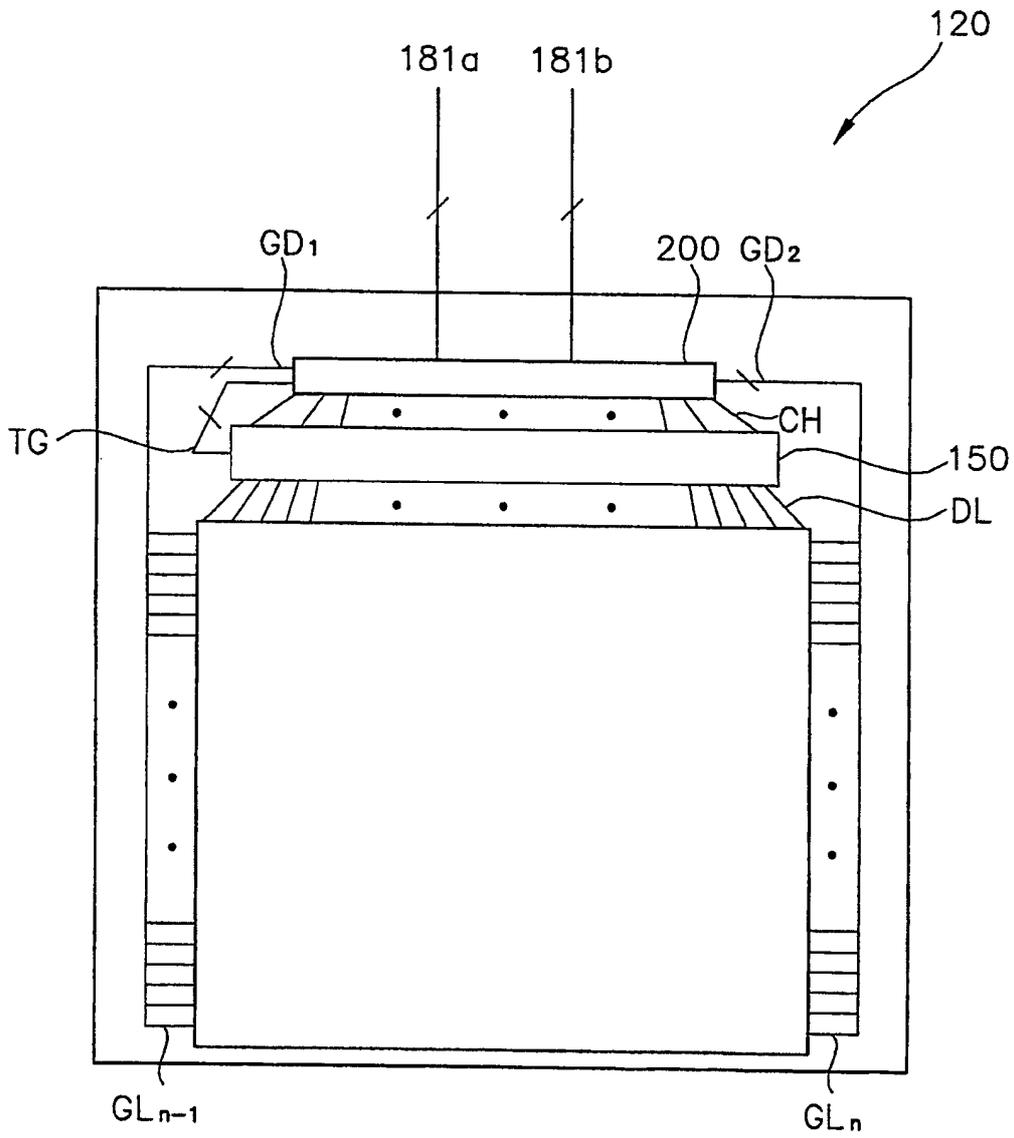


图 24

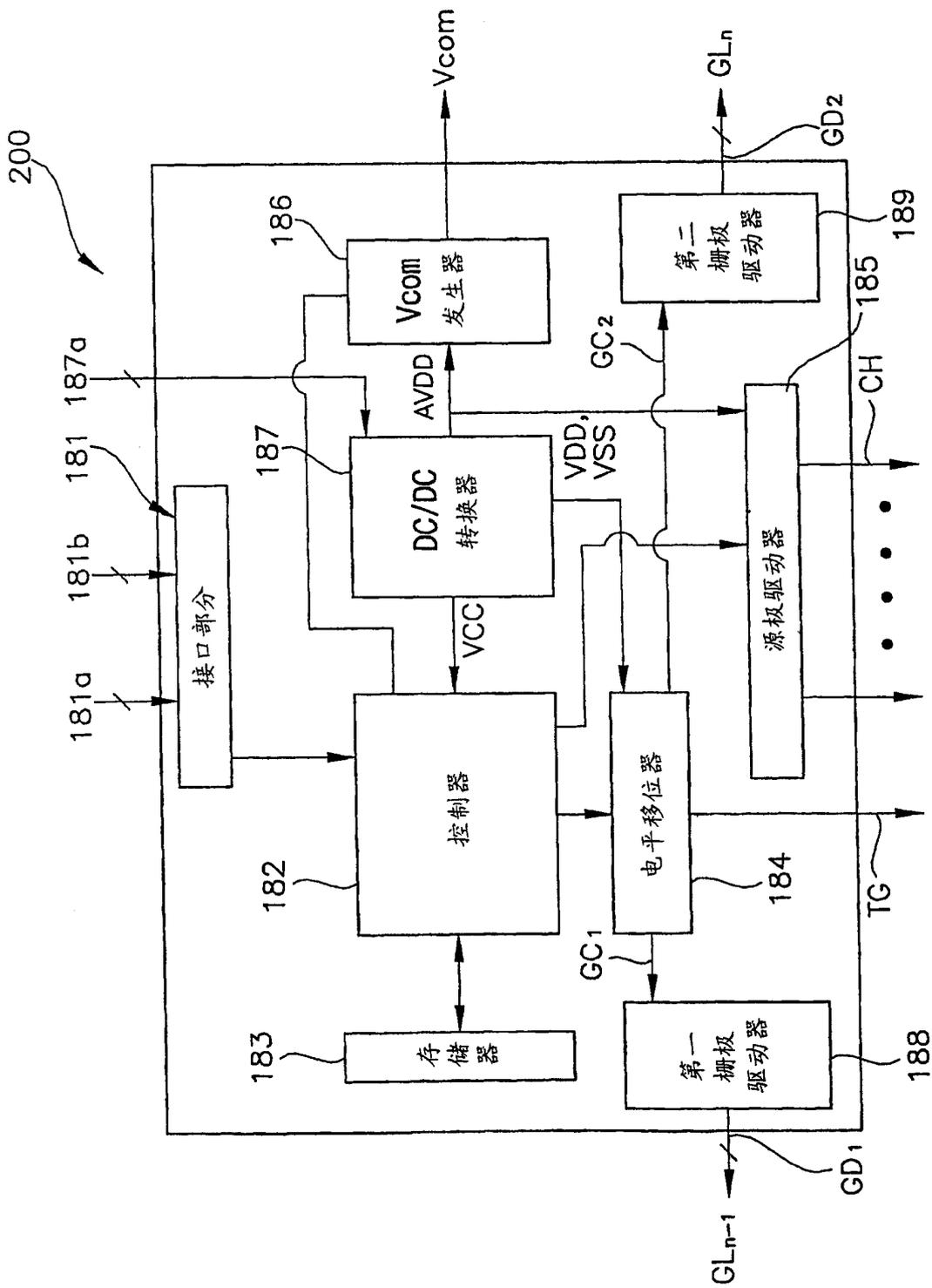


图 25