

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成24年5月31日(2012.5.31)

【公表番号】特表2011-530736(P2011-530736A)

【公表日】平成23年12月22日(2011.12.22)

【年通号数】公開・登録公報2011-051

【出願番号】特願2011-522055(P2011-522055)

【国際特許分類】

G 0 6 F 13/16 (2006.01)

【F I】

G 0 6 F 13/16 5 1 0 A

【手続補正書】

【提出日】平成24年3月30日(2012.3.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

通信リンクによってソースに結合された少なくとも 1 つのメモリキューブであって、前記少なくとも 1 つのメモリキューブが、前記ソースと動作中のメモリデバイスとの間で前記信号を選択的に通信するルーティングスイッチに動作可能に結合された前記メモリデバイスの少なくとも一部を含む前記少なくとも 1 つのメモリキューブを備える、メモリシステム。

【請求項 2】

前記通信リンクが、少なくとも 1 対の個々に双方向の通信路を備え、前記通信リンクが、少なくとも 1 つの冗長な双方向通信路を提供する、請求項 1 に記載のメモリシステム。

【請求項 3】

前記少なくとも 1 つのメモリキューブが、前記メモリデバイスを前記ルーティングスイッチに結合するローカル通信リンクを備え、前記ローカル通信リンクが、複数のローカル通信路を備える、請求項 1 に記載のメモリシステム。

【請求項 4】

前記ソースが前記メモリデバイスに信号を通信するように構成され、前記ソースがメモリコントローラおよびメモリインタフェースのうちの少なくとも 1 つを備える、請求項 1 に記載のメモリシステム。

【請求項 5】

複数のメモリデバイスの第 1 の部分を含む直列結合されたメモリキューブの第 1 のグループであって、前記メモリデバイスの前記第 1 の部分のそれぞれが、メモリ信号のソースに動作可能に結合された第 1 のルーティングスイッチに結合された、メモリキューブの第 1 のグループと、

前記複数のメモリデバイスの第 2 の部分を含む直列結合されたメモリキューブの第 2 のグループであって、前記メモリデバイスの前記第 2 の部分のそれぞれが、前記ソースに動作可能に結合された第 2 のルーティングスイッチに結合された、メモリキューブの第 2 のグループと、

前記第 1 のグループおよび前記第 2 のグループのそれぞれを前記ソースに通信可能に結合するように構成された少なくとも 1 つの通信路であって、動作中、前記第 1 のグループおよび前記第 2 のグループが前記ソースに並列で結合された、少なくとも 1 つの通信路と

、
を備えるメモリシステム。

【請求項 6】

前記第 1 のグループおよび前記第 2 のグループのうちの 1 つが、ほぼ複数のメモリキューブを備える、請求項 7 に記載のメモリシステム。

【請求項 7】

前記少なくとも 1 つの双方向通信路が、各方向に延在する複数の全二重双方向レーンを備える、請求項 7 に記載のメモリシステム。

【請求項 8】

前記複数のメモリデバイスの第 3 の部分を含む直列結合されたメモリキューブの第 3 のグループであって、前記メモリデバイスの前記第 3 の部分のそれぞれが、前記ソースに動作可能に結合されるように構成された第 3 のルーティングスイッチに結合された、メモリキューブの第 3 のグループと、

前記複数のメモリデバイスの第 4 の部分を含む直列結合されたメモリキューブの第 4 のグループであって、前記メモリデバイスの前記第 4 の部分のそれぞれが、前記ソースに動作可能に結合されるように構成された第 4 のルーティングスイッチに結合され、前記第 3 のグループおよび前記第 4 のグループが、結合時、前記第 1 のグループおよび前記第 2 のグループに並列で前記ソースに結合され、単一の双方向通信路が、前記第 1 のグループ、前記第 2 のグループ、前記第 3 のグループ、および前記第 4 のグループを前記ソースに結合する、メモリキューブの第 4 のグループと、
を備える、請求項 5 に記載のメモリシステム。

【請求項 9】

複数のメモリデバイスの第 1 の部分を含む直列結合されたメモリキューブの第 1 のグループであって、前記メモリデバイスの前記第 1 の部分のそれぞれが、前記第 1 のルーティングスイッチに結合され、メモリ信号のソースに結合されるように構成された、メモリキューブの第 1 のグループと、

前記複数のメモリデバイスの第 2 の部分を含む直列結合されたメモリキューブの第 2 のグループであって、前記メモリデバイスの前記第 2 の部分のそれぞれが、前記ソースに結合されるように構成された第 2 のルーティングスイッチに結合された、メモリキューブの第 2 のグループと、

結合時に、前記第 1 のグループおよび前記第 2 のグループのそれぞれを前記ソースに通信可能に結合する通信リンクであって、前記通信リンクが、前記第 1 のグループに結合された第 1 の対の双方向通信路、および前記第 2 のグループに結合された第 2 の対の双方向通信路を含み、さらに、前記第 1 のグループの特定のメモリキューブが、前記第 2 のグループの特定のメモリキューブと相互接続された、通信リンクと、
を備えるメモリシステム。

【請求項 10】

前記第 1 の対の双方向通信路のうちの特定の 1 つが、前記第 2 のグループの特定のメモリキューブに結合され、前記第 2 の対の双方向通信路のうちの特定の 1 つが、前記第 1 のグループの特定のメモリキューブに結合された、請求項 9 に記載のメモリシステム。

【請求項 11】

少なくとも 1 対の双方向通信路によって前記ソースに直列結合された複数のメモリキューブであって、前記複数のメモリキューブのそれぞれが、複数のローカル通信路によってルーティングスイッチに通信可能に結合されたメモリデバイスの少なくとも一部を含み、前記ルーティングスイッチが、ソースと前記メモリキューブの間でデータを通信するように構成された双方向入出力 (I/O) ポートを含む、複数のメモリキューブと、
を備えるメモリシステム。

【請求項 12】

前記双方向入出力 (I/O) ポートが、パケット化されたデータを受信するように構成された入力ブロックと、前記パケット化されたデータを送信するように構成されたマルチ

ブ렉サと、前記メモリデバイスに前記パケット化されたデータを通信するように構成されたクロスポイント交換ネットワークとを備える、請求項 1 1に記載のメモリシステム。

【請求項 1 3】

前記入力ブロックが、前記受信されたデータのエラーを検出し、補正するように構成されたエラー訂正コード（ECC）回路を備える、請求項 1 1に記載のメモリシステム。

【請求項 1 4】

メモリ信号のソースに結合されるように構成された基板と、

各メモリキューブがルーティングスイッチに結合されたメモリデバイスを含む、直列結合されたメモリキューブの少なくとも1つのグループと、

前記少なくとも1つのグループの前記ルーティングスイッチを、前記ソースに結合するように構成された通信リンクと、
を備えるメモリモジュール。

【請求項 1 5】

前記通信リンクが、前記メモリキューブのそれぞれの間に延在する少なくとも1対の双方向通信路を備え、さらに、前記双方向通信路が前記平面的な基板上に配置され、前記ソースに結合するように構成されたエッジコネクタまで延在し、前記双方向通信路がそれぞれ複数のデータレーンを含む、請求項 1 4に記載のメモリモジュール。

【請求項 1 6】

基板上に配置された直列結合されたメモリキューブの少なくとも1つのグループであって、各メモリキューブが、ルーティングスイッチに結合された1つのメモリデバイスの少なくとも一部を含み、

メモリ信号のソースに動作可能に結合され、ローカル通信リンクを通して前記少なくとも1つのグループの前記ルーティングスイッチに前記メモリ信号を通信するために動作可能であるように構成された経路マネージャと、
を備えるメモリシステム。

【請求項 1 7】

前記ローカル通信リンクが、前記少なくとも1つのグループの前記ルーティングスイッチに結合された、少なくとも1組の双方向通信路を備える、請求項 1 6に記載のメモリシステム。

【請求項 1 8】

前記経路マネージャが、ソースまで延在する少なくとも1組の双方向グローバルソース経路によって前記ソースに結合された、請求項 1 6に記載のメモリシステム。

【請求項 1 9】

前記経路マネージャが、前記基板上に配置され、前記双方向グローバルソース経路が、前記基板上に配置されたコネクタまで延在する、請求項 1 8に記載のメモリシステム。

【請求項 2 0】

前記経路マネージャが、前記基板上に配置されていない直列結合されたメモリキューブの少なくとも1つの他のグループまで延在する、1対の双方向グローバルバスオン経路に結合された、請求項 1 8に記載のメモリシステム。