

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成24年5月31日(2012.5.31)

【公表番号】特表2011-530736(P2011-530736A)

【公表日】平成23年12月22日(2011.12.22)

【年通号数】公開・登録公報2011-051

【出願番号】特願2011-522055(P2011-522055)

【国際特許分類】

G 06 F 13/16 (2006.01)

【F I】

G 06 F 13/16 5 1 0 A

【手続補正書】

【提出日】平成24年3月30日(2012.3.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

通信リンクによってソースに結合された少なくとも1つのメモリキューブであって、前記少なくとも1つのメモリキューブが、前記ソースと動作中のメモリデバイスとの間で前記信号を選択的に通信するルーティングスイッチに動作可能に結合された前記メモリデバイスの少なくとも一部を含む前記少なくとも1つのメモリキューブを備える、メモリシステム。

【請求項2】

前記通信リンクが、少なくとも1対の個々に双方向の通信路を備え、前記通信リンクが、少なくとも1つの冗長な双方向通信路を提供する、請求項1に記載のメモリシステム。

【請求項3】

前記少なくとも1つのメモリキューブが、前記メモリデバイスを前記ルーティングスイッチに結合するローカル通信リンクを備え、前記ローカル通信リンクが、複数のローカル通信路を備える、請求項1に記載のメモリシステム。

【請求項4】

前記ソースが前記メモリデバイスに信号を通信するように構成され、前記ソースがメモリコントローラおよびメモリインターフェースのうちの少なくとも1つを備える、請求項1に記載のメモリシステム。

【請求項5】

複数のメモリデバイスの第1の部分を含む直列結合されたメモリキューブの第1のグループであって、前記メモリデバイスの前記第1の部分のそれぞれが、メモリ信号のソースに動作可能に結合された第1のルーティングスイッチに結合された、メモリキューブの第1のグループと、

前記複数のメモリデバイスの第2の部分を含む直列結合されたメモリキューブの第2のグループであって、前記メモリデバイスの前記第2の部分のそれぞれが、前記ソースに動作可能に結合された第2のルーティングスイッチに結合された、メモリキューブの第2のグループと、

前記第1のグループおよび前記第2のグループのそれぞれを前記ソースに通信可能に結合するように構成された少なくとも1つの通信路であって、動作中、前記第1のグループおよび前記第2のグループが前記ソースに並列で結合された、少なくとも1つの通信路と

、
を備えるメモリシステム。

【請求項 6】

前記第1のグループおよび前記第2のグループのうちの1つが、ほぼ複数のメモリキューブを備える、請求項7に記載のメモリシステム。

【請求項 7】

前記少なくとも1つの双方向通信路が、各方向に延在する複数の全二重双方向レーンを備える、請求項7に記載のメモリシステム。

【請求項 8】

前記複数のメモリデバイスの第3の部分を含む直列結合されたメモリキューブの第3のグループであって、前記メモリデバイスの前記第3の部分のそれぞれが、前記ソースに動作可能に結合されるように構成された第3のルーティングスイッチに結合された、メモリキューブの第3のグループと、

前記複数のメモリデバイスの第4の部分を含む直列結合されたメモリキューブの第4のグループであって、前記メモリデバイスの前記第4の部分のそれぞれが、前記ソースに動作可能に結合されるように構成された第4のルーティングスイッチに結合され、前記第3のグループおよび前記第4のグループが、結合時、前記第1のグループおよび前記第2のグループに並列で前記ソースに結合され、单一の双方向通信路が、前記第1のグループ、前記第2のグループ、前記第3のグループ、および前記第4のグループを前記ソースに結合する、メモリキューブの第4のグループと、

を備える、請求項5に記載のメモリシステム。

【請求項 9】

複数のメモリデバイスの第1の部分を含む直列結合されたメモリキューブの第1のグループであって、前記メモリデバイスの前記第1の部分のそれぞれが、前記第1のルーティングスイッチに結合され、メモリ信号のソースに結合されるように構成された、メモリキューブの第1のグループと、

前記複数のメモリデバイスの第2の部分を含む直列結合されたメモリキューブの第2のグループであって、前記メモリデバイスの前記第2の部分のそれぞれが、前記ソースに結合されるように構成された第2のルーティングスイッチに結合された、メモリキューブの第2のグループと、

結合時に、前記第1のグループおよび前記第2のグループのそれぞれを前記ソースに通信可能に結合する通信リンクであって、前記通信リンクが、前記第1のグループに結合された第1の対の双方向通信路、および前記第2のグループに結合された第2の対の双方向通信路を含み、さらに、前記第1のグループの特定のメモリキューブが、前記第2のグループの特定のメモリキューブと相互接続された、通信リンクと、
を備えるメモリシステム。

【請求項 10】

前記第1の対の双方向通信路のうちの特定の1つが、前記第2のグループの特定のメモリキューブに結合され、前記第2の対の双方向通信路のうちの特定の1つが、前記第1のグループの特定のメモリキューブに結合された、請求項9に記載のメモリシステム。

【請求項 11】

少なくとも1対の双方向通信路によって前記ソースに直列結合された複数のメモリキューブであって、前記複数のメモリキューブのそれぞれが、複数のローカル通信路によってルーティングスイッチに通信可能に結合されたメモリデバイスの少なくとも一部を含み、前記ルーティングスイッチが、ソースと前記メモリキューブの間でデータを通信するように構成された双方向入出力(I/O)ポートを含む、複数のメモリキューブと、
を備えるメモリシステム。

【請求項 12】

前記双方向入出力(I/O)ポートが、パケット化されたデータを受信するように構成された入力ブロックと、前記パケット化されたデータを送信するように構成されたマルチ

プレクサと、前記メモリデバイスに前記パケット化されたデータを通信するように構成されたクロスポイント交換ネットワークとを備える、請求項11に記載のメモリシステム。

【請求項13】

前記入力ブロックが、前記受信されたデータのエラーを検出し、補正するように構成されたエラー訂正コード（ECC）回路を備える、請求項11に記載のメモリシステム。

【請求項14】

メモリ信号のソースに結合されるように構成された基板と、

各メモリキューブがルーティングスイッチに結合されたメモリデバイスを含む、直列結合されたメモリキューブの少なくとも1つのグループと、

前記少なくとも1つのグループの前記ルーティングスイッチを、前記ソースに結合するように構成された通信リンクと、

を備えるメモリモジュール。

【請求項15】

前記通信リンクが、前記メモリキューブのそれぞれの間に延在する少なくとも1対の双方向通信路を備え、さらに、前記双方向通信路が前記平面的な基板上に配置され、前記ソースに結合するように構成されたエッジコネクタまで延在し、前記双方向通信路がそれぞれ複数のデータレーンを含む、請求項14に記載のメモリモジュール。

【請求項16】

基板上に配置された直列結合されたメモリキューブの少なくとも1つのグループであって、各メモリキューブが、ルーティングスイッチに結合された1つのメモリデバイスの少なくとも一部を含み、

メモリ信号のソースに動作可能に結合され、ローカル通信リンクを通して前記少なくとも1つのグループの前記ルーティングスイッチに前記メモリ信号を通信するために動作可能であるように構成された経路マネージャと、

を備えるメモリシステム。

【請求項17】

前記ローカル通信リンクが、前記少なくとも1つのグループの前記ルーティングスイッチに結合された、少なくとも1組の双方向通信路を備える、請求項16に記載のメモリシステム。

【請求項18】

前記経路マネージャが、ソースまで延在する少なくとも1組の双方向グローバルソース経路によって前記ソースに結合された、請求項16に記載のメモリシステム。

【請求項19】

前記経路マネージャが、前記基板上に配置され、前記双方向グローバルソース経路が、前記基板上に配置されたコネクタまで延在する、請求項18に記載のメモリシステム。

【請求項20】

前記経路マネージャが、前記基板上に配置されていない直列結合されたメモリキューブの少なくとも1つの他のグループまで延在する、1対の双方向グローバルパスオン経路に結合された、請求項18に記載のメモリシステム。