

특허청구의 범위

청구항 1

제1 도전형을 가지는 컬렉터;

상기 컬렉터 상의, 상기 제1 도전형을 가지는 드리프트층;

상기 제1 도전형과 반대되는 제2 도전형을 가지는, 상기 드리프트층 상의 베이스층;

상기 베이스층 상에서, 상기 제1 도전형을 갖고, 상기 베이스층의 도핑 농도보다 더 낮은 도핑 농도를 가지며, 상기 베이스층과 p-n 접합을 형성하는 버퍼층;

상기 버퍼층 상에서 상기 제1 도전형을 가지며, 측벽을 가지는 에미터 메사; 및

상기 버퍼층을 통해 상기 베이스층 내로 연장된 베이스 콘택 영역 - 상기 베이스 콘택 영역은 상기 제2 도전형을 가지며 상기 베이스층의 도핑 농도보다 더 높은 도핑 농도를 가짐 -

을 포함하며,

상기 버퍼층은 상기 에미터 메사의 상기 측벽과 이웃하면서, 상기 측벽으로부터 측방향으로 이격되는 메사 스텝(step)을 포함하며, 상기 에미터 메사 하부의 상기 버퍼층의 제1 두께는 상기 메사 스텝 외부의 상기 버퍼층의 제2 두께보다 더 큰 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 2

제1 항에 있어서,

상기 제1 도전형을 가지며, 상기 에미터 메사의 도핑 농도보다 더 큰 도핑 농도를 가지고, 상기 에미터 메사의 상기 측벽으로부터 측방향으로 이격된 상기 에미터 메사 상의 국부(local) 에미터 콘택 영역; 및

상기 국부 에미터 콘택 영역 상의 에미터 오믹 콘택을 더 포함하는 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 3

제2 항에 있어서, 상기 국부 에미터 콘택 영역은 상기 에미터 메사의 상기 측벽으로부터 $2\mu\text{m}$ 이상의 거리로 이격된 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 4

제2 항에 있어서,

상기 에미터 메사의 상기 측벽 상에서 연장되어 상기 국부 에미터 콘택 영역 및 상기 버퍼층 모두와 접촉되며, 상기 에미터 오믹 콘택과 오믹 콘택을 형성하는 도전층을 더 포함하는 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 5

삭제

청구항 6

제1 항에 있어서,

상기 베이스 콘택 영역 상의 베이스 오믹 콘택을 더 포함하는 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 7

제1 항에 있어서, 상기 메사 스텝은 $0.3\mu\text{m}$ 이하의 높이를 가지는 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 8

제1 항에 있어서, 상기 메사 스텝은 상기 에미터 메사의 상기 측벽으로부터 $2\mu\text{m}$ 이상의 거리만큼 이격된 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 9

제1 항에 있어서, 상기 버퍼층은 상기 베이스층의 도핑 농도보다 더 작은 도핑 농도를 가지는 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 10

제1 항에 있어서, 상기 버퍼층은, 상기 버퍼층과 상기 베이스층 사이의 상기 p-n 접합의 내부 전위에 의하여, 상기 제2 두께를 가지는 상기 버퍼층의 일부가 완전히 공핍되도록 선택되는 도핑 농도를 가지는 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 11

제1 항에 있어서, 상기 컬렉터, 상기 드리프트층, 상기 베이스층, 상기 버퍼층, 및 상기 에미터 메사는 실리콘 카바이드를 포함하는 것을 특징으로 하는 양극성 접합 트랜지스터.

청구항 12

제1 도전형을 가지는 제1 층;

상기 제1 도전형과 반대되는 제2 도전형을 가지고, 상기 제1 층의 제1 도핑 농도보다 더 큰 제2 도핑 농도를 갖는, 상기 제1 층 상의 제2 층;

상기 제2 층 상에서, 상기 제1 도전형을 가지며, 상기 제2 층의 상기 제2 도핑 농도보다 더 작은 제3 도핑 농도를 갖고, 상기 제2 층과 p-n 접합을 형성하는 제3 층; 및

상기 제3 층 상에서 상기 제1 도전형을 가지며, 측벽을 가지는 메사,

상기 제3 층을 통해 상기 제2 층 내로 연장된 콘택 영역 - 상기 콘택 영역은 상기 제2 도전형을 가지며 상기 제2 층의 도핑 농도보다 더 높은 도핑 농도를 가짐 - 을 포함하며,

상기 제3 층은 상기 메사의 상기 측벽과 이웃하여 측방향으로 이격되는 메사 스텝을 포함하며, 상기 메사 하부의 상기 제3 층의 제1 두께는 상기 메사 스텝 외부의 상기 제3 층의 제2 두께보다 더 큰 것을 특징으로 하는 전력 반도체 장치.

청구항 13

제12 항에 있어서,

상기 제1 도전형을 가지며, 상기 메사의 제5 도핑 농도보다 더 큰 제4 도핑 농도를 가지고, 상기 메사의 상기 측벽으로부터 측방향으로 이격된, 상기 메사 상의 콘택 영역; 및

상기 콘택 영역 상의 오믹 콘택을 더 포함하는 것을 특징으로 하는 전력 반도체 장치.

청구항 14

제13 항에 있어서,

상기 메사의 측벽 상에서 연장되어 상기 콘택 영역 및 상기 제3 층 양쪽 모두와 접촉하며 상기 오믹 콘택과 오믹 콘택을 형성하는 도전층을 더 포함하는 것을 특징으로 하는 전력 반도체 장치.

청구항 15

제1 도전형을 가지는 드리프트층을 제공하는 단계;

상기 드리프트층 상에 상기 제1 도전형과 반대되는 제2 도전형을 가지는 반도체층을 제공하는 단계;

상기 반도체층 상에 상기 제1 도전형을 가지는 버퍼층을 제공하는 단계;

제1 두께를 가지는 상기 버퍼층의 제1 부분, 및 상기 제1 두께보다 더 작은 제2 두께를 가지는 상기 버퍼층의 제2 부분을 정의하는 메사 스텝을 형성하도록 상기 버퍼층을 선택적으로 식각하는 단계;

상기 버퍼층의 상기 제1 부분 상에, 상기 제1 도전형을 갖고, 메사 측벽을 가지며, 상기 버퍼층의 상기 제1 부분을 부분적으로 노출시키고 상기 버퍼층의 상기 메사 스텝으로부터 측방향으로 이격된 메사를 제공하는 단계; 및

상기 버퍼층을 통해 상기 반도체층 내로 연장된 콘택 영역을 제공하는 단계 - 상기 콘택 영역은 상기 제2 도전형을 가지며 상기 반도체 층의 도핑 농도보다 더 높은 도핑 농도를 가짐 -

를 포함하는 것을 특징으로 하는 전자 장치를 형성하는 방법.

명세서

기술 분야

- [0001] [관련 출원]
- [0002] 본 출원은 "SILICON CARBIDE BIPOLAR JUNCTION TRANSISTOR"라는 명칭의 2007년 11월 9일자 미국 임시 출원 제 60/986,694호로부터의 우선권을 주장한다. 이 임시 출원의 개시 내용은 모두 본 명세서에 인용되어 통합된다.
- [0003] [정부 소유권의 성명]
- [0004] 이 발명은 육군 연구소(Army Research Laboratory)에 의하여 선정된 계약 제W911NF-04-2-0022호 하에서 정부의 지원에 의하여 만들어졌다. 정부는 본 발명에 있어서 특정한 권리를 가진다.
- [0005] 본 발명은 미소 전자 공학(microelectronic) 장치들에 관한 것으로, 특히, 전력 반도체 장치들에 관한 것이다.

배경 기술

- [0006] 고전압 실리콘 카바이드(SiC, silicon carbide) 장치는 약 600V이상의 전압들을 취급할 수 있다. 이러한 장치들은, 그들의 활성 영역에 따라, 약 100A 정도 이상의 전류를 취급할 수 있다. 고전압 실리콘 카바이드 장치들은, 특히 전력 조절, 분산, 및 제어의 기술 분야에 있어서, 많은 중요한 어플리케이션들을 가진다. 쇼트키(Schottky) 다이오드들, 금속 산화막 반도체 전계 효과 트랜지스터들(MOSFETs, metal oxide semiconductor field effect transistors), 게이트 턴 오프 사이리스터들(GTOs, gate turn off thyristors), 절연 게이트 양극성 트랜지스터들(IGBTs, insulated gate bipolar transistors), 양극성 접합 트랜지스터들(BJT, bipolar junction transistors) 등과 같은 고전압 반도체 장치들은, 실리콘 카바이드를 사용하여 제조되어 왔다.
- [0007] 실리콘 카바이드 쇼트키 다이오드 구조와 같은 종래의 실리콘 카바이드 전력 장치는, 상부에 드리프트 영역으로 기능하는 n- 에피택셜층이 형성된 n형 실리콘 카바이드 기판을 가진다. 상기 장치는 일반적으로 상기 n- 층에 직접적으로 형성된 쇼트키 콘택을 포함한다. 상기 쇼트키 콘택을 둘러싸는 것은 일반적으로 이온 주입에 의하여 형성되는 p형 JTE (junction termination extension) 영역이다. 상기 주입물들은 알루미늄, 보론, 또는 p형 도펀트(dopant)에 적합한 다른 물질일 수 있다. 상기 JTE 영역은 상기 접합의 에지(edge)에 집중된 전계를 감소시키고, 상기 공핍 영역이 상기 장치의 상기 표면과 상호 작용하는 것을 방지하거나 감소시키는 것을 목적으로 한다. 표면 효과들은 상기 공핍 영역이 균일하지 않게 확산되는 것을 초래하여, 상기 장치의 항복 전압에 불리한 영향을 미친다. 다른 종단 기술들은 표면 효과들에 의하여 더욱 강하게 영향을 받는 가드 링들(guard rings) 및 플로팅 필드 링들(floating field rings)을 포함할 수 있다. 또한, 채널 저지 영역은 상기 장치의 상기 에지를 향한 상기 공핍 영역의 확장을 줄이기 위하여 질소 또는 인(phosphorus)와 같은 n형 도펀트들의 주입에 의하여 형성될 수 있다.
- [0008] JTE와 더불어, 다중 플로팅 가드 링들(MFGR, multiple floating guard rings) 및 FP(field plates)는 고전압 실리콘 카바이드 장치에 있어서 공통적으로 사용되는 종단 방법들이다. 종래의 다른 에지 종단 기술은 메사 에지 종단이다. 하지만, JTE 또는 가드 링이 존재한다고 하더라도, 메사 종단이 존재하여 상기 메사 코너(corner)에 높은 전계를 초래할 수 있다. 상기 메사 코너의 높은 전계는 주어진 드리프트층의 두께 및 도핑에 대하여 달리 예상되는 것보다 훨씬 낮은 항복 전압을 야기할 수 있다.
- [0009] 종래의 메사 종단 PIN 다이오드가 도 1에 도시된다. 나타난 바와 같이, PIN 다이오드(10)는 p+ 층(16)과 n+ 기판(14) 사이의 n형 드리프트층(12)을 포함한다. 도 1은 PIN 구조의 절반을 도시하고; 상기 구조는 거울 이미지

부분(미도시)을 포함할 수 있다. 애노드(anode) 콘택(23)은 상기 p+ 층(16) 상에, 그리고 캐소드(cathode) 콘택(25)은 상기 n+ 기판(14)에 위치한다. 상기 p+ 층(16)은 상기 n-드리프트층(12) 상에 메사로 형성된다. 복수의 JTE 존들(20A, 20B, 20C)을 포함하는 JTE 영역(20)은 상기 p+ 메사(16)에 이웃한 상기 n-드리프트층(12) 내에 제공된다. 상기 JTE 존들(20A, 20B, 20C)은, 상기 p+ 메사(16) 및 상기 n-드리프트(12) 사이의 상기 p-n 접합으로부터 바깥쪽으로의 거리에 따라 낮아지는 전하 레벨들을 가지는 p형 영역들이다. 세 JTE 존들(20A, 20B, 20C)이 도시되어 있으나, 많거나 또는 적은 JTE 존들이 제공될 수 있다.

[0010] 도 1에 나타난 바와 같이, 상기 p+ 메사(16)에 이웃한 상기 n-드리프트층(12)은, 예를 들어, 식각(etch) 프로세스 제어에 있어서의 어려움들에 기인하여, 약간 과도 식각(over-etch)될 수 있으며, 따라서 상기 p+ 메사(16) 하부의 상기 n-드리프트층(12)의 측벽(12A)이 노출될 수 있다. 약 3000Å 까지의 과도 식각이 일부 케이스들에 있어서 발생할 수 있다. 상기 노출된 측벽(12A)을 보호하기 위하여, 상기 측벽(12A) 내로 p형 불순물들이 주입되어 측벽 주입 영역(22)을 형성하는 측벽 주입이 수행될 수 있다.

[0011] 도 1에 도시된 PIN 다이오드 구조(10)와 같은 종래의 메사-종단 구조들에 있어서, 필드 집중은 상기 메사 코너(29) 또는 그 부분에서 발생할 수 있으며, 상기 코너들(29)에서 높은 전계를 초래한다. 이러한 높은 필드 세기들은 상기 장치의 상기 항복 전압을 감소시킬 수 있다. 예를 들어, 상기 드리프트층 및 상기 JTE 디자인의 두께 및 도핑에 기초하여 이론적인 항복 전압인 12kV를 가지는 종래의 메사-종단 PIN 다이오드 구조는, 단지 8kV의 유효 항복 전압을 가질 수 있다.

[0012] 필드 집중과 더불어, 실리콘 카바이드 전력 양극성 접합 트랜지스터들의 개발에 있어서 다른 과제는, 전류 이득 저하(degradation)의 현상, 즉, 상기 장치 내의 시간 경과에 따른 전류 이득의 저하이다. 전류 이득 저하는 일반적으로 BPD(basal plane dislocations)와 같은 재료 결함들, 및 특히, 상기 장치의 상기 에미터 측벽 및 상기 베이스의 표면을 따른 표면 재결합의 결과이다. 전류 이득 저하의 약간의 감소는, BPD가 없는 웨이퍼들 상에 제조된 실리콘 카바이드 양극성 접합 트랜지스터들에서 관찰되어 왔다. 더불어, 실리콘 카바이드 양극성 접합 트랜지스터들의 상기 에미터 핑거들(fingers)은 일반적으로 반응성 이온 식각(RIE, reactive ion etching)에 의하여 형성된다. 반응성 이온 식각의 식각률의 불균일성은 상기 웨이퍼 주변 부근의 상기 기본 재료들을 부분적으로, 또는 완전히 식각시킬 수 있어, 수율에서 큰 감소를 야기할 수 있다.

발명의 내용

과제의 해결 수단

[0013] 일부 실시예들에 따른 양극성 접합 트랜지스터는 제1 도전형을 가지는 컬렉터, 상기 컬렉터 상의, 상기 제1 도전형을 가지는 드리프트층, 상기 제1 도전형과 반대되는 제2 도전형을 가지는, 상기 드리프트층 상의 베이스층, 상기 제1 도전형을 가지면서 상기 베이스층의 도핑 농도보다 낮은 도핑 농도를 가져, 상기 베이스층 상에 형성되어 상기 베이스층과 p-n 접합을 형성하는 저농도 버퍼층, 및 상기 버퍼층 상에서 상기 제1 도전형을 가지며, 측벽을 가지는 에미터 메사를 포함한다. 상기 버퍼층은 상기 에미터 메사의 상기 측벽과 이웃하면서, 상기 측벽으로부터 측방향으로 이격되는 메사 스텝(step)을 포함하며, 상기 에미터 메사 하부의 상기 버퍼층의 제1 두께는 상기 메사 스텝 외부의 상기 버퍼층의 제2 두께보다 더 크다.

[0014] 상기 양극성 접합 트랜지스터는 상기 에미터 메사 상의 국부 에미터 콘택 영역을 더 포함할 수 있다. 상기 국부 에미터 콘택 영역은 상기 제1 도전형을 가지며, 상기 에미터 메사의 도핑 농도보다 더 큰 도핑 농도를 가진다. 상기 국부 에미터 콘택 영역은 상기 에미터 메사의 상기 측벽으로부터 측방향으로 이격된다. 에미터 오믹 콘택은 상기 국부 에미터 콘택 영역 상에 있다.

[0015] 상기 국부 에미터 콘택 영역은 상기 에미터 메사의 상기 측벽으로부터 약 2μm 이상의 거리로 이격될 수 있다.

[0016] 상기 양극성 접합 트랜지스터는 상기 에미터 메사의 상기 측벽 상에서 연장되어 상기 국부 에미터 콘택 영역 및 상기 버퍼층 모두와 접촉되는 도전층을 더 포함할 수 있다. 상기 도전층은 상기 에미터 오믹 콘택과 오믹 콘택을 형성할 수 있다.

[0017] 상기 양극성 접합 트랜지스터는 상기 제2 도전형을 가지며, 상기 베이스층의 도핑 농도보다 더 큰 도핑 농도를 가지며, 상기 베이스층 내로 연장된 베이스 콘택 영역을 더 포함할 수 있다. 베이스 오믹 콘택은 상기 베이스 콘택 영역 상에 있다.

[0018] 상기 메사 스텝은 약 0.3μm 이하의 높이를 가질 수 있다. 나아가, 상기 메사 스텝은 상기 에미터 메사의 상기

측벽으로부터 약 $2\mu\text{m}$ 이상의 거리만큼 이격될 수 있다.

- [0019] 상기 버퍼층은 상기 베이스층의 도핑 농도보다 더 작은 도핑 농도를 가질 수 있다. 일부 실시예들에 있어서, 상기 버퍼층은, 상기 버퍼층 및 상기 베이스층 사이의 상기 p-n 접합의 상기 내부 전위에 의하여, 상기 제2 두께를 가지는 상기 버퍼층의 일부가 완전히 공핍되도록 선택된 도핑 농도를 가질 수 있다.
- [0020] 상기 컬렉터, 상기 드리프트층, 상기 베이스층, 상기 버퍼층, 및 상기 에미터 메사는 실리콘 카바이드를 포함한다.
- [0021] 일부 실시예들에 따른 전력 반도체 장치는 제1 도전형을 가지는 제1 층, 상기 제1 도전형과 반대되는 제2 도전형을 가지고, 상기 제1 층의 제1 도핑 농도보다 더 큰 제2 도핑 농도를 가지는 제2 층을 포함한다. 제3 층은 상기 제1 도전형을 가지며, 상기 제2 층 상에서 상기 제2 층과 p-n 접합을 형성한다. 상기 제3 층은 상기 제2 층의 상기 제2 도핑 농도보다 더 작은 제3 도핑 농도를 가진다. 상기 제1 도전형을 가지는 상기 제3 층 상의 메사는, 측벽을 포함한다. 상기 버퍼층은 상기 메사의 상기 측벽과 이웃하여 측방향으로 이격되는 메사 스텝을 포함한다. 상기 메사 하부의 상기 제3 층의 제1 두께는 상기 메사 스텝 외부의 상기 제3 층의 제2 두께보다 더 크다.
- [0022] 상기 전력 반도체 장치는 상기 메사 상의 콘택 영역을 더 포함하며, 상기 제1 도전형을 가지는 상기 콘택 영역은 상기 메사의 제5 도핑 농도보다 더 큰 제4 도핑 농도를 가지며, 상기 메사의 상기 측벽으로부터 측방향으로 이격된다. 오믹 콘택은 상기 콘택 영역 상에 있다.
- [0023] 상기 전력 반도체 장치는 상기 메사의 상기 측벽 상에서 연장되어 상기 콘택 영역 및 상기 버퍼층과 모두 접촉되는 도전층을 더 포함하며, 상기 오믹 콘택은 상기 도전층과 오믹 콘택을 형성할 수 있다.
- [0024] 일부 실시예들에 따른 전자 장치를 형성하는 방법들은 제1 도전형을 가지는 드리프트층을 제공하는 단계, 상기 드리프트층 상에 상기 제1 도전형과 반대되는 제2 도전형을 가지는 반도체층을 제공하는 단계, 상기 반도체층 상에 상기 제1 도전형을 가지는 버퍼층을 제공하는 단계, 및 제1 두께를 가지는 상기 버퍼층의 제1 부분, 및 상기 제1 두께보다 더 작은 제2 두께를 가지는 상기 버퍼층의 제2 부분을 정의하는 메사 스텝을 형성하도록 상기 버퍼층을 선택적으로 식각하는 단계를 포함한다. 상기 방법들은 상기 버퍼층의 상기 제1 부분 상에 상기 제1 도전형을 갖고, 메사 측벽을 가지며, 상기 버퍼층의 상기 제1 부분을 부분적으로 노출시켜 상기 버퍼층의 상기 메사 스텝으로부터 측방향으로 이격된 메사를 제공하는 단계를 더 포함한다.

도면의 간단한 설명

- [0025] 본 발명의 심도 있는 이해를 제공하기 위하여 포함되고, 본 명세서에 결합되고, 또한 본 명세서의 일부를 구성하는 첨부 도면들은, 본 발명의 특정한 실시예(들)을 도시한다. 상기 도면들에 있어서:
- 도 1은 종래의 메사 중단 PIN 다이오드 구조의 단면도이다.
- 도 2 및 3은 본 발명의 일부 실시예들에 따른 양극성 접합 트랜지스터 구조들의 단면도들이다.
- 도 4a 및 4b는 종래의 양극성 접합 트랜지스터 구조들 및 본 발명의 실시예들에 따른 양극성 접합 트랜지스터 구조들의 상기 저하 행동들을 비교하는 그래프들이다.
- 도 5 및 6은 본 발명의 다른 실시예들에 따른 장치 구조들의 단면도들이다.
- 도 7a 내지 7d는 일부 실시예들에 따른 반도체 장치의 형성을 도시하는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하에서는 본 발명의 실시예들이 나타나 있는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 다른 여러 형태들을 가지고 실시될 수 있으며, 본 명세서에 설명된 실시예들에 한정되어 해석되어서는 아니 된다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 본 기술분야의 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 전체에 걸쳐 동일한 참조부호는 동일한 구성요소를 지칭한다.
- [0027] 본 명세서에서 제1, 제2 등의 용어들이 다양한 요소들을 설명하기 위하여 사용되지만, 이들 요소들은 이들 용어들에 의해 한정되어서는 안됨은 자명하다. 이들 용어들은 하나의 요소를 다른 요소와 구별하기 위하여만 사용된다. 예를 들어, 본 발명의 범위를 벗어나지 않고서도 제1 요소는 제2 요소를 지칭할 수 있고, 또한 이와 유사하

제 2 요소는 제 1 요소를 지칭할 수 있다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 또는 그 이상의 모든 조합을 포함한다.

[0028]

본 명세서에서 사용된 용어는 특정 실시예들을 설명하는 것을 목적으로 하며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태인 "a", "an" 및 "the"는 문맥상 다른 경우를 명백히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprises)", "포함하는(comprising)", "포함한다(includes)", 및/또는 "포함하는(including)"은 언급한 형상들, 숫자들, 단계들, 동작들, 요소들 및/또는 구성요소들의 존재를 특정하는 것이며, 하나 이상의 다른 형상들, 숫자들, 단계들, 동작들, 요소들, 구성요소들 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

[0029]

달리 정의된 것이 아니라면, 본 명세서에서 사용되는 (기술적 및 과학적 용어를 포함하는) 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 것과 동일한 의미를 갖는다. 또한, 본 명세서에 사용된 용어들은 본 명세서의 문맥 및 관련 기술의 문맥에서 갖는 의미와 양립하는 의미를 갖는 것으로서 해석되어야 하며, 본 명세서에서 명시적으로 정의된 것이 아닌 한 이상적으로 또는 지나치게 형식적인 의미로 해석되어서는 아니된다.

[0030]

층, 영역 또는 기관과 같은 요소가 다른 요소 "위(on)"에 존재하는 것으로 또는 "위로(onto)" 확장되는 것으로 기술되는 경우, 그 요소는 다른 요소의 직접 위에 있거나 직접 위로 확장될 수 있고, 또는 중간 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소 "바로 위(directly on)"에 있거나 "바로 위로(directly onto)" 확장된다고 언급되는 경우, 다른 중간 요소들은 존재하지 않는다. 또한, 하나의 요소가 다른 요소에 "연결(connected)"되거나 "결합(coupled)"된다고 기술되는 경우, 그 요소는 다른 요소에 직접 연결되거나 직접 결합될 수 있고, 또는 중간의 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소에 "직접 연결(directly connected)"되거나 "직접 결합(directly coupled)"된다고 기술되는 경우에는 다른 중간 요소가 존재하지 않는다.

[0031]

본 명세서에서, "아래(below)", "위(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)", "옆의(lateral)", "바로 밑(beneath)", "위(over)", "위(on)" 등과 같은 상대적인 용어들은, 상기 도면들에 도시된 바와 같이 하나의 요소, 층 또는 영역과 다른 요소, 층 또는 영역의 관계를 기술하는 데 사용될 수 있다. 상대적인 용어들은 도면에 묘사된 방향(orientation)에 부가하여 장치의 다른 방향을 포함하기 위한 의도를 갖는 것으로 이해될 것이다.

[0032]

본 명세서에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들(및 중간 구조들)을 개략적으로 도시하는 단면도들을 참조하여 설명된다. 상기 도면들에서, 층들 및 영역들의 두께는 설명의 명확성을 위해 과장될 수 있다. 또한, 예를 들면, 제조 기술 및/또는 공차의 결과인 상기 도면들의 형상들의 변화가 예상될 수 있다. 따라서, 본 발명의 실시예들은 본 명세서에 도시된 영역들의 특정 형상들에 한정되는 것으로 해석되어서는 아니되며, 예를 들면, 제조 공정으로부터 초래된 형상들의 변화들을 포함할 수 있다. 예를 들면, 직사각형으로 도시된 주입 영역은, 일반적으로는, 둥글거나(rounded) 만곡된(curved) 형상, 및/또는 주입 영역으로부터 비주입 영역으로의 불연속적인 변화보다는 그 가장자리에서 주입 농도의 구배를 가질 수 있다. 유사하게, 주입 공정에 의해 형성된 매립 영역은 상기 매립 영역과 상기 주입 공정이 발생한 표면 사이의 영역에도 어느 정도의 주입을 초래할 수 있다. 따라서, 도면들에 도시된 영역들은 본질적으로 개략적인 것이고, 그 형상들은 소자 영역의 실제 형상을 도시하고자 하는 것이 아니며, 본 발명의 범위를 제한하기 위한 것도 아니다.

[0033]

본 발명의 일부 실시예들은, 층 및/또는 영역 내의 주요 캐리어(carrier)를 일컫는 n형 또는 p형과 같은 전도형을 가지는 것으로 특정된 반도체층들 및/또는 영역을 참조하여 설명된다. 따라서, n형 물질은 음전기로(negatively) 대전된 전자들의 주요 평형 농도를 가지며, 반면에 p형 물질은 양전기로(positively) 대전된 홀들의 주요 평형 농도를 가진다. 일부 물질들은, 다른 층 또는 영역과 비교하였을 경우, 주요 캐리어들의 농도가 비교적 큰("+") 또는 작은("-") 것을 지시하기 위하여, "+" 또는 "-" (n⁺, n⁻, p⁺, p⁻, n⁺⁺, n⁻⁻⁻, p⁺⁺, p⁻⁻ 등등과 같이)와 함께 기재될 수 있다. 그러나, 이러한 표기가 층 또는 영역 내의 다수 캐리어 또는 소수 캐리어들의 특정한 농도의 존재를 뜻하는 것은 아니다.

[0034]

상기에 언급된 바와 같이, 실리콘 카바이드 양극성 접합 트랜지스터들은 높은 전력, 높은 온도, 및/또는 높은 주파수 어플리케이션들을 위한 적합한 장치들로 고려된다. 그러나, 이러한 장치들은 상기 장치들의 전류-전압 특성들이 시간 및/또는 동작 스트레스와 함께 열화되는 전류 이득 저하에 시달릴 수 있다. 종래의 기술은 에피택셜 재성장(regrowth)에 의하여 상기 장치 표면 상에 형성된 돌출(ledge)층을 포함하여 실리콘 카바이드 양극성 접합 트랜지스터 내의 전류 저하를 해결할 수 있다. 그러나, 상기 돌출을 형성한 이후의 반응성 이온 식각

및/또는 유도성 결합 플라즈마(ICP, inductively coupled plasma) 건식 식각 프로세스에 의하여 야기되는 결정 결함(crystal damage)은 제거되지 않으며, 표면 재결합 속도는 상당히 향상되지 않는 결과를 수반할 수 있다. 상기 양극성 접합 트랜지스터 장치의 온-상태 동안, 컬렉터 전류 집중은 상기 에미터 측벽 상의 상기 캐리어 재결합을 악화시키며, Auger 재결합 및/또는 계면 트랩(interface trap) 발생을 증가시킬 수 있다.

[0035] 본 발명의 실시예들은 상기 에미터 측벽을 따라서, 및/또는 상기 베이스 최상면(top-surface) 상의 표면 재결합을 감소 및/또는 제거할 수 있으며, 따라서, 전류 이득 저하를 잠재적으로 감소 및/또는 제거할 수 있다.

[0036] 상기 발명의 일부 실시예들에 따른 장치 구조는, 독립적으로 또는 전체적으로, 상기 장치에 걸친 상기 전류 전도 경로를 달리하여 경계 트랩 발생을 줄일 수 있는 하나 이상의 특징들을 포함할 수 있다. 일부 실시예들에 있어서, 상기 장치에 걸쳐 상기 전류 전도 경로를 달리하는 것은, 건식 식각의 사용으로부터 일어날 수 있는 문제들을 감소 및/또는 경감시킬 수 있다.

[0037] npn 양극성 접합 트랜지스터 구조에 있어서 상기 발명의 실시예들이 아래에 설명된다. 그러나, 상기 발명은 절연 게이트 양극성 트랜지스터들, 게이트 턴 오프 사이리스터들 등과 같은, 많은 다른 전력 양극성 장치들에 구현될 수 있다.

[0038] 일부 실시예들에 따른 양극성 접합 트랜지스터(100)의 간략화된 단면도가 도 2에 나타나있다. 상기 양극성 접합 트랜지스터 구조(100)는 제1 도전형(즉, n형 또는 p형)을 가지는 컬렉터(122), 상기 컬렉터(122) 상에 형성되며 상기 제1 도전형을 가지는 저농도(lightly doped) 드리프트층(120), 및 상기 드리프트층(120) 상에 형성되며 상기 제1 도전형과 반대인 제2 도전형(즉, p형 또는 n형)을 가지는 베이스층(118)을 포함한다. 상기 베이스층(118)은 상기 드리프트층보다 강하게 도핑되어, 예를 들어, 약 $3 \times 10^{17} \text{ cm}^{-3}$ 내지 약 $5 \times 10^{18} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있다.

[0039] 상기 구조(100) 내의 상기 반도체층들은 에피택셜 및/또는 실리콘 카바이드의 주입된 영역들로 형성될 수 있다. 그러나, 일부 실시예들에 따른 구조들은 다른 물질들/방법들을 사용하여 형성될 수 있음을 인식할 수 있을 것이다.

[0040] 예를 들어, 상기 드리프트층(120)은 약 2×10^{14} 내지 약 $1 \times 10^{17} \text{ cm}^{-3}$ 의 도핑 농도를 가지는 2H, 4H, 6H, 3C 및/또는 15R 폴리형(polytype) 실리콘 카바이드로부터 형성될 수 있다. 상기 드리프트층(120)의 두께 및 도핑은 원하는 차단(blocking) 전압 및/또는 온-저항(on-resistance)을 제공하기 위하여 선택될 수 있다. 예를 들어, 10kV의 차단 전압을 가지는 장치를 위하여, 상기 드리프트층(120)은 약 100 μm 의 두께와 약 $2 \times 10^{14} \text{ cm}^{-3}$ 의 도핑을 가질 수 있다.

[0041] 상기 컬렉터(122)는 성장(growth) 기판일 수 있으며, 일부 실시예들에 있어서, 2H, 4H, 6H, 3C 및/또는 15R 폴리형 온-축(on-axis) 또는 오프-축(off-axis) 실리콘 카바이드의 벌크 단결정을 포함할 수 있다. 상기 컬렉터(122)는 약 $1 \times 10^{18} \text{ cm}^{-3}$ 내지 약 $5 \times 10^{20} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있다. 일부 실시예들에 있어서, 상기 드리프트층(120)은 벌크 단결정 4H- 또는 6H-실리콘 카바이드 기판을 포함할 수 있으며, 상기 컬렉터(122)는 상기 드리프트층(120) 상의 주입된 또는 에피택셜 영역을 포함할 수 있다.

[0042] 상기 제1 전도형을 가지는 저농도 버퍼층(116)은 상기 베이스층(118) 상에 형성되며, 상기 제1 전도형을 가지는 에미터 메사(114)는 상기 버퍼층(116) 상에 형성된다. 상기 버퍼층(116) 및 상기 베이스층(118)이 반대되는 전도형들을 가지기 때문에, 상기 버퍼층(116)과 상기 베이스층(118) 사이의 상기 경계에 야금(metallurgical) p-n 접합(J1)이 형성된다. 상기 버퍼층(116)은 상기 베이스층보다 더 작은 도핑 농도를 가질 수 있으며, 따라서 상기 p-n 접합(J1)의 상기 공핍 영역은 상기 버퍼층(116) 내로 충분히 확장되어 상기 버퍼층(116)의 상당한 부분을 감소시킬 수 있다.

[0043] 상기 버퍼층(116)은 상기 에미터 메사(114)에 이웃한 메사 스텝(128)을 포함한다. 상기 버퍼층(116) 내의 상기 메사 스텝(128)은 상기 메사 코너에 스텝을 제공하여 상기 에미터/베이스 코너에 집중된 전류를 감소시킬 수 있다. 나아가, 상기 메사 스텝(128)은 상기 베이스 전류가 상기 버퍼층(116)의 상기 표면으로부터 빠져나가는 것을 초래하는 증가된 저항을 제공할 수 있다.

[0044] 상기 메사 스텝(128)은 상기 베이스층(118)의 상부 상의 상기 저농도 버퍼층(116)을 선택적으로 식각함으로써 형성될 수 있다. 예를 들어, 상기 버퍼층(116)은 상기 베이스층(118) 상에 약 0.3 μm 내지 약 0.5 μm 두께를 가지는 에피택셜층으로 형성될 수 있다. 상기 버퍼층(116)은 약 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 약 $5 \times 10^{17} \text{ cm}^{-3}$, 특별히 약 1×10^{17}

cm^{-3} 의 도핑 농도를 가질 수 있다. 상기 버퍼층(116)은 마스킹되고 이방성으로(anisotropically) 식각되어 상기 버퍼층(116)의 부분의 두께를 약 $0.3\mu\text{m}$ 의 두께로 줄일 수 있다. 상기 메사 스텝(128)의 높이(h)는 약 $0.4\mu\text{m}$ 이하일 수 있으며, 일부 실시예들에 있어서 약 $0.3\mu\text{m}$ 이하일 수 있다. 상기 메사 스텝(128)은 상기 에미터 메사(114) 측벽(114A)으로부터 약 $2\mu\text{m}$ 이상의 거리(d1)에 위치할 수 있다.

[0045] 상기 제2 도전형을 가지는 고농도 베이스 콘택 영역(126) (예를 들어, 약 $1 \times 10^{19} \text{cm}^{-3}$ 이상)은, 에피택셜 재성장 에 의하여, 형성될 수 있으며, 베이스 오믹 콘택(127)이 그 위에 형성될 수 있다. 상기 베이스 콘택 영역(126)은 상기 버퍼층(116)을 통하여 및/또는 이웃하여 상기 베이스층(118) 내로 형성될 수 있다. 컬렉터 오믹 콘택(125)은 상기 컬렉터(122) 상에 형성될 수 있다. n형 및 p형 실리콘 카바이드에 대한 상기 오믹 콘택들의 형성은 당해 기술 분야에서 잘 알려져 있다.

[0046] 상기 스텝(128)을 형성하기 위하여 식각된 상기 버퍼층(116)의 부분은 상기 베이스층(118) 및 상기 버퍼층(116) 사이의 상기 야금 접합(J1)의 내부 전위(built-in potential)에 의하여 완전히 공핍될 수 있는 두께를 갖도록 식각될 수 있다. 즉, 상기 버퍼층(116)의 상기 도핑과 함께 상기 두께는, 상기 버퍼층(116)의 상기 식각된 부분이 상기 접합(J1)의 상기 내부 전위에 의하여 완전히 공핍될 수 있도록 선택될 수 있다 (그러나 일부 실시예들에 있어서, 상기 버퍼층(116)의 부분들은 단지 부분적으로 공핍될 수 있다).

[0047] 상기 버퍼층(116)의 부분들이 상기 접합(J1)의 상기 내부 전위에 의하여 공핍되기 때문에, 상기 버퍼층(116)은 상기 메사 스텝(128)을 식각하는 단계에서 식각 스톱퍼(stopper)로 기능할 수 있다. 즉, 상기 식각의 깊이 제어는, 식각 단계 동안에 상기 식각된 표면을 프로빙하여 상기 식각된 표면에 전압을 인가함으로써 수행될 수 있다. 상기 인가된 전압에 응답하여 상기 프로브들을 통하여 흐르는 전류의 레벨은, 식각된 상기 층의 상기 캐리어 농도가 변하는 것을 따라 변한다.

[0048] 일부 실시예들에 있어서, 상기 에미터/베이스 코너에 집중된 전류를 줄이더라도, 상기 에미터/베이스 코너에서 상기 버퍼층(116)의 보다 두꺼운 부분은 상기 베이스/버퍼 접합(J1)의 상기 내부 전위에 의하여 부분적으로 공핍될 수 밖에 없다.

[0049] 일부 실시예들에 있어서, 선택적인 국부(local) 에미터 콘택 영역(112)은 상기 에미터 메사(114) 상에 형성될 수 있다. 에미터 콘택(123)은 상기 국부 에미터 콘택 영역(112) 상에 형성될 수 있다. 상기 국부 에미터 콘택 영역(112)은 상기 에미터 메사(114)의 폭보다 더 작은 폭을 가질 수 있다. 따라서, 상기 메사 스텝(128)을 마주하는 상기 국부 에미터 콘택 영역(112)의 가장자리는 상기 에미터 메사(114)의 에지로부터 측방향으로 이격되어 있다. 일부 실시예들에 있어서, 상기 국부 에미터 콘택 영역(112)의 상기 에지는 상기 에미터 메사(114)의 상기 측벽(114A)으로부터 $2\mu\text{m}$ 이상인 거리(d2)에 위치할 수 있어, 상기 에미터 메사(114)의 상기 측벽(114A)으로부터 측방향으로 이격된 전류 전도 경로를 제공할 수 있다.

[0050] 상기 에미터 메사(114)의 상기 도핑은 약 $2 \times 10^{18} \text{cm}^{-3}$ 보다 작은 반면에, 상기 국부 에미터 콘택 영역(112)은 좋은 오믹 콘택을 얻기 위하여 강하게 도핑(예를 들어, 약 $1 \times 10^{19} \text{cm}^{-3}$ 보다 높게)될 수 있다.

[0051] 상기 에미터 메사(114)의 상기 측면 저항에 기인하여, 상기 온-상태에 있는 상기 컬렉터 전류는 상기 에미터 메사(114)의 상기 측벽(114A)으로부터 떨어져 흐를 수 있고, 따라서, 상기 에미터 메사(114)의 상기 측벽(114A)을 따른 경계 트랩의 발생을 감소시킨다.

[0052] 상기 발명의 다른 실시예들이 도 3에 도시되어 있다. 도 3에 나타난 바와 같이, 제2 도전형 물질의 선택적 도전층(224)은 상기 에미터 메사(114)의 상면 및 측면들에 형성될 수 있다. 상기 도전층(224)은 강하게 도핑될 수 있다. 일 단에 있어서, 상기 도전층(224)은 상기 에미터 콘택(123)에 오믹 콘택을 형성한다. 다른 단(end)에 있어서, 상기 도전층(224)은 상기 에미터 메사(114)와 상기 메사 스텝(128) 사이의 상기 버퍼층(116)을 종단한다(terminate). 상기 도전층(224)은 상기 베이스층(118)으로부터 주입된 캐리어들 (예를 들면, 상기 베이스(118)가 p형인 경우, 홀들)에 대하여 싱크(sink)로 동작하며, 따라서 상기 에미터(114)에 의하여 제공되는 반대되는 도전성 캐리어들(예를 들면, 전자들)과 이러한 캐리어들의 재결합의 가능성을 줄인다.

[0053] 상기 도전층(224)은 에피택셜 재성장, 예를 들어, 상기 베이스 콘택 영역(126)이 형성된 것과 같은 방식, 에 의하여 형성될 수 있다. 상기 재성장된 에피택셜층은, 상기 에미터 메사(114) 상의 상기 재성장된 에피택셜 물질의 일부를 남기면서, 선택적으로 식각될 수 있다.

[0054] 도 4a 및 4b는 동일한 웨이퍼 상에 제조된 종래의 구조들 및 상기 발명의 실시예들에 따른 구조들을 가지는 양

극성 접합 트랜지스터들의 전류 저하 작용들을 비교한다. 특히, 도 4a는 일반적인 실리콘 카바이드 양극성 접합 트랜지스터에 있어서 2A의 Ic 와 50mA의 Ib가 5분 동안 흐르는 전류 스트레스 이전 (곡선 402)과 이후(곡선 404)의 전류-전압 특성들을 나타낸다. 도 4a에서는 상당한 전류 저하가 관찰된다.

[0055] 도 4b는 일부 실시예들에 따른, 메사 스텝, 도전층, 및 국부 에미터를 포함하는 실리콘 카바이드 양극성 접합 트랜지스터 구조의 전류-전압 특징들(곡선 406)을 나타낸다. 이러한 구조에서는, 3A의 Ic 및 100mA의 Ib가 20분 동안 흐르는 전류 스트레스 이후에도 상당한 저하가 관찰되지 않는다.

[0056] 도 5 및 6은 본 발명이 구현될 수 있는 다양한 실시예들을 포함하는 장치의 다른 형태들을 도시한다. 각각의 경우에 있어서, 상기 장치들은 드리프트층 및 메사 스텝을 포함하는 버퍼층을 포함한다. 도 5 및 6의 상기 실시예들에 도시된 바와 같이, 상기 장치의 상기 드리프트층은 p형 또는 n형일 수 있으며, 상기 버퍼층 및 매립된 접합은 상기 반대되는 도전형 (즉, n형 또는 p형)을 가질 수 있다.

[0057] 도 5는 일부 실시예들에 따른 n형 게이트 턴 오프 사이리스터(300)를 도시한다. 상기 게이트 턴 오프 사이리스터 (300)는 p형 층(322) 상의 n형 드리프트층(320)을 포함한다. p형 층(318)은 상기 n형 드리프트층(320) 상에 형성된다. 메사 스텝(328)을 포함하는 n형 버퍼층(316)은 상기 p형 층(318) 상에 형성된다. n형 메사(314)는 상기 n형 버퍼층(316) 상에 형성되며, n+ 콘택층(312)은 상기 n형 메사(314) 상에 형성된다. 상기 버퍼층(316)은 상기 메사(314)의 측벽을 지나, 상기 p형 층(318)을 확장하여 메사 스텝(328)을 형성할 수 있다. p형 도전층 (324)은 상기 메사(314)의 상기 측벽 상에 형성될 수 있으며, 상기 버퍼층(316)에 접촉한다. 캐소드 콘택(323)은 상기 n+ 콘택층(312)과 더불어 상기 도전층(324)과 오믹 콘택을 형성한다. 애노드 콘택(325)은 상기 p형 층 (322) 상에 있다. 도 5에 도시되지는 않았으나, 게이트 콘택은 상기 p형 층(322) 상에 형성될 수 있다.

[0058] 도 6은 n+ 드레인층(422) 상의 n형 드리프트층(420)을 포함하는 UMOSFET(U-shaped metal-oxide- semiconductor field effect transistor) 구조를 도시한다. p형 바디층(418)은 상기 n형 드리프트층(420) 상에 형성된다. 메사 스텝(428)을 포함하는 n형 버퍼층(416)은 상기 p형 바디층(418) 상에 형성된다. n형 소스 메사(414)는 상기 n형 버퍼층(416) 상에 형성된다. 상기 버퍼층(416)은 상기 소스 메사(414)의 제1 측벽을 지나서 상기 p형 바디층(418)을 덮어 메사 스텝(428)을 형성한다. 게이트 산화물(432)은 상기 제1 면에 반대되는 상기 소스 메사 (414)의 제2 면 상에 형성되며, 게이트 전극(430)은 상기 게이트 산화물(432) 상에 있다. 소스 오믹 콘택(423)은 상기 소스 메사(414) 상에 있으며, 드레인 오믹 콘택(425)은 상기 n+ 드레인층(422) 상에 있다.

[0059] 도 7a 내지 7d는 일부 실시예들에 따른 반도체 장치의 형성을 도시하는 단면도들이다. 도 7a를 참조하면, 제1 도전형을 가지는 드리프트층(120)이 상기 제1 도전형을 가지는 컬렉터층(122) 상에 에피택셜 반도체 층으로 형성된다. 상기 컬렉터층(122)은, 예를 들어, n+ 실리콘 카바이드 기판일 수 있다. 상기 제1 도전형과 반대되는 제2 도전형을 가지는 베이스층(118)은 상기 드리프트층(120) 상에 형성된다. 상기 제1 도전형을 가지는 저농도 버퍼층(116)은 상기 베이스층(118) 상에 형성된다. 상기 버퍼층(116)은 상기 베이스층(118)보다 적은 도핑 농도를 가지며, 상기 베이스층(118)과 p-n 접합을 형성한다.

[0060] 도 7b를 참조하면, 마스크(170)가 상기 버퍼층(116) 상에 형성되고 선택적으로 상기 버퍼층(116)의 부분들을 노출하도록 패터닝된다. 그리고 나서, 상기 버퍼층은, 예를 들어 반응성 이온 식각(175)을 사용하여 식각되어 제1 두께를 가지는 상기 버퍼층의 제1 부분 및 상기 제1 두께보다 얇은 제2 두께를 가지는 상기 버퍼층의 제2 부분을 한정한다.

[0061] 도 7c를 참조하면, 상기 마스크(170)는 제거되며, 상기 제1 도전형을 가지는 에미터 메사(114)가 상기 버퍼층의 상기 제1 부분에 형성된다. 상기 에미터 메사(114)는, 예를 들어 마스크 및 에피택셜 재성장기에 의하여 형성될 수 있다. 일부 실시예들에 있어서, 상기 에미터 메사는 마스크 및 에피택셜층을 식각하여 생성될 수 있다. 상기 에미터 메사(114)는 메사 측벽(114A)을 포함한다. 상기 에미터 메사(114)는 상기 버퍼층의 상기 제1 부분을 부분적으로 노출하고, 상기 메사 측벽(114A)은 상기 메사 스텝(128)으로부터 측방향으로 이격된다. 상기 제1 도전형을 가지는 국부 에미터 콘택 영역(112)은 상기 메사(114) 상에 형성된다. 상기 로컬 에미터 콘택 영역(112)은 상기 메사 측벽(114A)으로부터 이격될 수 있다.

[0062] 도 7d를 참조하면, 도전층(224)은 상기 에미터 메사(114)의 상기 측벽(114A) 상에 형성될 수 있다. 상기 도전층 (224)은 상기 제2 도전형을 가질 수 있으며, 상기 버퍼층(116)으로부터 상기 국부 에미터 콘택 영역(112)까지 연장될 수 있다. 고농도 베이스 콘택 영역(126)은 상기 베이스층(118)과 접촉하도록 제공될 수 있다. 상기 도전층(224) 및 상기 베이스 콘택 영역(126)은, 예를 들어, 마스크 및 에피택셜 재성장기에 의하여 형성될 수 있다. 오믹 콘택들(123, 125, 127)은 상기 로컬 에미터 콘택 영역(112), 상기 컬렉터층(122), 및 상기 베이스 콘택층

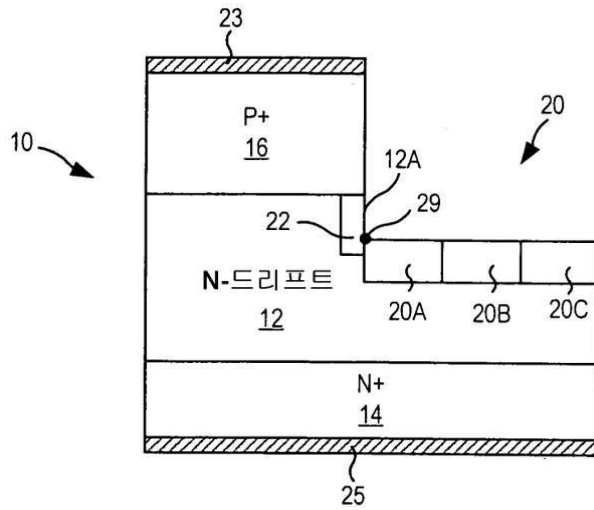
(127) 상에 각각 형성될 수 있다.

[0063]

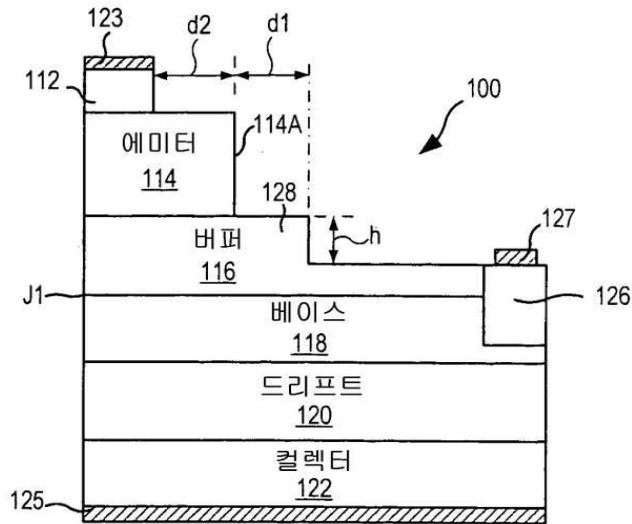
본 도면과 명세서에서는, 본 발명의 일반적인 실시예들이 개시되어 있으며, 특정 용어들이 사용되었으나, 이들은 일반적으로 설명적 의미로서만 사용된 것일 뿐, 제한할 목적으로 사용된 것은 아니며, 본 발명의 사상은 이하의 청구항들에서 정의된다.

도면

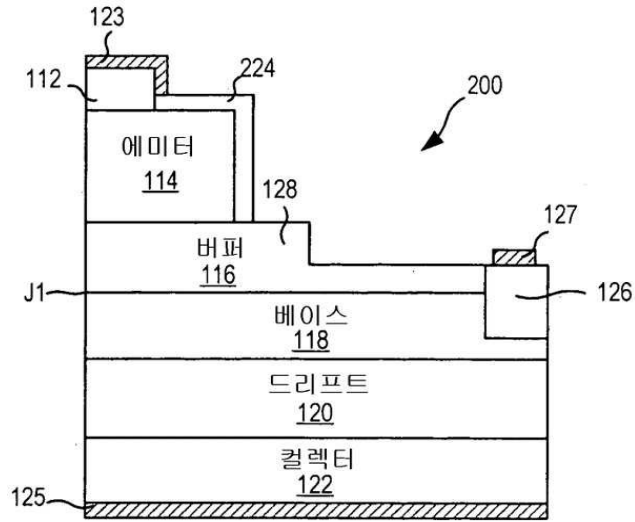
도면1



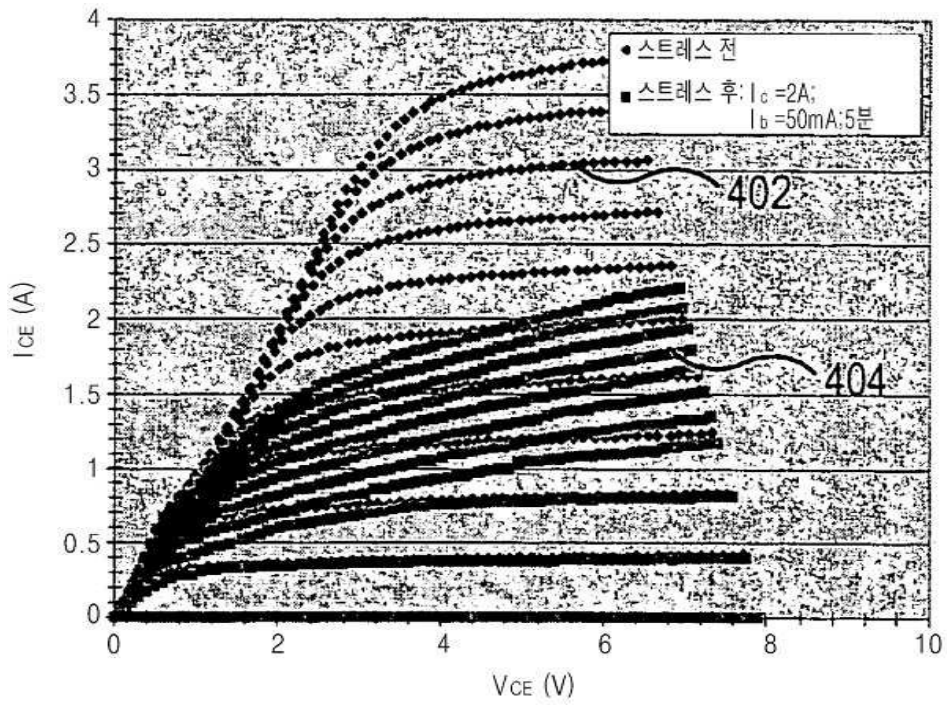
도면2



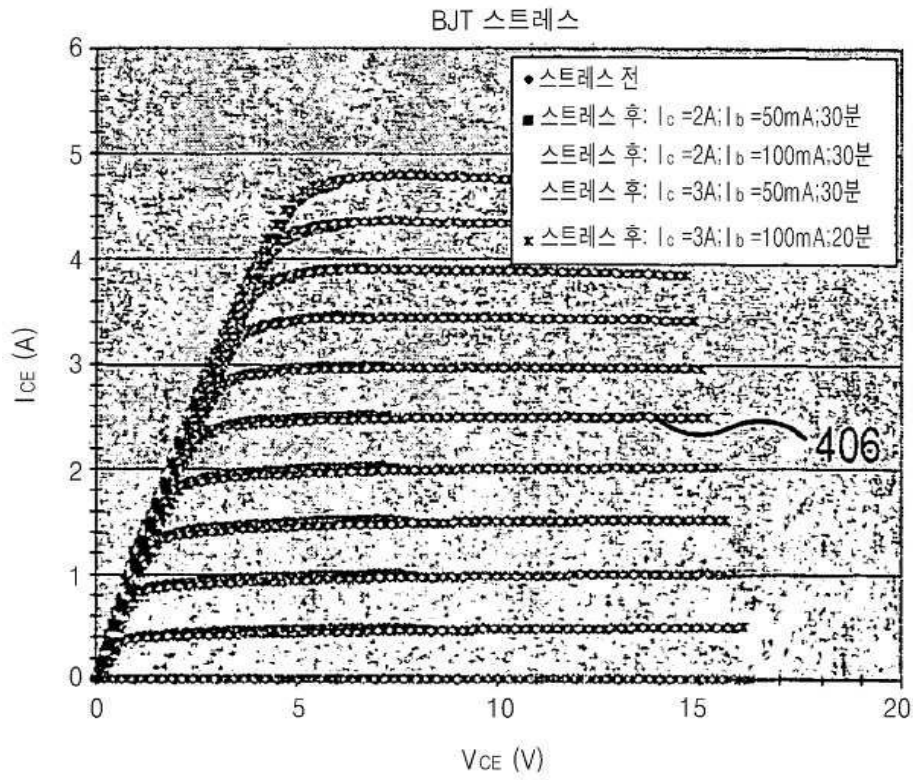
도면3



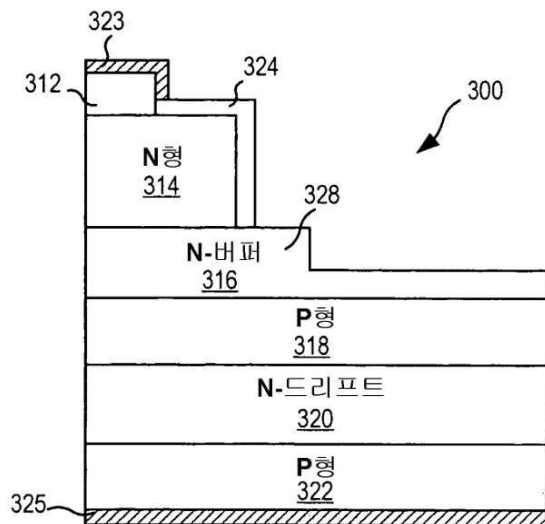
도면4a



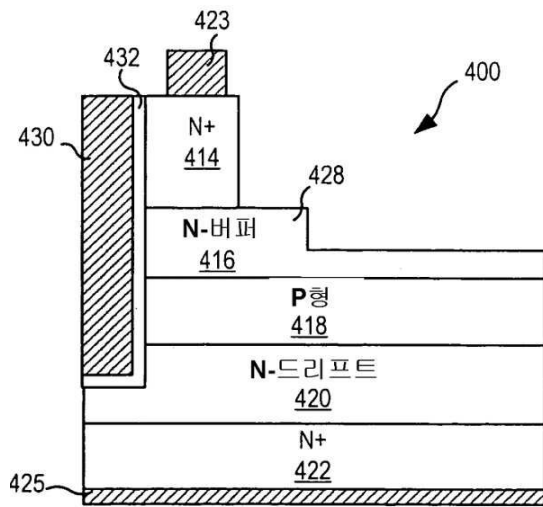
도면4b



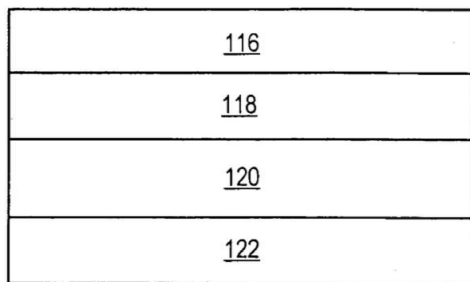
도면5



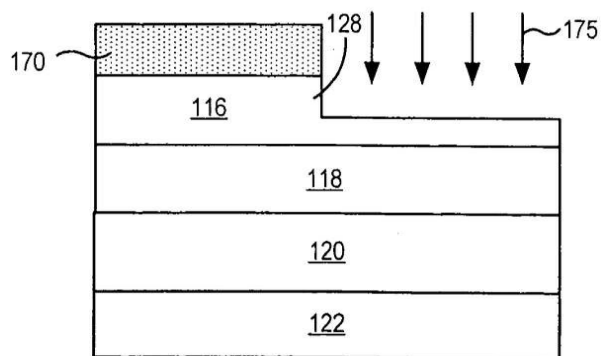
도면6



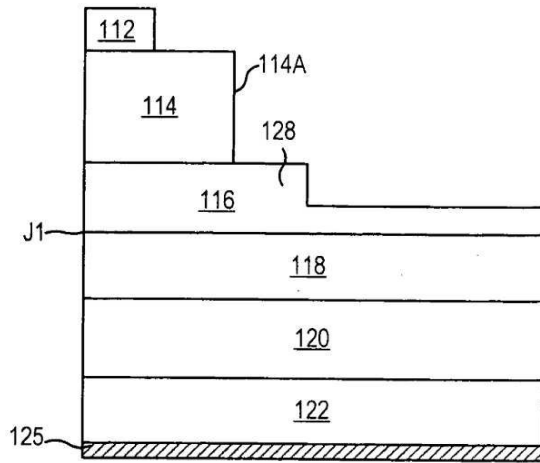
도면7a



도면7b



도면7c



도면7d

