

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月27日(27.03.2014)



(10) 国際公開番号

WO 2014/046061 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H02M 7/5387 (2007.01)
H01L 27/04 (2006.01) H03K 17/16 (2006.01)
H01L 27/06 (2006.01)
- (21) 国際出願番号: PCT/JP2013/074916
- (22) 国際出願日: 2013年9月13日(13.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-203809 2012年9月18日(18.09.2012) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 山路 将晴(YAMAJI, Masaharu); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 片倉 英明(KATAKURA, Hideaki); 〒2109530 神奈川県川崎

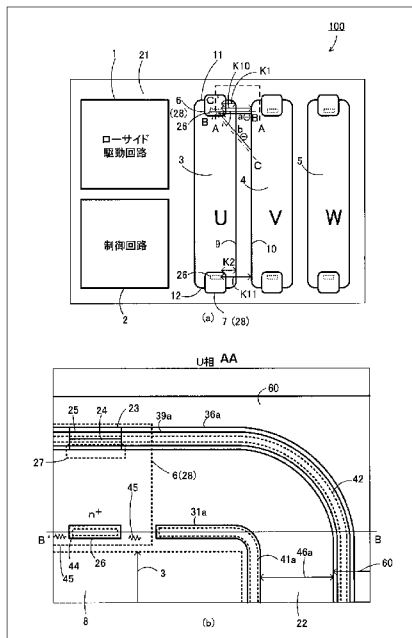
市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND POWER CONVERSION APPARATUS USING SAME

(54) 発明の名称: 半導体装置およびそれを用いた電力変換装置



1 Low-side drive circuit
2 Control circuit
AA U phase

(57) Abstract: Provided is a semiconductor device having two level shift circuits, for setting and for resetting, capable of preventing incorrect operation of an other-phase high-side drive circuit when a load voltage surge is applied, and a power conversion apparatus using the device. In a semiconductor device (100) such as a three-phase one-chip gate driver IC, an HVNMOS (28) configured of the two level shift circuits (6), (7) for setting and for resetting is positioned on non-opposing surfaces (11), (12), whereby the flow of electrons flowing into a drain (26) of the other-phase HVNMOS (28) due to a load voltage surge can be reduced. Further, by setting each of the distances (K1) and (K2) from the opposing surface (9) on the facing side to the drain (26) of the HVNMOS (28) configured of the two level shift circuits (6), (7) for setting and for resetting to at least 150 μm , incorrect operation can be prevented in the other-phase high-side drive circuit to which the load surge is not applied.

(57) 要約: 負電圧サージが印加されたとき、他相のハイサイド駆動回路の誤動作を防止できるセット用とリセット用の2つのレベルシフト回路を有する半導体装置およびそれを用いた電力変換装置を提供する。3相ワンチップゲートドライバICなどの半導体装置(100)において、セット用およびリセット用の2つのレベルシフト回路(6)、(7)を構成するHVN MOS(28)を非対向面(11)、(12)に配置することで、負電圧サージにより他相のHVN MOS(28)のドレイン(26)へ流入する電子の流量を減少させることができる。また、相手側の対向面(9)からセット用およびリセット用の2つのレベルシフト回路(6)、(7)を構成するHVN MOS(28)のドレイン(26)までのそれぞれの距離(K1)および(K2)を150 μm 以上とすることで、負サージが印加されない他相のハイサイド駆動回路の誤動作を防止することができる。



ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびそれを用いた電力変換装置

技術分野

[0001] この発明は、レベルシフト回路を有する高耐圧ＩＣなどの半導体装置およびそれを用いたインバータなどの電力変換装置に関する。

背景技術

[0002] 図８は、３相モータＭοと３相モータＭοを駆動する３相インバータの回路図である。３相インバータは、パワーモジュールと、これを制御する高耐圧ＩＣで構成される。パワーモジュールは、スイッチング素子Ｑ１～Ｑ６とＦＷＤ（Ｆｒｅｅ Ｗｈｅｅｌ Ｄｉｏｄｅ：フリーホイールダイオード）であるＤ１～Ｄ６のパワー半導体素子で構成され、これらのパワー半導体素子で３相のフルブリッジ回路が組まれている。前記の高耐圧ＩＣは、図９に示す３相ワンチップゲートドライバＩＣ５００，６００である。

[0003] ３相インバータは、３つのＵ相、Ｖ相、Ｗ相のハーフブリッジ回路で構成され、それぞれのハーフブリッジ回路は上アームのパワー半導体素子（Ｑ１～Ｑ３，Ｄ１～Ｄ３）と下アームのパワー半導体素子（Ｑ４～Ｑ６，Ｄ４～Ｄ６）で構成される。この上アームのパワー半導体素子（Ｑ１～Ｑ３，Ｄ１～Ｄ３）と下アームのパワー半導体素子（Ｑ４～Ｑ６，Ｄ４～Ｄ６）の接続点がハーフブリッジの中間点Ｚとなり、ゲートドライバＩＣのＶＳ端子に接続される。

[0004] また、上アームのパワー半導体素子（Ｑ１～Ｑ３，Ｄ１～Ｄ３）は３相インバータのＰ端子に接続し、下アームのパワー半導体素子（Ｑ４～Ｑ６，Ｄ４～Ｄ６）は３相インバータのＮ端子に接続する。各相の中間点Ｚはインダクタンス負荷（Ｌ負荷）である３相モータＭοに接続する。パワー半導体素子は、例えば、主スイッチング素子であるＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）と還流ダイオードで構成される。Ｐ端子とＮ端子は３相インバータの主電源Ｖｃｃに接続される。

- [0005] パワー半導体素子に接続される配線上に寄生インダクタンス L_o が存在する。3相インバータを構成するパワー半導体素子がスイッチングした時に、特に上アームのパワー半導体素子（例えば、 Q_1 ）のターンオフ時には、 D_4 を介してN端子から中間点Zへ、また D_2 を介して中間点ZからP端子へ電流 I が流れる。これらの電流 I が流れる経路に寄生インダクタンス L_o が存在する。
- [0006] 特に、 D_4 を介して流れる電流 I とこの寄生インダクタンス L_o の影響で、このパワー半導体素子（ Q_1 ）と接続する3相ワンチップゲートドライバIC500, 600のVS端子の電位が3相インバータのN端子の電位（共通電位（=GND電位））に対して過渡的に負側へ振動する。つまり、VS端子にN端子の電位より低い負電圧サージが印加される。
- [0007] 図9は、従来の3相ワンチップゲートドライバIC500, 600の要部配置図であり、同図（a）はU相、V相、W相のハイサイド駆動回路3, 4, 5が非平行に配置された場合の図、同図（b）はU相、V相、W相のハイサイド駆動回路3, 4, 5が平行に配置された場合の図である。
- [0008] これらの3相ワンチップゲートドライバIC500, 600では、例えば、p半導体基板にハイサイド駆動回路3, 4, 5を形成するためのnウェル領域を3個形成している。このnウェル領域は、リンなどの5族の不純物をイオン注入し、その後、熱拡散して形成される。同図（a）のV相に配置されるHVN MOS（High-voltage n-channel metal-oxide semiconductor：高耐圧NMOS）28は、相間領域を介して接続されるW相に対向した対向面10に配置され、同図（b）のW相に配置されるHVN MOS 28は、相間領域を介して電氣的に接続されるV相に対向した対向面10bに配置される。3相ワンチップゲートドライバIC500において、V相のセット用、リセット用のレベルシフト回路6a, 7aを構成するHVN MOS 28のnドレイン領域26とW相の対向面10bとのそれぞれの距離Mは共に等しい。また、3相ワンチップゲートドライバIC600において、W相のセット用、リセット用のレベ

ルシフト回路 6 b, 7 b を構成する HVNMOS 28 の n ドレイン領域 26 と V 相の対向面 10 とのそれぞれの距離 M は共に等しい。

[0009] 図 10 は、図 9 (b) の 3 相ワンチップゲートドライバ IC 600 の構成図であり、同図 (a) は図 9 (b) の D-D' 線で切断した要部断面図、同図 (b) は同図 (a) の n ドレイン領域 26 近傍の拡大平面図である。図 10 において電子 50 の流れを示す。

[0010] V 相のハイサイド駆動回路 4 は、p 半導体基板 21 の表面層に形成される n ウェル領域 29、VS 端子が接続し n ウェル領域 29 の表面層に形成される p ウェル領域 30、VB 端子が接続する n 領域 31、高耐压接合終端領域 46 (HVJT) となる n ウェル領域 22 a を備える。

[0011] 相間領域 70 において、p 半導体基板 21 の表面に形成される p ウェル領域 60 は、p ベース領域 23, 36, 37 を介してグランド電位である COM 端子 42 に接続される。

[0012] W 相の HVNMOS 28 は、ドリフト領域となる n ウェル領域 22 b、p ベース領域 23 に形成される n ソース領域 24 を備える。さらに、n ソース領域 24 と n ウェル領域 22 b に挟まれた p ベース領域 23 上にゲート絶縁膜を介して形成されるゲート端子 43、n ウェル領域 22 b に形成される n ドレイン領域 26、この n ドレイン領域 26 に接続するドレイン端子 44 を備える。

[0013] 図 10 において、V 相の VS 端子 40 に負電圧サージが入力されて、V 相のハイサイド駆動回路 4 が形成される n ウェル領域 29 が負電圧にアンダースhootした場合、n ウェル領域 22 a (対向面 10) から p ウェル領域 60 へ電子 50 が注入される。注入された電子 50 は W 相のレベルシフト回路 6 b を構成する HVNMOS 28 の n ドレイン領域 26 に流れ込む。この電子 50 はドレイン端子 44 と接続するレベルシフト抵抗 45 b を介して W 相のハイサイド駆動回路 5 へ流れて行く。レベルシフト抵抗 45 b に電子 50 が流れることで電圧降下が発生する。そのため、n ドレイン領域 26 に流れ込む電子 50 の流量が多くなると、電圧降下が大きくなるので、W 相のハイ

サイド駆動回路 5 を誤動作させる原因となる。

[0014] 尚、前記の V 相のハイサイド駆動回路 4 の高耐圧接合終端領域 4 6 が形成される n ウェル領域 2 2 a と W 相のハイサイド駆動回路 5 の高耐圧接合終端領域とが形成される n ウェル領域 2 2 b が、相間領域を介して互いに対向する p n 接合面を対向面 1 0 (V 相側)、1 0 b (W 相側) と称し、互いに対向しない p n 接合面を非対向面 1 1 b (V 相側)、1 2 b (W 相側) と称する。

[0015] 特許文献 1 では、高耐圧 IC に入力される負電圧サージによるハイサイド駆動回路の誤動作防止には、負電圧に落ち込む V S 端子と G N D 端子間にダイオードを挿入して負電圧の落ち込みを阻止する方法が記載されている。

[0016] また、特許文献 2 では、レベルシフト回路に並列に誤動作検出回路に接続したダミーのレベルシフト回路を設ける方法が記載されている。これらの方法は、いずれも 1 相 (ハーフブリッジ) のゲートドライバ IC を対象にして誤動作防止機能を設けるものであり、自相に対する対策であり、他相に対する対策ではない。

[0017] 負電圧サージが入力された場合のハイサイド駆動回路の誤動作防止策として、前記した特許文献 1 と特許文献 2 の内容をさらに説明する。特許文献 1 では、ハーフブリッジにおいて、共通接地ノード C O M (G N D 端子) と仮想接地ノード V S (V S 端子) の間に高耐圧ダイオードを高耐圧 IC の内部に共通の基板領域を利用して設けることが記載されている。仮想接地電位ノード V S が負電位となると、クランプ用の高耐圧ダイオードが順バイアス状態となる。仮想接地電位ノード V S に電流を供給し、仮想接地電位ノード V S の電圧レベルを共通接地ノード C O M の接地電圧から自身の順方向降下電圧 (V_f) だけ低い電圧レベル $GND - V_f$ にクランプできるため、負電圧サージを吸収し、仮想接地電位 V S のアンダーシュートを低減することができる。

[0018] 特許文献 2 では、L 負荷のハーフブリッジにおいて、誤信号検出回路がレベルシフト回路と並列に接続されており、誤信号検出回路は、レベルシフト

回路を構成するHVN MOSが、通常使用状態ではオフに固定されたダミースイッチング素子であり、オン用（セット用）およびオフ用（リセット用）の2つのレベルシフト回路を有し、両者は同様の構成をしていることが記載されている。誤信号検出回路は、誤信号検出用抵抗の電圧降下を、レベルシフト回路における誤信号の発生を示す誤信号発生信号SDとして出力して、誤信号発生信号SDがNOTゲートを介して誤動作防止回路へと入力され、誤動作防止回路は、誤信号発生信号SDに応じて、所定の誤動作防止のための処理を行う。

[0019] また、特許文献3では、3相ワンチップゲートドライバICにおいて、レベルアップ用のレベルシフト回路を構成するHVN MOSは、他相の対向面に配置されているか非対向面（ここでは直交した面）に配置されているか明確には記載されていない。

先行技術文献

特許文献

[0020] 特許文献1：特開2010-263116号公報
特許文献2：特開2005-176174号公報
特許文献3：特開平9-55498号公報

発明の概要

発明が解決しようとする課題

[0021] 図9および図10に示す従来の3相ワンチップドライバIC500、600は、セット用、リセット用レベルシフト回路6b、7bを構成するHVN MOS28を対向面10bにいずれも形成している。このような構成では、例えば、V相に負電圧サージが印加された場合、W相のHVN MOS28のnドレイン領域26に多量の電子50が流入し、W相のハイサイド駆動回路の誤動作が発生する。

[0022] 前記の特許文献1、2では、高耐圧ICの内部に高耐圧ダイオードまたは誤動作検出用のHVN MOSの形成が必要となり、チップ面積が増加する。

例えば、600Vクラスの高耐圧ICにおける高耐圧接合終端領域幅（HVJTの幅）は100 μ m程度あるため、3相ワンチップゲートドライバICのチップサイズは、ハーフブリッジ用のワンチップドライバICの3倍程度になるので、大幅にチップ面積が増加する。

[0023] また、従来の負電圧サージの誤動作防止策は、ハーフブリッジ用のゲートドライバICに対してであり、自相に対する誤動作抑制または検出機能であるため、3相ワンチップゲートドライバICの場合などで発生する他相への電子の流入によるハイサイド駆動回路の誤動作に対しては効果がない。

[0024] この発明の目的は、前記の課題を解決して、負電圧サージが印加されたとき、他相のハイサイド駆動回路の誤動作を防止できるセット用とリセット用の2つのレベルシフト回路を有する半導体装置およびそれを用いた電力変換装置を提供することにある。

課題を解決するための手段

[0025] 上述した課題を解決し、目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第1導電型領域で囲まれ半導体基板の表面層に互いに離して設けられる複数の第2導電型の第1ウェル領域と、複数の前記第1ウェル領域全てに接して設けられ前記第1導電型領域を構成する低電位が印加される第1導電型の第2ウェル領域と、を備えている。複数の前記第1ウェル領域は、前記第1ウェル領域の表面層に設けられた、低電位側の電位が前記低電位より高いハイサイド駆動回路と、前記ハイサイド駆動回路の電源の高電位側が接続され前記第1ウェル領域の前記表面層に設けられる第2導電型のピックアップ領域と、前記第2ウェル領域と前記ピックアップ領域との間の前記第1ウェル領域に設けられる高耐圧接合終端構造と、前記高耐圧接合終端構造および前記第2ウェル領域の一部に設けられ前記ハイサイド駆動回路の駆動用の信号を送る2つのレベルシフト素子と、を有している。上述した半導体装置において、前記2つのレベルシフト素子は、隣接する前記第1ウェル領域に互いに対向しない非対向面に配置され、前記第1ウェル領域と前記第2ウェル領域とのpn接合面のうち、隣接する前記第1ウェル

領域に対向する p n 接合面から前記 2 つのレベルシフト素子の高電位領域までの距離がそれぞれ $150\text{ }\mu\text{m}$ 以上であることを特徴とする。

[0026] 上述した課題を解決し、目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第 1 導電型領域で囲まれ半導体基板の表面層に互いに離して設けられる複数の第 2 導電型の第 1 ウェル領域と、複数の前記第 1 ウェル領域全てに接して設けられ前記第 1 導電型領域を構成する低電位が印加される第 1 導電型の第 2 ウェル領域と、を備えている。複数の前記第 1 ウェル領域は、前記第 1 ウェル領域の表面層に設けられた、低電位側の電位が前記低電位より高いハイサイド駆動回路と、前記ハイサイド駆動回路の電源の高電位側が接続され前記第 1 ウェル領域の前記表面層に設けられる第 2 導電型のピックアップ領域と、前記第 2 ウェル領域と前記ピックアップ領域との間の前記第 1 ウェル領域に設けられる高耐圧接合終端構造と、前記高耐圧接合終端構造および前記第 2 ウェル領域の一部に設けられ前記ハイサイド駆動回路の駆動用の信号を送る 2 つのレベルシフト素子と、を有している。上述した半導体装置において、前記 2 つのレベルシフト素子は、隣接する前記第 1 ウェル領域に互いに対向しない非対向面に配置され、隣接する前記第 1 ウェル領域から前記 2 つのレベルシフト素子の高電位領域までの距離の差が $10\text{ }\mu\text{m}$ 以下であることを特徴とする。

[0027] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 ウェル領域と前記第 2 ウェル領域との p n 接合面のうち、隣接する前記第 1 ウェル領域に対向する p n 接合面からの距離が前記 2 つのレベルシフト素子の高電位領域より前記ピックアップ領域の方が近いことを特徴とする。

[0028] また、この発明にかかる半導体装置は、上述した発明において、隣接する前記第 1 ウェル領域から前記 2 つのレベルシフト素子の高電位領域までの距離がほぼ等しいことを特徴とする。

[0029] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 ウェル領域と前記第 2 ウェル領域との p n 接合面のうち、隣接する前記第 1 ウェル領域に対向する p n 接合面から前記 2 つのレベルシフト素子の高電位

領域までの距離がそれぞれ $150\mu\text{m}$ 以上であることを特徴とする。

[0030] また、この発明にかかる半導体装置は、上述した発明において、前記第1ウェル領域と前記第2ウェル領域とのpn接合面のうち、隣接する前記第1ウェル領域に対向するpn接合面から前記2つのレベルシフト素子の高電位領域までの距離が $500\mu\text{m}$ 以下であることを特徴とする。

[0031] また、この発明にかかる電力変換装置は、上述した半導体装置が搭載されていることを特徴とする。

発明の効果

[0032] 本発明にかかる半導体装置によれば、負電圧サージにより他相のレベルシフト素子の高電位領域へ流入する電子の流量を減少させることができる。したがって、少なくとも2つのレベルシフト素子を有するハイサイド駆動回路の誤動作を抑制することができる。

[0033] その結果、高耐圧ICの負電圧サージ耐量を向上させることができる。

図面の簡単な説明

[0034] [図1]この発明の実施例1にかかる半導体装置100の構成図であり、(a)は要部平面図、(b)は(a)のドレイン近傍の詳細平面図である。

[図2]図1の各部の断面図であり、(a)は、図1(a)のA-A'線(点線)で切断した要部断面図、(b)は、図1(a)のB-B'線(実線)で切断した要部断面図、(c)は、図1(a)のC-C'線(一点鎖線)で切断した要部断面図である。

[図3]V相のVS端子40に負電圧サージが印加されたときのU相に入り込む電子50の流れを示した図であり、(a)は、図1(a)のB-B'線で切断した箇所に流れる電子50を示した図、(b)は、図1(a)のC-C'線で切断した箇所に流れる電子50を示した図である。

[図4]U相の対向面9からU相のnウェル領域22、8に流入する電子50がnドレイン領域26に入り込む電子50の流量と対向面9からのnドレイン領域26までの距離K1および距離K2との関係を示す図である。

[図5]負電圧サージを印加した場合に、HVN MOS 28を、対向面9に配置

した場合と非対向面 11 に配置した場合とで、ドレインに流入する電子 50 の流量を比較した図である。

[図6]この発明の実施例 2 にかかる半導体装置の要部平面図である。

[図7]この発明の実施例 3 にかかる電力変換装置 300 の要部回路図である。

[図8]3 相モータ Mo と 3 相モータ Mo を駆動する 3 相インバータの回路図である。

[図9]従来の 3 相ワンチップゲートドライバ IC 500, 600 の要部配置図であり、(a) は U 相、V 相、W 相のハイサイド駆動回路 3, 4, 5 が非平行に配置された場合の図、(b) は U 相、V 相、W 相のハイサイド駆動回路 3, 4, 5 が平行に配置された場合の図である。

[図10]図 9 (b) の 3 相ワンチップゲートドライバ IC 600 の構成図であり、(a) は図 9 (b) の D-D' 線で切断した要部断面図、(b) は (a) の n ドレイン領域 26 近傍の拡大平面図である。

[図11]図 11 は、実施例 1 にかかる半導体装置の別の一例を示す断面図である。

[図12]図 12 は、実施例 1 にかかる半導体装置の別の一例を示す断面図である。

発明を実施するための形態

[0035] 本発明は、3 相ワンチップゲートドライバ IC について、負電圧サージ発生時における隣接 (U 相から V, W 相など) のハイサイド駆動回路への電子の流入によるハイサイド駆動回路の誤動作を防止するものである。つぎに、実施の形態を以下の実施例で説明する。

[0036] <実施例 1>

図 1 および図 2 は、この発明の実施例 1 にかかる半導体装置 100 の構成図であり、図 1 (a) は要部平面図、図 1 (b) は図 1 (a) のドレイン近傍の詳細平面図、図 2 (a) は、図 1 (a) の A-A' 線 (点線) で切断した要部断面図、図 2 (b) は、図 1 (a) の B-B' 線 (実線) で切断した要部断面図、図 2 (c) は図 1 (a) の C-C' 線 (一点鎖線) で切断した

要部断面図である。尚、図 1 では U 相が V 相の左側に描かれているが、図 2 では U 相が V 相の右側に描かれている。

[0037] この半導体装置 100 は、レベルシフト回路を有する高耐圧 IC であり、例えば、3 相インバータを駆動する駆動回路を搭載した 3 相ワンチップゲートドライバ IC である。図 1 (a) において、この半導体装置 100 は、ローサイド駆動回路 1、制御回路 2、U 相のハイサイド駆動回路 3、V 相のハイサイド駆動回路 4、W 相のハイサイド駆動回路 5 を備える。半導体装置 100 は、ハイサイド駆動回路 3、4、5 を取り囲む高耐圧接合終端構造 (46 など) と、この高耐圧接合終端構造が形成される n ウェル領域 (22, 22a など) の一部に配置されるセット用レベルシフト回路 (6 など) と、リセット用レベルシフト回路 (7 など) と、一方のハイサイド駆動回路と他方のハイサイド駆動回路との間に形成された相間領域 70 と、を備える。n ウェル領域 (22, 22a など) は、n ウェル領域 (8, 29 など) を囲むように形成されており、n ウェル領域 (22, 22a など) の平面の外形形状は複数の直線部とコーナー部からなる略多角形状となっている。

[0038] 例えば、U 相を例に挙げて説明すると、このセット用およびリセット用レベルシフト回路 6, 7 は制御回路 2 からの信号によりオン・オフするレベルシフト素子とレベルシフト素子の高電位側に接続されるレベルシフト抵抗を備える。レベルシフト回路 6, 7 は、レベルシフト素子とレベルシフト抵抗の接続点とハイサイド駆動回路とを接続する。レベルシフト回路 6, 7 は、相間領域を介して接続される他相 (たとえば、V 相) の n ウェル領域 22 に対向する対向面 9 には配置されずに、対向面 9 と直交する面 (非対向面 11, 12) に互いに向かい合うように配置される。

[0039] さらに、セット用およびリセット用のレベルシフト回路 6, 7 を構成する HVNMOS 28 のそれぞれの n ドレイン領域 26 は、自相の対向面 9 に対向する他相の対向面 10 (相手側 (V 相) の対向面) からの自相の距離、すなわち、レベルシフト回路 6 の n ドレイン領域 26 から対向面 10 までの距離 K10 とレベルシフト回路 7 の n ドレイン領域 26 から対向面 10 までの

距離K 1 1とを等しくすることが望ましい。

[0040] しかし、製造ばらつきなどにより若干差が生じてよい。また、等距離としなくても距離K 1 0と距離K 1 1との差が $10\mu\text{m}$ 以下とすることが好ましい。距離K 1 0と距離K 1 1との差が $10\mu\text{m}$ 以下であればnドレイン領域26に流入する電子50の流量の差によるハイサイド駆動回路3の誤動作を抑制することができる。nドレイン領域26に流入する電子50の流量の差によるハイサイド駆動回路3の誤動作を抑制することは、対向面9（自相側（U相）の対向面）からの自相のnドレイン領域26までの距離K 1および距離K 2の差についても同様である。なお、対向面9および非対向面11はnウェル領域22とpウェル領域60とのpn接合面である。以下の説明において、HVN MOSの符号とHVN MOSを構成する各部の符号はU相、V相、W相で同じ符号を用いる。

[0041] 図1（b）において、nドレイン領域26とVB端子41aに接続するピックアップ領域であるn領域31aとの間のnウェル領域22がレベルシフト抵抗45となる。VB端子41aは、ハイサイド駆動回路を駆動する電源（VS電位に所定の電圧（例えば、15Vなど）を加えた電圧を出力する）と接続され、ピックアップ領域であるn領域31aにハイサイド駆動回路を駆動する電源の電圧が印加される。

[0042] 図2において、この半導体装置100のU相のレベルシフト回路6のHVN MOS 28は、p半導体基板21の表面層に配置された複数のnウェル領域22と、nウェル領域22とp半導体基板21の表面層にnウェル領域22に隣接して配置された相間領域70のpウェル領域60とに跨るように配置されたpベース領域23と、を備える。図1（b）に示すように、pベース領域23は、pベース領域36aと接続されている。

[0043] HVN MOS 28は、pベース領域23の表面層に配置されたnソース領域24およびpコンタクト領域25と、pベース領域23と離間してnウェル領域22の表面層に配置されるnドレイン領域26とを備える。図1（b）に示すように、pコンタクト領域25はp領域39aと接続されている。

HVNMOS 28は、nソース領域24とnウェル領域22に挟まれたpベース領域23上に図示しないゲート絶縁膜を介して配置されたゲート電極27と、nウェル領域22の表面層にnドレイン領域26と離間して配置されたピックアップ領域であるn領域31aと、n領域31aに接続するVB端子41aとを備える。

[0044] また、nドレイン領域26はHVNMOS 28の高電位領域であり、nソース領域24はHVNMOS 28の低電位領域である。ピックアップ領域であるn領域31aは、nドレイン領域26よりも対向面9からの距離が近い位置に配置される。また、HVNMOS 28は、ゲート電極27に接続されたゲート端子43と、nドレイン領域26に接続されたドレイン端子44と、を備える。U相のハイサイド駆動回路3において、nドレイン領域26およびn領域31aの間のnウェル領域22がレベルシフト抵抗45である。

[0045] V相のハイサイド駆動回路4は、nウェル領域22とpウェル領域60を介して離間して、p半導体基板21の表面層に配置された別（左側）のnウェル領域22a（すなわち、U相のハイサイド駆動回路3から見て、隣接するnウェル領域）と、nウェル領域22aと接するnウェル領域29と、nウェル領域29の表面層に配置されたpウェル領域30と、pウェル領域30から離間してnウェル領域22aおよびnウェル領域29に跨る表面層に配置されたn領域31とを備える。V相のハイサイド駆動回路4は、pウェル領域30の表面層に配置されたn領域32およびp領域33と、n領域32と離間して配置されたn領域34と、n領域32およびn領域34に挟まれた領域において、pウェル領域30上に図示しないゲート絶縁膜を介して配置されるゲート電極35と、を備える。また、ハイサイド駆動回路4は、n領域32およびp領域33に接続するVS端子40と、n領域31に接続するVB端子41と、を備える。

[0046] 相間領域70において、p半導体基板21上に、U相のnウェル22およびV相のnウェル22aの間に配置されたpウェル領域60と、pウェル領域60およびnウェル領域22aに跨るように配置されたpベース領域36

と、両 p ベース領域 23, 36 に挟まれた p ウェル領域 60 の表面層に両 p ベース領域 23, 36 から離間して配置された p ベース領域 37 とを備える。相間領域 70 において、p ベース領域 37 の表面層に配置された p 領域 38 と、p ベース領域 36 の表面層に配置された p 領域 39 と、p 領域 39、p 領域 38、p コンタクト領域 25 および n ソース領域 24 に接続される COM 端子 42 とを備える。また、前記の 2 つの p ベース領域 36, 37 は省いても構わない。

[0047] 尚、U 相のハイサイド駆動回路 3 において、n 領域 31a および p ベース領域 36a の間の n ウェル領域 22 は、主に高耐圧接合終端構造が形成された高耐圧接合終端領域 46a である。V 相のハイサイド駆動回路 4 において、n 領域 31 および p ベース領域 36 の間の n ウェル領域 22a は、主に高耐圧接合終端構造が形成された高耐圧接合終端領域 46, 46a である。高耐圧接合終端構造が形成された高耐圧接合終端領域 46 は、ローサイド駆動回路 1 や制御回路 2 と各相（U 相、V 相、W 相）のハイサイド駆動回路 3, 4, 5 との間の耐圧を確保する領域であり、また、各相のハイサイド駆動回路 3, 4, 5 間の耐圧を確保する領域である。

[0048] また、U 相の符号で、30a, 31a, 32a, 33a, 34a, 35a, 36a, 40a, 41a, 46a は、V 相の符号の 30, 31, 32, 33, 34, 35, 36, 40, 41, 46 に相当する。

[0049] 図 3 は、V 相の VS 端子 40 に負電圧サージが印加されたときの U 相に入り込む電子 50 の流れを示した図であり、同図 (a) は図 1 (a) の B-B' 線で切断した箇所に流れる電子 50 を示した図、同図 (b) は図 1 (a) の C-C' 線で切断した箇所に流れる電子 50 を示した図である。

[0050] V 相の VS 端子 40 に負電圧サージが印加された場合、同図 (a) において、電子 50 は、V 相の n ウェル領域 22a から V 相の n ウェル領域 22a および相間領域 70 と間の PN 接合面（対向面 10）を介して、p ウェル領域 60 に注入される。p ウェル領域 60 に注入された電子 50 は、PN 接合面である対向面 9 を介して、U 相の n ウェル領域 22 に流れ込む。U 相の n

ウェル領域 22 に流れ込んだ電子 50 は、n 領域 31a を介して VB 端子 41a に流れ込む。

[0051] 一方、同図 (b) において、電子 50 は、V 相の n ウェル領域 22a から V 相の n ウェル領域 22a および相間領域 70 と間の PN 接合面 (対向面 10) を介して、p ウェル領域 60 に注入される。p ウェル領域 60 に注入された電子 50 は、PN 接合面である対向面 9 を介して、U 相の n ウェル領域 22 に流れ込む。U 相の n ウェル領域 22 に流れ込んだ電子 50 は、n 領域 31a を介して VB 端子 41a に流れ込む。U 相の n ウェル領域 22 に流れ込んだ電子 50 のうちの一部は、n ドレイン領域 26 へ流れ込む。n ドレイン領域 26 へ流れ込んだ電子 50 は、レベルシフト抵抗 45 を介して VB 端子 41a に流れ込む。電子 50 の流れ込む経路が長く、電子 50 の経路の長さに比例して直列抵抗 (n ウェル領域 22, 8 の横方向抵抗) が大きくなるので、n ドレイン領域 26 へ流れ込む電子 50 の流量は少なくなる。HVN MOS 28 の n ドレイン領域 26 に流入した電子 50 は、U 相のハイサイド駆動回路 3 へ流れて行く。n ドレイン領域 26 へ流入する電子 50 の流量が少ないので、レベルシフト抵抗 45 で発生する電圧降下も小さくなる。したがって、ハイサイド駆動回路 3 の誤動作は発生し難くなる。

[0052] また、前記したように、U 相の HVN MOS 28 が対向面 9 とは異なる非対向面 11, 12 に配置され、対向面 10 からセット用の HVN MOS 28 の n ドレイン領域 26 までの距離 K10 と対向面 10 からリセット用 HVN MOS 28 の n ドレイン領域 26 までの距離 K11 との差が $10\mu\text{m}$ 以下である。このため、それぞれの HVN MOS 28 の n ドレイン領域 26 に流入する電子 50 の流量の差が小さくなる。したがって、それぞれの HVN MOS 28 の n ドレイン領域 26 に流入する電子 50 の流量の差が大きい場合に生じるハイサイド駆動回路 3 の誤動作の発生を防止することができる。より好ましくは、距離 K10 および距離 K11 の距離の差がない、すなわち、距離 K10 および距離 K11 の距離がほぼ等しいことが好ましい。これによって、それぞれの HVN MOS 28 の n ドレイン領域 26 に流入する電子 50

の流量をほぼ等しくすることができる。上記においては、U相のハイサイド駆動回路3を例に挙げて説明したが、U相のハイサイド駆動回路3に限るものではなくV相のハイサイド駆動回路4、W相のハイサイド駆動回路5にも適用可能である。

[0053] 図4は、U相の対向面9からU相のnウェル領域22、8に流入した電子50がnドレイン領域26に入り込む電子50の流量と対向面9からnドレイン領域26までの距離K1および距離K2との関係を示す図である。

[0054] 図4に示すように、距離K1および距離K2が大きくなると急速に電子50の流量は減少する。特に、距離K1および距離K2が $100\mu\text{m} \sim 200\mu\text{m}$ の間において、電子50の流量が急峻に減少する。具体的には、nドレイン領域に流入する電子50の流量は、距離K1および距離K2が $150\mu\text{m}$ でおよそ50%減少し、距離K1および距離K2が $200\mu\text{m}$ でおよそ1/5減少する。電子の流量は、距離K1および距離K2が $200\mu\text{m}$ を超えるとほぼ一定に減少をし続けるが、距離K1および距離K2が $500\mu\text{m}$ 近傍において、ほぼ0になり、電子の流量の低下率が飽和する。そのため、距離K1および距離K2は $150\mu\text{m}$ 以上、 $500\mu\text{m}$ 以下とするとよい。しかし、この距離K1および距離K2が大きくなるとチップサイズが大きくなるため、好ましくない。したがって、距離K1および距離K2は、好ましくは、 $150\mu\text{m}$ 以上、 $250\mu\text{m}$ 以下とするとよく、より好ましくは、 $200\mu\text{m}$ 前後である。

[0055] 図5は、負電圧サージを印加したときに、HVN MOS 28を、対向面9に配置した場合と非対向面11に配置した場合とで、ドレインに流入する電子50の流量を比較した図である。U相およびW相のVB端子に -50V 、 $1.5\mu\text{s}$ のパルス状の負電圧サージを印加し、V相のVB端子に 15V の電圧を印加した場合のドレインに電子50の流量を比較したシミュレーション図である。

[0056] 非対向面11にHVN MOS 28を配置した場合において、nドレイン領域26に流入した電子50の流量は、電流表示で 6.62mA であった。一

方、対向面 9 に HVNMOS 28 を配置した場合において、 n ドレイン領域 26 に流入した電子 50 の流量は、電流表示で 34.62 mA であった。したがって、HVNMOS 28 を非対向面 11 に配置したことによって、HVNMOS 28 を対向面 9 に配置した場合よりも、 n ドレイン領域 26 に流入した電子の流量を $1/5$ 程度に低減することが確認された。非対向面 11 に HVNMOS 28 を形成した場合においては、電子 50 の流れる経路長が長いので、直列抵抗が大きくなる。したがって、 n ドレイン領域 26 に流入する電子の流量が低減される。

[0057] 前記したように、セット用とリセット用の HVNMOS 28 を非対向面に配置し、さらに、セット用とリセット用の HVNMOS 28 の n ドレイン領域 26 を、対向面 9 から距離 $K1$ および $K2$ あるいは対向面 10 からの距離 $K10$ および $K11$ を等しく配置してもよい。これによって、 n ドレイン領域 26 に流入する電子の流量は大幅に減少し、且つ、両者で等しくなる。

[0058] したがって、自相に負電圧サージが入力された場合に、他相のハイサイド駆動回路の誤動作が防止される。ハイサイド駆動回路の誤動作が防止されることは、前記した U 相に限らず、 V 相や W 相でも同様である。

[0059] 以上の説明では、図 2 に示すような、自己分離構造の半導体装置 100 について示した。このような半導体装置 100 では、 p 型半導体基板 21 の表面からの不純物イオンのイオン注入と活性化処理により n ウェル領域 22、 n ウェル領域 22a、 n ウェル領域 8、 n ウェル領域 29 および p ウェル領域 60 を形成する。この代わりに、図 11 や図 12 に示すような接合分離構造としても、本願の効果を奏することができる。

[0060] 図 11 は、実施例 1 にかかる半導体装置の別の一例を示す断面図である。図 11 には、図 1 の半導体装置 100 が接合分離構造であった場合の、図 1 の各部の断面図を示す。図 11 (a) は、図 1 (a) の $A-A'$ 線 (点線) で切断した要部断面図、図 11 (b) は、図 1 (a) の $B-B'$ 線 (実線) で切断した要部断面図、図 11 (c) は、図 1 (a) の $C-C'$ 線 (一点鎖線) で切断した要部断面図である。

[0061] この場合、p型半導体基板21aの表面に埋込領域(8a, 29aなど)を形成するための不純物のイオン注入を行った後、p型半導体基板21a上にn型のエピタキシャル成長層を形成する。埋込領域(8a, 29aなど)は、活性化処理により形成される。pウェル領域60aをエピタキシャル成長層の表面から不純物のイオン注入と活性化処理によりp型半導体基板21aに達するように形成する。これにより、エピタキシャル成長層に複数のnウェル領域(22c, 22dなど)を形成する。その他の領域は、図1と同様に形成できる。また、埋込領域(8a, 29aなど)は、エピタキシャル成長層22bより不純物濃度の高いn型の領域である。

[0062] 図12は、実施例1にかかる半導体装置の別の一例を示す断面図である。図12には、図1の半導体装置100が、図11と異なる接合分離構造であった場合の、図1の各部の断面図を示す。図12(a)は、図1(a)のA-A'線(点線)で切断した要部断面図、図12(b)は、図1(a)のB-B'線(実線)で切断した要部断面図、図12(c)は、図1(a)のC-C'線(一点鎖線)で切断した要部断面図である。

[0063] この場合、p型半導体基板21bの表面に埋込領域(8b, 29bなど)を形成するための不純物のイオン注入を行った後、p型半導体基板21b上にp型のエピタキシャル成長層を形成する。埋込領域(8b, 29bなど)は、活性化処理により形成される。nウェル領域(22e, 22fなど)をエピタキシャル成長層の表面から不純物のイオン注入と活性化処理によりp型半導体基板21bに達するように形成する。また、pウェル領域60bをエピタキシャル層の表面から不純物のイオン注入と活性化処理により形成する。その他の領域は、図1と同様に形成できる。また、埋込領域(8b, 29bなど)は、エピタキシャル成長層22bより不純物濃度の高いn型の領域である。

[0064] <実施例2>

図6は、この発明の実施例2にかかる半導体装置の要部平面図である。第2実施例において、第1実施例(図1)との違いは、セット用レベルシフト

回路6およびリセット用レベルシフト回路7のnドレイン領域26から対向面10までの距離Kがそれぞれ異なっている点である。第2実施例においても、セット用レベルシフト回路6とリセット用レベルシフト回路7が対向面9から離れているのでそれぞれのnドレイン領域26に流入する電子の流量は対向面9に形成されている場合に比べると小さくなる。

[0065] 負電圧サージが入力された場合、ハイサイド駆動回路3の誤動作の発生を防止する能力は実施例1に比べると低くなるが、対向面9とHVN MOS 28のnドレイン領域26との距離Kを $150\mu\text{m}$ 以上で $500\mu\text{m}$ 以下にすることで誤動作の発生を抑制することができる。また、前記の距離Kを $150\mu\text{m}$ 以上、 $250\mu\text{m}$ 以下にするとさらによい。さらに、この距離Kを $200\mu\text{m}$ 前後にすると好適である。ここではU相について説明したがV相、W相についても同じである。

[0066] <実施例3>

図7は、この発明の実施例3にかかる電力変換装置300の要部回路図である。ここでは3相インバータを例に挙げた。この3相インバータに搭載される半導体装置100、200は図1および図5に示した3相ワンチップゲートドライバICである。電力変換装置300と従来の電力変換装置700との違いは、図8に示した電力変換装置700に搭載する半導体装置500、600を半導体装置100、200に入れ替えた点である。

[0067] ここでは、電力変換装置300として3相インバータ（3相ブリッジ）の例を挙げたがこれに限るものではない。例えば、単相（2相）インバータ（フルブリッジ）や単相および3相のコンバータなど2相以上のワンチップゲートドライバICを搭載した電力変換装置とすることもできる。

[0068] この発明にかかる実施の形態の半導体装置100は、第1導電型領域で囲まれ半導体基板の表面層に互いに離して設けられる複数の第2導電型の第1ウェル領域と、複数の第1ウェル領域全てに接して設けられ前記第1導電型領域を構成する低電位が印加される第1導電型の第2ウェル領域と、を備え、複数の第1ウェル領域は、第1ウェル領域の表面層に設けられた、低電位

側の電位が当該低電位より高いハイスайд駆動回路と、ハイスайд駆動回路の電源の高電位側が接続され第1ウェル領域の表面層に設けられる第2導電型のピックアップ領域と、第2ウェル領域とピックアップ領域との間の第1ウェル領域に設けられる高耐圧接合終端構造と、高耐圧接合終端構造および第2ウェル領域の一部に設けられハイスайд駆動回路の駆動用の信号を送る2つのレベルシフト素子と、を有する半導体装置において、2つのレベルシフト素子（たとえば、U相のレベルシフト回路6，7のHVNMOS28）は、隣接する第1ウェル領域に互いに対向しない非対向面11に配置され、第1ウェル領域（たとえば、U相のnウェル領域22）と第2ウェル領域（pウェル領域60）とのpn接合面のうち、隣接する第1ウェル領域（たとえば、V相のnウェル領域22a）に対向するpn接合面（対向面9）から2つのレベルシフト素子の高電位領域（nドレイン領域26）までの距離K1およびK2がそれぞれ150μm以上であることを特徴とする。

[0069] この発明にかかる実施の形態の半導体装置100によれば、負電圧サージにより他相のレベルシフト素子の高電位領域へ流入する電子の流量を大幅に減少させることができる。したがって、ハイスайд駆動回路の誤動作を抑制することができる。

[0070] また、この発明にかかる実施の形態の半導体装置100は、第1導電型領域で囲まれ半導体基板の表面層に互いに離して設けられる複数の第2導電型の第1ウェル領域と、複数の第1ウェル領域全てに接して設けられ前記第1導電型領域を構成する低電位が印加される第1導電型の第2ウェル領域と、を備え、複数の第1ウェル領域は、第1ウェル領域の表面層に設けられた、低電位側の電位が当該低電位より高いハイスайд駆動回路と、ハイスайд駆動回路の電源の高電位側が接続され第1ウェル領域の表面層に設けられる第2導電型のピックアップ領域と、第2ウェル領域とピックアップ領域との間の第1ウェル領域に設けられる高耐圧接合終端構造と、高耐圧接合終端構造および第2ウェル領域の一部に設けられハイスайд駆動回路の駆動用の信号を送る2つのレベルシフト素子と、を有する半導体装置において、2つのレ

ベルシフト素子は、隣接する第1ウェル領域に互いに対向しない非対向面11に配置され、隣接する第1ウェル領域（対向面10）から2つのレベルシフト素子の高電位領域までの距離K10およびK11の差が10 μ m以下であることを特徴とする。

[0071] この発明にかかる実施の形態の半導体装置100によれば、負電圧サージにより他相のレベルシフト素子の高電位領域へ流入するそれぞれの電子50の流量をほぼ等しくすることができる。

[0072] また、この発明にかかる実施の形態の半導体装置100は、第1ウェル領域と第2ウェル領域とのpn接合面のうち、隣接する第1ウェル領域に対向するpn接合面からの距離が2つのレベルシフト素子の高電位領域よりピックアップ領域の方が近いことを特徴とする。

[0073] また、この発明にかかる実施の形態の半導体装置100は、隣接する第1ウェル領域から2つのレベルシフト素子の高電位領域までの距離がほぼ等しいことを特徴とする。

[0074] また、この発明にかかる実施の形態の半導体装置100は、第1ウェル領域と第2ウェル領域とのpn接合面のうち、隣接する第1ウェル領域に対向するpn接合面から2つのレベルシフト素子の高電位領域までの距離K1およびK2がそれぞれ150 μ m以上であることを特徴とする。

[0075] また、この発明にかかる実施の形態の半導体装置100は、第1ウェル領域と第2ウェル領域とのpn接合面のうち、隣接する第1ウェル領域に対向するpn接合面から2つのレベルシフト素子の高電位領域までの距離K1およびK2が500 μ m以下であることを特徴とする。

[0076] また、この発明にかかる実施の形態の電力変換装置300は、上述した半導体装置100が搭載されていることを特徴とする。

[0077] この発明にかかる実施の形態の半導体装置100および半導体装置100が搭載された電力変換装置300によれば、負電圧サージにより他相のレベルシフト素子の高電位領域へ流入する電子の流量を大幅に減少させるとともに、負電圧サージにより他相のレベルシフト素子の高電位領域へ流入するそ

れぞれの電子50の流量をほぼ等しくすることができる。したがって、ハイサイド駆動回路の誤動作を抑制することができる。

産業上の利用可能性

[0078] 以上のように、本発明にかかる半導体装置の製造方法は、レベルシフト回路を有する高耐圧ICなどの半導体装置およびそれを用いたインバータなどの電力変換装置に有用である。

符号の説明

- [0079]
- 1 ローサイド駆動回路
 - 2 制御回路
 - 3 U相のハイサイド駆動回路
 - 4 V相のハイサイド駆動回路
 - 5 W相のハイサイド駆動回路
 - 6 セット用レベルシフト回路
 - 7 リセット用レベルシフト回路
 - 8, 29 nウェル領域
 - 9 U相の対向面
 - 10 V相の対向面
 - 11 U相の非対向面
 - 12 V相の非対向面
 - 21 p半導体基板
 - 22, 22a, 29 nウェル領域
 - 23, 36, 36a, 37 pベース領域
 - 24 nソース領域
 - 25 pコンタクト領域
 - 26 nドレイン領域
 - 27, 35, 35a ゲート電極
 - 28 HVNMOS
 - 30, 60 pウェル領域

3 1, 3 1 a, 3 2, 3 2 a, 3 4, 3 4 a n 領域

3 3, 3 3 a, 3 8, 3 9, 3 9 a p 領域

4 0, 4 0 a V S 端子

4 1, 4 1 a V B 端子

4 2 C O M 端子

4 3 ゲート端子

4 4 ドレイン端子

4 5 レベルシフト抵抗

4 6, 4 6 a 高耐压接合終端領域

5 0 電子

7 0 相間領域

1 0 0, 2 0 0 半導体装置

3 0 0 電力変換装置

請求の範囲

[請求項1]

第1導電型領域で囲まれ半導体基板の表面層に互いに離して設けられる複数の第2導電型の第1ウェル領域と、複数の前記第1ウェル領域全てに接して設けられ前記第1導電型領域を構成する低電位が印加される第1導電型の第2ウェル領域と、を備え、

複数の前記第1ウェル領域は、前記第1ウェル領域の表面層に設けられた、低電位側の電位が前記低電位より高いハイスайд駆動回路と、前記ハイスайд駆動回路の電源の高電位側が接続され前記第1ウェル領域の前記表面層に設けられる第2導電型のピックアップ領域と、前記第2ウェル領域と前記ピックアップ領域との間の前記第1ウェル領域に設けられる高耐圧接合終端構造と、前記高耐圧接合終端構造および前記第2ウェル領域の一部に設けられ前記ハイスайд駆動回路の駆動用の信号を送る2つのレベルシフト素子と、を有する半導体装置において、

前記2つのレベルシフト素子は、隣接する前記第1ウェル領域に互いに対向しない非対向面に配置され、前記第1ウェル領域と前記第2ウェル領域とのp-n接合面のうち、隣接する前記第1ウェル領域に対向するp-n接合面から前記2つのレベルシフト素子の高電位領域までの距離がそれぞれ150 μ m以上であることを特徴とする半導体装置。

[請求項2]

第1導電型領域で囲まれ半導体基板の表面層に互いに離して設けられる複数の第2導電型の第1ウェル領域と、複数の前記第1ウェル領域全てに接して設けられ前記第1導電型領域を構成する低電位が印加される第1導電型の第2ウェル領域と、を備え、

複数の前記第1ウェル領域は、前記第1ウェル領域の表面層に設けられた、低電位側の電位が前記低電位より高いハイスайд駆動回路と、前記ハイスайд駆動回路の電源の高電位側が接続され前記第1ウェル領域の前記表面層に設けられる第2導電型のピックアップ領域と、

前記第2ウェル領域と前記ピックアップ領域との間の前記第1ウェル領域に設けられる高耐压接合終端構造と、前記高耐压接合終端構造および前記第2ウェル領域の一部に設けられ前記ハイサイド駆動回路の駆動用の信号を送る2つのレベルシフト素子と、を有する半導体装置において、

前記2つのレベルシフト素子は、隣接する前記第1ウェル領域に互いに対向しない非対向面に配置され、隣接する前記第1ウェル領域から前記2つのレベルシフト素子の高電位領域までの距離の差が $10\mu\text{m}$ 以下であることを特徴とする半導体装置。

[請求項3] 前記第1ウェル領域と前記第2ウェル領域とのpn接合面のうち、隣接する前記第1ウェル領域に対向するpn接合面からの距離が前記2つのレベルシフト素子の高電位領域より前記ピックアップ領域の方が近いことを特徴とする請求項1または2記載の半導体装置。

[請求項4] 隣接する前記第1ウェル領域から前記2つのレベルシフト素子の高電位領域までの距離がほぼ等しいことを特徴とする請求項2に記載の半導体装置。

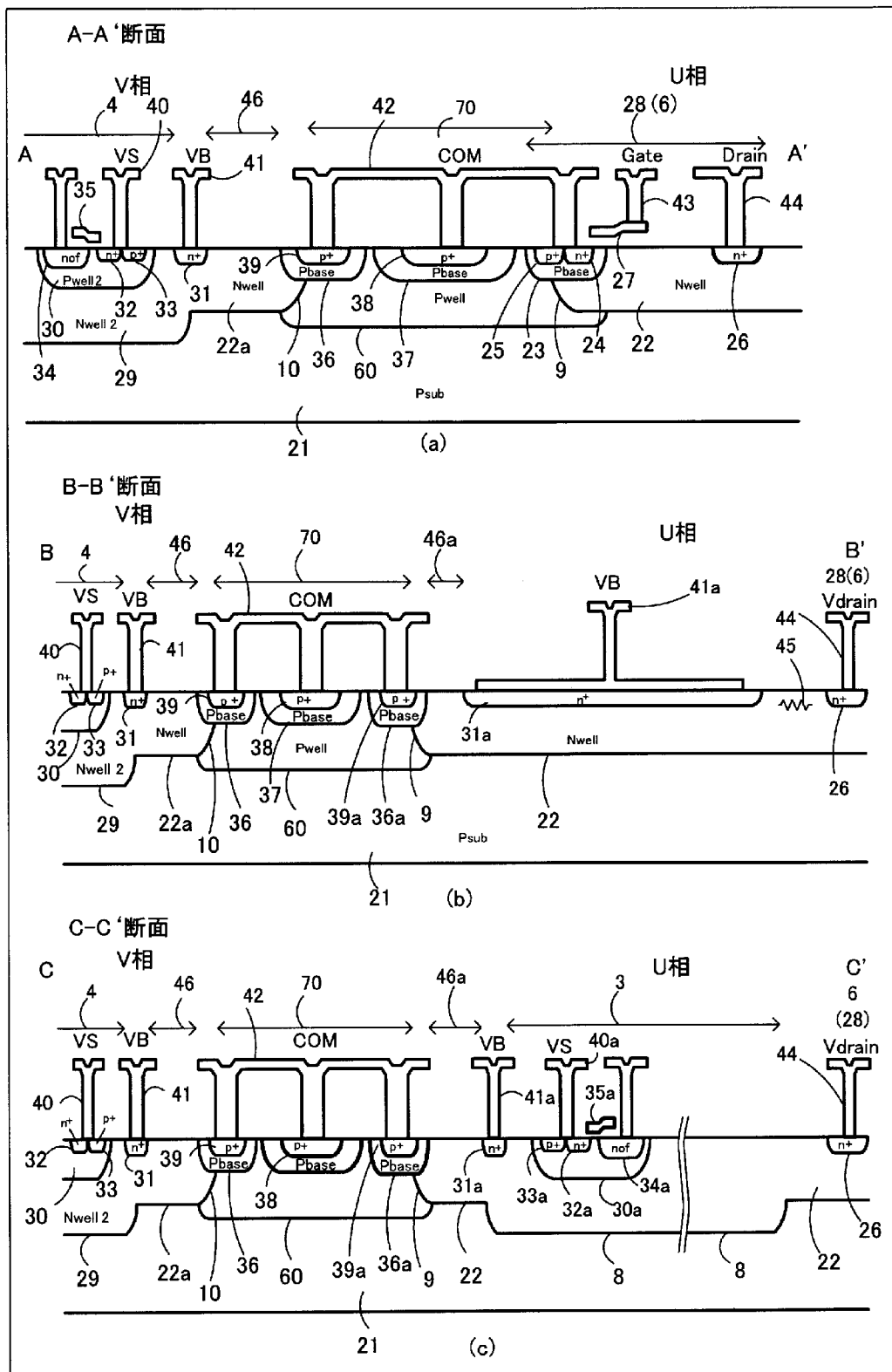
[請求項5] 前記第1ウェル領域と前記第2ウェル領域とのpn接合面のうち、隣接する前記第1ウェル領域に対向するpn接合面から前記2つのレベルシフト素子の高電位領域までの距離がそれぞれ $150\mu\text{m}$ 以上であることを特徴とする請求項2または4に記載の半導体装置。

[請求項6] 前記第1ウェル領域と前記第2ウェル領域とのpn接合面のうち、隣接する前記第1ウェル領域に対向するpn接合面から前記2つのレベルシフト素子の高電位領域までの距離が $500\mu\text{m}$ 以下であることを特徴とする請求項1に記載の半導体装置。

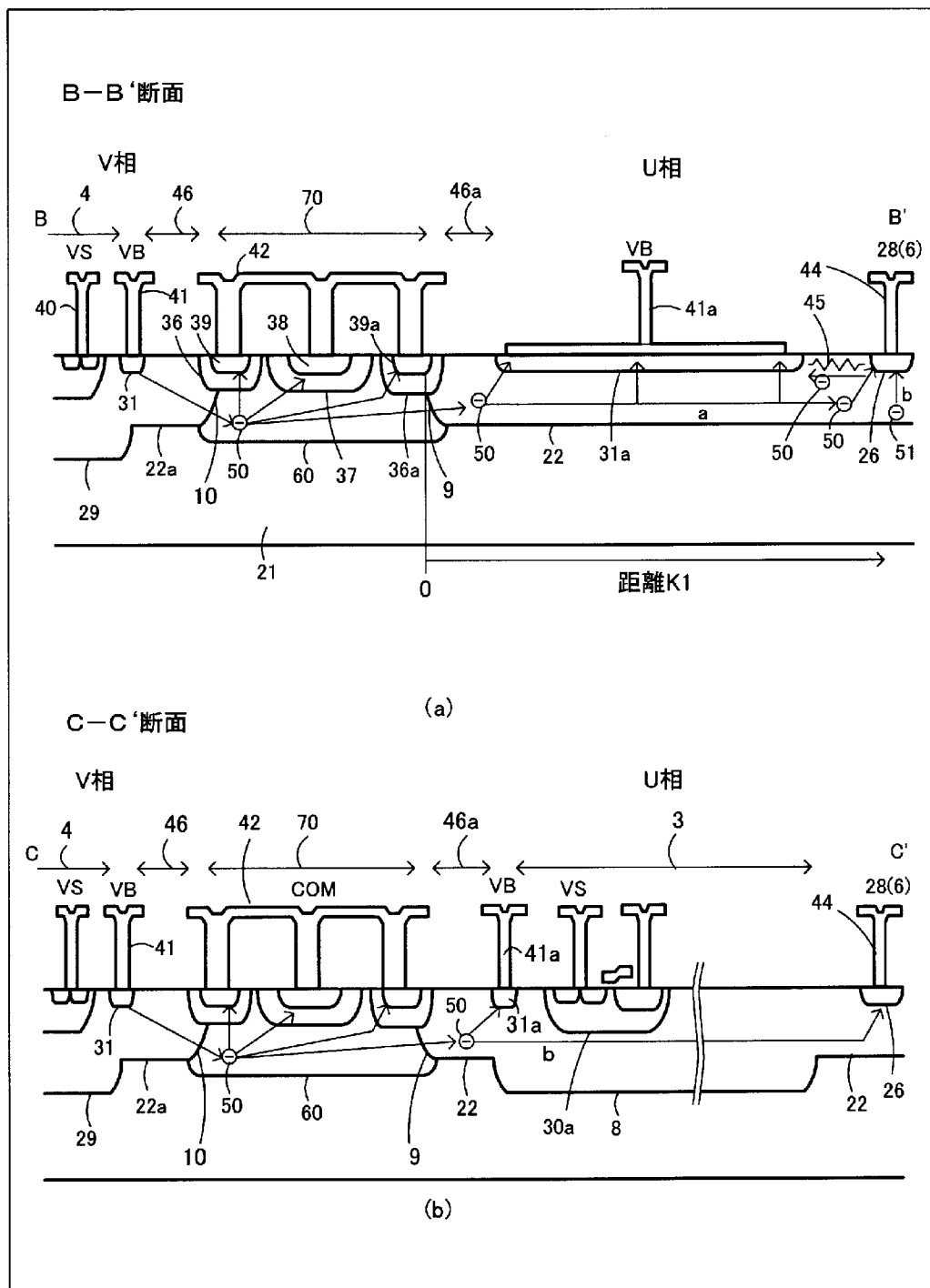
[請求項7] 前記第1ウェル領域と前記第2ウェル領域とのpn接合面のうち、隣接する前記第1ウェル領域に対向するpn接合面から前記2つのレベルシフト素子の高電位領域までの距離が $500\mu\text{m}$ 以下であることを特徴とする請求項5に記載の半導体装置。

[請求項8] 前記請求項 1 または 2 に記載の半導体装置が搭載されていることを特徴とする電力変換装置。

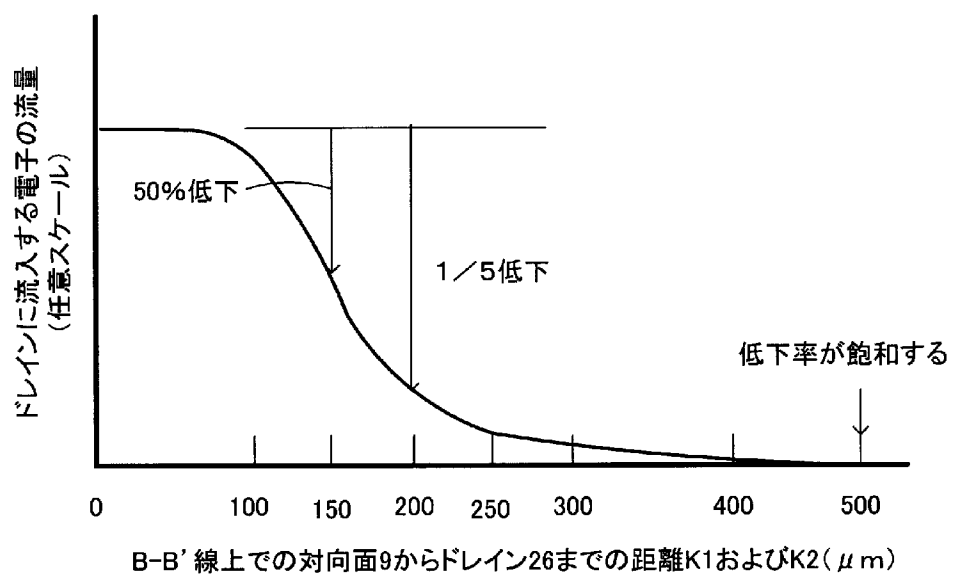
[図2]



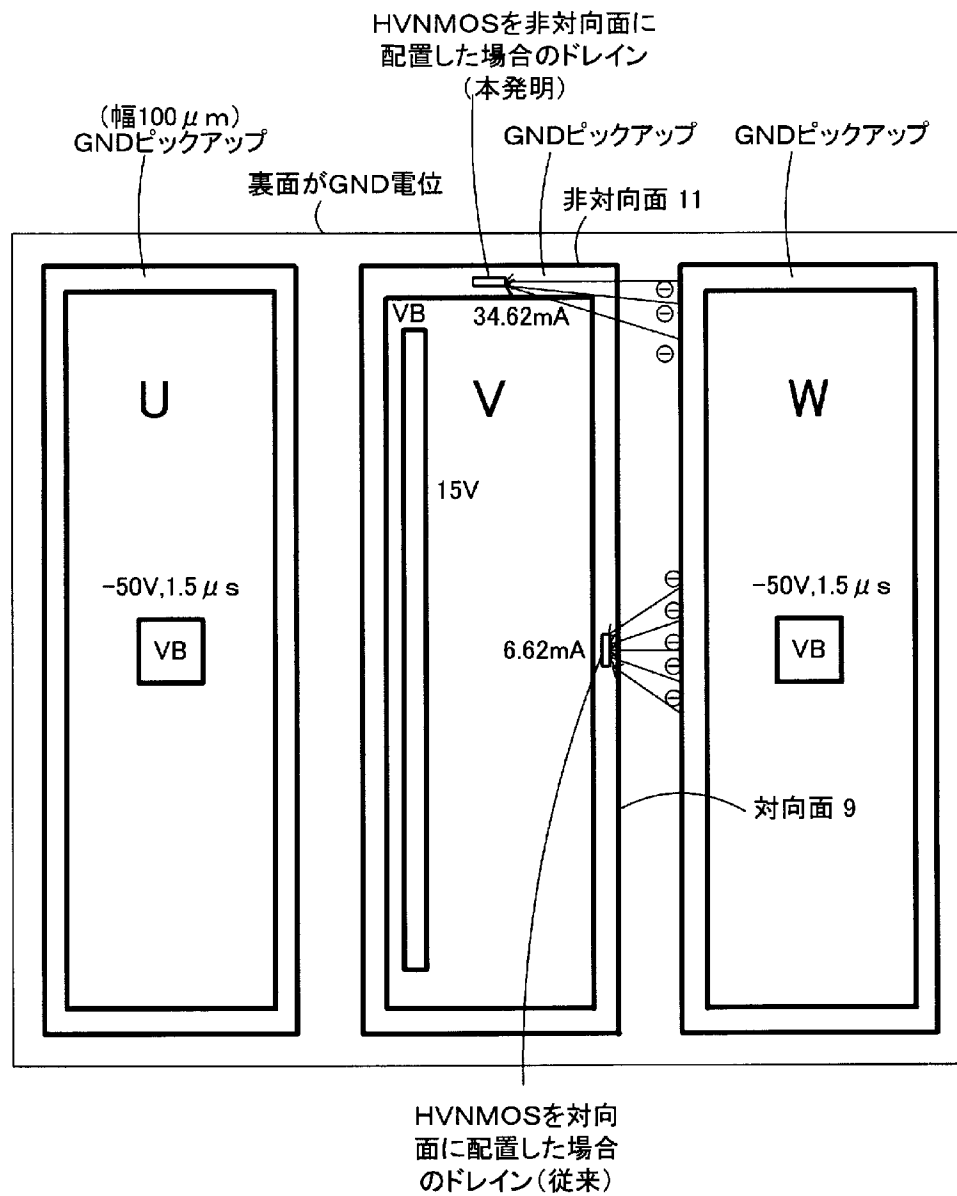
[図3]



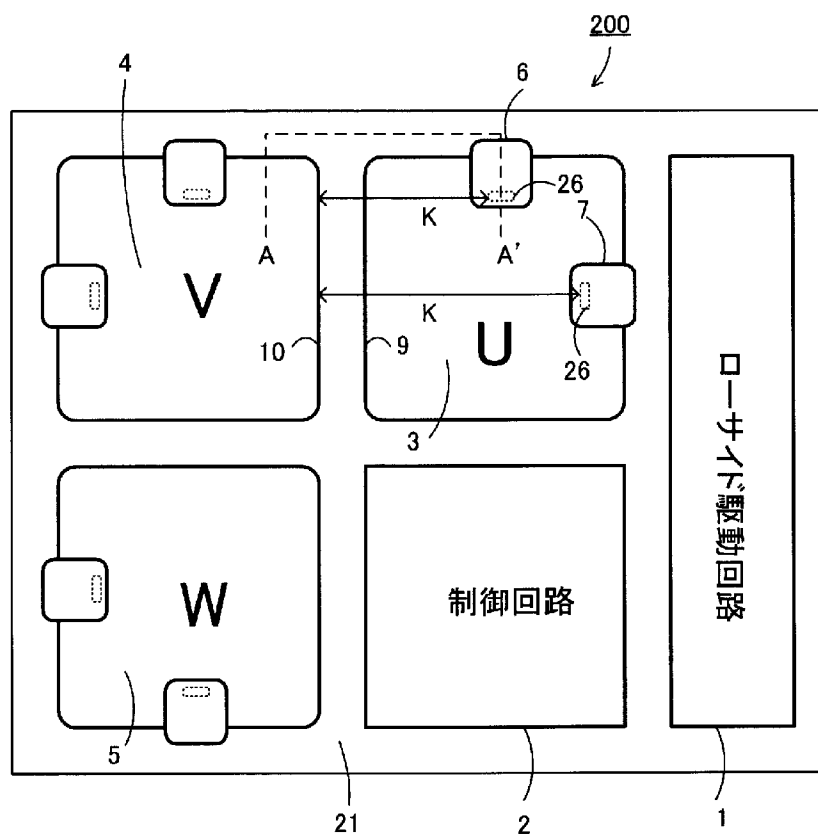
[図4]



[図5]



[図6]



[図7]

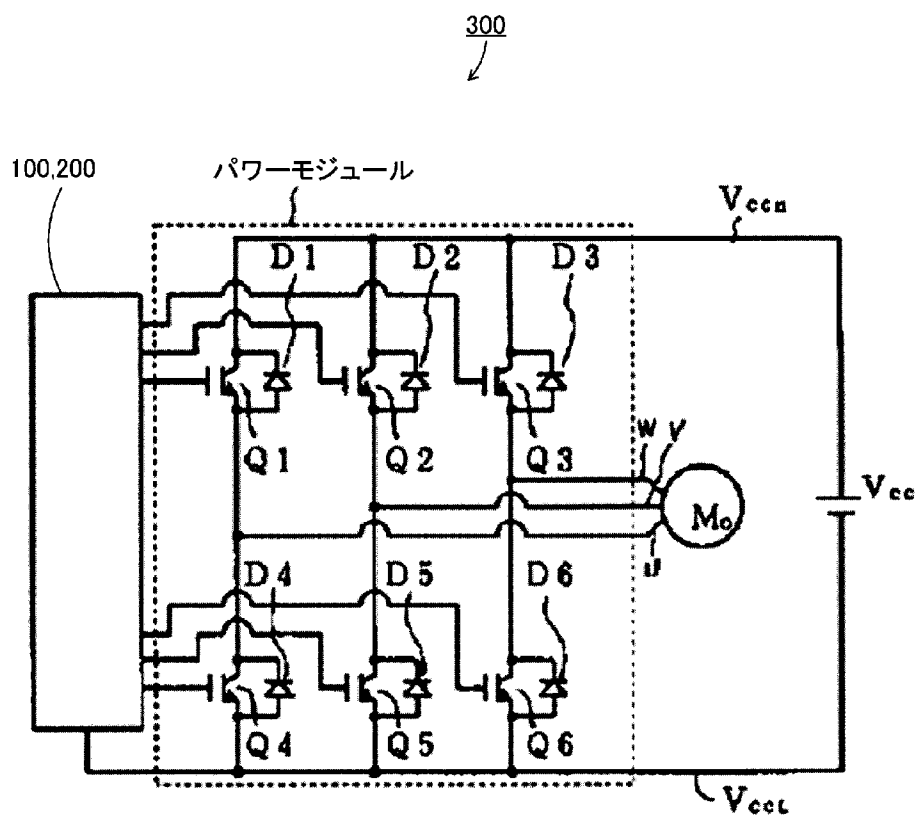
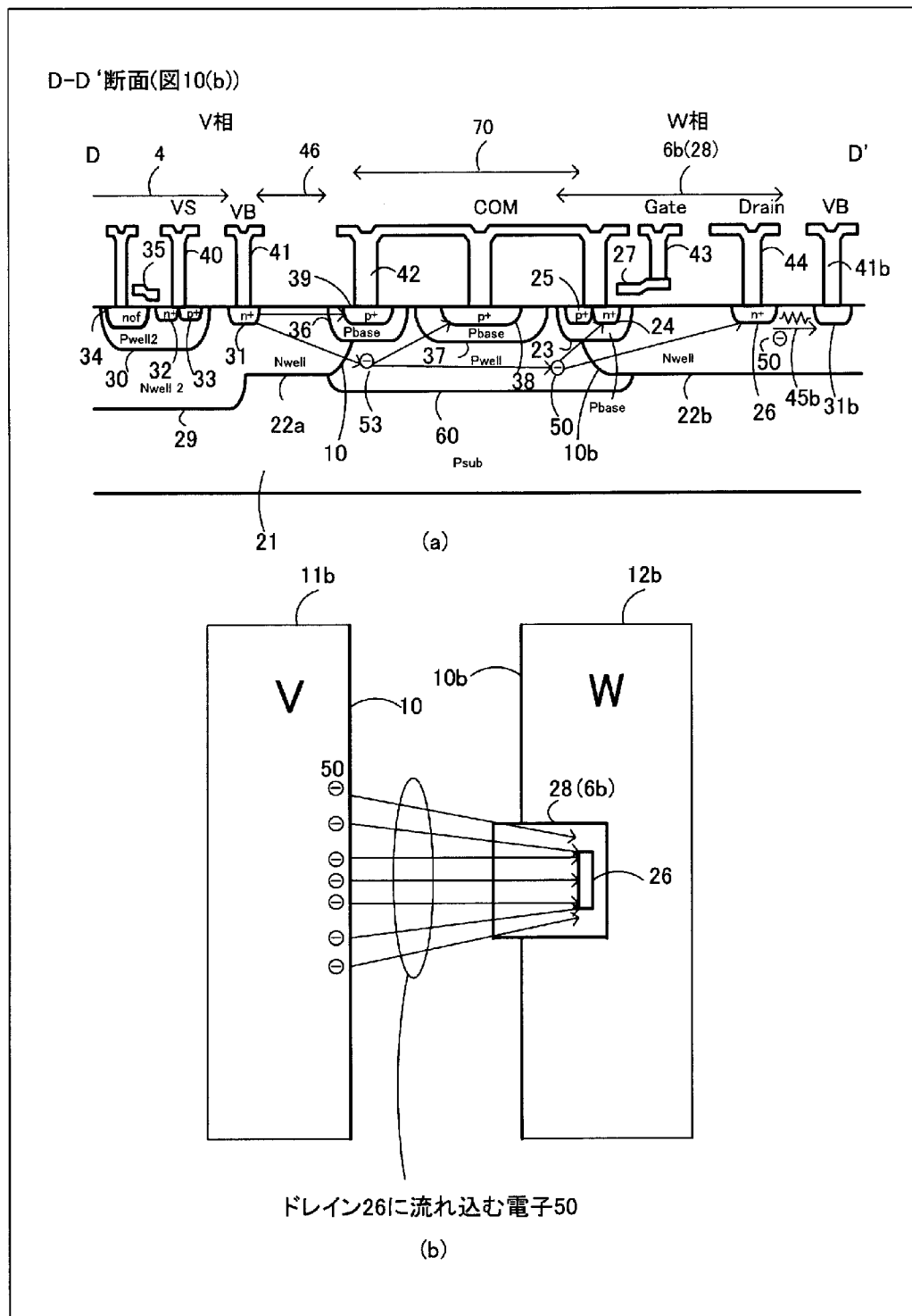
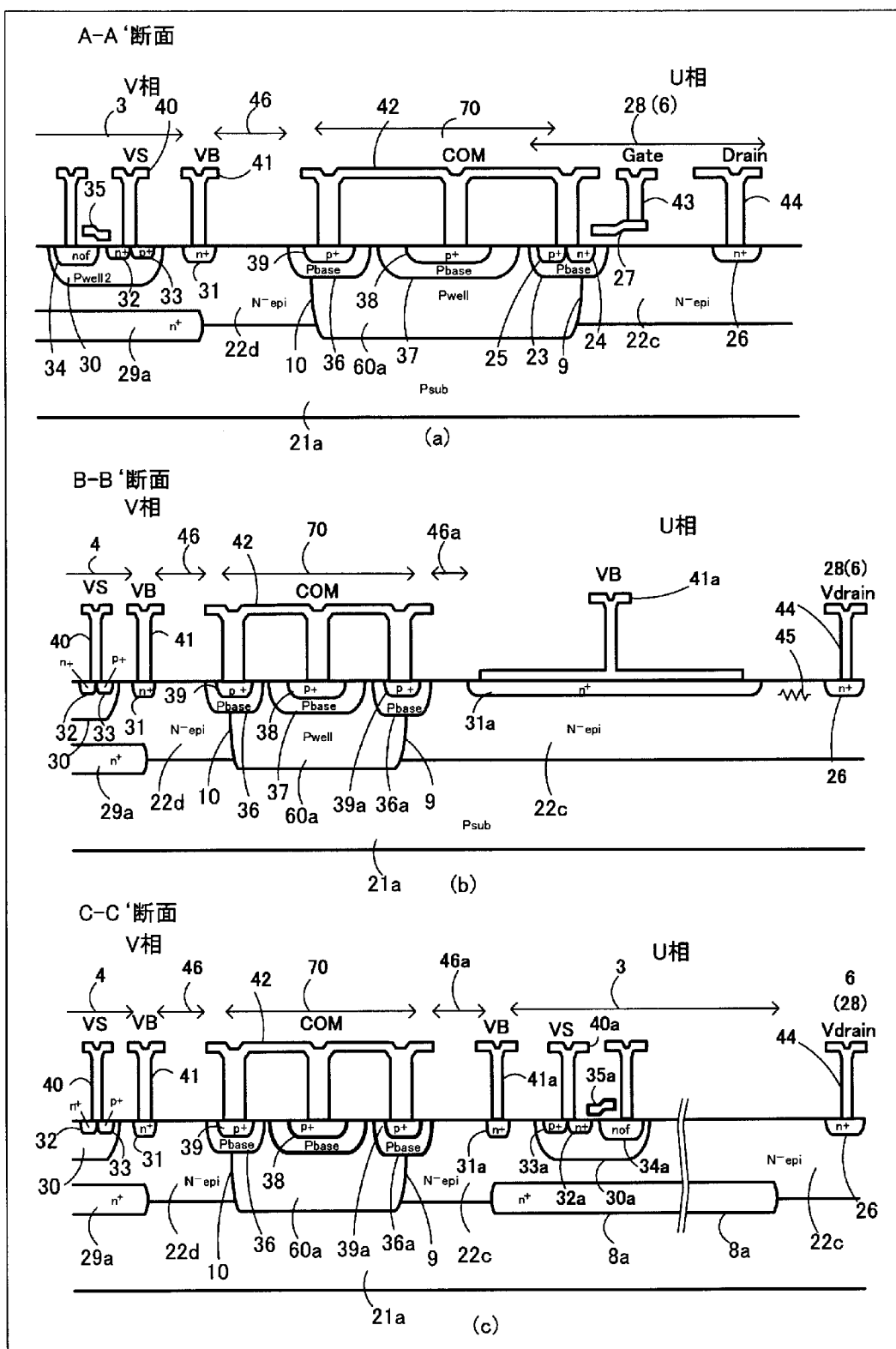


Figure 1 consists of two block diagrams, (a) and (b), illustrating a motor control system. Both diagrams show a motor 5 with three phases: U, V, and W. Each phase is connected to a switching element 6 (28) and a diode 7a (28) or 7b (28). The motor is connected to a control circuit 2 and a rotor position detection circuit 1. In diagram (a), the motor 5 is shown with a rotor position detection circuit 1 and a control circuit 2. The motor 5 is connected to a switching element 6 (28) and a diode 7a (28). The control circuit 2 is connected to the switching element 6 (28) and the diode 7a (28). The rotor position detection circuit 1 is connected to the motor 5. In diagram (b), the motor 5 is shown with a rotor position detection circuit 1 and a control circuit 2. The motor 5 is connected to a switching element 6b (28) and a diode 7b (28). The control circuit 2 is connected to the switching element 6b (28) and the diode 7b (28). The rotor position detection circuit 1 is connected to the motor 5.

[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/074916

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H02M7/5387(2007.01)i, H03K17/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L27/04, H01L27/06, H02M7/5387, H03K17/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2012-227300 A (Fuji Electric Co., Ltd.), 15 November 2012 (15.11.2012), entire text; all drawings & US 2012/0267750 A1 entire text; all drawings	1-8
A	JP 2009-206284 A (Fuji Electric Device Technology Co., Ltd.), 10 September 2009 (10.09.2009), entire text; all drawings & US 2009/0212373 A1 entire text; all drawings	1-8
A	JP 2011-259531 A (Denso Corp.), 22 December 2011 (22.12.2011), entire text; all drawings (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 October, 2013 (04.10.13)

Date of mailing of the international search report
15 October, 2013 (15.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/074916

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-196630 A (Hitachi, Ltd.), 15 July 1994 (15.07.1994), entire text; all drawings (Family: none)	1-8
A	JP 2011-238760 A (Denso Corp.), 24 November 2011 (24.11.2011), entire text; all drawings (Family: none)	1-8
A	JP 9-74198 A (Fuji Electric Co., Ltd.), 18 March 1997 (18.03.1997), entire text; all drawings & US 5736774 A entire text; all drawings & EP 751572 A2 & DE 69637215 D & DE 69637215 T	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H02M7/5387(2007.01)i, H03K17/16(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L27/04, H01L27/06, H02M7/5387, H03K17/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P A	JP 2012-227300 A (富士電機株式会社) 2012. 11. 15, 全文, 全図 & US 2012/0267750 A1, 全文, 全図	1-8
A	JP 2009-206284 A (富士電機デバイステクノロジー株式会社) 2009. 09. 10, 全文, 全図 & US 2009/0212373 A1, 全文, 全図	1-8
A	JP 2011-259531 A (株式会社デンソー) 2011. 12. 22, 全文, 全図 (ファミリーなし)	1-8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 1 0 . 2 0 1 3

国際調査報告の発送日

1 5 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

3 1 2 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-196630 A (株式会社日立製作所) 1994. 07. 15, 全文, 全図 (ファミリーなし)	1-8
A	JP 2011-238760 A (株式会社デンソー) 2011. 11. 24, 全文, 全図 (ファミリーなし)	1-8
A	JP 9-74198 A (富士電機株式会社) 1997. 03. 18, 全文, 全図 & US 5736774 A, 全文, 全図 & EP 751572 A2 & DE 69637215 D & DE 69637215 T	1-8