(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03F 3/20

(45) 공고일자 1999년03월20일
(11) 등록번호 특0162107
(24) 등록일자 1998년08월28일

(21) 출원번호 특1993-029851
(22) 출원일자 1993년12월27일
(65) 공개번호 특1994-017111
(43) 공개일자 1994년07월25일

(30) 우선권주장 92-349524 1992년12월28일 일본(JP)
93-188861 1993년06월30일 일본(JP)

(73) 특허권자 가부시기가이샤 도시바 사또오 후미오
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72
(72) 발명자 마에다 타다히코
일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 쵸오 1 가부시기가이샤 도시바 종합 연구소나이
이이노 고지
일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 쵸오 1 가부시기가이샤 도시바 종합 연구소나이
오바야시 슈이치
일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 쵸오 1 가부시기가이샤 도시바 종합 연구소나이
세키네 시유이치
일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 쵸오 1 가부시기가이샤 도시바 종합 연구소나이
(74) 대리인 이상섭, 나영환

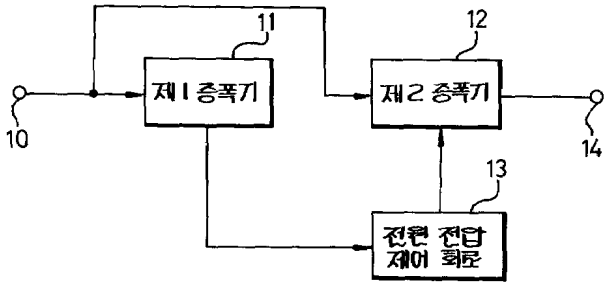
심사관 : 김재문

(54) 전력 증폭 장치

요약

본 발명은 선형성과 높은 동작 효율을 양립시킬 수 있고 또 출력의 S/N이 높으며 온도 보상이나 증폭 소자의 불균일 보상이 용이한 전력 증폭 장치를 제공한다. 본 발명의 전력 증폭 장치는 입력 신호를 증폭하는 제1의 증폭기(11)와, 제1의 증폭기(11)의 입력 신호를 증폭하는 제2의 증폭기(12)와, 제1의 증폭기(11) 전원 전류에 따라서 제2의 증폭기의 전원 전압을 제어하는 전원 전압 제어 회로(13)를 구비한다.

대표도



명세서

[발명의 명칭]

전력 증폭 장치

[도면의 간단한 설명]

제1도는 제1 실시예에 관한 전력 증폭 장치의 구성을 나타내는 도면.

제2도는 제2 실시예에 관한 전력 증폭 장치의 구성도.

제3도는 제3 실시예에 관한 전력 증폭 장치의 구성도.

제4도는 드레인 제어 선형 상승기(linear riser)의 원리를 설명하기 위한 도면.

제5도는 제1~제3 실시예에 있어서의 제1 증폭기의 드레인 전류에 대한 제2증폭기의 드레인 전압의 제어 목표치와 드레인 전압 제어의 허용 오차 범위를 나타내는 도면.

제6도는 제4 실시예에 관한 전력 증폭 장치의 구성도.

제7도는 동 실시예에 있어서의 여진단 FET의 드레인 전류와 종단 FET의 드레인 전압과의 관계를 게이트 바이어스를 파라미터로서 나타내는 특성도.

제8도는 동 실시예에 있어서의 온도 변화에 의한 입출력 특성의 변화를 나타내는 특성도.

제9도는 동 실시예에 있어서의 입력 전력이 작은 경우와 최대 레벨의 경우의 온도 변화에 의한 여진단 FET의 드레인 전류의 변화를 나타내는 특성도.

제10도는 동 실시예에 있어서의 설계 온도가 다른 경우의 여진단 FET 의 드레인 전류와 종단 FET 의 드레인 전압과의 관계의 변화를 나타내는 특성도.

제11도는 제5 실시예에 관한 전력 증폭 장치의 구성도.

제12도는 제11도에 있어서의 점선으로 나타낸 계수 발생기의 특성을 설명하기 위한 도면.

제13도는 제11도의 전력 증폭 장치의 출력 파형을 나타내는 도면.

제14도는 제11도의 전력 증폭 장치의 온도를 파라미터로한 입출력 특성을 나타내는 도면.

제15도는 비교예의 전력 증폭 장치의 온도를 파라미터로한 입출력 특성을 나타내는 도면.

제16도는 제6 실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제17도는 제7 실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제18도는 제8 실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제19도는 제9 실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제20도는 제10실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제21도는 제11실시예에 관한 전력 증폭 장치의 구성을 나타내는 도면.

제22도는 제2도의 전력 증폭 장에에 대하여 인접 채널 누설 전력을 충족시킨 경우의 전력 부가 효율을 측정한 결과를 나타내는 도면.

제23도는 제12 실시예에 관한 전력 증폭 장치의 구성도.

제24도는 제23도의 전력 증폭 장치에 대하여 게이트 바이어스를 최적으로 조정하여 입력 전력과 초단 FET 의 드레인 전류와의 관계를 측정한 결과를 나타내는 도면.

제25도는 제23도의 전력 증폭 장치에 대하여 게이트 바이어스를 최적치로부터 1V 변화시켜서 입력 전력과 초단 FET 의 드레인 전류와의 관계를 측정한 결과를 나타내는 도면.

제26도는 제13 실시예에 관한 초단 FET 의 드레인 전류와 종단 FET 의 드레인 전압과의 관계를 나타내는 도면.

제27도는 제14 실시예에 관한 전력 증폭 장치의 구성도.

제28도는 제27도의 전력 증폭 장치의 초단 FET 의 드레인 전류와 종단 FET 의 드레인 전압과의 관계를 나타내는 도면.

제29도는 제15 실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제30도는 제16 실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제31도는 제30도의 동작을 설명하기 위한 타이밍도.

제32도는 제17 실시예에 관한 전력 증폭 장치의 주요부의 구성도.

제33도는 종래의 드레인 제어 선형 상승기를 사용한 전력 증폭 장치의 일예를 나타내는 도면.

제34도는 종래의 드레인 제어 선형 상승기를 사용한 전력 증폭 장치의 다른 예를 나타내는 도면.

제35도는 제34도의 전력 증폭 장치에 대하여 인접 채널 누설 전력을 충족시킨 경우의 전력 부가 효율을 측정한 결과를 나타내는 도면.

제36도는 제34도의 전력 증폭 장치에 대하여 게이트 바이어스를 최빈치(最頻値)로 하여 인접 채널 누설 전력을 충족시킨 경우의 전력 부가 효율을 측정한 결과를 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

11 : 제1 증폭기 12 : 제2 증폭기

13 : 전원 전압 제어 회로 15 : 검출회로

21 : 여진단 FET 24,51 :종단 FET

28,55,75 :드레인 전류 검출 저항 30 : 아날로그 계수 발생기

31,91: 드레인 전압 제어 회로 39 : 구동용 FET

57,77 : 전치 증폭기　　58,79 :차동 증폭기

59,80 : 기준 전압　　60,81 : 출력 제어 회로

61 : 고조파 입력 상태 신호　　71 : 초단 FET

78 : 적분 회로　　82 : 변조 상태 신호

[발명의 상세한 설명]

본 발명은 휴대 전화기에 있어서 송신기 등에 사용되는 선형화된 전력 증폭 장치에 관한 것이다.

송신기에 있어서, 전력 증폭기는 가장 많은 전력을 증폭하는 요소이기 때문에 동작 효율이 중요하다. 이 때문에 예컨대 아날로그 FM 이동 무선용의 송신기에서는 C급 등의 고효율의 전력 증폭기가 사용되고 있다. 또 휴대 전화기에서는 전지의 소형화 및 통화 시간의 연장을 위하여 전력 증폭기의 효율은 매우 중요하므로 C급 보다 더욱 효율이 높은 F급의 전력 증폭기가 이용되고 있다.

그런데 휴대 전화는 현재, 종래의 아날로그 FM 방식에서 디지탈 방식으로의 이행이 진행되고 있다. 이 새로운 디지탈 방식의 휴대 전화기에 사용되는 전력 증폭기는 디지탈 변조 신호인 QPSK 파를 증폭하기 위하여 아날로그 FM 방식의 경우와는 달리 선형성이 매우 중요하게 된다. 즉, 전력 증폭기로서는 선형성을 유지하면서 동작 효율이 보다 높은 것이 요구된다. 동작 효율을 향상시키기 위해서는 증폭기 자체를 포화 영역에서 동작시킬 필요가 있으나, 이것은 증폭기를 비선형 동작시키지 않으면 안되기 때문에, 어떠한 수단에 의하여 선형성을 개선하지 않으면 안된다.

이와 같은 배경에서, 선형 상승기라고 칭하는 선형성 보상 회로가 제안되고 있다. 선형 상승기는 몇가지 방식으로 분류되는데 그 중에서도 드레인 제어 선형 상승기가 효율 개선에 가장 유효한 것으로 고려되고 있다.

제33도는 종래의 드레인 제어 선형 상승기를 사용한 전력 증폭 장치의 일예를 나타내는 블록도이다. 전력 증폭기(1)의 입출력 특성에 따른 디지탈값을 미리 기록한 ROM(2)을 준비하고, 도시 생략된 변조기로부터 공급되는 디지탈 변조 신호(QPSK 파)의 I,Q성분을 입력하여 전력증폭기(1)의 입력신호 진폭에 대응하는 디지탈값을 독출하고, 이것을 D/A 컨버터(3)에서 아날로그 전압으로 변환한 후, 전원 전압 제어 회로(4)에 제어 신호로서 공급함으로써 전력 증폭기(1)의 입출력 특성이 직선적이 되도록 증폭기(1)의 전원 전압, 예컨대 FET 의 드레인 전압을 제어하고 있다. 이 제33도의 구성은 원리적으로는 동작하지만 이하와 같은 많은 결점을 갖는다.

먼저, ROM(2)이나 D/A 컨버터(3) 등의 디지탈 회로가 필요하기 때문에 디지탈 회로 특유의 잡음이 송신 신호의 S/N 을 열화시킨다. 이것은 데이터 전송 속도가 높은 광대역 증폭기의 경우, 특히 심각한 문제가 된다. 이 문제는 잡을 발생원인 입력 신호 진폭의 검출계 및 전원전압 제어계를 전력 증폭기(1)로부터 분리시켜 설치함으로써 해결하는 것으로 고려될 수 있지만, 그 경우에는 온도 보상 등의 전력 증폭기(1)의안정 동작에 불가결한 제어를 유효하게 실시하는 것이 곤란하게 된다.

또한, 디지탈 회로, 특히 D/A 컨버타(3)는 소비 전력이 크기 때문에 효율을 높여서소비 전력을 저감한다고 하는 본래의 목적에 반대가 된다.

또한 제33도의 구성에서는 ROM(2)에 전력 증폭기(1)의 비선형인 입출력 특성의 정보를 미리 기억시킬 필요가 있기 때문에 변조기와 전력 증폭 장치를 한 세트로 설계할 필요가 있고, 전력 증폭 장치를 자기 완결적으로동작시킬 수가 없다. 이것은 설계상의 자유도를 좁히게 되어 바람직하지 않다.

제34도는 종래의 드레인 제어선형 상승기를 사용한 전력 증폭 장치의 다른 예를 나태내는 블록도이다. 입력 신호를 방향성 결합기(5)를 통하여 2 분기하고 한쪽을 전력 증폭기(1)로 다른쪽을 검파기(6)로 각각 유도하고, 검파기(6)의 출력을 A/D 컨버터(7)에서 디지탈화 한후, ROM(8)에 의하여 입력 신호 진폭에 대응하는 디지탈값을 만들고, 이것을 D/A컨버터(3)에서 아날로그 신호로 변환하여 전원 전압 제어 회로(4)에 제어 신호로서 공급하는 구성으로 되어 있다.

이 제34도의 구성은 D/A 컨버터(3), A/D 컨버터(7) 및 ROM(8)을 사용하기 때문에 제33도의 구성과 같이 디지탈 회로가 발생하는 잡음에 의한 송신 신호의 S/N열화, 소비 전력의 증가라는 결점을 갖는점 이외에 소형화가 어려운 방향성 결합기(5)를 필요로하기 때문에, 이것을 포함하는 입력 신호진폭 검출계와 전원 전압 제어계를 전력 증폭기(1)에 일체화하는 것은 기술적으로 곤란하고, 온동 보상의 실시는 한층 어려워진다.

또 전력 증폭기(1)보다 전단에서 방향성 결합기(5)에 의해 입력 신호를 분기하여 입력 신호 진폭을 검출하고 있으므로, 전력 증폭기(1)를 일반적으로 잘 사용되는 2단 구성으로 할 경우 초단의 증폭 특성의 변동, 예컨대 이득이나 바이어스의 변동이 있어도 그것을 검출할 수 없고, 이들의 변동에 대응할 수 없다는 결점도 있다.

또, 제33도 및 제34도의 구성은 모두 본질적으로 오픈 루프 제어이기 때문에 전력 증폭기(1)에 있어서의 개개의 증폭 소자의 특성이 평균치에서 벗어난 경우, 이것을 적시에 보상하기가 곤란하다. 이 문제를 실제의 측정 결과를 제시하여 설명한다.

2단 구성의 전력 증폭기에 있어서의 초단 및 종단의 FET 의 게이트 바이어스, 즉 게이트·소스간 전압(Vgs)을 조정하는데 따른 선형성의 개선을 10개의 샘플에 대하여 개별적으로 행하고, 그들 10개의 샘플중 대표적인 5개의 샘플에 대하여 인접 채널 누설 전력을 충족시킨 경우의 전력 부가 효율을 측정한 결과를 제35도에 도시한다. 인접 채널 누설 전력-50dB 에 있어서 42% 이상의 전력 부가 효율이 실현되고, 1W 이상의 송신 전력이 확보되어있음을 알 수 있다, 이 최적 조건에서의 초단 FET 의 게이트 바이어스는 -4.3V~5.4V 이고 최빈치는 -5.1V 였다. 또 종단의 FET 의 게이트 바이어스는 -3.0V~-3.4V이고, 최빈치는 -5.1 였다.

실제로는 개개의 샘플마다 트리밍을 행하여 게이트 바이어스를 조정하는 일은 양산성의 면에서 바람직하

지 않기 때문에 게이트 바이어스를 상술한 바와같은 최빈치로하는 방법이 고려된다. 이 방법을 채용한 경우의 동일한 측정 결과를 제36도에 도시한다. 최빈치라고는 하지만 최적치와는 약간 값이 상이하기 때문에, 특성이 열화하고 있다. 인접 채널 누설 전력-50dB 에 있어서 전력 부가 효율이 35% 로 저하하고, 송신 전력도 0.6W 이하로 저하하였다. 또, 특히 개개의 불균형이 크게되는 것을 확인할 수 있다.

이와 같은 불균형의 대책을 위하여 자주 사용되는 방법으로서 전력 증폭기의 출력을 모니터하여 소망치와의 차를 제거하기 위하여 피드백 제어를 행하는 방법이 제안되고있으나, 고주파를 취급하는 전력 증폭기의 경우 출력을 모니터하기 위한 검출회로의 규모가 커지고 소형화에 적합한 방법이라고 말할 수없다. 또 모놀리식화 IC 에 적합하지 않기 때문에 휴대전화기와 같은 소형무선기기에사용되는전력 증폭기에는 적합하지않다.

상술한 바와 같이 종래 방식의 드레인 제어 선형 상승기를 사용한 전력 증폭 장치에서는 입력 신호 진폭의 검출에 디지탈 회로를 필요로 하기 때문에 디지탈 회로에서 발생하는 잡음에 의하여 송신 신호의 S/N 비를 열화시키고, 또 디지탈 회로의 사용에 의하여 소비 전력이 증가하는 문제나 입력 신호 진폭 검출계 및 전원 전압 제어계를 전력 증폭기에 일체화하는 것이 곤란하기 때문에 온도 보상이 곤란하고, 더욱이 증폭 소자의 불균형을 보상하는 일도 곤란하기 때문에 안정된 동작을 얻기 어렵다는 문제가 있었다.

본 발명은 이와 같은 종래 기술의 문제점을 해소하고, 선형성과 높은 동작효율을 양립할 수 있으며, 또 출력의 S/N 비가 높고, 온도보상이나 증폭 소자의 불균형 보상이 용이한 전력 증폭 장치를 제공하는 것을 목적으로 한다.

상기한 과제를 해결하기 위하여 본 발명의 전력 증폭 장치는 입력 신호를 증폭하는 제1 증폭 수단과, 제1 증폭 수단의 입력 신호 또는 출력 신호를 증폭하는 제2 증폭 수단과, 제1 증폭 수단의 전원 전류에 따라서 제2 증폭 수단의 전원 전압을 제어하는 제어 수단을 구비하는 것을 특징으로 한다.

보다 구체적으로는 제어 수단은 예컨대 제1 증폭 수단의 전원 전류에 대응하는 신호를 입력으로 하는 아날로그 계수 발생기를 포함하고, 이 계수 발생기의 출력에 따라서 제2 증폭 수단의 전원 전압을 제어한다. 이 경우, 제1 증폭 수단의 전원 전류와 제2 증폭 수단의 전원 전압과의 관계가 일의적으로 정해지는 관계, 다시말해서 양자의 관계가 1 대 1 이 되도록 제1 증폭 수단 및 제2 증폭 수단의 입력 바이어스를 설정하는 것이 바람직하다.

또, 본 발명의 전력 증폭 장치는 입력 신호를 증폭하는 제1 증폭 수단과, 제1증폭 수단의 출력 신호를 증폭하는 제2 증폭 수단과, 제2 증폭수단의 전원 전압을 제1 증폭 수단의 온도에 의존하여 증가하는 전원 전류에 따라서 제어하는 제어 수단을 구비하는 것을 특징으로 한다.

또, 본 발명은 고주파 입력을 증폭하는 다단 구성의 전력 증폭 장치에 있어서, 종단의 전력 증폭 수단의 전원 전류를 검출하여 이 전원 전류에 따른 출력 신호를 얻는 전류 검출 수단과, 이 전류 검출 수단의 출력 신호와 기준 신호와의 차를 검출하여 그차에 따른 출력 신호를 얻는 차신호 검출 수단과, 상기 고주파 입력이 있을때 이 차신호 검출 수단의 출력 신호를 검출하여고주파 입력이 없는 기간중에는 상기 차신호 검출 수단의 출력 신호를 유지함으로써 제어 신호를 발생하고, 이 제어 신호에 의하여 상기 종단의 전력 증폭 수단의 입력 바이어스를 제어하는 제어수단을 구비한 것을 특징으로 한다.

또, 본 발명은 변조 신호로 이루어지는 고주파 입력을 증폭하는 다단 구성의 전력 증폭 장치에 있어서, 초단의 전력 증폭 수단의 전원 전류를 검출하여 이 전원 전류에 따른 출력 신호를 얻는 전류 검출 수단과, 이 전류 검출 수단의 출력 신호를 상기 고주파 입력의 변조 신호 주기 이상의 시정수로 적분하는 적분 수단과, 이 적분 수단의 출력 신호와 기준 신호와의 차를 검출하여 그 차에 따른 출력 신호를 얻는 차 신호 검출 수단과, 상기 고주파 입력의 변조가 있을 때 이 차신호 검출 수단의 출력 신호를 검출하여 상기 고주파 입력의 변조가 없는 기간중에는 상기 차신호 검출 수단의 출력 신호를 유지함으로써 제어 신호를 발생하고, 이 제어 신호에 의하여 상기 종단의 전력 증폭 수단의 입력 바이어스를 제어하는 제어 수단을 구비한 것을 특징으로 한다.

본 발명에 있어서는 제1 증폭 수단이 예컨대 AB급 또는 A급 동작을 갖는 선형성이 양호한 증폭기인 경우, 그 전원 전류가 입력 신호 진폭에 대응하는 것에 착안하여 이 전원 전류에 따라서 제2 증폭 수단의 전원 전압을 제어한다. 이것에 의하여 제2 증폭 수단이 예컨대 F급 동작의 증폭기와 같이 선형성이 나쁜 경우에도 드레인 제어 선형 상승기의 원리에 의하여 선형성이 우수한 고효율의 전력 증폭 장치를 얻을 수 있다.

이 전력 증폭 장치는 종래의 드레인 제어 선형 상승기와는 달이 입력 신호진폭 검출계에 디지탈 회로를 사용할 필요가 없기 때문에 디지탈 회로가 발생하는 잡음에 의한 출력의 S/N 비 열화나 소비 전력의 증대라는 문제가 없고, 또 입력 신호 진폭 검출계 및 전원 전압 제어계를 증폭부와 일체화할 수 있기 때문에, 온도 보상이나 증폭 소자의 불균형 보상의 실시가 용이하게 된다. 또한, 제1 증폭 수단의 전원 전류로부터 입력 신호 진폭을 검출하기 위하여 2단 구성의 전력 증폭 장치를 구성할 경우, 초단(제1 증폭 수단)의 이득이나 바이어스 등의 증폭 특성의 변동도 전원 전류의 변화로서 병합해서 검출할 수 있고, 이들 변동에 대응한 제어가 가능해진다. 더욱이 이 전력 증폭 장치는 변조기 등의 다른 부분과 독립하여 자기 완결적으로 실현할 수 있기 때문에 설계의 자유도가 높고, 다른 부분과의 신호선도 적어도 된다.

또 제1 증폭 수단의 전원 전류에 따라서 제2 증폭 수단의 전원 전압을 제어하는 제어 수단이 아날로그 계수 발생기를 포함할 경우 양자의 관계가 1 대 1 이 되도록 제1 및 제2 증폭 수단의 입력 바이어스를 설정함으로써, 계수 발생기의 실현이 용이하게 되고, 또 계수 발생기의입출력 특성을 선택함으로써 전력 증폭 장치의 선형성을 개선할 수 있다.

또, 제1 증폭 수단의 온도에 의존하여 증가하는 전원 전류에 따라서 제2 증폭 수단의 전원 전압을 온도에 의존하여 증가하도록 제어함으로써 전력 증폭 장치의 선형성의 개선과 동시에 온도 보상도 가능해지고 온도에 대하여 안정된 입출력 특성을 얻을 수 있다.

또 본 발명에서는 고주파 입력을 증폭하는 다단 구성의 전력 증폭 장치에 있어서, 동단의 전력 증폭 수단의 전원 전류에 따른 신호와 기준 신호와의 차신호를 고주파 입력이 있을 때 검출하고, 고주파 입력이 없

는 기간중에 유지하여 얻어지는 제어 신호에 의하여 종단의 전력 증폭 수단의 입력 바이어스를 제어함으로써, 낮은 왜곡을 실현할 수 있는 조건으로 종단의 전력 증폭 수단의 전원 바이어스 전원 바이어스 전류를 제어할 수 있게 된다.

더욱이 본 발명에서는 변조 신호로 이루어지는 고주파 입력을 증폭하는 다단 구성의 전력 증폭 장치에 있어서 종단의 전력 증폭 수단의 전원 전류에 따른 신호를 고주파 입력의 변조 신호주기 이상의 시정수로 적분하고, 그 적분한 신호와 기준 신호와의 차신호를 고주파 입력의 변조가 있을 때 검출하고 변조가 없는 기간중에 유지하여 얻어지는 제어 신호에 의하여 종단의 전력 증폭 수단의 입력 바이어스를 제어함으로써 낮은 왜곡을 실현할 수 있는 조건으로 초단의 전력 증폭 수단의 전원 바이어스 전류를 제어할 수 있게 된다.

이들 구성에 의해서도 디지탈 회로를 사용하는 일이 없이 선형성이 우수한 전력 증폭 장치의 선형화가 가능해지기 때문에 출력의 S/N 비 열화나 소비 전력의 증대라는 문제가 해결된다. 또 선형화 제어를 위한 검출계 및 제어계는 회로 규모가 작기 때문에 증폭부와 일체화하는 일이 가능하기 때문에 온동보상이나 증폭 소자의 불균형 보상이 용이하게 된다. 또 이 전력 증폭 장치도 자기 완결적으로 실현할 수 있고 설계의 자유도 등의 면에서 유리하게 된다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

제1도는 제1 실시예에 관한 전력 증폭 장치의 블록도이다. 단자(10)에 입력되는 입력 신호는 2분기되어 제1 증폭기(11)와 제2 증폭기(12)에 공급된다. 제1 증폭기(11)는 예컨대 A급 또는 AB급 증폭기 등의 선형성이 양호한 전력 증폭기이고, 제2 증폭기(12)는 예컨대 F급 증폭기 등의 고효율이지만 선형성이 나쁜 전력 증폭기이다. 전원전압 제어 회로(13)는 제1 증폭기(11)로부터 전원 전류에 따른 신호를 검출하고, 그에 따라서 제2 증폭기(12)의 전원 전압을 제어함으로써 제2 증폭기(12)를 선형화시키는 것이다.

즉, 제1증폭기(11)는 설사 A급 동작이라도 사용하는 증폭 소자(FET 또는 바이폴라 트랜지스터)의 특성에 의하여 그 전원 전류(예컨대 드레인 전류)는 입력 신호 진폭에 의하여 변동한다. 특히 제 1증폭기(11)가 AB급 동작일 경우, 그 전원 전류는 입력 신호 진폭에 비례한다. 이 때문에 전원 전압 제어 회로(13)에 의하여 제1 증폭기(11)의 전원 전류에 따라서 제2 증폭기(12)의 전원 전압 (예컨대 드레인 전압)을 제어함으로써 제2 증폭기(12)의 입출력 특성을 선형화하는 것이 가능하고, 단자(14)에서 낮은 왜곡의 출력 신호를 얻을 수 있다.

제2도는 제2 실시예에 관한 전력 증폭 장치의 블록도로서, 제1 증폭기(11)의 전원 전류로부터 입력 신호 진폭을 검출하기 위한 검출회로(15)를 별도로 설치하고 있다. 이 검출회로(15)의 출력 신호는 전원 전압 제어회로(13)로공급되고, 전원 전압 제어 회로(13)는 제1도의 경우와 동일한 제어를 행한다.

제3도는 제3 실시예에 관한 전력 증폭 장치의 블록도로서, 제1 증폭기(11)와 제2 증폭기(12)는 종속 접속되어 있다. 즉, 이 전력 증폭 장치는 2단 구성이고, 초 단의 제1종폭기(11)는 종단의 제2 증폭기(12)의 여진단으로 되어 있다. 이 경우도 제2도와 같이 검출회로(15) 및 전원 전압 제어 회로(13)를 설치하여, 제1 증폭기(11)의 전원 전류에 따라서 제2 증폭기(12)의 전원 전압을 제어함으로써 제2 증폭기(12)의 입출력 특성을 선형화할 수 있다.

이상의 실시예에 있어서 제2 증폭기(12)의 증폭 소자에 FET 사용한 경우 전원 전압 제어 회로(13)는 드레인 제어 선형 상승기를 구성한다. 제4도는 이 드레인 제어 분석기의 원리를 나타내는 도면이고, 횡축은 입력 신호 진폭, 종측은 출력 신호 전력이다. 입력 신호 진폭의 변화에 대하여 제2 진폭기(12)의 전원 전압, 즉 드레인 전압을 직선 A와의 교점상에 위치하도록 제어함으로써 제2 증폭기(12)의 포화 특성, 즉 고효율 특성을 유지하면서 선형성을 유지할 수 있다.

제5도는 실험 데이터를 기초로 작성한 제1 증폭기(11)의 드레인 전류 Id1이과 제2 증폭기(12)의 드레인 전압 Vd2 와의 관계를 나타내는 그래프이다. 제5도중 파선은 드레인 전압의 제어 목표치이고, 실선은 드레인 전압 제어의 허용 오차 범위를 나타내고 있다. 실제의 장치에서는 반드시 유한의 제어오차를 수반하므로, 이와 같은 허용 오차 범위를 설정하고 있다. 이 허용 오차 범위는 제2 증폭기(12)의 출력 신호 전력의 오차가 0.2dB 가 되는 조건에서 구한 것이지만, 이것은 필요로 하는 선형성에 따라서 설정하면 된다.

이와 같이 본 발명의 전력 증폭 장치에서는 제1 증폭기(11)의 전원 전류로부터 입력 신호 진폭을검출하고, 그 진폭에 따라서 제2 증폭기(12)의전원 전압을 제어하기 때문에 제33도 및 제34도에도시한 종래의 전력 증폭 장치에 있어서의 결점의 대부분이 해결된다. 즉, 입력 신호 진폭의 검출 회로에 디지탈 회로를 필요로 하지 않기 때문에 잡음의 발생에 의한 출력의 S/N 비 저하나 소비 전력의 증가의 문제가 없다. 또한, 제33도와 같이 변조기와 전력 증폭기와의 사이에 신호선을 추가할 필요가 없고, 더욱이 변조기와 전력 증폭기를 독립하여 설계할 수 있으며, 설계의 자유도를 확장할 수 있다. 또, 입력 신호진폭의 검출을 위하여 제34도에 있어서의 방향성 결합기(5)나 검파기(6)와 같은 소형화에 장해가 되는 부품이 필요없게 된다.

또 검출회로(15)나 전원 전압 제어회로(13)는 회로 규모가 작기 때문에 증폭기(11,12)와 일체화하는 것이 용이하다. 이것에 의하여 검출회로(15) 및 전원 전압제어 회로(13)에 대하여 증폭기(11,12)와 동일한 온도 변화를 갖게 할 수 있으므로 전원 전압 제어회로(13)에 의한 3제어 신호의 온도 보상을 용이하게 실시할 수 있다. 그 위에 이와같이 검출회로(15)와 전원 전압 회로(13)를 증폭기(11,12)와 일체로 IC화한 경우, 사용하는 트랜지스터 등의 소자의 특성의 불균형이 적고 동일한 특성이 쉽게 얻어지므로 보상 회로가 간단하게 된다.

또한 일반적으로 잘 사용되는 2단 구성의 전력 증폭 장치에 있어서 제34도와 같이 전력 증폭 장치에 도달하기 이전에 입력 신호 진폭의 검출을 행하지 않고 초단의 증폭기(제1 증폭기(11)의 전원 전류를 검출함으로써 입력 신호진폭을 검출하기 때문에 초단의 증폭 특성의 변동, 예컨대 이득 변동이나 바이어스 변동이 있어도 이 변동에 의하여 종단의 증폭기(제2 증폭기 (12))의 전원 전압 제어가 영향을 받는 일이없이 안정된 동작을 기대할 수 있다.

제6도는 제3도의 실시예를 보다 구체화한 제4 실시예를 나타내는 도면이다. 제6도에 있어서 단자(20)에 입력되는 신호는 제1 증폭기(11)에 상당하는 여진단 FET(21)의 게이트에 공급된다. 여진단 FET(21)은 예건대 AB급으로 동작하는 것으로 한다. FET(21)의 드레인에는 공진회로(22)가 접속되고 공진회로(22)의 출력측은 결합 커패시터(23)를 통하여 제2 증폭기(12)에 상당하는 종단의 F급 전력 증폭용 FET(이하 종단 FET)(24)의 게이트가 접속된다. 종단 FET(24)의 드레인은 고조파 처리 회로(25)에 접속된다. 고조파 처리 회로(25)는 종단 FET(24)를 F급 동작시키기 위하여 홀수차 고조파에 대하여 오픈, 짝수차 고조파에 대하여 쇼트가 되는 회로이고, 그 출력측은 결합 커패시터(26)를 통하여 출력단자(27)에 접속된다.

여진단 FET(21)의 드레인에는 공진회로(22) 및 드레인 전류 검출 저항 (28)을 통하여 드레인 전압이 인가된다. 드레인 전류 검출 저항(28)은 여진단 FET(21)의 드레인 전류를 검출하여 그 전류에 비례한 전압을 발생하는 것이고, 그 양단에는 교류 결합용 커패시터(29a,29b)를 통하여 아날로그 계수 발생기(30)가 접속되고, 아날로그 계수 발생기(30) 출력은 드레인 전압 제어 회로(31)에 입력되어 있다. 드레인 전류 검출 저항(28), 커패시터(29a,29b) 및 아날로그 계수 발생기(30)가 제3도에 있어서의 검출 회로(15)에 상당한다. 또 드레인 전압 제어회로(31)는 제3도의 전원 전압 제어 회로(13)에 상당하고, 아날로그 계수 발생기(30) 출력에 의하여 제어된 드레인 전압을 고주파 처리 회로(25)를 통하여 종단 FET(24)의 드레인에 공급한다.

캐패시터(29a,29b)는 아날로그 계수 발생기(30)를 교류적으로 드레인 전류 검출 저항(28)과 결합함으로써 여진단 FET(21)의 직류적인 오프 세트를 경감하기 한 것이다. 또한, 커패시터(29a,29b)는 온도 변동에 의한 FET(21)의 바이어스점의 변동의 영향도 경감하여 FFT(21)의 드레인 전류의 보다 정확한 검출을 가능하게하고 드레인 제어 선형 상승기의안정 동작을 도모하는데도 효과가 있다. 또 커패시터(29A,29b)를 제거하고 아날로그 계수 발생기(30)를 드레인 전류 검출 저항(28)에 직접 접속해도된다.

여기서 실제로 전력 증폭 장치를 설계함에 있어서 중요한 조건이 있다. 그것은 여진단 FET(21)의 드레인 전류(전원 전류)와 종단 FET(24)의 드레인 전압(전원 전압)과의 관계가 1 대 1 이 되도록, 즉 전자에 대하여 후자가 일의적으로 정해지는 관계로하는 것이다. 양자의 관계는 FET(21,24)의 게이트 바이어스(입력바이어스) 조건으로 변화한다. 이 사실을 구체적인 측정 데이터를 참조하여 상세하게 설명한다.

제7도는 주위 온도를 고정한 뒤에 FET(21,24)의 게이트 바이어스를 파라미터로하여 전력 증폭 장치의 선형성이 얻어지도록 아날로그 계수 발생기(30)를 설계한 경우의 여진단 FET(21)의 드레인 전류 Id1과 종단 FET(24)의 드레인 전압 Vd2 와 관계를 나태내고 있다. 곡선 A 에서는 Id1 과 Vd2 는 1 대 1 의 관계이고, 이 관계는 계수 발생기(30)에 의해 용이하게 기술할 수 있다. 다시말해서 계수 발생기(30)의 실현이 용이하게 된다. 한편, 곡선 B,C 에서는 Id1 과 Id1의 관계는 1 대 1 이 아니고, Id1이 비교적 작은 영역에서 동일한 Id1에대하여 Vd2를 2종류 발생시킬 필요가 있기 때문에, Id1과 Vd2 의 관계의 과거의 이력을 기초로 Vd2를 결정하지 않으면 안되고, 계수 발생기(30)의 실현이 곤란하고 제어가 복잡해진다.

여기서 본 발명자들의 실험에 의하면, FET의 게이트·소스 사이를 단락하고, 충분한 드레인 전압을 인가한 때에 흐르는 포화 드레인 전류(Idss라 한다)로 환산한 FET(21,24)의 적절한 게이트 바이어스를 구하였는바, FET(21)에 대하여는 (1/8)Idss21 이하, FET(24)에 대하여는 (1/4) Idss24의 범위로 선정함으로써 제7도의 곡선 A와 같은 Id1과 Vd2 와의 1 대 1의 관계가 없어지므로 발견하였다. 다만 이와 같은 게이트 바이어스의 조건은 FET(21,24)의 고주파 종단 조건에 의하여 변화하기 때문에 어디까지나 Id1 과 Vd2과 1 대 1 의 관계가 되도록 조건을 설정하는 것이 기본이다.

또 본 실시예에 의하면 전술한 제1 ~제3 실시예에 의한 이점에 부가하여 온도변화에 의한 전력 증폭 장치의 특성 변동, 예컨대 이득 변동이 생겨도 자기 보상되어서 안정된 동작을 얻을 수 있다는 이점이 있다.

이와같은 이점에 대하여 구체적인 측정 데이터를 사용하여 상세히 설명한다. 전력 증폭 장치에서는 큰 발열이생기고, 그 내부 온도는 주위 온도나 동작 시간 등의 제반 조건으로 변화한다. 제8도는 제6도와 같은 2 단 구성의 전력 증폭 장치의 입출력 특성(입력 전력 Pin 과 출력 전력 Pout의 관계)을 온도를 파라미터로하여 측정한 결과를 도시한 것이고, 0 ℃,50℃,100℃의 경우의 특성에 대하여 나타내고 있다. 온도 상승에 수반하여 동일한 입력 전력에 대하여 출력 전력이 저하하는 것을 알 수 있다. 따라서 온도가 상승한 경우에도 낮은 온도의 경우와 동일한 출력 전력을 유지하기 위해서는 입력 전력을 증가시키든가 혹은 종단 FET(24)의 드레인 전압 Vd2를 상승시킬 필요가 있다.

그래서, 다음에 온도가 변화한 경우의 여진단 FET(21)의 드레인 전류 Id1 을 제9도에 도시한다. 제9도의 (a)는 입력 전력 Pin 이 작고 여진단 FET(21)가 거의 아이들 (Id1e)상태로 동작하고 있을 경우, 제9도의 (b)는 입력 전력 Pin이 최대 레벨의 경우이고, 횡축은 온도 Tcj이다. 어느 경우든 온도 상승에 수반하여 드레인 전류 Id1이 가 증대하는 경향에 있음을 알 수 있다. 또 제9도의 (a),(b)에 의하면 Pin이 작고 여진단 FET(21)가 아이들 상태에 있을 때는 50 ℃의 온도 상승에 대하여 Id1은 약 10% 정도증가하고, Pin 이 최대 레벨의 상태에서는 동일한 온도 상승에 대하여 Id1은 약 5% 증가한다. 즉, 여진단 FET(21)의 드레인 전류 Id1이 은 온도상승에 수반하여 5~10% 정도 증가한다.

따라서 온도가 임의의 일정치(이것을 가령 기준 온도라 한다) 보다 상승한 경우 여진단 FFT(21)의 드레인 전류 Id1 이 증가함으로써 아날로그 계수 발생기(30)에는 기준온도에서의 드레인 전류에 대응한 전압보다도 증가한 전압이 입력되기 때문에 이아날로그 계수 발생기(30)는 종단 FET(24)의 드레인 전압 Vdl 이 기준 온도에서의 드레인 전압 보다도 증가하도록 드레인 전압 제어 회로(31)를 제어하게 된다. 이것은 온도가 상승하면 출력 전력 Pout 을 증가시키는 것을 의미하고, 제8도에 도시한 바와같은 온도에 의한 입출력 특성을 보상할 수 있다.

다음에, 아날로그 계수 발생기(30)의 바람직한 설계 순서에 대하여 설명한다. 상술한 바와 같은 온도 보상을 행하는 것을 고려할 때, 먼저 계수 발생기(30)를 온도 보상 범위의 상한으로 설계하고 점차 낮은 온도에 대하여 설계해 가는 방법과, 반대로 계수 발생기(30)를 온도 보상 범위의 하한으로 설계하고 점차 높은 온도에 대하여 설계해 가는 방법의 두가지를 생각할 수 있다.

제10도는 계수 발생기(30)를 여러 가지의 온도로 설계한 경우의 여진단 FET(21)의 드레인 전류 Id1이 과

종단 FET(24)의 드레인 전압 Vd2 와의 소망하는 관계를 나타낸 것인바, 0℃,50℃,100℃의 각각의 경우의 특성이다. 동 도면에 도시한 바와같이 대체로 0℃ 와 같은 낮은 온도에서 설계된 특성이 드레인 전류 Id1 에 대한 드레인 전압 Vd2 의 정의 구간을 넓게할 수 있으므로 예컨대, 100℃ 에서의 설계 특성에서 발생하는 사선으로 표시한 바와같은 미정의 구간, 즉 Id1에 대하여 Vd2를 정의할 수 없는 영역은 없앨 수 있고, 계수 발생기 (30)의 출력 전압에 불연속이 생기는 것을 피할 수 있다.

제11도는 제6도를 더욱 구체화하여 도시한 제5 실시예를 나타내는 도면이다. 제1 증폭기(11)인 제6도의 여진단 FET(21)의 드레인 전류에 따른 신호는 전치 증폭기(35)에 의해 증폭된후, 아날로그 계수 발생기(30)에 입력된다. 아날로그 계수 발생기(30)는 이 예에서는 연산 증폭기(36)와 제너 다이오드(37)로 이루어진 점선으로 도시된 아날로그 계수 발생기이고, 제12도에 도시한 바와 같이 제5도에 도시한 드레인 전류 Id1 과 드레인 전압 Vd2 의 관계의 허용 오차 범위인 파선으로 도시한 윈도우중의 값을 최소의 개수의 절선, 구체적으로는 A, B, C,의 3개로 근사한 것이다. 또, 당연한 것이지만 이 아날로그 계수 발생기(30)의 특성은 최종적으로 F급 중 폭용의 종단 FET(24)를 구동하는 FET(39)의 직류 특성 및 이 FET(39)를 구동하는 직류 증폭기(38)의 특성을 고려한 뒤에 결정한다.

제13도의 실선은 제11도의 전력 증폭 장치를 사용하여 800 MHz 대의 QPSK파를 증폭한 경우의 출력 파형을 스펙트럼 분석기의 표시 파형으로 도시한 것으로서 드레인 제어 선형 상승기를 사용하지 않은 경우의 파선으로 나타내는 출력 파형과 비교하여 인접 채널 누설 전력의 억압이 양호하게 행해지고 있음을 확인할 수 있다.

제14도는 제11도의 전력 증폭 장치를 사용하여 800 MHz 대의 QPSK 파를 증폭한 경우의 입출력 특성을 온도를 파라미터로 하여 도시한 것으로서, 0 ℃,50℃,100℃ 에서의 측정 결과를 나타낸 것이다. 또 참고예로서 제15도에 제34도에 도시한 종래의 전력 증폭 장치와 같은 입출력 특성을 나타낸다. 이들 결과로부터 본 실시예에 의해 온도 변화에 대한 출력 전력의 변화가 저감되는 것을 알 수 있다.

제16도는 제6 실시예의 주요부의 구성을 나타내는 도면으로서, F급 증폭용인 종단 FET(24)의 드레인측에 드레인 전압 제어 회로에 있어서의 구동용 FET(39)가 접속되고, 이 구동용 FET(39)에는 전지(41)로부터 직접 전원이 공급되고 있다. 한편 휴대 전화기 등의 무선기기에 있어서의 전력 증폭 장치 이외의 다른 무선부에는 전지 (41)로부터 안정화 전원회로(42)를 통하여 전원이 공급된다.

이와같이 제1도~제3도에 도시한 전원 전압 제어 회로(13)나, 제6도 또는 제11도의 드레인 전압 제어회로(31)의 전원전압 제어 기능을 이용함으로써 가장 전력을 소비하는 종단 FET(24)의 드레인측에 안정화 전원 회로를 설치할 필요가 없기 때문에 회로구성이 간단하게 되어 소형화를 도모할 수 있는 동시에 저소비 전력화가 가능해진다.

제17도는 제7 실시예의 주요부의 구성을 나타내는 도면으로서, 여진단 FET(21)의 전원 전류 검출을 스스측에 접속한 검출 회로(15)에 의하여 행하고 있다. 이 실시예에 의하면 부품 배치의 관계에서 검출회로(15)와 공진 회로(22)와의 분리가 용이하게 될 경우가 있다.

제18도는 제8 실시예의 주요부의 구성을 나타내는 도면으로서, 드레인 전압 제어 회로(31)는 종단 FET(24)의 소소측에 접속되어 있다. 이 실시예에 의해서도 FET(24)의 드레인 전압의 제어가 가능하다.

제19도는 제9 실시예의 주요부의 구성을 나타내는 도면으로서, 종단 FET(24)의 드레인측에 공진회로(43)를 통하여 드레인 전압 제어 회로의 구동용 FET(39)가 접속되고, 이 구동용 FET(39)에는 전지(41)로부터 직접 전원이 공급되고 있다. 한편 휴대전화기 등의 무선기기에 있어서의 전력 증폭 장치 이외의 다른 무선부에는 전지(41)로부터 안정화 전원 회로(42)를 통하여 전원이 공급된다.

제20도는 제7 실시예를 보다 구체화한 제10 실시예의 주요부의 구성을 나타내는 도면으로서, 여진단 FET(21)의 소스에 드레인 전류 검출 저항 (28)이 접속되고, 이 저항 (28)의단자 전압이 아날로그 계수 발생기(30)를 통하여 드레인 전압 제어 회로(31)에 입력되어 있다. 이것에 의하여 부품 배치의 관계에서 드레인 전류 검출 저항 (28)과 고주파 공진 회로(22)와의 분리가 용이해지는 경우가 있다. 또 이 실시예에 있어서도 드레인 전압 제어 회로(31)를출력단 FET(24)의 소스측에 접속해도 된다.

제21도는 제11 실시예에 관한 전력 증폭 장치의 구성을 나타내는 도면이다. 제21도에 있어서 단자(50)에는 도시 생략한 여진단으로부터 고주파 입력이 공급되고, 종단의 전력 증폭기를 구성하는 FET(이하, 종단 FET 라한다)(51)의 게이트에 주어진다. FET(51)의 드레인에는 동조회로(52)가 접속되고 동조회로 (52)의 출력측은 결합 커패시터(53)를 통하여 출력단자(54)에 접속되어 있다.

또 종단 FET(51)의 드레인에는 동조회로(52) 및 드레인 전류 검출 저항(55)을 통하여도시 생략한 드레인 전원에서 드레인 전압이 인가된다. 드레인 전류 검출 저항 (55)의 양단 전압은 커패시터(56a,56b)를 통하여 전치 증폭기(57)에 입력되고, 여기서 적당한 레벨까지 증폭된 후에, 차동 증폭기 (58)의한쪽 입력단에 입력된다. 차동 증폭기(58)의 다른쪽 입력단에는 종단 FET(51)의 소망하는 드레인 전류에 대응한 기준 전압(59)이 주어지고 있다. 따라서, 차동 증폭기(58)의 출력에는 전치 증폭기(57)의 출력 전압과 기준 전압(59)과 차전압이 얻어진다.

차등 증폭기(58)의 출력 전압은 출력 제어 회로 (60)에 입력된다. 출력 제어 회로(60)는 샘플 유지 회로에 의하여 구성되며, 종단 FET(51)로의 고주파 입력의 유무에 따른 고주파 입력 상태신호(61)가 샘플링 펄스로서 주어지고 있다.

즉, 추력 제어회로(60)는 고주파 입력 상태신호(61)가 「고주파 입력 있음」 을 지시하고 있을 때 샘플 상태가 되어 차동 증폭기(58)의출력 전압을 샘플링하고, 고주파 입력 상태 신호(61)가 「 고주파 입력 없음」 을 지시하고 있을 때 유지 상태가 되어 샘플링된 전압을 「고주파 입력 없음」의 기간중에 유지한다. 출력 제어회로(60)의 출력 전압은 고주파 저지용 인덕터(62)를 통하여 종단 FET(51)의 게이트에 제어신호로서 피드백되고, FET(51)의 게이트 바이어스(게이트 · 소스간 전압 Vgs)를 제어한다.

이와 같이 구성된 전력 증폭 장치에서는 종단 FET(51)의 드레인 전류가 기준 전압(59)으로정해지는 소망치가 되도록 제어된다. 따라서 기준 전압(59)을 적당히 정함으로써 낮은 왜곡을 실현할수 있는 조건으

로 종단 FET(51)의 드레인 전류를 합해서 입력시킬 수 있다.

본 실시예의 효과를 확인하기 위하여 행한 실험 결과를 이하에 도시한다. 종래의 기술의 항에서 기술한 바와 같은 2단 구성의 전력 증폭 장치를 사용하여 측정을 행하였다. 먼저, 이 전력 증폭 장치의 선형성을 최량으로 하는 동작 조건, 특히 종단의 드레인 전류를 분석하였는바, 최적의 동작 조건에서는 무신호시의 드레인 전류가 150mA 부근에 집중하고 있는 사실이 명백해졌다. 그래서, 무신호시의 종단의 게이트 바이어스를 조정하여 드레인 전류를 150mA 로하고 선형성의 개선이 도출될 수 있는지의 여부를 10개의 샘플에 대하여 측정하였다. 이들 10개의 샘플중 대표적인 5개의 샘플에 대하여 인접 채널 누설 전력을 충족시킨 경우의 전력 부가효율을 측저어한 결과를 제22도에 도시한다. 인접 채널 누설 전력 -50dB 에 있어서 42% 이상의 전력 부가 효율이 실현됨과 동시에 1W 이상의 송신 전력이 확보되고, 최적 조건의 경우와 거의 변하지 않는 결과를 얻을 수 있음을 안다.

제23도는 제12 실시예에 관한 전력 증폭 장치의구성을 보여주는 도면이다. 제23도에 있어서, 단자(70)에는 변조된 고주파 입력이 공급되고, 초단의 전력 증폭기인 FET(이하 초단 FET 라 한다)(71)의 게이트에 주어진다. FET(71)의 드레인에는 동조회로(71)가 접속되고, 동조회로(71)의출력측은 결합 커패시터(73)를 통해서 출력 단자(74)에 접속되어 있다.

또, 초단 FET(71)의 드레인에는 동조회로(72) 및 드레인 전류 검출 저항 (75)을 통하여도시 생략한 드레인 전원으로부터 드레인 전압이 인가된다. 드레인 전류 검출 저항 (75)의 양단 전압은 커패시터(76a,76b)를 통하여 전치 증폭기(77)에 입력되고, 여기서 적당한 레벨까지 증폭된 후, 적분회로(78)에 입력된다. 적분회로(78)의 시정수는 고주파 입력인 변조 신호의 주기 이상으로 선택되고 있다. 따라서 적분회로(78)의 출력에는 변조시의 초단 Id1(71)의 드레인 전류의 평균치에 대응한 신호가 출력된다.

적분회로(78)의 출력 신호는 차동 증폭기(79)의 한쪽의 입력단에 입력된다. 차동 증폭기(79)의 다른쪽의 입력단에는 초단 FET(71)의 소망의 드레인 전류에 대응한 기준 전압 (80)이 주어지고 있다. 따라서 차등 증폭기(79)의 출력에는 전치 증폭기(77)의 출력 전압과 기준 전압(80)과의 차전압이 얻어진다.

차동 증폭기(79)의 출력 전압은 출력 제어 회로(81)에입력된다. 출력 제어 회로(81)는 샘플 유지 회로에 의하여 구성되며, 초단 FET(71)의 게이트의 고주파 입력인 변조신호의 변조 유무에 따른 변조 상태 신호(82)가 샘플링 펄스로서 주어지고 있다.

즉, 출력 제어 회로(81)는 변조 상태 신호 (82)가 「 변조있음」 을 나타내고 있을 때 샘플 상태가 되어 차동 증폭기 (79)의 출력 전압을 샘플링하고, 변조 상태신호(82)가 「변조없음」을 나타내고 있을 때 유지 상태로 되어 샘플링한 전압을 변조없음의 기간중에 유지한다. 출력 제어 회로(81)의 출력 전압은 고주파 저지용 인덕터(83)를 통하여 초단 FET(71)의 게이트에 제어 신호로서 피드백되고, FET(71)의 게이트 바이어스(게이트 · 소스간 전압 Vgs)를 제어한다.

다음에, 본 실시예의 전력 증폭 장치의 동작 원리를 측정 결과를 사용하여 설명한다. 2단 구성의 전력 증폭 장치에 있어서 초단 FET 의 드레인 전류의 분석을 행하였다. 10개의 샘플에 대하여 전력 증폭 장치의 선형성을 최량으로 하도록 초단 FET 및 종단 FET 의 게이트 바이어스를 조정한 후 게이트 바이어스를 고정하였다. 이 상태에서 고주파 입력 전력을 변화시키고, 개개의 샘플의 초단 FET의 드레인 전류 Id1을 측정하였다. 10개의 샘플중 대표적인 5개의 샘플에 대하여 입력 전력과 초단 FET 의 드레인 전류 Id1 과의 관계를 측정한 결과를 제24도의 (a)에 도시한다. 또 제24도의 (b)에 제23도에 있어서의 적분회로(78)의출력 전압, 즉 드레인 전류 Id1의 적분치를 나타낸다.

제24도의 (a)에서 미소 입력시의 드레인 전류 Id1은 28 mA~55mA 의 범위로 분산되어 있음을 알 수 있다. 한편, 미소 입력시에 드레인 전류 Id1 이 작은 샘플은 입력 전력 증가시의드레인 전류 Id1 의 증가량이 적다.

제25도의 (a)는 초단 FET 의 게이트 바이어스를 IV 변화시킬 경우의 입력전력과 드레인 전류 Id1 과의 관계를 측정한 결과이다. 제24도의 (a)의 경향은 일치하고 있으나, 제25도의 (b)에 도시한 바와같이 드레인 전류 Id1의 적분치는 크게 달라지고 있다. 이상을 정리하면 선형성이 높은 상태에서는 드레인 전류 Id1의 적분치는 어느값 부근에집중하고 있다고 생각된다.

그래서 제23도에 도시한 바와같이 적분회로(78)에 의하여 초단 FET(71)의 드레인 전류에 따른 전압 신호를 적분하여 얻어진 출력 전압이 기준 전압 (80)과 같게 되도록 차동 증폭기(79) 및 출력 제어 회로(81)를 통하여 초단 FET(71)의 게이트 바이어스를 제어하면 기준 전압 (80)을 적당히 설정함으로써 선형성을 향상시킬 수 있다.

2 단 구성의 전력 증폭 장치에 있어서, 선형성을 더욱 높이기 위하여 제21도의실시예와 같이 고주파 입력이 없을 때의 종단 FET의 게이트 바이어스를 제어하여 종단 FET 의 드레인 전류가 소망치 (예컨대 150 mA)로 조정하는 구성과 제1~제10 실시예로 설명한 드레인 제어 선형 상승기를 사용한 구성을 병용하는 것도 유용한다 .

제26도는 실험데이타에 기초하여 작성된 초단 FET 의 드레인 전류 Id1 과 종단 FET 의 드레인 전압 Vd2 와의 관계를 나타내는 그래프이다. 제26도중 점선은 드레인 전압의 제어목표치이고, 실선 및 파선은 드레인 전압 제어의 허용 오차 범위를 표시하고 있다. 실제의 장치에서는 반드시 유한의 제어오차를 수반하므로 이와 같은 허용오차 범위를 설정하고 있다. 이 허용 오차 범위는 종단 FET 의 출력 신호전력의 오차가 0.2dB 가 되는 조건으로 구한 것이지만, 이것은 필요로 되는 선형성에 따라서 설정하면 된다.

제26도를 보면 명백한 바와같이 출력단 FET 의 드레인 전압 Vd2의 소망치는 고주파 입력의 신호 진폭, 즉 초단 FET 의 드레인 전류 Id1이 비례하고 있음을 알 수 있다. 참고로 앞에 도시한 제12도는 고주파 입력이 없을 때의 종단 FET 의 게이트 바이어스를 조정하지 않은 경우의 드레인 전류 Id1 에 대한 드레인 전압 Vd2 의 관계를 나타내고 있고, 양자의 관계는 직선적이 아니기 때문에 앞서 제시한 바와같은 계수 발생기가 필요하게 되어 있었다. 본 실시예에서는 이와 같은 계수발생기는 불필요하다.

이와 같이 본 실시예에 의하면, 고주파 입력의 신호 진폭에 비례한 드레인 전압 Vd2 를 종단 FET 에 인가

함으로써, 계수 발생기를 필요로 하는 일이 없이 선형성을 향상시킬수 있다.

제27도는 제13 실시예를 보다 구체화한 제14 실시예에 관한 전력 증폭 장치의 구성을 나타내는 도면이고, 앞서 제21도 및 제23도와 동일 부분에는 동일 부호를 붙이고 있다. 이 실시예에서는 제1~제10 실시예에서 설명한 드레인 제어 선형 상승기를 조합하기 위해서 전치 증폭기(77)의 출력 신호를 드레인 전압 제어회로(91)에 유도하고, 이 드레인 전압 제어회로(91)에 의하여 종단 FET(51)의 드레인 전압을 조정하기 위하여 FET(92)의 저항치를 제어하도록 하고 있다. 이것에 의하여 종단 FET(51)의 드레인 전압을 초단 FET(71)의 드레인 전류, 즉 고주파 입력의 신호진폭에 비례하도록 제어할 수 있다.

제28도는 샘플을 바꾸어서 제26도와 같이 초단 FET 의 드레인 전류 Id1이 과 종단 FET 의 드레인 전압 Vd2과의 관계를 측정한 결과를 나타내는 그래프이고, 점선은 드레인 전압의 제어 목표치이고, 실선과 파선은 드레인 전압 제어의허용 오차 범위를 나타내고 있다. 각 샘플 B,C 에서 드레인 전압의 제어목표치와 드레인 전류 Id1이 (고주파 입력의신호 진폭)과의 관계는 직선적이기는 하나 그 직선의 기울기(비례정수)와 오프 세트 전압에차가 발생하고 있다. 이 비례 정수와 오프 세트 전압의 차는 드레인 전압 제어회로(91)에 의하여 특성을 조정함으로써 보상하는 것이 가능하다.

이와 같이 본 실시예에 의하면 제13 실시예와 같이고주파 입력의 신호 진폭에 비례한 드레인 전압을 종단 FET 에 인가할 때, 그 비례 정수와 오프 세트치를 가변함으로써 포화 영역에서 동작하는 개개의 FET 특성의 분산을 흡수할 수 있다.

제29도는 제15 실시예에 관한 주요부의 구성을 나타내는 도면으로서, 단자(100)에는 변조된 고주파 입력이 공급되고, 초단 FET(101)의 게이트에 주어진다. 이 FET(101)의 드레인에는 동조회로(102) 및 드레인 전류 검출 저항 (103)을 통하여 도시 생략한 드레인 전원으로부터 드레인 전압이 인가된다.

드레인 전류 검출 저항 (103)의 양단 전압은 커패시터(104a,104b)를 통하여 전치 증폭기(105)에입력된다. 전치 증폭기(105)의 출력은 정류 평활 회로 (106)를 통하여 전압 비교기(107에 입력되고, 적당한 기준 전압 (108)과 비교됨으로써 FET(101)의 게이트로의 고주파 입력인 변조 신호의 변조 유무가 반전된다.

이와 같이 본실시예에서는 전압 비교기(107)에서 제23도에 도시한 실시예에서 필요한 변조상태 신호를 얻을 수 있다. 따라서, 외부로부터 변조상태 신호를 입력할 필요가 없게 되고, 전력 증폭 장치와 외부와의 접속 신호선수 및 외부 단자수를 줄일수 있다.

제30도는 제16 실시예에 관한 주요부의 구성을 나타내는 도면으로서, 간헐적으로 동작을 행하는 전력 증폭 장치를 안전하게 기동하기 위하여 초단 FET(71) 및 종단 FET(51)로 이루어진 2단 구성의 전력 증폭 장치에 있어서 각 FET(71,51)의 게이트 및 드레인의 바이어스를 타이밍을 바꾸어서 투입하는 기능을 갖게한 것이다. 여기서는 설명을 간단히 하기 위하여 편의상 바이어스 투입의 제어에 스위치(201 ~204)를 사용한 경우에 대하여 설명한다. 제31도는 제31도의 동작 설명을 위한 타이밍도이다.

기동시에는 우선 종단 FET(51)에 대하여 드레인 전류가 컷오프가 되는 게이트 바이어스를 스위치(203)에 의해 인가하고, 다음에 스위치(204)에 의해 드레인 전압을 인가한다. 다음에, 스위치(203)에 의해 게이트 바이어스를 변화시켜서 드레인 전류를 소망치까지 증가시킨 뒤, 스위치(202)에 의해 초단 FET(71)에 대하여 드레인을 인가한다.

이와 같이 하면, 초단 FET(71)가 아직 동작하지 않고, 종단 FET(51)가 고주파 입력에 의하여 여진되어 있지 않은 상태에서 종단 FET(51)의 드레인 전류를 소망치로 조정할 수 있게 된다. 또 종단 FET(71)는 게이트 바이어스가 인가되지 않은 컷오프 상태에서 드레인 전압이 투입되기 때문에 안전하게 기동되게 된다.

또한 간헐적으로 동작을 행하는 전력 증폭 장치에 있어서 상술한 시퀀스로 주전원 투입시 및 일정한 간격마다 종단 FET(51)의드레인 전류가 컷오프가 되는 게이트 바이어스를 인가하고, 이어서 게이트 바이어스를 변화시켜서 드레인 전류를 소망치까지 증가시키고, 그 후에 초단 FET(71)의 드레인 전압을 인가함으로써 시간변화에도 대응할 수 있다.

제32도는 제17 실시예의 주요부의 구성을 나타내는 도면으로서, 전력 증폭용 FET 의 드레인 전류가 소망치가 되는 전력 증폭 장치의 바이어스 조건을 설정하기 위한 구성을 도시하고 있다.

전력 증폭용 FET(301)에 부가하여, 기준 FET(302)를 준비한다. 기준 FET(302)에 전류원 (302)에 의하여 소망하는 기준 전류 Iref 를 흐르게 하고, 기준 FET(302)의 드레인 전압을 귀환 회로(304)를 통하여 기준 FET(302)의 게이트로 귀환시켜서 그 게이트 전압을 제어한다. 그리고, 기준 FET(302)의 게이트 전압을 인덕터(305)를 통하여 전력 증폭용 FET(301)의 게이트에 인가함으로써 증폭용 FET(301)의 드레인 전류를 소망치로 제어할수 있다.

여기서 증폭용 FET(301)와 기준 FET(302)를 동일 기관상에 설치하면, 온도 보상면에서 유리하게 된다. 양 FET(301,302)를 동일 칩상에 설치하면 더욱 좋은 결과를 얻을 수 있다. 또 양 FET(301,302)에 대하여 크기에 관하여 스케일링을 행하여도 그 스케일링분의 보정을 행하면, 상술한 동작을 실현할 수 있다.

또, 이상의 실시예에서는 증폭 소자에 FET 를 사용한 경우에 대하여 기술하였지만, 본 발명은 바이폴라 트랜지스터를 사용한 경우에도 유효함은 말할 것도 없다. 기타 본 발명은 여러 가지로 변형하여 실시할 수 있다.

이상 설명한 바와같이, 본 발명에 의한 전력 증폭 장치는 제1 증폭 수단의 전원 전류에 따라서 제2 증폭 수단의 전원 전압을 제어함으로써, 고효율이고, 더욱이 선형성이 양호하며, 또 입력 신호 진폭 검출계에 디지탈 회로를 사용할 필요가 없기 때문에 디지탈 회로가 발생하는 잡음에 의한 출력의 S/N 비 열화나 소비 전력이 증대되는 문제가 없고, 입력 신호 진폭 검출계 및 전원 전압 제어계를 증폭부와 일체화할 수 있기 때문에 온동 보상이나 증폭 소자의 불균일 보상의 실시가 용이하고, 더욱이 2단 구성의 전력 증폭 장치를 구성할 경우, 초단의 이득이나 바이어스 등의 증폭 특성의 변동도 전원 전류의 변화로서 병합하여 검출할 수 있기 때문에 이들 변동에 대응한 제어가 가능해진다. 그위에 이 전력 증폭 장치는 변조기 등의 다른 부분과 독립하여 자기 완결적으로 실현할 수 있기 때문에 설계의 자유도가 높고, 다른 부분과의

신호선도 적어도 된다.

또, 아날로그 계수 발생기를 포함하는 제어계에 의하여 제1 증폭 수단의 전원 전류에 따라서 제2 증폭 수단의 전원 전압을 제어하는 구성에 있어서, 양자의 관계가 1 대 1이 되도록 제1 및 제2 증폭 수단의 입력 바이어스를 설정함으로써 계수 발생기의 실현이 용이해지고, 또 계수 발생기의 입출력 특성을 선택하므로써 전력 증폭 장치의 선형성을 개선할 수 있다.

또, 제1 증폭수단의 온도에 의존하여 증가하는 전원 전류에 따라서 제2 증폭 수단의 전원 전압을 온도에 의존하여 증가하도록 제어하는 구성으로 함으로써 전력 증폭 장치의 선형성의 개선과 동시에 온도 보상도 가능해지고, 온도에 대하여 안정된 입출력 특성을 얻을 수 있다.

또, 본 발명에서는 고주파 입력을 증폭하는 다단 구성의 전력 증폭 장치에 있어서 종단의 전력 증폭 수단의 전원 전류에 따른 신호와 기준 신호와의 차신호를 고주파 입력이 있을 때 검출하고, 고주파 입력이 없는 기간중에는 차신호 검출 수단의 출력 신호를 유지하여 얻어지는 제어 신호에 의하여 종단의 전력 증폭 수단의 입력 바이어스를 제어함으로써 저 왜곡을 실현할 수 있는 조건으로 종단의 전력 증폭 수단의 전원 바이어스 전류를 제어할 수 있게 된다.

또, 본 발명에서는 변조 신호로 이루어지는 고주파 입력을 증폭하는 다단 구성의 전력 증폭 장치에 있어서 종단의 전력 증폭 수단의 전원 전류에 따른 신호를 고주파 입력의 변조 신호 주기 이상의 시정수로 적분하고, 그 적분한 신호와 기준 신호와의 차신호를 고주파 입력의 변조가 있을 때 검출하여, 상기 고주파 입력의 변조가 없는 기간중에는 차신호검출 수단을 유지하여 얻어지는 제어 신호에 의하여 종단의 전력 증폭 수단의 입력 바이어스를 제어함으로써 저 왜곡을 실현할수 있는 조건에서 초단의 전력 증폭 수단의 전원 바이어스 전류를 제어할 수 있게 된다.

이들 구성에 의해서도 디지탈 회로를 사용하는 일이 없이 선형성이 우수한 전력 증폭 장치의 선형화가 가능하기 때문에 출력의 S/N 비 열화나 소비 전력의 증대라는 문제가 해결된다. 또한, 선형화 제어를 위한 검출계 및 제어계는 회로 규모가 작기 때문에 MMIC(모놀리식 마이크로파 집적 회로)화가 용이하고, 증폭부와 일체화할 수 있기 때문에 온도 보상이나 증폭 소자의 불균일 보상이 용이해진다. 또 이 전력 증폭 장치도 자기 완결적으로 실현할 수 있고, 설계의 자유도 등의 면에서 유리해진다.

(57) 청구의 범위

청구항 1

입력 단자와;상기 입력 단자에 접속되어, 그 입력 단자의 입력 신호를 증폭하는 제1 증폭기와;상기 입력 단자에 접속되어, 그 입력 단자의 상기 입력 신호를 증폭하는 제2증폭기와;상기 제1 증폭기 및 제2 증폭기에 접속되고, 상기 제1 증폭기에 공급되는 전원 전류의 변화를 검출하여 그 검출된 전류 변화에 따라서 상기 제2 증폭기로 공급되는 전원 전압을 제어하는 제어수단과;상기 제2 증폭기에 접속되어, 그 제2 증폭기의 출력을 수신하는 출력 단자와;상기 제1 증폭기에 접속되고, 상기 제1 증폭기가 상기 입력 신호를 증폭하는동안 나타나는 상기 전원 전류의 변화를 모니터하며, 상기 입력 신호의 파형에 일의적으로 대응하는 전류 변화 성분을 나타내는 검출 신호를 생성하는 검출 수단을 구비하고, 상기 검출 신호에 응답하여 상기 제2 증폭기의 전원 전압의 변화를 제어함으로써 제2 증폭기의 선형성을 증가시키는 것을 특징으로 하는 전력 증폭 장치.

청구항 2

제1항에 있어서 상기 제1 증폭기는 제1 전류 통전 전극, 제2 전류 통전 전극 및 입력 신호가 공급되는 제어 전극을 갖는 제1 트랜지스터를 포함하고;상기 검출 수단은 상기 제1 트랜지스터의 상기 제1 전류 통전 전극 및 제2전류 통전 전극 중 하나에 접속되는 저항 소자와, 상기 저항 소자에 접속되는 아날로그 계수 발생 회로를 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 3

제2항에 있어서, 상기 제2 증폭기는 제3 및 제4 전류 통전 전극을 갖는 제2 트랜지스터를 포함하고;상기 아날로그 계수 발생 회로와 상기 제2 트랜지스터의 상기 제3 및 제4전류 통전 전극 중 하나에 접속되고, 상기 아날로그 계수 발생 회로의 출력에 응답하여 상기 제3 및 제4 전류 통전 전극 중 하나에 인가되는 바이어스 전압의 전위의 변화를 제어하는 전위 제어 수단을 구비한 선형화 수단을 추가로 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 4

제1항에 있어서, 상기 검출 수단은, 상기 제1증폭기에 접속된 저항과; 상기 저항에 접속된 제1 및 제2 입력 단자와 출력 단자를 갖는 아날로그 계수 발생 회로와;상기 아날로그 계수 발생 회로의 상기 출력 단자에 접속된 입력 단자 및 상기 제2 증폭기에 접속된 출력 단자를 가지며 상기 제2 증폭기의 바이어스 전압을 제어하는 전압 제어 수단을 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 5

제4항에 있어서, 상기 제1 증폭기는 제1 트랜지스터를 포함하고, 상기 제2 증폭기는 제2 트랜지스터를 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 6

제5항에 있어서,상기 제1 트랜지스터는 입력 신호가 인가되는 게이트 전극 및 제2 트랜지스터에 접속되는 드레인 전극을 가지며;상기 제2 트랜지스터는 상기 전압 제어 수단에 접속되는 드레인 전극을 갖는 것을 특징으로 하는 전력증폭 장치.

청구항 7

제6항에 있어서,상기 제2 트랜지스터는 상기 입력 신호가 도달하는 게이트 전극을 갖는 것을 특징으로 하는 전력 증폭 장치.

청구항 8

고주파 입력 신호를 증폭하는 전력 증폭 장치에 있어서, 상기 고주파 입력 신호를 수신하여 그 고주파 입력 신호를 증폭하는 트랜지스터를 갖는 전력 증폭 회로수단과; 상기 전력 증폭 회로 수단에 접속되고, 상기 전력 증폭 회로 수단의 전원 전류의 변화를 검출하여, 검출 신호를 발생시키는 검출기 회로 수단으로서, 상기 트랜지스터의 드레인 전극에 접속되어 트랜지스터의 드레인 전류를 검출하고 제1 및 제2 노드에 대응하는 전압을 생성하는 저항수단, 상기 저항 수단의 상기 제1 및 제2 노드에 접속되는 제1 및 제2 입력 단자와출력 단자를 갖는 초단 증폭기, 및 상기 저항 수단과 상기 초단 증폭기의 사이에 접속되고 상기 초단 증폭기를 상기 저항 수단에 직류 결합시키는 AC결합 커패시터 수단을 구비한 검출기 회로 수단과;상기 검출 신호가 공급되는 제1 입력 단자 및 기준 전압 신호가 공급되는 제2 입력 단자를 가지며, 상기 검출 신호와 상기 기준 신호간의 전위차를 나타내는 출력 신호를 발생시키는 전위차 검출 회로 수단과;상기 전위차 검출 회로 수단의 상기 출력 신호에 결합된 입력 노드 및 출력 노드를 가지며, 상기 고주파 입력 신호의 상태를 나타내는 제어 신호에 응답하는 샘플 유지 회로와;상기 샘플 유지 회로를 상기 전력 증폭 회로 수단에 전기 접속하여, 상기 샘플 유지 회로의 출력 노드를 상기 전력 증폭 회로 수단으로 피드백하고, 상기 샘플 유지 회로의 출력 신호에 응답하여 상기 전력 증폭 회로 수단의 입력 바이어스 전압을 변화시킴으로써,상기 전력 증폭 회로 수단을 선형화하는 컨덕터 수단을 구비하는 것을 특징으로하는 전력 증폭 장치.

청구항 9

제8항에 있어서, 상기 샘플 유지 회로는 상기 고주파 입력 신호가 제공될 때 상기 전위차 검출 회로수단의 출력 신호를 검출하고, 상기 샘플 유지 회로는 상기 고주파 입력 신호가 없는 기간중에 상기출력 신호를 유지하는 것을 특징으로 하는 전력 증폭 장치.

청구항 10

제9항에 있어서, 상기 전력 증폭 회로 수단의 트랜지스터는 상기 고주파 입력 신호가 인가되는 게이트 전극을 가자는 것을 특징으로 하는 전력 증폭 장치.

청구항 11

제10항에 있어서,상기 샘플 유지 회로의출력 노드는 상기 전력 중폭 회로 수단의 트랜지스터의 게이트 전극에 접속되는 것을 특징으로 하는 전력 증폭 장치.

청구항 12

입력 단자와;상기 입력 단자에 접속되어, 그 입력 단자의 입력 신호를 증폭하는 제1증폭기와;상기 제1 증폭기에 접속되어, 상기 제1 증폭기의 출력을 증폭하는 제2 증폭기와;상기 제2 증폭기에 접속되어, 상기 제2 증폭기의 출력을 수신하는 출력 단자와;상기 제1 증폭기에 접속되고, 상기 제1 증폭기가 입력되는 입력 신호를 증폭하는 동안 나타나는 전원 전류의 변화를 모니터하며, 상기 입력 신호의 파형에 일의적으로 대응하는 전류 변화 성분을 나타내는 검출 신호를 생성하는 검출 수단과;상기 검출 수단에 접속되고, 상기 검출 신호에 응답하여 상기 제2 증폭기의 전원 전압의 변화를 제어함으로써 제2 증폭기의 선형성을 증가시키는 선형화 수단을 구비하는 것을 특징으로 하는 전력 증폭 장치.

청구항 13

제12항에 있어서, 상기 제1 증폭기는 제1 전류 통전 전극, 제2 전류 통전 전극 및 입력 신호가 공급되는 제어 전극을 갖는 제1 트랜지스터를 포함하고; 상기 검출 수단은 상기 제1 트랜지스터의 상기 제1 전류 통전 전극 및 제2 전류 통전 전극 중 하나에 접속되는 저항 소자와, 상기 저항 소자에 접속되는 아날로그 계수 발생 회로를 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 14

제13항에 있어서,상기 제2 증폭기는 제3 및 제4 전류 통전 전극을 갖는 제2 트랜지스터를 포함하고;상기 선형화 수단은, 상기 아날로그 계수 발생 회로와 상기 제2 트랜지스터의 상기 제3 및 제4 전류 통전 전극 중 하나에 접속되고, 상기 아날로그 계수 발생 회로의 출력에 응답하여 상기 제3 및 제4 전류 통전 전극 중 하나에 인가되는 바이어스 전압의 전위의 변화를 제어하는 전위 제어 수단을 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 15

제12항에 있어서, 상기 선형화 수단은, 상기 제1 증폭기에 접속된 저항과; 상기 저항에 접속된 제1 및 제2 입력 단자와출력 단자를 갖는 아날로그 계수 발생 회로와;상기 아날로그 계수 발생 회로의 상기 출력 단자에 접속된 입력 단자 및 상기 제2 증폭기에 접속된 출력 단자를 가지며 상기 제2 증폭기의 바이어스 전압을 제어하는 전압 제어 수단을 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 16

제15항에 있어서, 상기 제1 증폭기는 제1 트랜지스터를 포함하고, 상기 제2 증폭기는 제2 트랜지스터를 포함하는 것을 특징으로 하는 전력 증폭 장치.

청구항 17

제16항에 있어서, 상기 제1 트랜지스터는 입력 신호가 인가되는 게이트 전극 및 상기 저항에 접속되는 드레인 전극 을 가지며; 상기 제2 트랜지스터는 상기 전압 제어수단에 접속되는 드레인 전극을 갖는 것을 특징으로 하는 전력 증폭 장치.

청구항 18

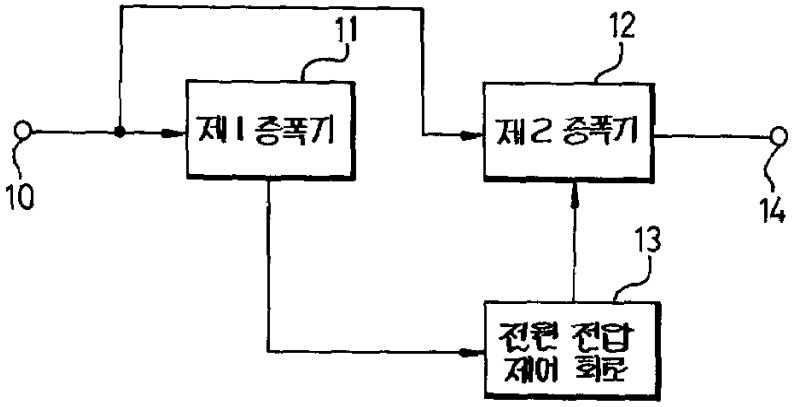
제17항에 있어서, 상기 제2 트랜지스터는 상기 제1 트랜지스터의 상기 드레인 전극에 접속되는 게이트 전극을 갖는 것을 특징으로 하는 전력 증폭장치.

청구항 19

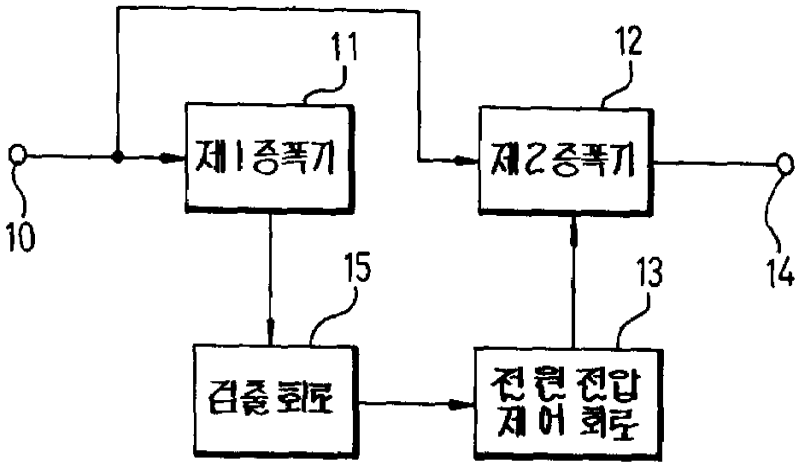
제16항에 있어서, 상기 제2 트랜지스터는 상기 제1 트랜지스터로 출력되는 신호가 도달하는 게이트 전극을 갖는 것을 특징으로 하는 전력 증폭 장치.

도면

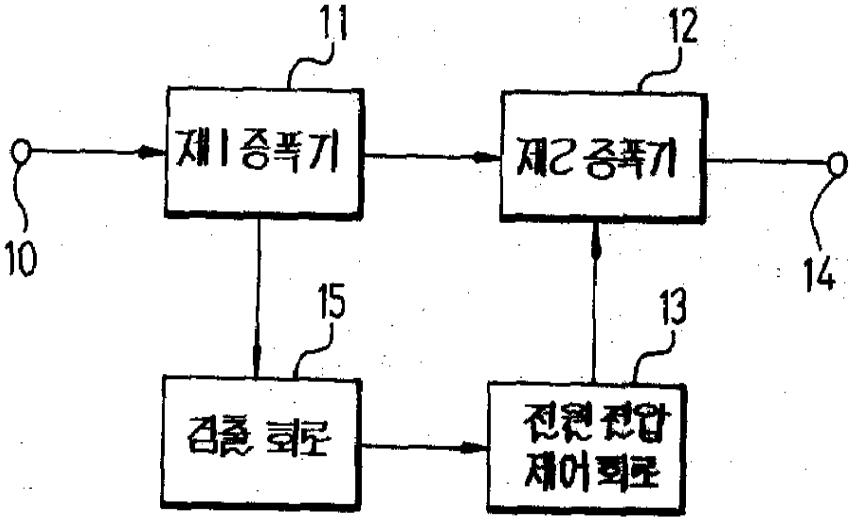
도면1



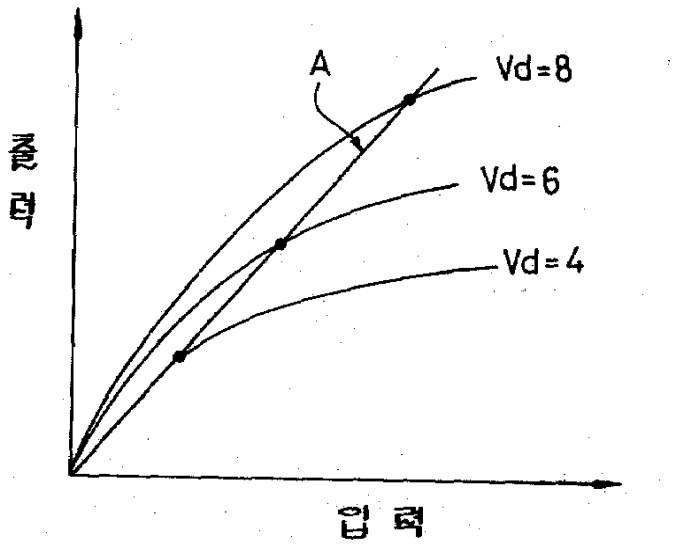
도면2



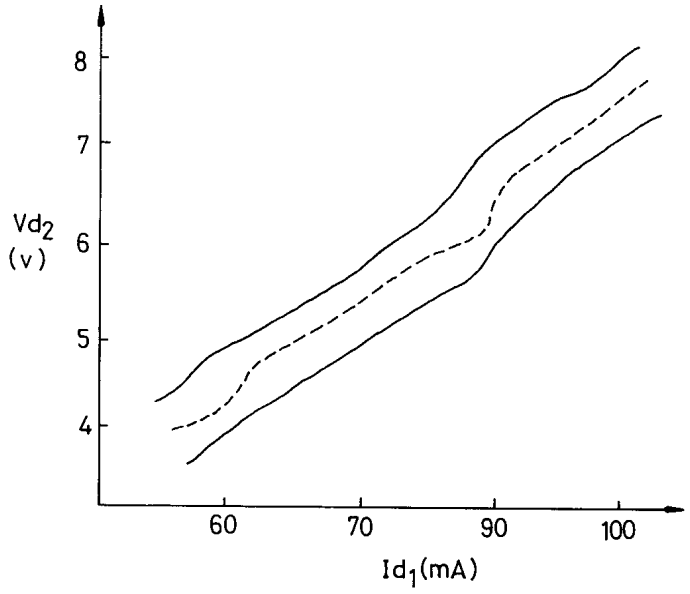
도면3



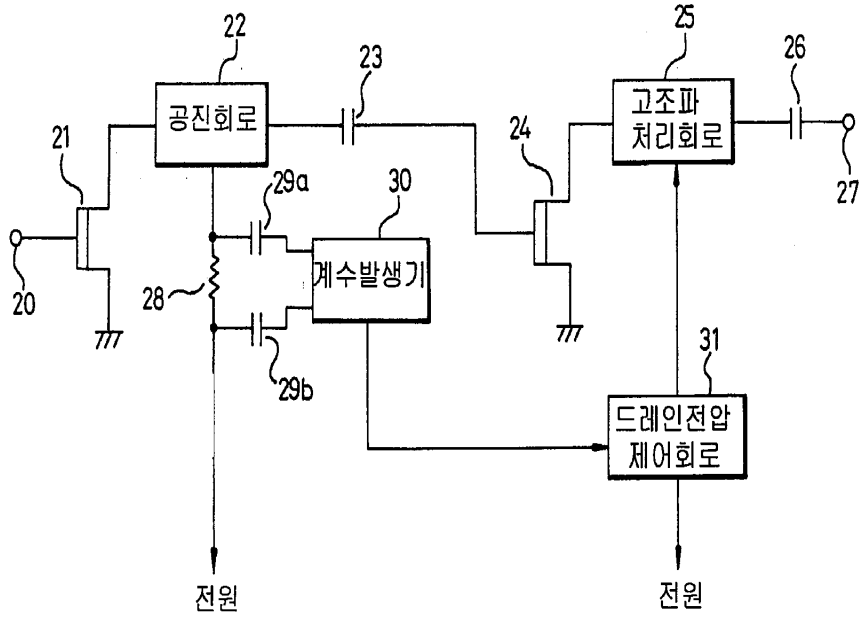
도면4



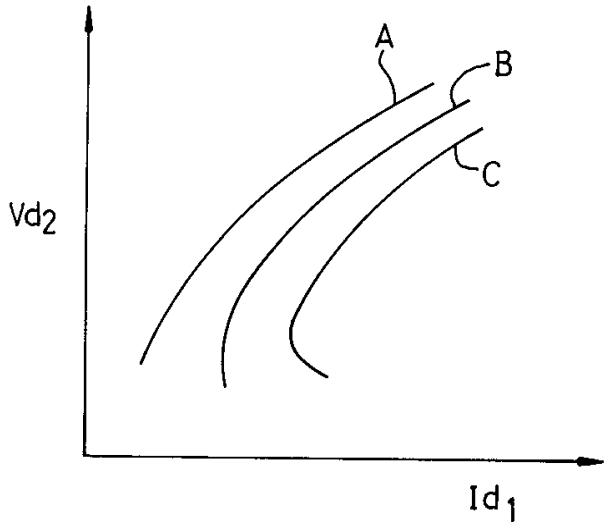
도면5


8
7
6
5
4
Vd2
(v)
60
70
90
100
Id1(mA)

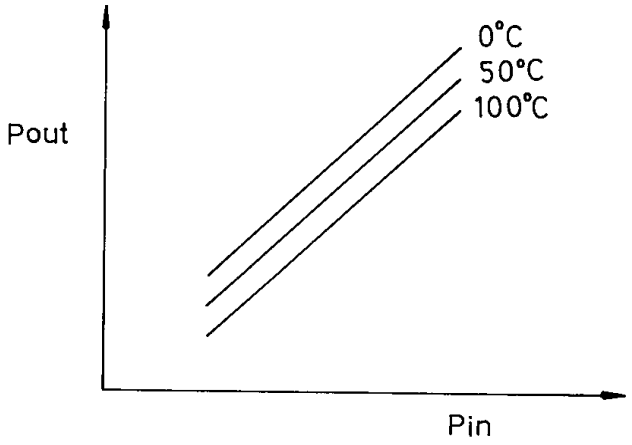
도면6


22
23
25
26
공진회로
고조파
처리회로
21
24
27
29a
30
20
28
계수발생기
29b
31
드레인전압
제어회로
전원
전원

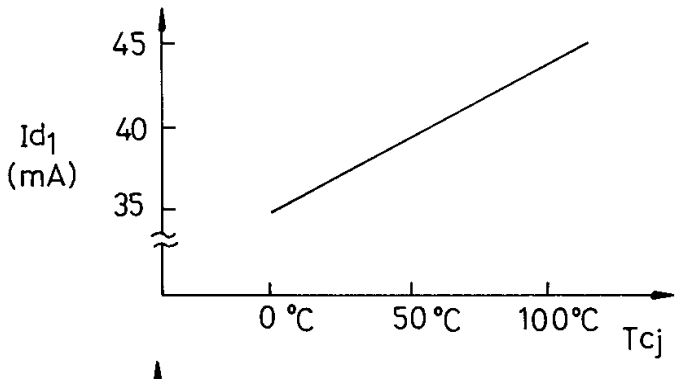
도면7



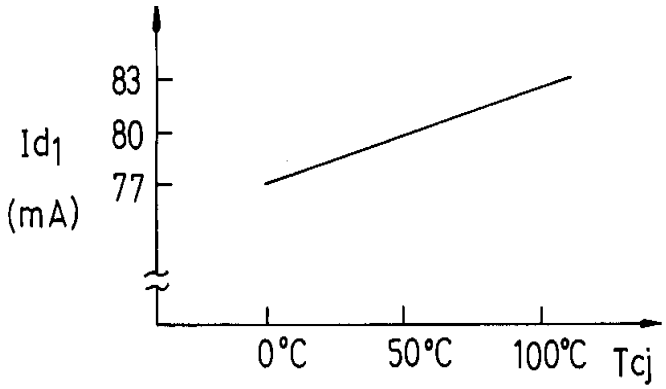
도면8



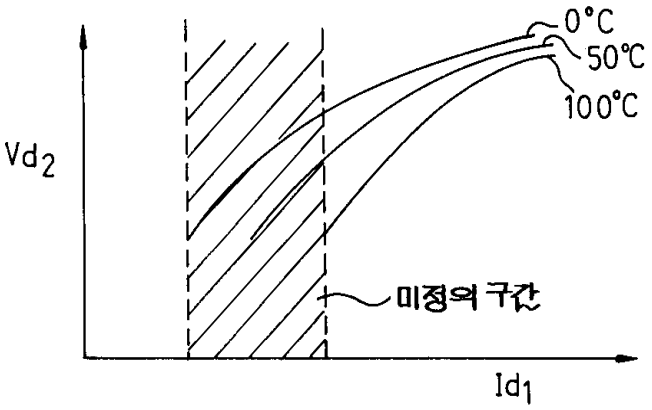
도면9a



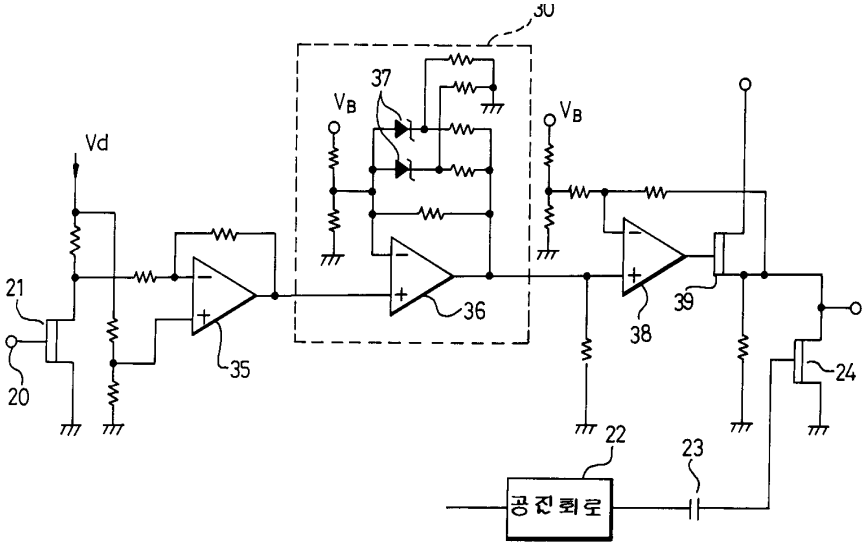
도면9b



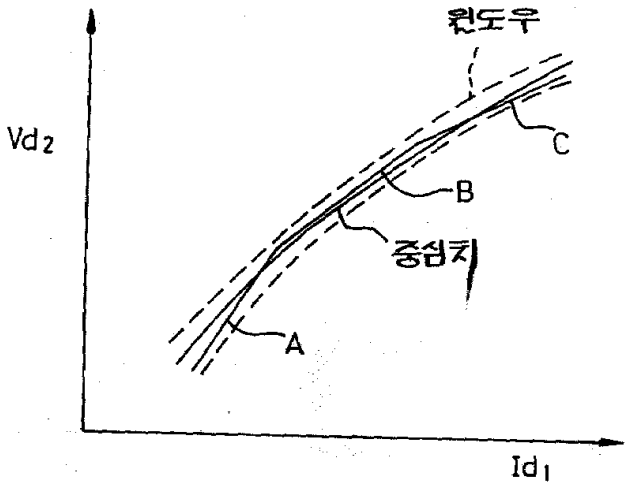
도면10



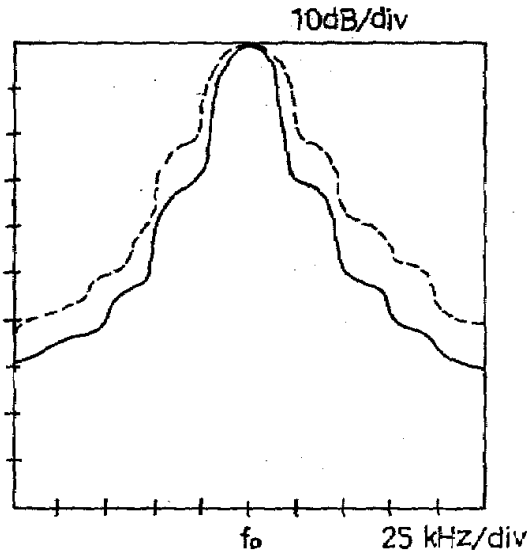
도면11



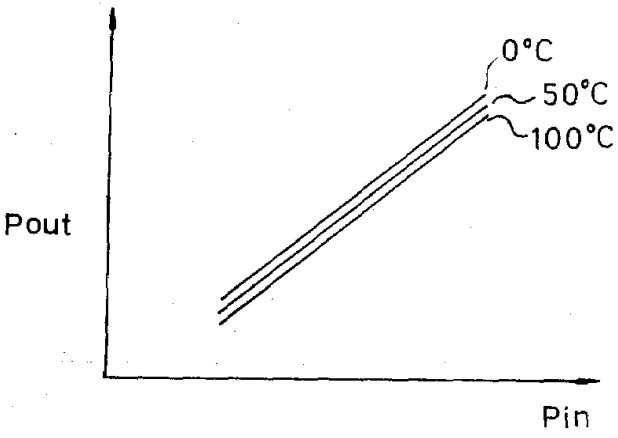
도면12



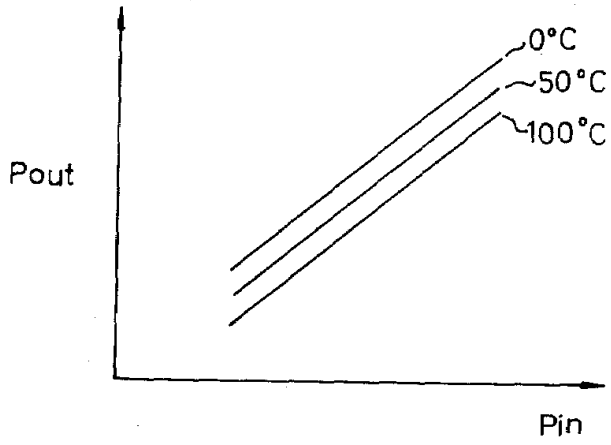
도면13



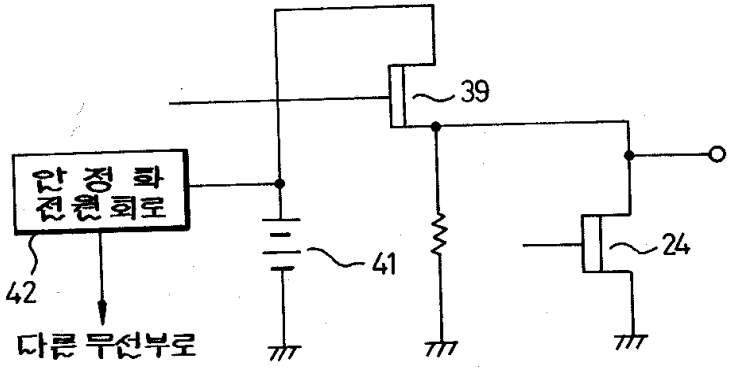
도면14



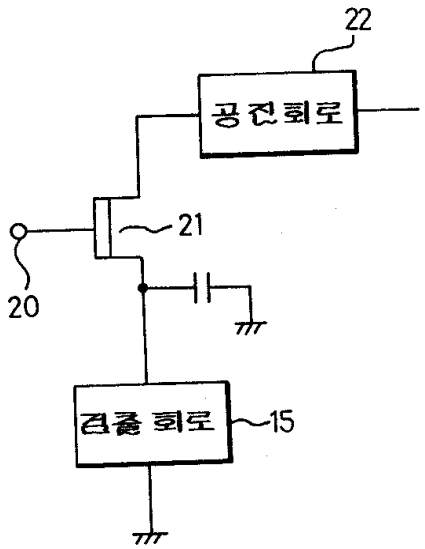
도면15



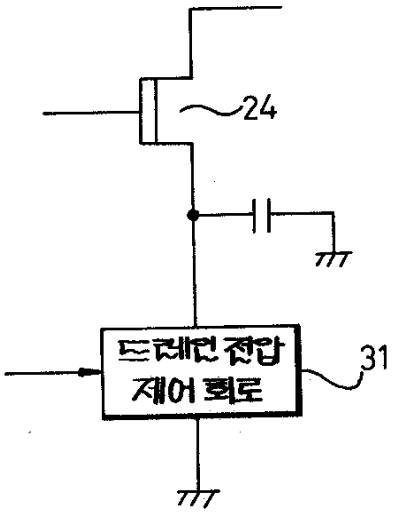
도면16



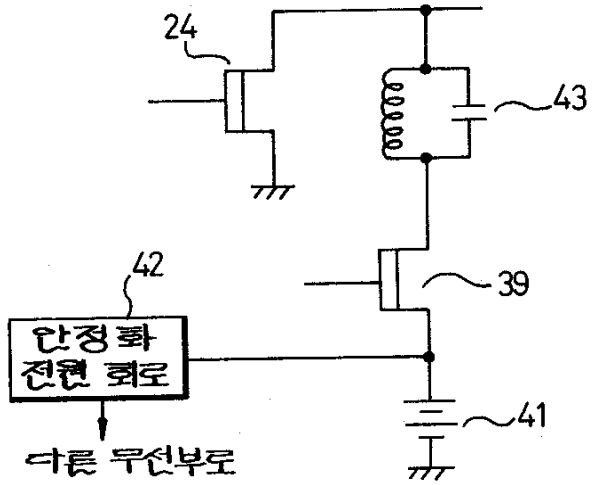
도면17



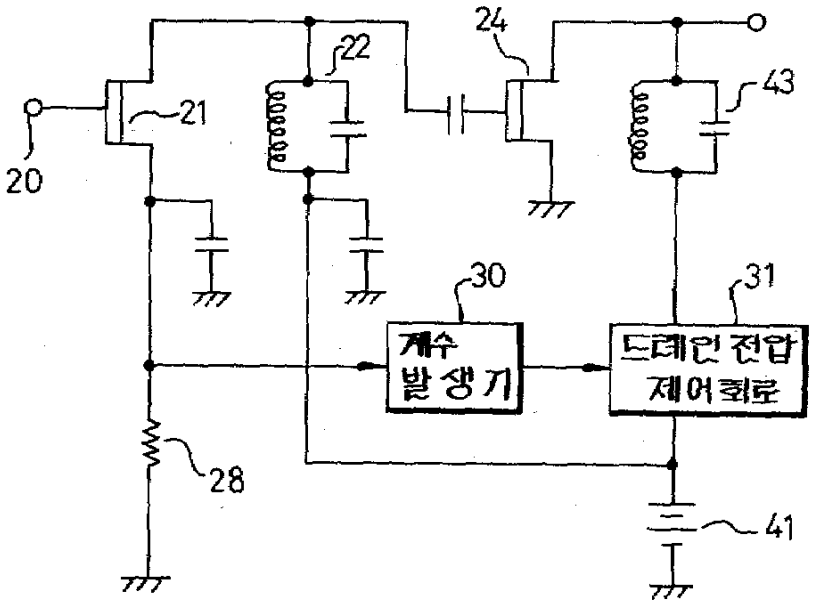
도면18



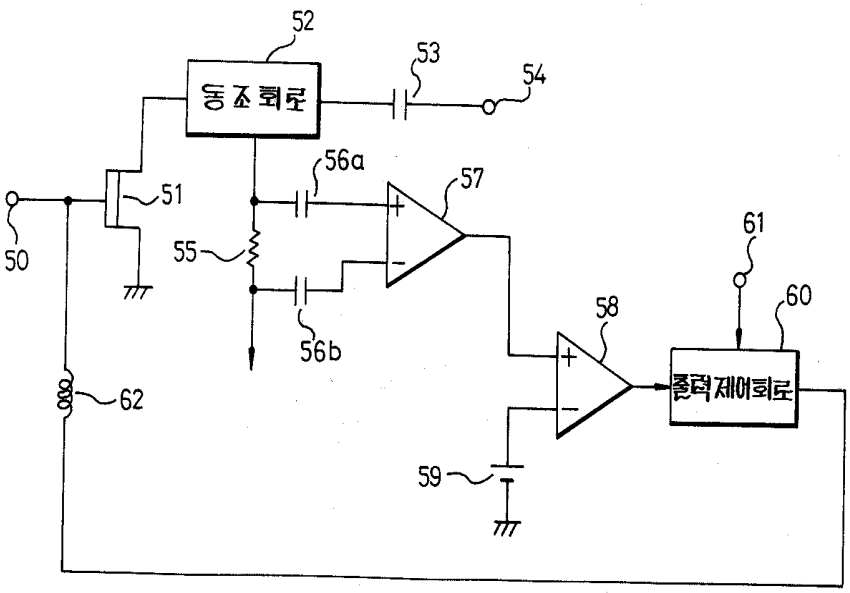
도면19



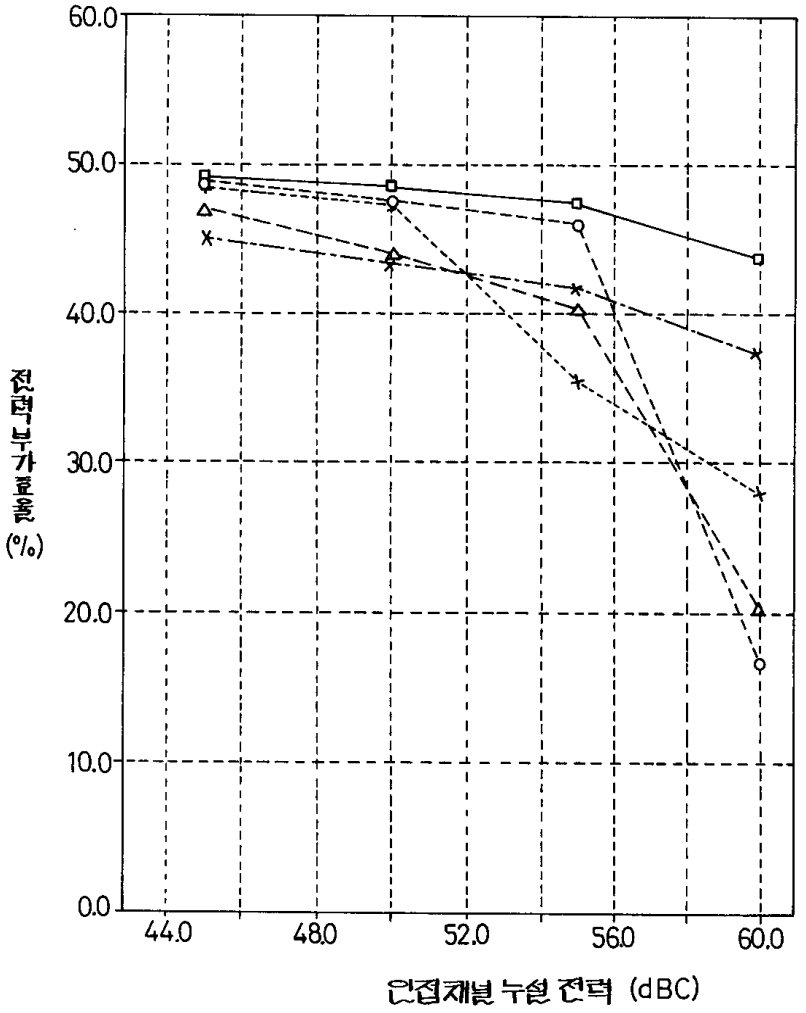
도면20


20
21
22
24
43
28
30
계수
발생기
31
드레인 전압
제어회로
41

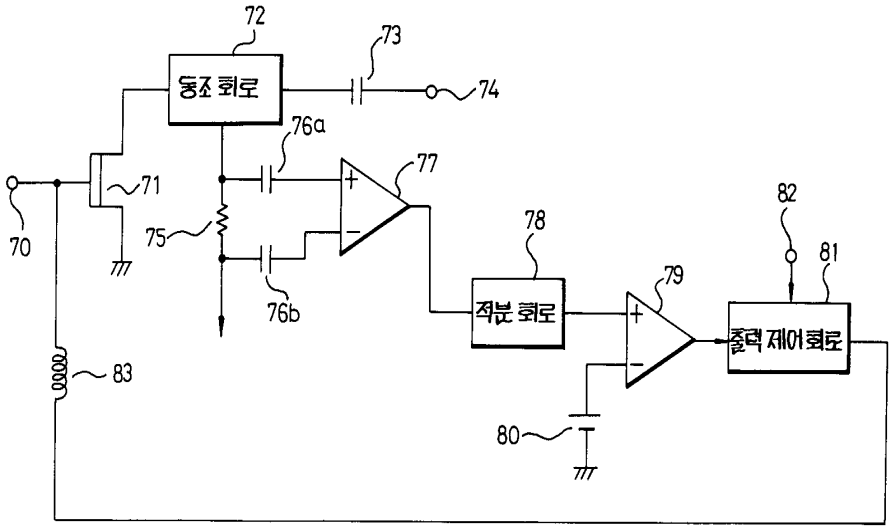
도면21


52
동조회로
53
54
50
51
55
56a
56b
57
58
61
60
출력제어회로
62
59

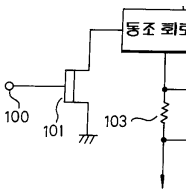
도면22


60.0
50.0
40.0
30.0
20.0
10.0
0.0
44.0
48.0
52.0
56.0
60.0
전력부가효율 (%)
인접채널 누설 전력 (dBC)

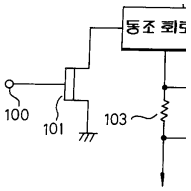
도면23


72
73
74
동조 회로
76a
77
71
70
75
78
82
81
79
적분 회로
출력 제어회로
76b
83
80

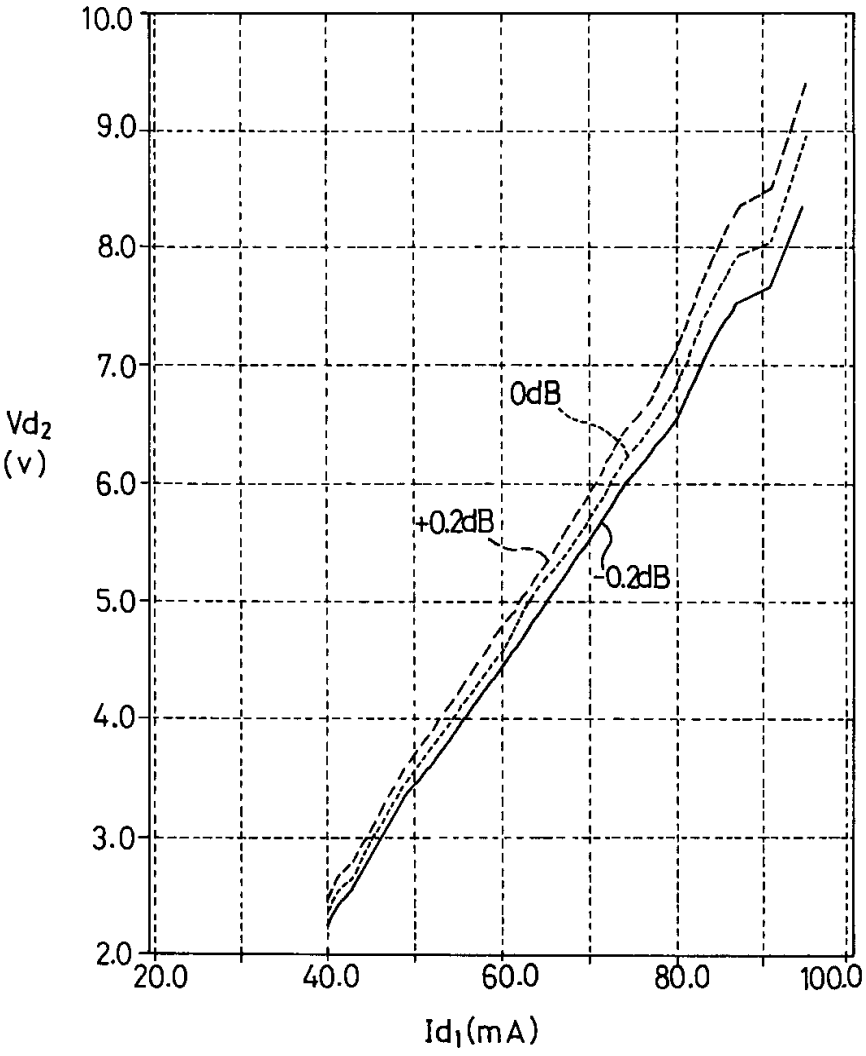
도면24



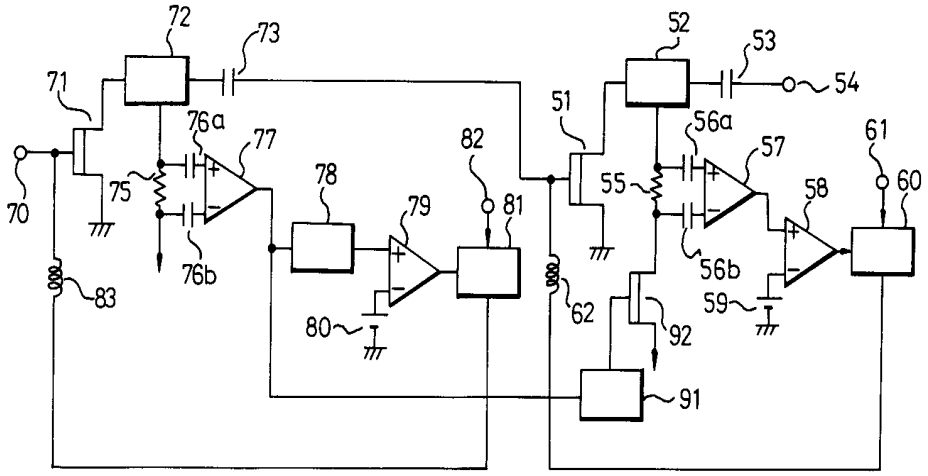
도면25



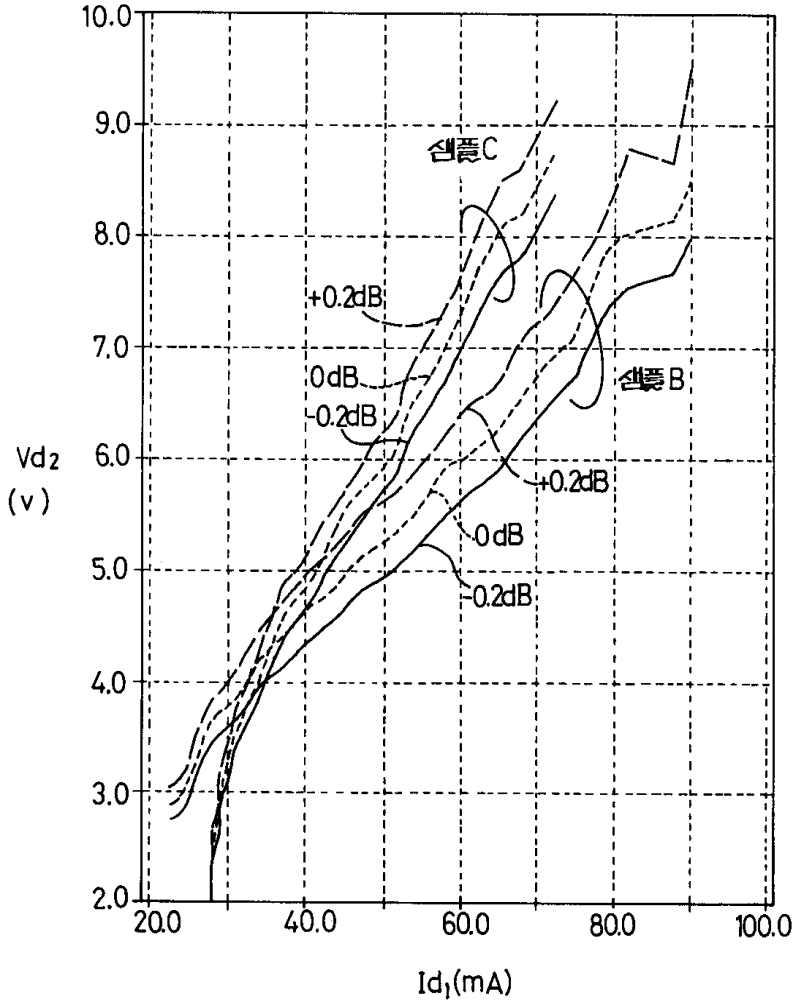
도면26



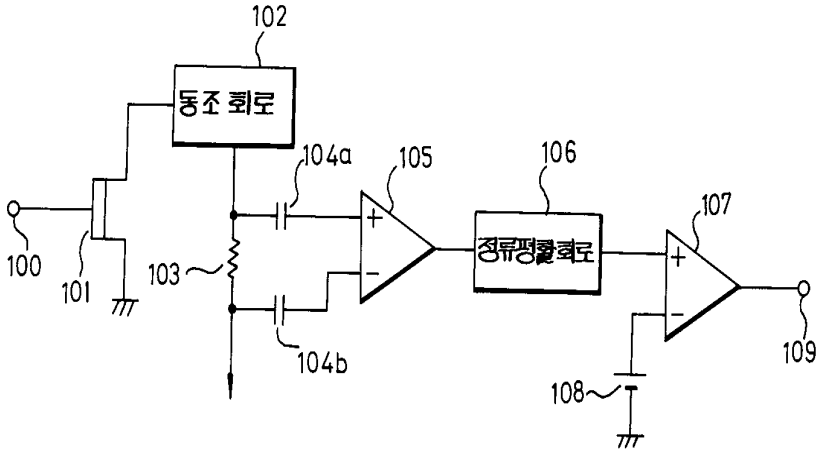
도면27


72
73
71
52
53
54
51
76a
77
82
56a
57
61
70
75
78
79
81
55
58
60
76b
56b
83
80
62
59
92
91

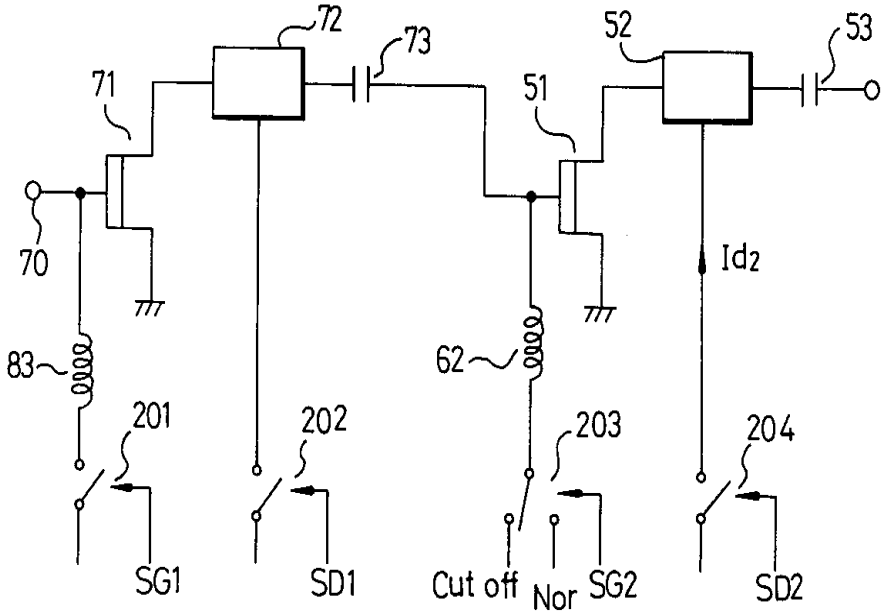
도면28


10.0
9.0
8.0
7.0
6.0
5.0
4.0
3.0
2.0
Vd2
(v)
샘플C
+0.2dB
0dB
-0.2dB
샘플B
+0.2dB
0dB
-0.2dB
20.0
40.0
60.0
80.0
100.0
Id1(mA)

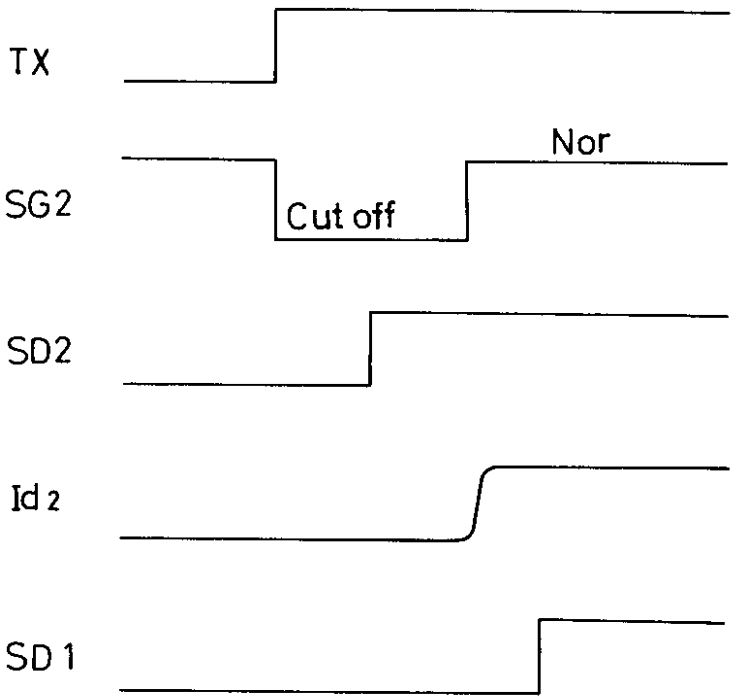
도면29


102
동조 회로
104a
105
106
107
100
101
103
정류평활회로
104b
109
108

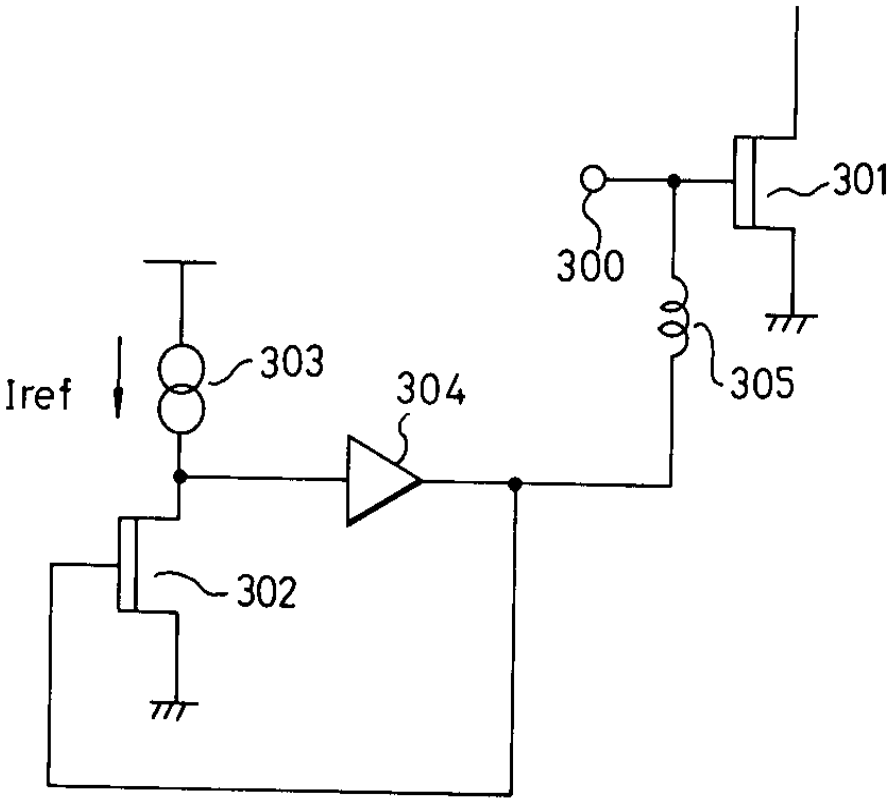
도면30


72
73
52
53
71
51
70
Id2
83
62
201
202
203
204
SG1
SD1
Cut off
Nor
SG2
SD2

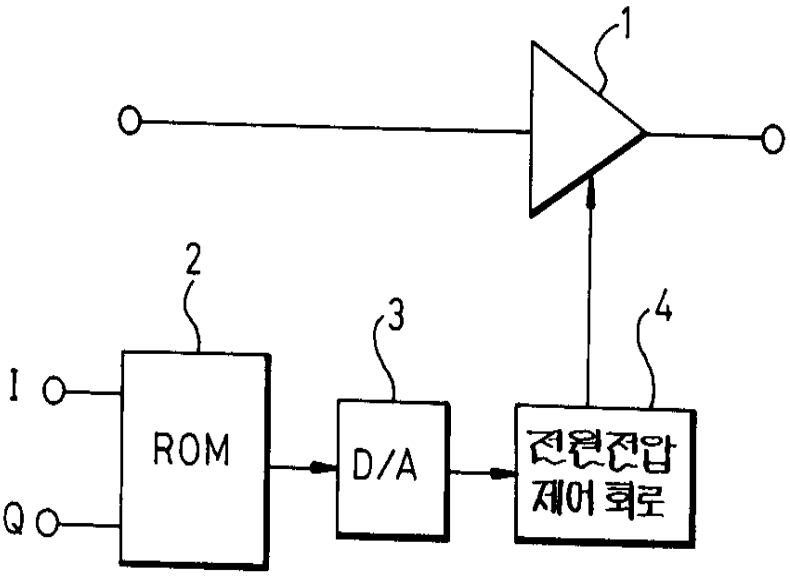
도면31



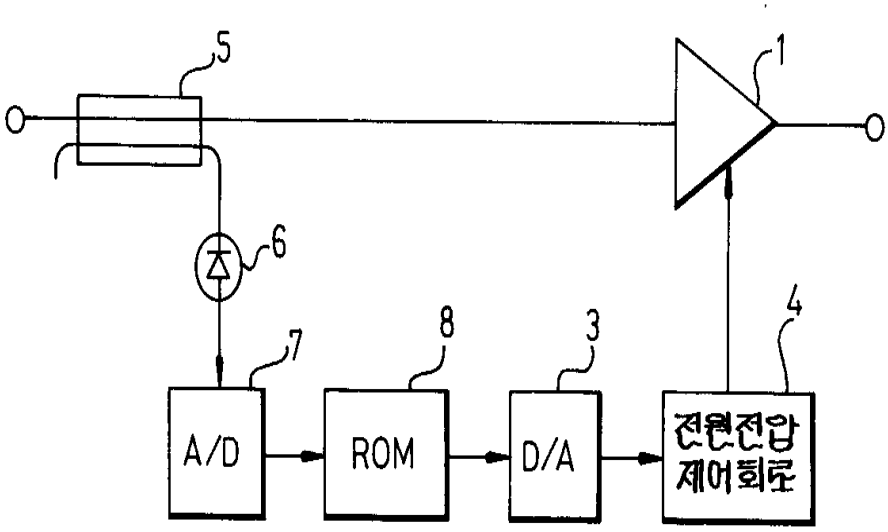
도면32



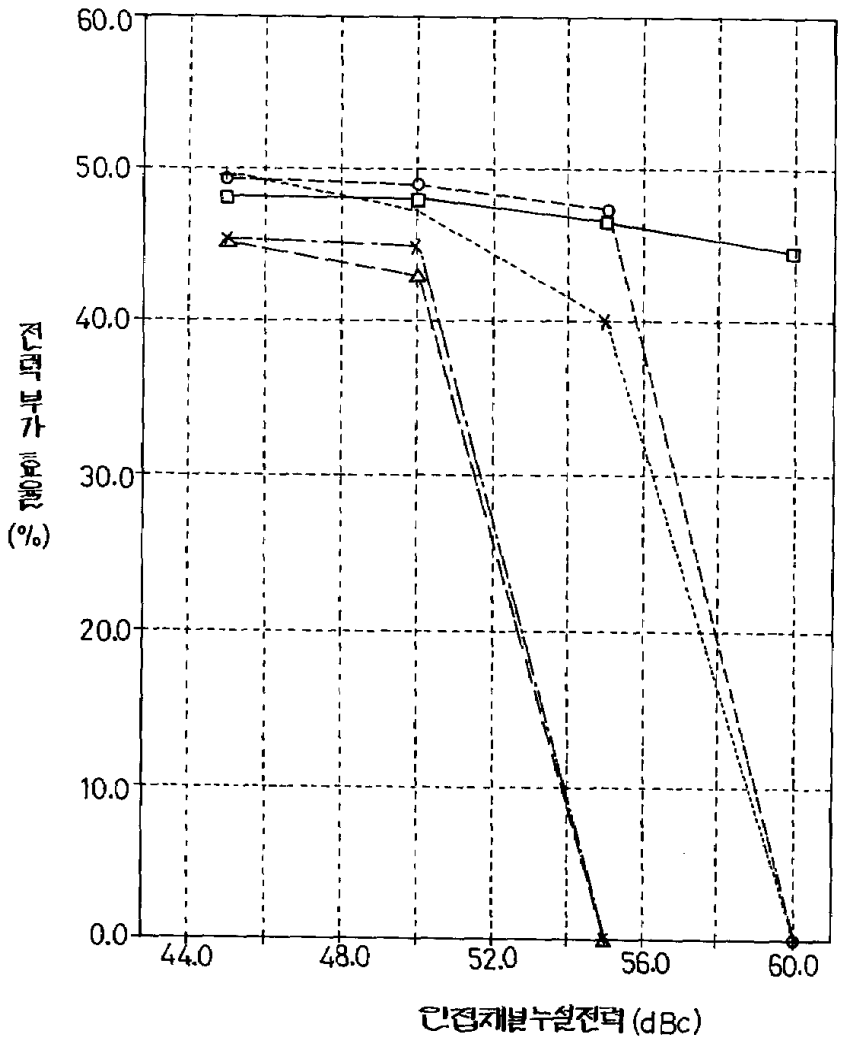
도면33



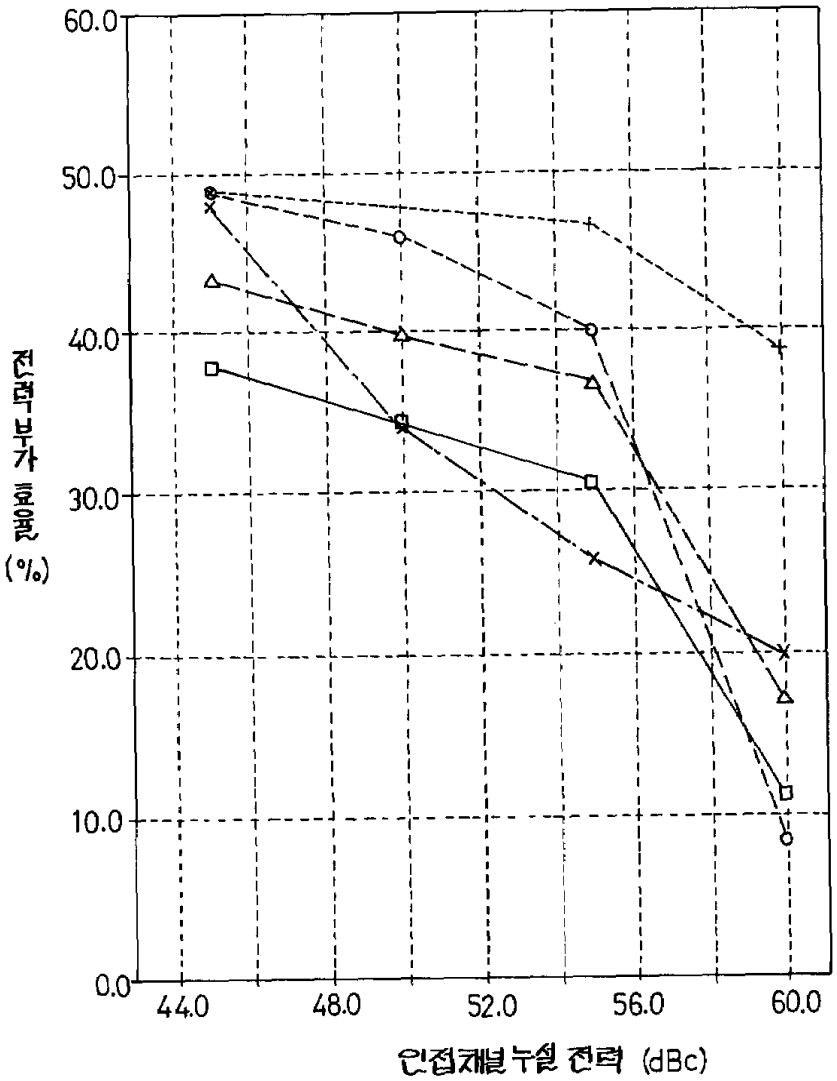
도면34



도면35


60.0
50.0
40.0
30.0
20.0
10.0
0.0
44.0
48.0
52.0
56.0
60.0
전력부가효율 (%)
인접채널누설전력 (dBc)

도면36


60.0
50.0
40.0
30.0
20.0
10.0
0.0
44.0
48.0
52.0
56.0
60.0
전력부가 효율 (%)
인접채널 누설 전력 (dBc)