

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月29日(29.06.2017)



(10) 国際公開番号

WO 2017/110639 A1

- (51) 国際特許分類:
H03H 9/72 (2006.01) H04B 1/38 (2015.01)
H03H 7/46 (2006.01) H04B 1/525 (2015.01)
H03H 9/25 (2006.01)
- (21) 国際出願番号: PCT/JP2016/087318
- (22) 国際出願日: 2016年12月14日(14.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-255445 2015年12月25日(25.12.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 松本 直也(MATSUMOTO, Naoya); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 小野寺修一(ONODERA, Syuichi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 上野 晃一(UENO, Koichi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 溝口 真

也(MIZOGUCHI, Shinya); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 武部 正英(TAKEBE, Masahide); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

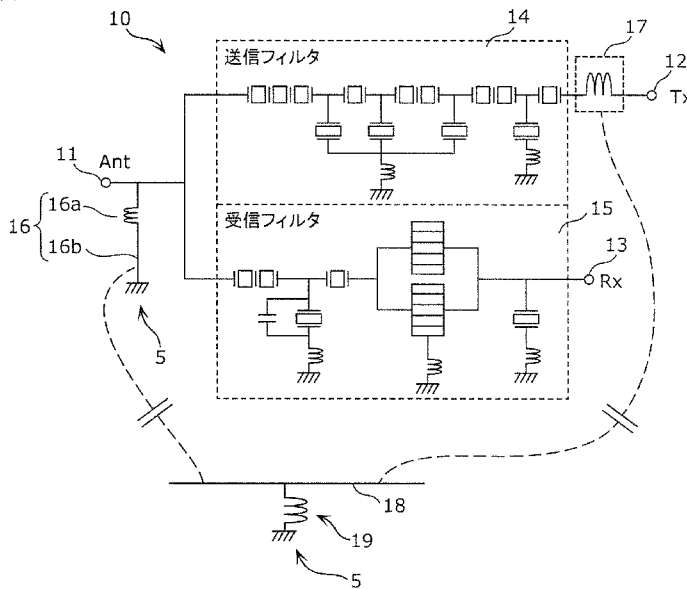
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: HIGH-FREQUENCY MODULE

(54) 発明の名称: 高周波モジュール

図1



14 Transmission filter
15 Receiving filter

容量結合している。

(57) Abstract: A high-frequency module (10) for filtering signals transmitted and received via an antenna, wherein said module (10) is provided with an antenna terminal (11), a transmission terminal (12), a receiving terminal (13), a receiving filter (15) connected between the antenna terminal (11) and the receiving terminal (13), a transmission filter (14) connected between the antenna terminal (11) and the transmission terminal (12), a first element (16) connected between the antenna terminal (11) and the transmission filter (14), and a second element (17) connected in series between the transmission terminal (12) and the transmission filter (14), the first element (16) and the second element (17) being capacitively coupled.

(57) 要約: アンテナで送受信される信号をフィルタリングする高周波モジュール(10)であって、アンテナ端子(11)と、送信端子(12)と、受信端子(13)と、アンテナ端子(11)と受信端子(13)との間に接続された受信フィルタ(15)と、アンテナ端子(11)と送信端子(12)との間に接続された送信フィルタ(14)と、アンテナ端子(11)と送信フィルタ(14)との間に接続される第1素子(16)と、送信端子(12)と送信フィルタ(14)との間に直列に接続される第2素子(17)とを備え、第1素子(16)と第2素子(17)とは、



WO 2017/110639 A1



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：高周波モジュール

技術分野

[0001] 本発明は、アンテナで送受信される信号をフィルタリングする高周波モジュールに関する。

背景技術

[0002] 近年、携帯電話に代表される無線機器の普及により、デュプレクサに代表される、送信フィルタと受信フィルタとをもつ高周波モジュールに対する要求仕様が高まっており、各種技術が開発されている（例えば、特許文献1参照）。

[0003] 特許文献1では、遮断域が抑制されたリアクタンスフィルタであって、入力信号を印加するための入力端子と、出力信号を出力するための出力端子と、入力端子と出力端子との間の信号路に接続された少なくとも1つの直列共振器と、信号路と基準電位を印加するための端子との間に接続された並列共振器と、並列共振器に対して直列に接続されたインダクタとを含むリアクタンスフィルタが開示されている。ここで、特徴的な点として、コンデンサが、少なくとも1つの並列共振器とインダクタとの間で端子に接続されており、別の端子によって出力端子に接続されている。このようなリアクタンスフィルタにより、デュプレクサデバイスでリアクタンスフィルタの回路を送信フィルタとして接続することにより、デュプレクサデバイスの受信帯域におけるアイソレーションを改善することができるというものである。これは、送信フィルタの信号経路と並列して、送信フィルタの入力端子と出力端子とが容量結合された別の信号経路が形成されるので、別の信号経路を伝搬する信号の振幅及び位相を調整することで、送信フィルタからの漏れ信号をキャンセルすることができるからである。なお、アイソレーションとは、高周波モジュールにおける送信フィルタと受信フィルタとの間の分離であり、特に、送信フィルタからの漏れ信号の受信帯域における抑圧をいう。

先行技術文献

特許文献

[0004] 特許文献1：特表2014-501467号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら特許文献1のフィルタでは、デュプレクサ等の高周波モジュールの送信フィルタに適用した場合には、並列共振器とインダクタとの接続点と出力端子との間に容量が接続されるので、アイソレーション特性が改善されるものの、並列共振器と直列に接続されたインダクタの値がアイソレーション特性の改善に律速され、減衰極の制御が難しいという問題がある。なお、減衰極とは、周波数特性において特定の周波数が局所的に減衰（抑圧）される箇所（周波数位置）をいう。

[0006] そこで、本発明は、このような問題に鑑みてなされたものであり、送信フィルタと受信フィルタとをもつ高周波モジュールであって、アイソレーションを高めることができ、かつ、減衰極の制御が容易な高周波モジュールを提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明の一形態に係る高周波モジュールは、アンテナ端子と、送信端子と、受信端子と、前記アンテナ端子と前記受信端子との間に接続された受信フィルタと、前記アンテナ端子と前記送信端子との間に接続された送信フィルタと、前記アンテナ端子と前記送信フィルタとの間に接続される第1素子と、前記送信端子と前記送信フィルタとの間に直列に接続される第2素子とを備え、前記第1素子と前記第2素子とは、容量結合している。

[0008] これにより、アンテナ端子と送信フィルタとの間に接続される第1素子と、送信端子と送信フィルタとの間に直列に接続される第2素子とは容量結合しているので、送信フィルタからの漏れ信号がキャンセルされ、アイソレー

ションが高められる。そして、第2素子は、並列共振子に直列接続されたインダクタではなく、送信端子と送信フィルタとの間に直列に接続される素子なので、その値がアイソレーション特性の改善に律速されることがほとんどない。つまり、送信フィルタが有する並列共振子に直列接続されたインダクタの値を調整することで、アイソレーションの確保にはほとんど影響を与えることなく、減衰極を制御できる。よって、送信フィルタと受信フィルタとをもつ高周波モジュールであって、アイソレーションを高めることができ、かつ、減衰極の制御が容易な高周波モジュールが実現される。

[0009] ここで、前記第1素子は、前記アンテナ端子と前記送信フィルタとを接続する配線、前記アンテナ端子と前記送信フィルタとの接続点とグランドとの間に接続される第1インダクタ、前記第1インダクタと接続される配線、前記接続点と前記グランドとの間に接続される第1キャパシタ、及び、前記第1キャパシタと接続される配線の少なくとも一つであり、前記第2素子は、前記送信端子と前記送信フィルタとを接続する配線、前記送信端子と前記送信フィルタとの間に接続される第2インダクタ、前記第2インダクタと接続される配線、前記送信端子と前記送信フィルタとの間に接続される第2キャパシタ、及び、前記第2キャパシタと接続される配線の少なくとも一つであってもよい。

[0010] これにより、容量結合の対象となる第1素子及び第2素子として、配線、インダクタ及びキャパシタの少なくとも一つから選択して用いることができる。

[0011] また、前記第1素子は、前記第1インダクタと前記グランドとを接続する配線であり、前記第2素子は、前記第2インダクタであってもよい。

[0012] これにより、第1素子として、第1インダクタとグランドとを接続する配線を選択し、第2素子として、第2インダクタを選択することで、いずれも配線パターンで容易に実現されるので、簡易に、アイソレーションを高め、かつ、減衰極の制御が容易な高周波モジュールを実現できる。

[0013] また、前記受信フィルタ及び前記送信フィルタが実装される基板を備え、

前記基板には、導体パターンが形成され、前記第 1 素子と前記第 2 素子とは、前記導体パターンを介して、容量結合していてもよい。例えば、前記第 1 素子は、前記基板を平面視したときに、前記導体パターンにおける第 1 領域と重なる位置に配置され、前記第 2 素子は、前記基板を平面視したときに、前記導体パターンにおける第 2 領域と重なる位置に配置されていてもよい。

[0014] これにより、導体パターンの上方又は下方に第 1 素子及び第 2 素子を位置させることで、容易に、第 1 素子と第 2 素子との容量結合を実現できる。

[0015] また、前記導体パターンは、インダクタ成分をもつ導体によって、グラウンドと接続されていてもよい。例えば、前記インダクタ成分をもつ導体は、前記導体パターンと前記グラウンドとを接続するビアであってもよい。

[0016] これにより、導体パターンに設けるインダクタ成分をもつ導体の位置及び数を調整することで、導体パターンとグラウンドとの結合度、並びに、第 2 素子から導体パターンを介してグラウンドに流れる電流の導体パターンにおける経路及び密度を調整することができ、その結果、第 1 素子と第 2 素子との結合強度及び位相が調整され、アイソレーションが最適化され得る。

[0017] また、前記基板は、複数の配線層が積層されて構成される多層基板であり、前記導体パターンは、前記複数の配線層のうちの最上層と最下層とを除く配線層に形成され、前記第 1 素子及び前記第 2 素子の一方は、前記複数の配線層のうちの、前記導体パターンが形成された配線層よりも上層の配線層に設けられ、前記第 1 素子及び前記第 2 素子の他方は、前記複数の配線層のうちの、前記導体パターンが形成された配線層よりも下層の配線層に設けられてもよい。

[0018] これにより、導体パターンの上層には第 1 素子及び第 2 素子の一方が設けられ、導体パターンの下層には第 1 素子及び第 2 素子の他方が設けられるので、第 1 素子と第 2 素子とは、直接、磁界結合されてしまうことが抑制され、確実に導体パターンを介して容量結合される。また、導体パターンの状態（形状、サイズ、グラウンドとの接続状態等）を調整することで、第 1 素子と第 2 素子との容量結合の強度を調整することが可能になる。

- [0019] また、前記第1素子及び前記第2素子の一方は、前記複数の配線層のうち、最上層の配線層に設けられたチップインダクタであってもよい。これにより、第1素子及び第2素子の一方は、基板の外表面に設けられるチップインダクタであるので、チップインダクタを取り換えることで、第1素子と第2素子との容量結合の強度を容易に調整できる。
- [0020] また、前記導体パターンは、少なくとも一つの開口部が形成された第3領域を有してもよい。これにより、導体パターンに形成される開口部のレイアウトを調整することで、開口部の周囲を流れる電流の経路が影響を受け、第1素子と第2素子との容量結合の強度が調整されるので、送信フィルタからの漏れ信号をキャンセルさせる信号の振幅及び位相を最適化させて高いアイソレーションを実現することが可能になる。
- [0021] また、前記第3領域は、前記基板を平面視したときに、前記第1領域及び前記第2領域のいずれとも重複しない位置に設けられてもよい。これにより、第1素子及び第2素子は、導体パターンのうち、開口部を除く領域と対向することが確保されるので、開口部を設けたことによって第1素子と第2素子との容量結合が弱められてしまうという不具合の発生が抑制され、かつ、第1素子と第2素子とが不要に磁界結合してしまうことが抑制される。
- [0022] また、前記第3領域は、前記基板を平面視したときに、前記第1領域と前記第2領域との間に位置してもよい。これにより、基板を平面視したときに、導体パターンに形成された開口部を含む第3領域を挟むように第1領域と第2領域とが位置するので、第1領域と第2領域との間で流れる電流は開口部の近くを流れることになり、確実に開口部の影響を受けるので、開口部のレイアウトを調整することで、第1素子と第2素子との容量結合の強度を容易に調整できる。
- [0023] また、前記第3領域には、メッシュ状に複数の開口部が形成されていてもよい。これにより、第3領域におけるメッシュ状態を調整することで、導体パターンの外形を変えることがないので、周辺の配線パターンに影響を与える（レイアウトの変更を強いる）ことなく、第1素子と第2素子との容量結

合の強度を調整できる。さらに、第3領域を一つの大きな空隙で構成した場合に比べ、第1素子と第2素子との不要な磁界結合の抑制効果が高められる。

[0024] また、前記第1素子は、前記基板を平面視したときに、前記導体パターンの縁部と重なる位置に配置されていてもよい。

[0025] これにより、第1素子が、導体パターンのうち、第2素子から導体パターンを介してグラウンドに流れる電流の密度が高い箇所と結合されるので、第1素子と第2素子との結合強度が増強される。

[0026] また、前記第1領域は、前記基板を平面視したときに、前記ビアと前記第2領域との間に位置してもよい。

[0027] これにより、基板を平面視したときに、第1素子が、第2素子から導体パターンを介してグラウンドに流れる電流と交差する箇所に位置するので、第1素子と第2素子との結合が促進される。

発明の効果

[0028] 本発明により、送信フィルタと受信フィルタとをもつ高周波モジュールであって、アイソレーションを高めることができ、かつ、減衰極の制御が容易な高周波モジュールが提供される。

図面の簡単な説明

[0029] [図1]図1は、実施の形態における高周波モジュールの回路図である。

[図2A]図2Aは、図1に示された高周波モジュールのレイアウトの一例を示す模式図である。

[図2B]図2Bは、図2AのIIB-IIB線を通る面で切断して得られる高周波モジュールの断面図である。

[図3A]図3Aは、図2A及び図2Bに示される容量結合に関連する素子のレイアウトの具体例を示す図である。

[図3B]図3Bは、図3Aに示されたレイアウトにおける電流密度の分布を示す図である。

[図4]図4は、図3Aに示されたレイアウトをもつ本実施の形態の高周波モジ

ジュールのアイソレーション特性についてのシミュレーション結果を示すグラフである。

[図5]図5は、実施の形態における高周波モジュールの導体パターンに設けるビアの位置及び数の調整例（第1変形例）を示す図である。

[図6]図6は、実施の形態における高周波モジュールの導体パターンと第1素子との位置関係の別の例（第2変形例）を示す図である。

[図7]図7は、実施の形態における高周波モジュールの導体パターンの別の例（第3変形例）を示す図である。

[図8]図8は、実施の形態の変形例（第4変形例）における高周波モジュールの構造を示す図である。

発明を実施するための形態

[0030] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序等は、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、より好ましい形態を構成する任意の構成要素として説明される。

[0031] 図1は、実施の形態における高周波モジュール10の回路図である。この高周波モジュール10は、アンテナ（図示せず）で送受信される信号をフィルタリングするモジュールであって、アンテナ（Ant）端子11、送信（Tx）端子12、受信（Rx）端子13、送信フィルタ14、受信フィルタ15、第1素子16、第2素子17、導体パターン18、及び、ビア19を備える。なお、高周波モジュール10は、典型的には、後述するような一つの基板に実装されるデュプレクサである。ただし、本発明に係る高周波モジュール10は、デュプレクサに限られず、送信フィルタ及び受信フィルタを備えるモジュールであればよい。基板は、例えば、複数の絶縁体層が積層さ

れて構成される多層基板であり、具体的には、L T C C (Low Temperature Co-fired Ceramics ; 低温同時焼成セラミックス) 等である。また、基板に形成される配線パターン、端子 (電極) 及び導体パターンは、銀、銅又はアルミニウム等で形成される。

[0032] アンテナ端子 1 1 は、アンテナと接続される端子であり、例えば、基板上に形成される電極である。アンテナ端子 1 1 は、典型的には、配線パターン又は高周波スイッチ等を介して、送受信用のアンテナに接続される。

[0033] 送信端子 1 2 は、アンテナで送信する信号を入力するための端子であり、例えば、基板上に形成される電極である。送信端子 1 2 は、典型的には、配線パターン又は高周波スイッチ等を介して、パワーアンプの出力端子に接続される。

[0034] 受信端子 1 3 は、アンテナで受信された信号を出力するための端子であり、例えば、基板上に形成される電極である。受信端子 1 3 は、典型的には、配線パターン又は高周波スイッチ等を介して、低雑音アンプの入力端子に接続される。

[0035] 送信フィルタ 1 4 は、アンテナ端子 1 1 と送信端子 1 2 との間に接続され、送信端子 1 2 から入力された信号のうち、送信帯域の信号成分を通過させるフィルタであり、例えば、複数の直列共振子と複数の並列共振子とから構成されるラダー形 S A W (表面弾性波) フィルタである。

[0036] 受信フィルタ 1 5 は、アンテナ端子 1 1 と受信端子 1 3 との間に接続され、アンテナ端子 1 1 から入力された信号のうち、受信帯域の信号成分を通過させるフィルタであり、例えば、S A W フィルタである。

[0037] なお、送信フィルタ 1 4 及び受信フィルタ 1 5 は、S A W フィルタに限られず、それぞれ、送信帯域及び受信帯域を通過させる特性を有するフィルタであれば、他の種類のフィルタ (例えば、L C フィルタ、空洞共振器フィルタ、ヘリカルフィルタ、誘電体フィルタ等) であってもよい。また、機能的には、送信フィルタ 1 4 及び受信フィルタ 1 5 は、ローパスフィルタ、ハイパスフィルタ、又は、バンドパスフィルタである。

[0038] 第1素子16は、アンテナ端子11と送信フィルタ14との間に接続される素子である。例えば、第1素子16は、アンテナ端子11と、送信フィルタ14及び受信フィルタ15の接続点と、の間に接続される。また、例えば、アンテナ端子11と送信フィルタ14とを接続する配線、アンテナ端子11と送信フィルタ14との接続点とグラウンド5との間に接続されるシャントの第1インダクタ、第1インダクタと接続される配線、接続点とグラウンド5との間に接続されるシャントの第1キャパシタ、及び、第1キャパシタと接続される配線の少なくとも一つである。

[0039] 第1インダクタと接続される配線とは、例えば、シャントの第1インダクタが接続されているアンテナ端子11と送信フィルタ14との間に接続されている配線、アンテナ端子11及び送信フィルタ14の接続点と第1インダクタとの間に接続されている配線や、第1インダクタとグラウンド5との間に接続されている配線である。第1キャパシタと接続される配線とは、例えば、シャントの第1キャパシタが接続されているアンテナ端子11と送信フィルタ14との間に接続されている配線、アンテナ端子11及び送信フィルタ14の接続点と第1キャパシタとの間に接続されている配線や、第1キャパシタとグラウンド5との間に接続されている配線である。本実施の形態では、第1素子16は、アンテナ端子11と送信フィルタ14との接続点とグラウンド5との間に接続されるシャント用の第1インダクタ16a、及び、第1インダクタ16aとグラウンド5とを接続する配線16bを含む。なお、第1インダクタ16aは、アンテナと高周波モジュール10とのインピーダンス整合のための素子を兼ねていてもよい。

[0040] 第2素子17は、送信端子12と送信フィルタ14との間に直列に接続される素子であり、例えば、送信端子12と送信フィルタ14とを接続する配線、送信端子12と送信フィルタ14との間に接続される第2インダクタ、第2インダクタと接続される配線、送信端子12と送信フィルタ14との間に接続される第2キャパシタ、又は、第2キャパシタと接続される配線の少なくとも一つである。第2インダクタと接続される配線とは、例えば、送信

フィルタ 14 と第 2 インダクタとの間に接続されている配線や第 2 インダクタと送信端子 12 との間に接続されている配線である。第 2 キャパシタと接続される配線とは、例えば、送信フィルタ 14 と第 2 キャパシタとの間に接続されている配線や第 2 キャパシタと送信端子 12 との間に接続されている配線である。本実施の形態では、第 2 素子 17 は、送信端子 12 と送信フィルタ 14 との間に接続される第 2 インダクタである。

[0041] 導体パターン 18 は、この高周波モジュールが実装される基板に形成されるパターンであり、例えば、多層基板のいずれかの配線層に形成されるベタ層である。

[0042] ビア 19 は、導体パターン 18 をグランド 5 に接続するためのインダクタ成分をもつ導体の一例であり、例えば、多層基板における異なる配線層に形成された導体パターン 18 とグランド 5 とを接続するビアである。

[0043] ここで、特徴的なことは、第 1 素子 16 と第 2 素子 17 とが容量結合している点である。本実施の形態では、第 1 素子 16（厳密には、第 1 素子 16 の配線 16b）と第 2 素子 17 とは、インダクタ成分をもつ導体（ビア 19）によってグランド 5 に接続された導体パターン 18 を介して、容量結合している。なお、導体パターン 18 は、グランド 5 との間に一定のインダクタ成分をもつ弱いグランドパターンと呼ぶこともできる。

[0044] 図 2A は、図 1 に示された高周波モジュール 10 のレイアウトの一例を示す模式図である。ここでは、多層基板 20 に実装された高周波モジュールを平面視したレイアウトが示されている。破線で示された箇所は、実装部品によって隠された箇所、又は、多層基板 20 の最上層を除く内層又は最下層の配線層に形成された箇所である。

[0045] 本図に示されるように、送信フィルタ 14 及び受信フィルタ 15 は、一つのパッケージ部品として実現され、多層基板 20 の上面に実装されている。また、第 1 インダクタ 16a は、チップ部品として実現され、多層基板 20 の上面に実装されている。アンテナ端子 11 及び送信端子 12 は、多層基板 20 の上面に実装され、他の部品との接続に用いられる。

[0046] また、容量結合に関連する素子（第1素子16を構成する配線16b、第2素子17及び導体パターン18）は、多層基板20の内層の配線層（それぞれ、異なる配線層）に形成されている。本図に示されるように、第1素子16（厳密には、第1素子16を構成する配線16b）は、多層基板20を平面視したときに、導体パターン18における第1領域18aと重なる位置に配置され、第2素子17は、多層基板20を平面視したときに、導体パターン18における第2領域18bと重なる位置に配置されている。つまり、第1素子16（厳密には、第1素子16を構成する配線16b）及び第2素子17は、多層基板20を平面視したときに、導体パターン18と重なる領域を有しており、これによって、容量結合している。

[0047] 図2Bは、図2AのIIB-IIB線を通る面で切断して得られる高周波モジュール10の断面図である。なお、本図では、IIB-IIB線を通る切断面には位置しないが、多層基板20の内層の配線層に形成された第2素子17については、破線で示されている。

[0048] 本図に示されるように、多層基板20は、最上層（表面）から最下層（裏面）に向けて、最上層20a、第2層20b、第3層20c、第4層20d、第5層20e、及び、最下層20fの配線層を有する。最上層20a、第2層20b、第3層20c、第4層20d、第5層20e、及び、最下層20fの配線層は、それぞれ、第1絶縁体層21aの上面、第2絶縁体層21bの上面、第3絶縁体層21cの上面、第4絶縁体層21dの上面、第5絶縁体層21eの上面、及び、第5絶縁体層21eの下面に形成される配線層である。第1絶縁体層21a、第2絶縁体層21b、第3絶縁体層21c、第4絶縁体層21d、及び、第5絶縁体層21eは、多層基板20を構成する積層構造体であり、例えば、LTCC、アルミナ、ガラスエポキシ等からなる両面に配線が可能な絶縁基板である。

[0049] 導体パターン18は、第4層20dの一部の領域にベタ層として形成され、ビア19を介して、最下層20fに形成された電極であるグラウンド5に接続されている。

- [0050] 第1素子16を構成する配線16bは、導体パターン18の直下の第5層20eの位置に形成され、最上層20aに実装された第1インダクタ16a及び最下層20fに形成されたグラウンド5とビアで接続されている。
- [0051] 第2素子17は、導体パターン18の直上の第2層20b及び第3層20cに、環状の配線パターンが積層されて形成されたインダクタを構成しており、両端子が最上層20aの配線パターンとビアで接続されている。
- [0052] 図2A及び図2Bに示されるように、本実施の形態における高周波モジュール10では、アンテナ端子11と送信フィルタ14との間に接続される第1素子16と、送信端子12と送信フィルタ14との間に直列に接続される第2素子17とは、導体パターン18を介して、容量結合している。これにより、送信フィルタ14の信号経路と並列して、送信フィルタ14の入力端子と出力端子とが容量結合された別の信号経路が形成され、送信フィルタ14からの漏れ信号がキャンセルされるので、アイソレーションが高められる。そして、第2素子17は、送信フィルタ14における並列共振子に直列接続されたインダクタではなく、送信端子12と送信フィルタ14との間に直列に接続される素子なので、その値がアイソレーション特性の改善に律速されることがほとんどない。つまり、送信フィルタ14が有する並列共振子に直列接続されたインダクタの値を調整することで、アイソレーションの確保にはほとんど影響を与えることなく、減衰極を制御できる。
- [0053] また、第1素子16と第2素子17との容量結合に用いられる導体パターン18は、インダクタ成分をもつ導体（ビア19）によって、グラウンド5と接続されている。これにより、導体パターン18に設けるビア19の位置及び数を調整することで、導体パターン18とグラウンド5との結合度、並びに、第2素子17から導体パターン18を介してグラウンド5に流れる電流の導体パターン18における経路及び密度を調整することができ、その結果、第1素子16と第2素子17との結合強度及び位相が調整され、アイソレーションが最適化され得る。
- [0054] また、多層基板20は、複数の配線層（最上層20a～最下層20f）が

積層されて構成される多層基板であり、導体パターン 18 は、複数の配線層のうちの最上層 20 a と最下層 20 f とを除く配線層（ここでは、第 4 層 20 d）に形成されている。そして、第 1 素子 16 及び第 2 素子 17 の一方（ここでは、第 2 素子 17）は、複数の配線層のうち、導体パターン 18 が形成された配線層（ここでは、第 4 層 20 d）よりも上層の配線層（ここでは、第 2 層 20 b 及び第 3 層 20 c）に設けられ、第 1 素子 16 及び第 2 素子 17 の他方（ここでは、第 1 素子 16 を構成する配線 16 b）は、複数の配線層のうち、導体パターン 18 が形成された配線層（ここでは、第 4 層 20 d）よりも下層の配線層（ここでは、第 5 層 20 e）に設けられている。

[0055] これにより、導体パターン 18 の上層には第 1 素子 16 及び第 2 素子 17 の一方が設けられ、導体パターン 18 の下層には第 1 素子 16 及び第 2 素子 17 の他方が設けられるので、第 1 素子 16 と第 2 素子 17 とは、直接、磁界結合されてしまうことが抑制され、確実に導体パターン 18 を介して容量結合される。つまり、もし導体パターン 18 の上層及び下層の一方に第 1 素子 16 及び第 2 素子 17 の両方が設けられた（例えば、同一の配線層に第 1 素子 16 及び第 2 素子 17 の両方が設けられた）場合には、第 1 素子 16 及び第 2 素子 17 の磁界結合が強くなってしまい、適切な容量結合が確保されないが、本実施の形態のように、導体パターン 18 を挟むように第 1 素子 16 及び第 2 素子 17 が設けられることで、不要な磁界結合が抑制され、適切な容量結合が確保される。

[0056] また、導体パターン 18 の状態（形状、サイズ、グランドとの接続状態等）を調整することで、第 1 素子 16 と第 2 素子 17 との容量結合の強度を調整することが可能になる。

[0057] 図 3 A は、図 2 A 及び図 2 B に示される容量結合に関連する素子（第 1 素子 16 を構成する配線 16 b、第 2 素子 17 及び導体パターン 18）のレイアウトの具体例を示す図である。本図では、左側に、図 1 に示された高周波モジュール 10 のシンボル図が示され、右側に、容量結合に関連する素子（第 1 素子 16 を構成する配線 16 b、第 2 素子 17 及び導体パターン 18）

のレイアウトの具体例が示され、さらに、シンボル図における箇所とレイアウトにおける箇所との対応が破線及び破線の丸印で示されている。本図のレイアウトでは、多層基板 20 を平面視したときの、容量結合に関連する素子（第 1 素子 16 を構成する配線 16 b、第 2 素子 17 及び導体パターン 18）の透視的なレイアウトが示されている。

[0058] 図 3 B は、図 3 A に示されたレイアウトにおける電流密度の分布を示す図である。ここでは、第 2 素子 17 の端子 17 a（送信端子 12 に接続される側の第 2 素子 17 の端子）を励起ポイントとして、この端子 17 a に高周波電流を印加した場合における、容量結合に関連する素子（第 1 素子 16 を構成する配線 16 b、第 2 素子 17 及び導体パターン 18）に流れる電流の密度（mA/m²）の分布が示されている。濃い色の箇所ほど電流の密度が高いことを示している。

[0059] 本図に示されるように、第 2 素子 17 の端子 17 a に供給された電流は、導体パターン 18 を介してビア 19 及び配線 16 b に流れる。このことから、本図に示されるようなレイアウトにより、第 1 素子 16 を構成する配線 16 b と第 2 素子 17 とが導体パターン 18 を介して容量結合されていることが分かる。

[0060] また、本図に示されるように、第 2 素子 17 の端子 17 a に供給された電流は、導体パターン 18 を流れる際に、高い電流密度で、導体パターン 18 の縁部を通り、ビア 19 に向けて流れている。このことから、多層基板 20 を平面視したときに、第 1 素子 16（ここでは、配線 16 b）と重なる導体パターン 18 の第 1 領域 18 a が、第 2 素子 17 と重なる導体パターン 18 の第 2 領域 18 b と、ビア 19 との間に位置するのが好ましいことが分かる。これにより、多層基板 20 を平面視したときに、第 1 素子 16 が、第 2 素子 17 から導体パターン 18 を介してグランド 5 に流れる電流と交差する箇所に位置することになるので、第 1 素子 16 と第 2 素子 17 との結合が促進される。

[0061] 図 4 は、図 3 A に示されたレイアウトをもつ本実施の形態の高周波モジュ

ール10のアイソレーション特性についてのシミュレーション結果を示すグラフである。ここでは、比較のために、本実施の形態の高周波モジュール10のアイソレーション特性（実線）と、本実施の形態のような容量結合を備えない参考例としての高周波モジュールのアイソレーション特性（破線）とが重ねて示されている。縦軸は、アイソレーション、つまり、送信端子12から入力された信号の強度に対する受信端子13で観測された信号の強度の比（抑圧比）である。横軸は、周波数であり、中央に現れたピークの左側（低周波側）が送信帯域であり、右側（高周波側）が受信帯域である。グラフの右横には、本実施の形態の高周波モジュール10のアイソレーション特性における5つのマーカ（グラフ中の点M1～M4、M8）の周波数と抑圧比が示されている。

[0062] 本図において、受信帯域において、本実施の形態の高周波モジュール10のアイソレーションが参考例の高周波モジュールのアイソレーションよりも高くなっていることから分かるように、本実施の形態の高周波モジュール10によれば、第1素子16と第2素子17との容量結合によって、このような容量結合を有しない参考例の高周波モジュールに比べ、より高いアイソレーションが確保される。

[0063] 図5は、上記実施の形態における高周波モジュール10の導体パターン18に設けるビア19の位置及び数の調整例（第1変形例）を示す図である。

[0064] この調整例では、導体パターン18とグランド5とを接続するビアとして、一つのビア19だけが設けられた図2Aと異なり、2つの（ビア19a及び19b）が設けられている。そして、第1素子16を構成する配線16bは、多層基板20を平面視したときに、2つのビア19a及び19bの間を延在している。

[0065] ビア19aは、図3A及び図3Bに示される具体例に係るビア19と同様の役割、つまり、多層基板20を平面視したときに、第1素子16（ここでは、配線16b）と重なる導体パターン18の第1領域18aを、第2素子17と重なる導体パターン18の第2領域18bと、ビア19aとの間に位

置させる役割をもっている。これにより、多層基板 20 を平面視したときに、第 1 素子 16 が、第 2 素子 17 から導体パターン 18 を介してグランド 5 に流れる電流と交差する箇所に位置することになるので、第 1 素子 16 と第 2 素子 17 との結合が促進される。

[0066] また、ビア 19 b は、導体パターン 18 とグランド 5 との間のインダクタ成分（グランドとの結合強度）を調整したり、第 2 素子 17 から導体パターン 18 を介してグランド 5 に流れる電流の経路及び密度を調整したりするのに用いられる。

[0067] このように、導体パターン 18 に設けるビア 19 a 及び 19 b の位置及び数を調整することで、第 1 素子 16 と第 2 素子 17 との結合強度及び位相を調整し、これによって送信フィルタ 14 からの漏れ信号をキャンセルさせてアイソレーションを最適化することができる。

[0068] 図 6 は、上記実施の形態における高周波モジュール 10 の導体パターン 18 と第 1 素子 16（厳密には、第 1 素子 16 を構成する配線 16 b）との位置関係の別の例（第 2 変形例）を示す図である。

[0069] 本変形例では、第 1 素子 16（ここでは、配線 16 b）と重なる導体パターン 18 の第 1 領域 18 a において、第 1 素子 16（ここでは、配線 16 b）は、多層基板 20 を平面視したときに、導体パターン 18 の縁部 18 c と重なる位置に配置されている。より詳しくは、配線 16 b は、多層基板 20 を平面視したときに、矩形状の導体パターン 18 の一つの角に沿って略 90 度で曲がるように延在している。なお、導体パターン 18 の縁部 18 c とは、導体パターン 18 の中心よりも外縁に近い箇所、あるいは、導体パターン 18 の外縁から所定距離範囲内で内側に位置する箇所、あるいは、導体パターン 18 を流れる電流の密度が所定値より大きくなることが予め判明している外縁に近い箇所である。

[0070] このように、多層基板 20 を平面視したときに、第 1 素子 16（ここでは、配線 16 b）を導体パターン 18 の縁部 18 c と重なる位置に配置することにより、第 1 素子が、導体パターンのうち、第 2 素子から導体パターンを

介してグラウンドに流れる電流の密度が高い箇所と結合されるので、第1素子と第2素子との結合強度が増強される。

[0071] 図7は、上記実施の形態における高周波モジュール10の導体パターンの別の例（第3変形例）を示す図である。

[0072] 本変形例では、図7に示されるように、導体パターン180は、開口部30が形成された第3領域18dを有する。開口部30は、ベタ層の一部が切除された箇所（つまり、空隙）であるが、多層基板20中では、上層の第3絶縁体層21c及び／又は下層の第4絶縁体層21dで充填された状態となる。

[0073] このような開口部30のレイアウト（位置、大きさ、形状等）を調整することで、開口部30の周囲を流れる電流の経路が影響を受け、第1素子16と第2素子17との容量結合の強度が調整されるので、送信フィルタ14からの漏れ信号をキャンセルさせる信号の振幅及び位相を最適化させて高いアイソレーションを実現することが可能になる。

[0074] また、本変形例では、第3領域18dは、多層基板20を平面視したときに、第1領域18a及び第2領域18bのいずれとも重複しない位置に設けられている。なお、「多層基板20を平面視したときに第3領域18dが第1領域18a及び第2領域18bのいずれとも重複しない」とは、多層基板20の平面視において、第3領域18dに含まれる開口部30に、第1領域18aに含まれる第1素子16（厳密には、第1素子16の配線16b）と重複しない箇所が存在し、かつ、第2領域18bに含まれる第2素子17と重複しない箇所が存在すればよいことを意味する。つまり、開口部30の少なくとも一部が第1素子16の配線16b及び第2素子17のいずれにも重複しなければよい。ただし、好ましくは、本変形例のように、開口部30のいずれの箇所も第1素子16の配線16b及び第2素子17のいずれとも重複しないのが好ましい。

[0075] このように、多層基板20を平面視したときに第3領域18dが第1領域18a及び第2領域18bのいずれとも重複しないので、第1素子16（厳

密には、第1素子16の配線16b)及び第2素子17は、導体パターン180のうち、開口部30を除く領域と対向することが確保されるので、開口部30を設けたことによって第1素子16と第2素子17との容量結合が弱められてしまうという不具合の発生が抑制され、かつ、第1素子と第2素子とが不要に磁界結合してしまうことが抑制される。

[0076] また、本変形例では、第3領域18dは、多層基板20を平面視したときに、第1領域18aと第2領域18bとの間に位置している。なお、「多層基板20を平面視したときに第3領域18dが第1領域18aと第2領域18bとの間に位置する」とは、多層基板20の平面視において、第1領域18aに含まれる第1素子16（厳密には、第1素子16の配線16b)における任意の箇所と、第2領域18bに含まれる第2素子17における任意の箇所とを結ぶ線分には、第3領域18dに含まれる開口部30を横切る線分が含まれることを意味する。

[0077] このように、第3領域18dが第1領域18aと第2領域18bとの間に位置することで、開口部30を含む第3領域18dを挟むように第1領域18aと第2領域18bとが位置するので、第1領域18aと第2領域18bとの間で流れる電流は開口部30の近くを流れることになり、確実に開口部30の影響を受けるので、開口部30のレイアウトを調整することで、第1素子16と第2素子17との容量結合の強度を容易に調整できる。

[0078] 図8は、上記実施の形態の変形例（第4変形例）における高周波モジュール10aの構造を示す図である。ここでは、高周波モジュール10aのうち、容量結合に関連する素子（第1素子16を構成する配線16b、第2素子としてのチップインダクタ171及び導体パターン181)の多層基板120における断面図及び斜視図が示されている。本変形例における高周波モジュール10aは、(1)多層基板120が3層の絶縁体層（第1絶縁体層121a～第3絶縁体層121c)で構成される点、(2)導体パターン181の第3領域18dには、メッシュ状に複数の開口部31が形成されている点、及び、(3)第2素子としてチップインダクタ171が用いられている

点で、上記実施の形態における高周波モジュール10と異なり、他の構成については、基本的に、上記実施の形態における高周波モジュール10と同じである。以下、上記実施の形態における高周波モジュール10と異なる点を説明する。

- [0079] 本変形例では、多層基板120は、3層の絶縁体層（第1絶縁体層121a～第3絶縁体層121c）で構成される。
- [0080] また、第1素子及び第2素子の一方（ここでは、第2素子としてのチップインダクタ171）は、最上層の配線層（つまり、第1絶縁体層121a上）に設けられている。これにより、チップインダクタ171を取り換えることで、第1素子と第2素子との容量結合の強度を容易に調整できる。
- [0081] また、導体パターン181は、第2絶縁体層121b上に形成され、導体パターン181の中央に位置する第3領域18dには、メッシュ状に複数の開口部31が形成されている。なお、本変形例では、複数の開口部31として、格子状に並んだ16個の開口部31で構成されているが、複数の開口部31としては、このような形状及び数に限られず、送信フィルタ14からの漏れ信号をキャンセルするのに適した容量結合を実現するための任意の形状及び数の開口部で構成されればよい。
- [0082] このように、本変形例では、第3領域18dにおけるメッシュ状態を調整することで、導体パターン181の外形を変えることがないので、周辺の配線パターンに影響を与える（レイアウトの変更を強いる）ことなく、第1素子16（厳密には、第1素子16の配線16b）と第2素子としてのチップインダクタ171との容量結合の強度を調整できる。さらに、第3領域18dを一つの大きな空隙で構成した場合に比べ、第1素子16と第2素子（チップインダクタ171）との不要な磁界結合の抑制効果が高められる。
- [0083] なお、本変形例では、導体パターン181は、開口部31を区切るメッシュ導体と接続されたビア19dを介して、第3絶縁体層121cの下面に形成されたグラウンド5aと接続されている。また、第1素子16を構成する配線16bは、ビア19cを介して、グラウンド5aと接続されている。

[0084] 以上、本発明に係る高周波モジュールについて、実施の形態及び変形例に基づいて説明したが、本発明は、これらの実施の形態及び変形例に限定されない。本発明の主旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態及び変形例に施したものや、実施の形態又は変形例における一部の構成要素を組み合わせる構築される別の形態も、本発明の範囲内に含まれる。

[0085] 例えば、上記実施の形態等では、容量結合の対象となる第1素子16は、第1素子16を構成する配線16bだけであったが、これに限られず、アンテナ端子11と送信フィルタ14との間に接続される素子であれば、任意の素子でよい。つまり、容量結合の対象となる第1素子は、アンテナ端子11と送信フィルタ14とを接続する配線、アンテナ端子11と送信フィルタ14との接続点とグラウンド5との間に接続されるシャント用の第1インダクタ、第1インダクタと接続される配線、接続点とグラウンド5との間に接続されるシャント用の第1キャパシタ、及び、第1キャパシタと接続される配線の少なくとも一つであってもよい。容量結合の対象となる第1素子については、シミュレーション等によって、送信フィルタ14の漏れ信号を一定以上キャンセルできる素子を適宜、選択すればよい。

[0086] 同様に、上記実施の形態等では、容量結合の対象となる第2素子17は、インダクタであったが、これに限られず、送信端子12と送信フィルタ14との間に直列に接続される素子であれば、任意の素子でよい。つまり、容量結合の対象となる第2素子は、送信端子12と送信フィルタ14とを接続する配線、送信端子12と送信フィルタ14との間に接続される第2インダクタ、第2インダクタと接続される配線、送信端子12と送信フィルタ14との間に接続される第2キャパシタ、又は、第2キャパシタと接続される配線の少なくとも一つであってもよい。容量結合の対象となる第2素子については、シミュレーション等によって、送信フィルタ14の漏れ信号を一定以上キャンセルできる素子を適宜、選択すればよい。

[0087] また、上記実施の形態等では、第2素子17を構成するインダクタは、多層基板20を構成する複数の配線層による積層構造を有したが、このような

構造に限られず、一つの配線層に形成されてもよいし、最上層 20 a に実装されたチップ部品であってもよい。

[0088] また、上記実施の形態等では、アンテナ端子 11 は、1 個のアンテナ端子であったが、複数のアンテナのそれぞれに接続される複数の端子で構成されてもよい。

[0089] また、上記実施の形態等では、第 1 素子 16 及び第 2 素子 17 は、導体パターン 18 を介して容量結合されたが、導体パターン 18 を介さずに、直接、容量結合されてもよい。例えば、第 1 素子 16 及び第 2 素子 17 が多層基板 20 の異なる配線層に対向するように形成されることで、第 1 素子 16 及び第 2 素子 17 が直接、容量結合されてもよい。

[0090] また、上記実施の形態等では、容量結合に関連する素子（第 1 素子 16 を構成する配線 16 b、第 2 素子 17 及び導体パターン 18）は、上層から下層に向けて、第 2 素子 17、導体パターン 18、配線 16 b の順に、多層基板 20 の異なる配線層に形成されたが、このような構造に限られない。逆の順で形成されてもよいし、第 1 素子 16 及び第 2 素子 17 が同一の配線層に形成され、その配線層とは異なる配線層に導体パターン 18 が形成されてもよい。

[0091] また、上記実施の形態等では、導体パターン 18 は、多層基板 20 を平面視したときに、略矩形形状を有したが、このような形状に限られず、円形、帯状形状、枝分かれした配線パターン等の任意の形状で形成されてもよい。導体パターン 18 の形状については、適宜、シミュレーション等によって、第 1 素子 16 及び第 2 素子 17 を容量結合するのに適した形状に形成すればよい。

[0092] また、上記実施の形態等では、送信フィルタ 14 及び受信フィルタ 15 は、一つのパッケージ部品として収納されていたが、このような構成に限られず、別体の回路であってもよい。

[0093] また、上記実施の形態等では、高周波モジュール 10 は、多層基板 20 を用いて実現されたが、単層基板を用いて実現されてもよい。パッケージ部品

及びチップ部品を単層基板の表面に実装し、その単層基板の表面配線層と裏面配線層とを利用して第1素子と第2素子とを容量結合させればよい。

産業上の利用可能性

[0094] 本発明は、アンテナで送受信される信号をフィルタリングする高周波モジュールとして、特に、アイソレーションを高めることができ、かつ、減衰極の制御が容易な高周波モジュールとして、例えば、SAWフィルタで構成されるデュプレクサ等に利用できる。

符号の説明

- [0095] 5、5 a グランド
10、10 a 高周波モジュール
11 アンテナ端子
12 送信端子
13 受信端子
14 送信フィルタ
15 受信フィルタ
16 第1素子
16 a 第1インダクタ
16 b 配線
17、171 第2素子
17 a 端子（励起ポイント）
18、180、181 導体パターン
18 a 第1領域
18 b 第2領域
18 c 縁部
18 d 第3領域
19、19 a、19 b、19 c、19 d ビア
20、120 多層基板
20 a 最上層（配線層）

- 2 0 b 第2層（配線層）
- 2 0 c 第3層（配線層）
- 2 0 d 第4層（配線層）
- 2 0 e 第5層（配線層）
- 2 0 f 最下層（配線層）
- 2 1 a、1 2 1 a 第1絶縁体層
- 2 1 b、1 2 1 b 第2絶縁体層
- 2 1 c、1 2 1 c 第3絶縁体層
- 2 1 d 第4絶縁体層
- 2 1 e 第5絶縁体層
- 3 0、3 1 開口部

請求の範囲

[請求項1]

アンテナ端子と、
送信端子と、
受信端子と、
前記アンテナ端子と前記受信端子との間に接続された受信フィルタと、
前記アンテナ端子と前記送信端子との間に接続された送信フィルタと、
前記アンテナ端子と前記送信フィルタとの間に接続される第1素子と、
前記送信端子と前記送信フィルタとの間に直列に接続される第2素子とを備え、
前記第1素子と前記第2素子とは、容量結合している
高周波モジュール。

[請求項2]

前記第1素子は、前記アンテナ端子と前記送信フィルタとを接続する配線、前記アンテナ端子と前記送信フィルタとの接続点とグラウンドとの間に接続される第1インダクタ、前記第1インダクタと接続される配線、前記接続点と前記グラウンドとの間に接続される第1キャパシタ、及び、前記第1キャパシタと接続される配線の少なくとも一つであり、
前記第2素子は、前記送信端子と前記送信フィルタとを接続する配線、前記送信端子と前記送信フィルタとの間に接続される第2インダクタ、前記第2インダクタと接続される配線、前記送信端子と前記送信フィルタとの間に接続される第2キャパシタ、及び、前記第2キャパシタと接続される配線の少なくとも一つである
請求項1記載の高周波モジュール。

[請求項3]

前記第1素子は、前記第1インダクタと前記グラウンドとを接続する配線であり、

前記第 2 素子は、前記第 2 インダクタである

請求項 2 記載の高周波モジュール。

[請求項4] 前記受信フィルタ及び前記送信フィルタが実装される基板を備え、
前記基板には、導体パターンが形成され、
前記第 1 素子と前記第 2 素子とは、前記導体パターンを介して、容量結合している

請求項 1 ～ 3 のいずれか 1 項に記載の高周波モジュール。

[請求項5] 前記第 1 素子は、前記基板を平面視したときに、前記導体パターンにおける第 1 領域と重なる位置に配置され、
前記第 2 素子は、前記基板を平面視したときに、前記導体パターンにおける第 2 領域と重なる位置に配置されている

請求項 4 記載の高周波モジュール。

[請求項6] 前記導体パターンは、インダクタ成分をもつ導体によって、グランドと接続されている

請求項 5 記載の高周波モジュール。

[請求項7] 前記インダクタ成分をもつ導体は、前記導体パターンと前記グランドとを接続するビアである

請求項 6 記載の高周波モジュール。

[請求項8] 前記基板は、複数の配線層が積層されて構成される多層基板であり、

前記導体パターンは、前記複数の配線層のうちの最上層と最下層とを除く配線層に形成され、

前記第 1 素子及び前記第 2 素子の一方は、前記複数の配線層のうち、前記導体パターンが形成された配線層よりも上層の配線層に設けられ、

前記第 1 素子及び前記第 2 素子の他方は、前記複数の配線層のうち、前記導体パターンが形成された配線層よりも下層の配線層に設けられている

請求項 6 又は 7 記載の高周波モジュール。

[請求項9] 前記第 1 素子及び前記第 2 素子の一方は、前記複数の配線層のうち、最上層の配線層に設けられたチップインダクタである

請求項 8 記載の高周波モジュール。

[請求項10] 前記導体パターンは、少なくとも一つの開口部が形成された第 3 領域を有する

請求項 8 又は 9 記載の高周波モジュール。

[請求項11] 前記第 3 領域は、前記基板を平面視したときに、前記第 1 領域及び前記第 2 領域のいずれとも重複しない位置に設けられている

請求項 10 記載の高周波モジュール。

[請求項12] 前記第 3 領域は、前記基板を平面視したときに、前記第 1 領域と前記第 2 領域との間に位置する

請求項 10 又は 11 記載の高周波モジュール。

[請求項13] 前記第 3 領域には、メッシュ状に複数の開口部が形成されている
請求項 10～12 のいずれか 1 項に記載の高周波モジュール。

[請求項14] 前記第 1 素子は、前記基板を平面視したときに、前記導体パターンの縁部と重なる位置に配置されている

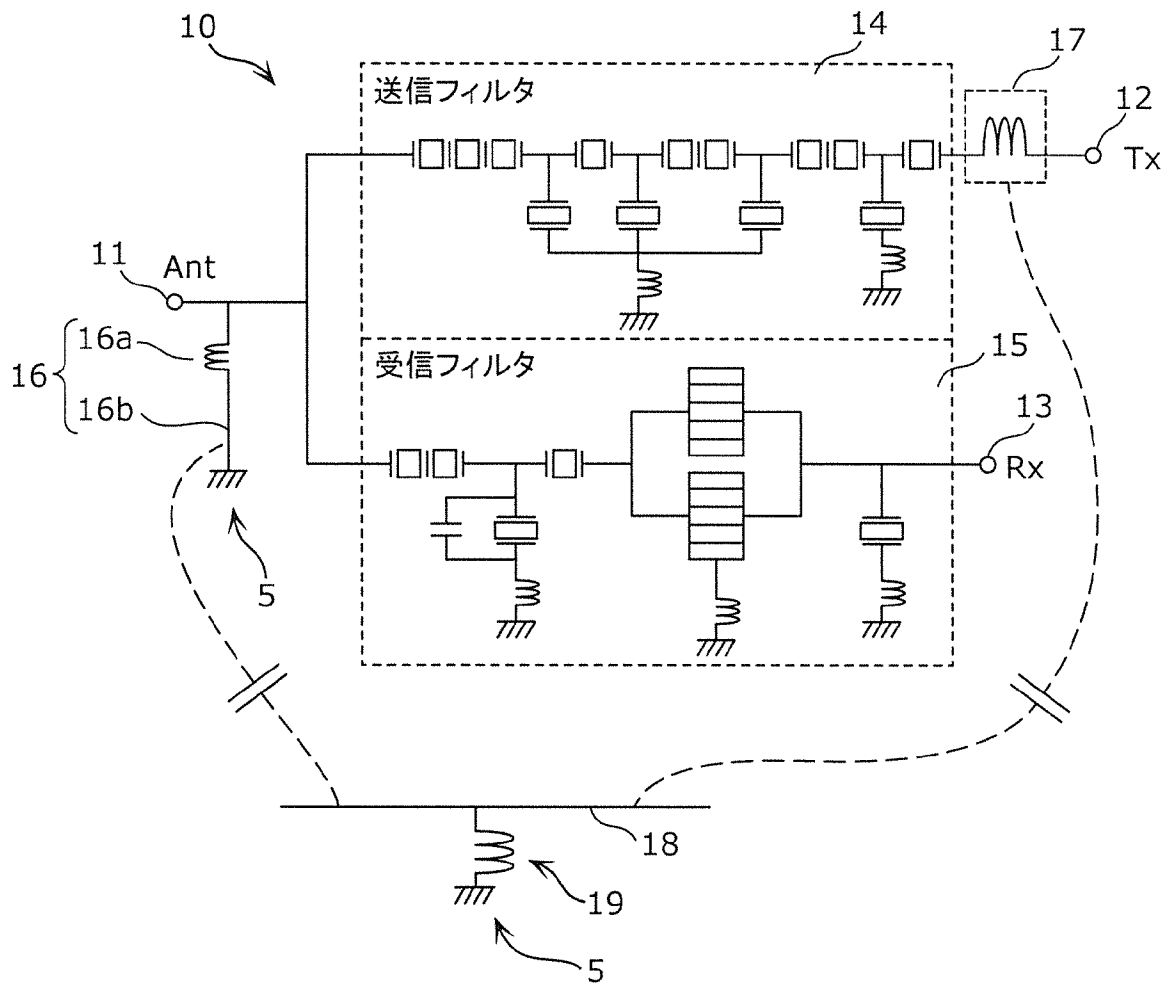
請求項 7 記載の高周波モジュール。

[請求項15] 前記第 1 領域は、前記基板を平面視したときに、前記ビアと前記第 2 領域との間に位置する

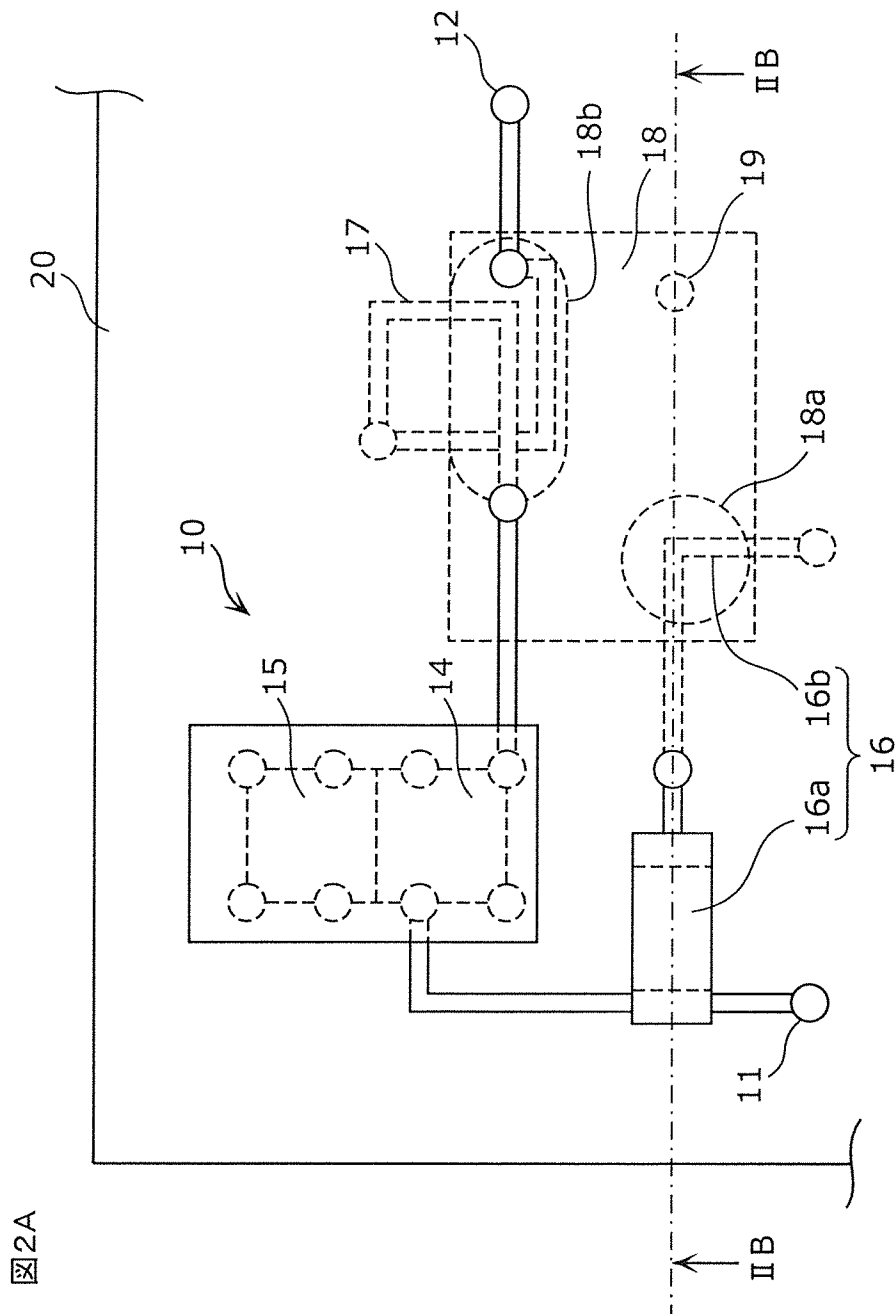
請求項 14 記載の高周波モジュール。

[図1]

図1

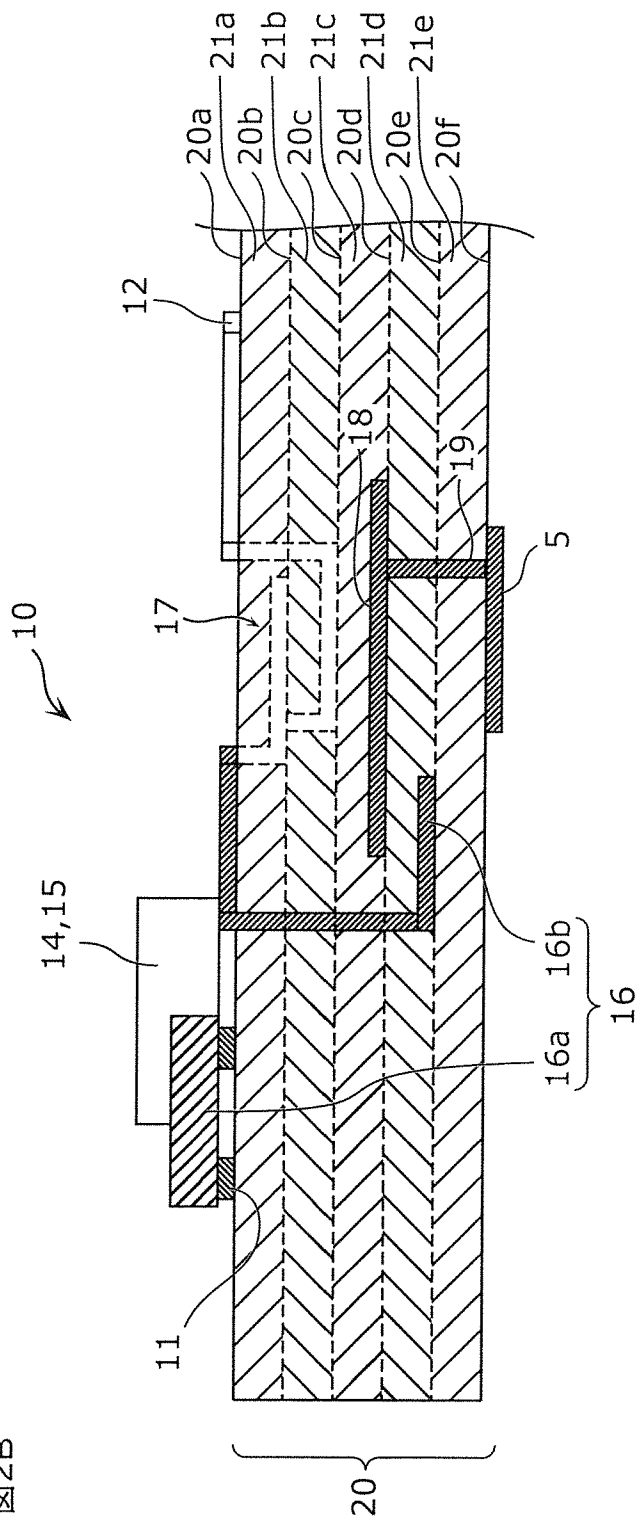


[図2A]

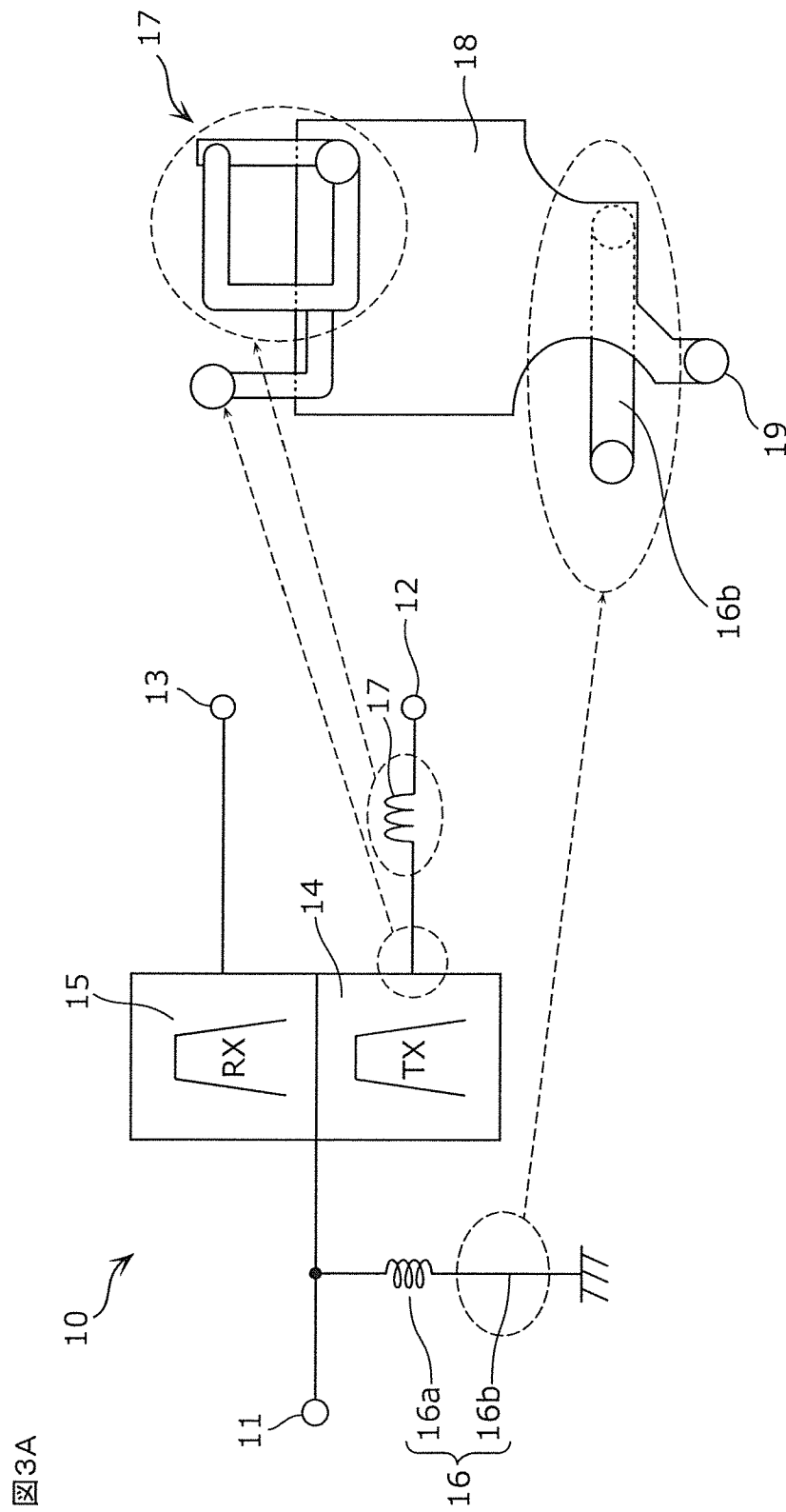


[図2B]

図2B

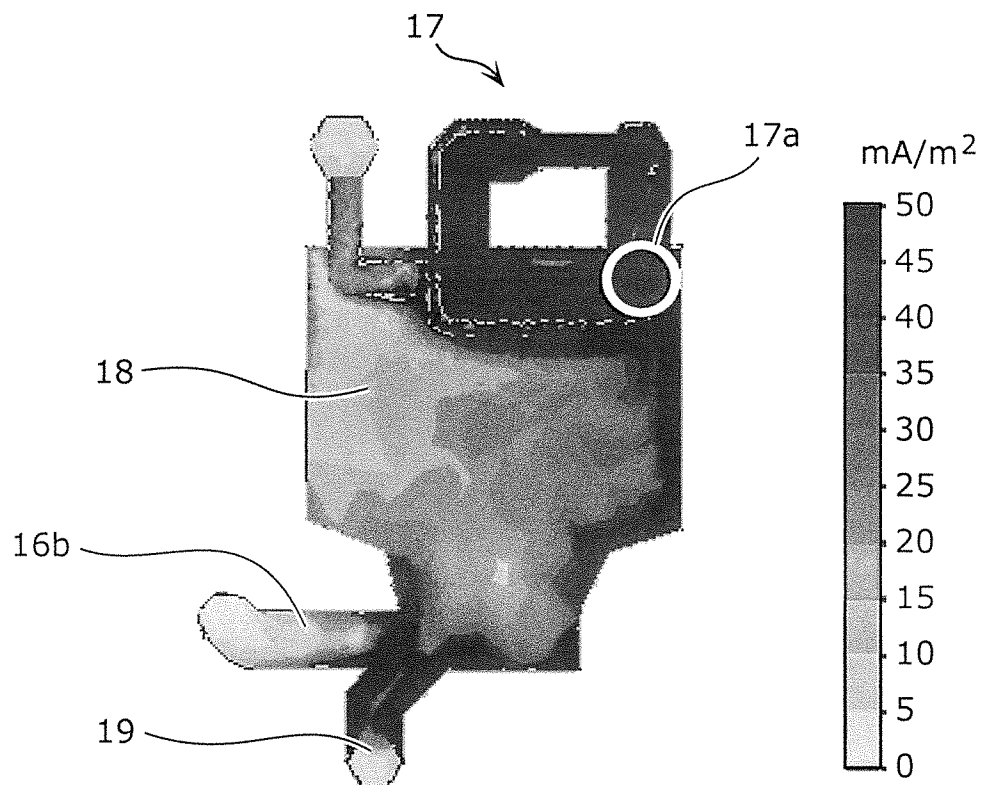


[図3A]

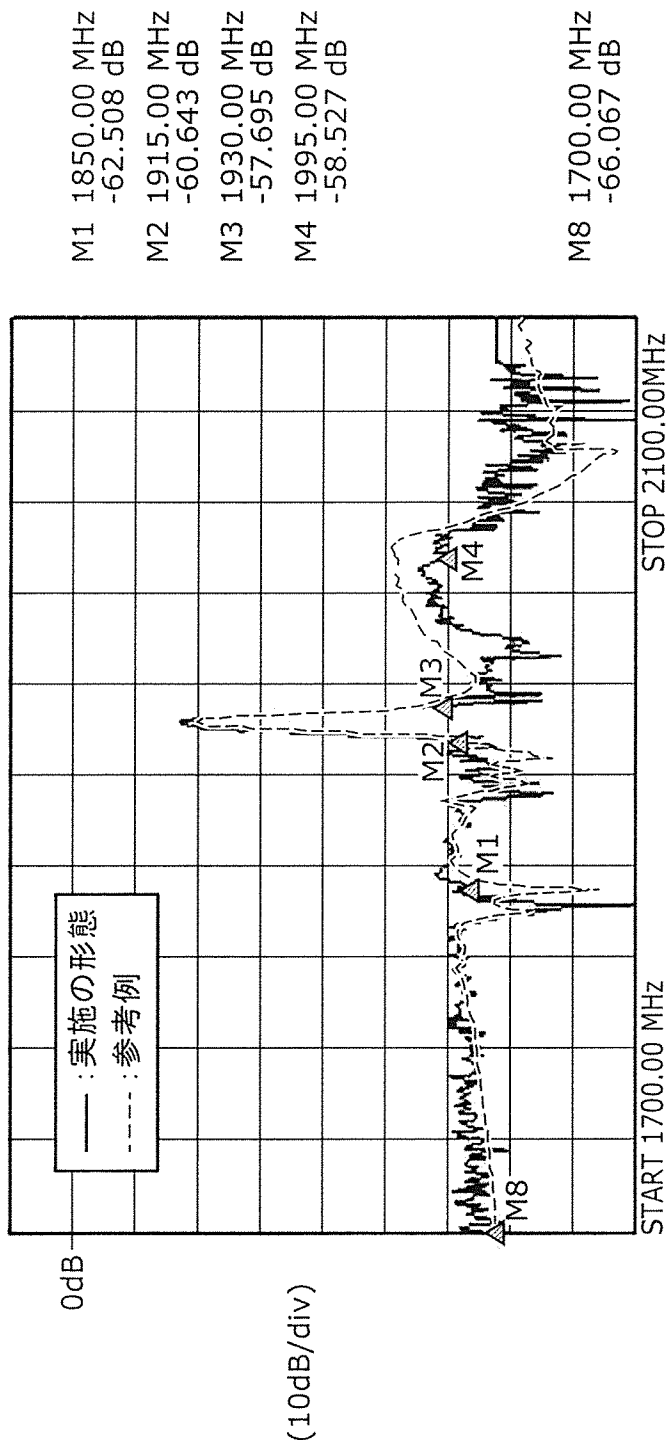


[図3B]

図3B

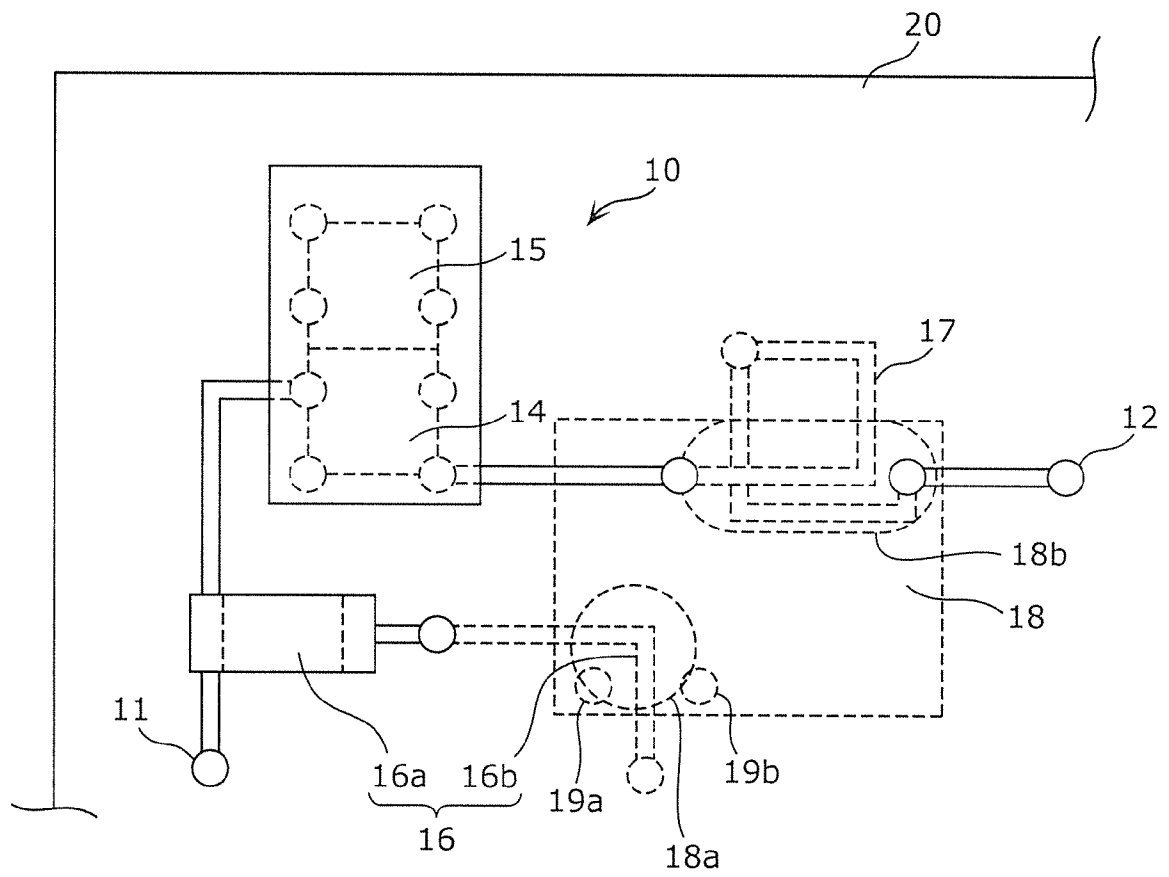


[図4]



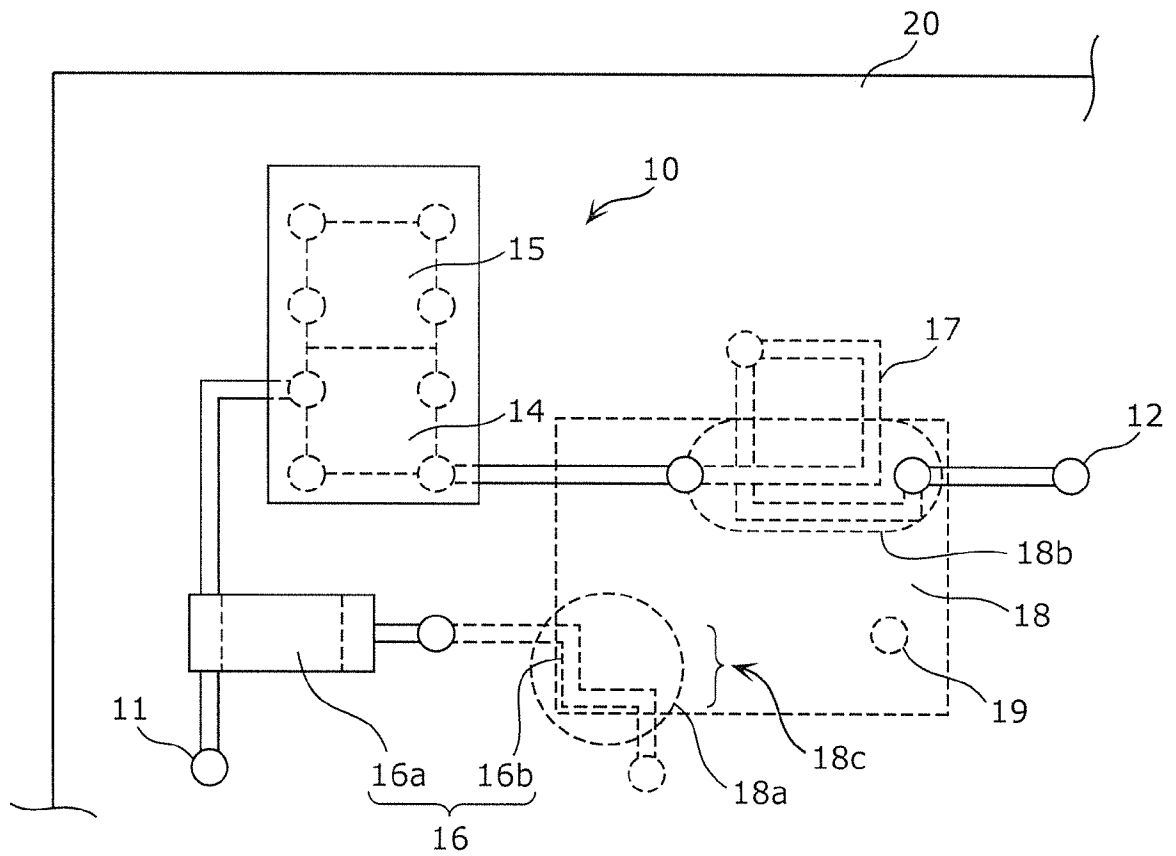
[図5]

図5

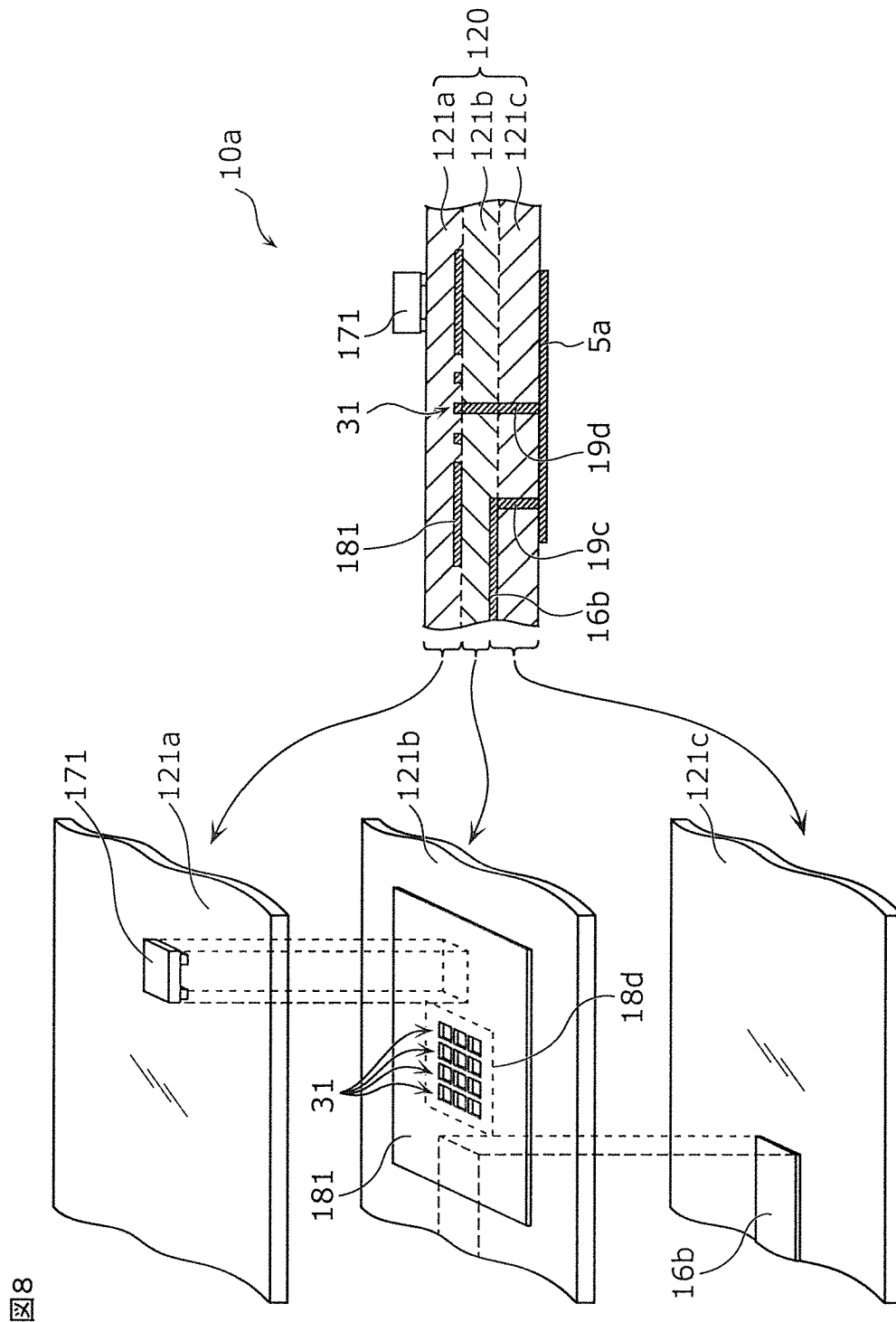


[図6]

図6



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087318

A. CLASSIFICATION OF SUBJECT MATTER

H03H9/72(2006.01)i, H03H7/46(2006.01)i, H03H9/25(2006.01)i, H04B1/38(2015.01)i, H04B1/525(2015.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H9/72, H03H7/46, H03H9/25, H04B1/38, H04B1/525

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2015/019794 A1 (Murata Mfg. Co., Ltd.), 12 February 2015 (12.02.2015), paragraphs [0049] to [0080], [0087] to [0142]; fig. 1 to 5, 7, 9 to 14 & US 2016/0156335 A1 paragraphs [0064] to [0095], [0102] to [0157]; fig. 1 to 5, 7, 9 to 14 & CN 105453429 A	1-3 4-15
Y	WO 2014/034373 A1 (Murata Mfg. Co., Ltd.), 06 March 2014 (06.03.2014), paragraphs [0020] to [0030]; fig. 1 to 3 & JP 14-34373 A1 & US 2015/0137909 A1 paragraphs [0027] to [0037]; fig. 1 to 3 & CN 104471857 A & KR 10-2015-0038261 A	4-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 February 2017 (28.02.17)

Date of mailing of the international search report
07 March 2017 (07.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087318

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-249923 A (Murata Mfg. Co., Ltd.), 26 September 1995 (26.09.1995), paragraphs [0019] to [0034]; fig. 1 to 2 (Family: none)	4-15
Y	JP 2006-229871 A (Mitsubishi Electric Corp.), 31 August 2006 (31.08.2006), paragraphs [0011] to [0019]; fig. 1 to 2 (Family: none)	4-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H9/72(2006.01)i, H03H7/46(2006.01)i, H03H9/25(2006.01)i, H04B1/38(2015.01)i, H04B1/525(2015.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H9/72, H03H7/46, H03H9/25, H04B1/38, H04B1/525

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2015/019794 A1（株式会社村田製作所）2015.02.12, [0049] - [0080], [0087] - [0142] 段落, 図 1-5, 7, 9-14 & US 2016/0156335 A1, [0064] - [0095], [0102] - [0157] 段落, 図 1-5, 7, 9-14 & CN 105453429 A	1-3 4-15
Y	WO 2014/034373 A1（株式会社村田製作所）2014.03.06, [0020] - [0030] 段落, 図 1-3 & JP 14-34373 A1 & US 2015/0137909 A1, [0027] - [0037] 段落, 図 1-3 & CN 104471857 A & KR 10-2015-0038261 A	4-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.02.2017

国際調査報告の発送日

07.03.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

角張 亜希子

5W

3860

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-249923 A (株式会社村田製作所) 1995. 09. 26, [0019] – [0034] 段落, 図 1–2 (ファミリーなし)	4-15
Y	JP 2006-229871 A (三菱電機株式会社) 2006. 08. 31, [0011] – [0019] 段落, 図 1–2 (ファミリーなし)	4-15