



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0004370
(43) 공개일자 2021년01월13일

(51) 국제특허분류(Int. Cl.)
H03L 7/081 (2006.01) H03L 7/085 (2006.01)
(52) CPC특허분류
H03L 7/0814 (2013.01)
H03L 7/085 (2013.01)
(21) 출원번호 10-2019-0080691
(22) 출원일자 2019년07월04일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 성북구 안암로 145 고려대학교 자연계
캠퍼스 공학관 418호
박현수
서울특별시 동대문구 제기로2길 28, 301호 (제기
동)
(74) 대리인
이철희

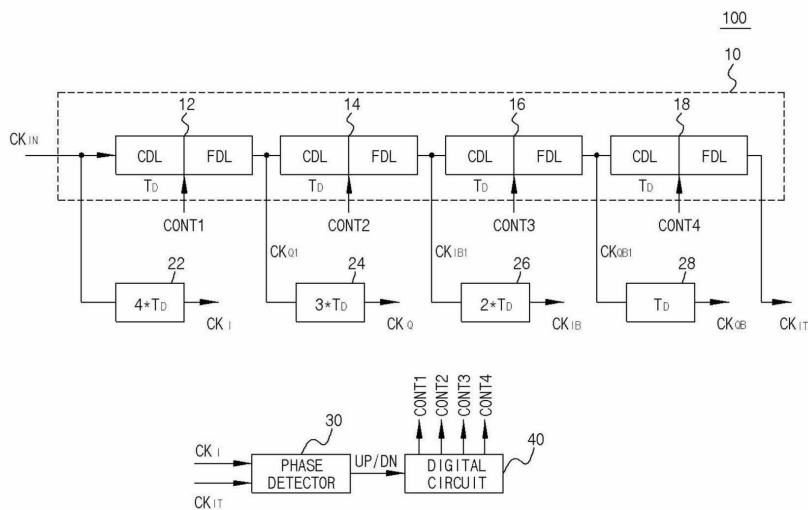
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 지연 고정 루프

(57) 요약

본 발명은 지연 고정 루프를 개시한다. 상기 지연 고정 루프는, 입력 클럭을 지연하여 내부 클럭들을 생성하는 단위 지연 라인들을 포함하고, 상기 단위 지연 라인들은 코드 신호들에 따라 지연량이 조절되는 메인 지연 회로; 상기 입력 클럭과 상기 내부 클럭들 각각을 지연하여 목표한 초기 지연에 의한 위상 차이를 가지는 위상 클럭들을 생성하는 서브 지연 라인들; 상기 위상 클럭들의 위상을 비교하고, 상기 비교 결과에 따른 위상 검출 신호를 제공하는 위상 검출기; 및 상기 단위 지연 라인들 중 어느 단위 지연 라인의 코드 신호를 업데이트할지에 대한 정보를 저장하고, 상기 위상 검출 신호에 따라 상기 단위 지연 라인들의 상기 코드 신호들을 하나씩 업데이트하는 디지털 회로;를 포함한다.

대표도



명세서

청구범위

청구항 1

입력 클럭을 지연하여 내부 클럭들을 생성하는 단위 지연 라인들을 포함하고, 상기 단위 지연 라인들은 코드 신호들에 따라 지연량이 조절되는 메인 지연 회로;

상기 입력 클럭과 상기 내부 클럭들 각각을 지연하여 목표한 초기 지연에 의한 위상 차이를 가지는 위상 클럭들을 생성하는 서브 지연 라인들;

상기 위상 클럭들의 위상을 비교하고, 상기 비교 결과에 따른 위상 검출 신호를 제공하는 위상 검출기; 및

상기 단위 지연 라인들 중 어느 단위 지연 라인의 코드 신호를 업데이트할지에 대한 정보를 저장하고, 상기 위상 검출 신호에 따라 상기 단위 지연 라인들의 상기 코드 신호들을 하나씩 업데이트하는 디지털 회로;

를 포함하는 지연 고정 루프.

청구항 2

제 1 항에 있어서, 상기 디지털 회로는,

상기 위상 검출 신호의 수신 시 상기 정보를 변경하고, 상기 정보에 해당하는 단위 지연 라인의 코드 신호를 업데이트하는 지연 고정 루프.

청구항 3

제 1 항에 있어서, 상기 디지털 회로는,

상기 정보에 해당하는 카운트 값을 저장하고, 상기 위상 검출 신호의 수신 시 상기 카운트 값을 변경하는 카운터; 및

상기 카운트 값을 수신하고, 상기 카운트 값에 해당하는 상기 단위 지연 라인의 상기 코드 신호를 업데이트하는 코드 제어기;

를 포함하는 지연 고정 루프.

청구항 4

제 3 항에 있어서,

상기 카운터는 상기 카운트 값을 미리 설정된 초기 값으로 설정하고, 상기 위상 검출 신호의 수신 시 상기 카운트 값을 변경하는 지연 고정 루프.

청구항 5

제 4 항에 있어서

상기 카운터는 상기 위상 검출 신호에 따라 상기 카운터 값을 증가하거나 감소시키는 지연 고정 루프.

청구항 6

제 3 항에 있어서,

상기 코드 제어기는 상기 위상 검출 신호의 수신 시마다 상기 카운트 값에 해당하는 상기 단위 지연 라인들 중 하나의 상기 코드 신호를 업데이트하는 지연 고정 루프.

청구항 7

제 1 항에 있어서

상기 단위 지연 라인들은 상기 코드 신호들에 의해 지연량이 하나씩 조절되는 지연 고정 루프.

청구항 8

제 1 항에 있어서,

상기 서브 지연 라인들의 지연 값은 상기 초기 지연에 의한 상기 위상 차이를 조절하는데 이용되는 지연 고정 루프.

청구항 9

제 8 항에 있어서

상기 서브 지연 라인들은 상기 위상 클럭들의 순서로 상기 단위 지연 라인의 초기 지연 값의 N배에서 일정 값만큼 감소하는 지연 값을 가지는 지연 고정 루프.

청구항 10

입력 클럭을 지연하여 제1 내지 제4 내부 클럭들을 생성하는 제1 내지 제4 단위 지연 라인들을 포함하고, 상기 제1 내지 제4 단위 지연 라인들은 코드 신호들에 의해 지연량이 하나씩 조절되는 메인 지연 회로;

상기 입력 클럭과 상기 제1 내지 제4 내부 클럭들 각각을 제1 내지 제4 지연 값들로 지연하여 목표한 초기 지연에 의한 위상 차이를 가지는 제1 내지 제4 위상 클럭들을 생성하는 서브 지연 회로;

상기 위상 클럭들의 위상을 비교하고, 상기 비교 결과에 따른 위상 검출 신호를 제공하는 위상 검출기; 및

상기 제1 내지 제4 단위 지연 라인들 중 어느 단위 지연 라인의 코드 신호를 업데이트할지에 대한 정보를 저장하고, 상기 위상 검출 신호에 따라 상기 제1 내지 제4 단위 지연 라인들의 상기 코드 신호들을 하나씩 업데이트하는 디지털 회로;

를 포함하는 지연 고정 루프.

청구항 11

제 10 항에 있어서, 상기 디지털 회로는,

상기 정보에 해당하는 카운트 값을 저장하고, 상기 위상 검출 신호의 수신 시 상기 카운트 값을 변경하는 카운터; 및

상기 카운트 값을 수신하고, 상기 카운트 값에 해당하는 상기 제1 내지 제4 단위 지연 라인들 중 하나의 상기 코드 신호를 업데이트하는 코드 제어기;

를 포함하는 지연 고정 루프.

청구항 12

제 11 항에 있어서,

상기 카운터는 상기 카운트 값을 미리 설정된 초기 값으로 설정하고, 상기 위상 검출 신호의 수신 시 상기 카운트 값을 변경하며, 상기 위상 검출 신호에 따라 상기 카운터 값을 증가하거나 감소시키는 지연 고정 루프.

청구항 13

제 11 항에 있어서,

상기 코드 제어기는 상기 위상 검출 신호의 수신 시마다 상기 카운트 값에 해당하는 상기 제1 내지 제4 단위 지연 라인들 중 하나의 상기 코드 신호를 업데이트하는 지연 고정 루프.

청구항 14

제 10 항에 있어서,

상기 서브 지연 회로의 상기 제1 내지 제4 지연 값들은 상기 초기 지연에 의한 상기 위상 차이를 조절하는데 이

용되는 지연 고정 루프.

청구항 15

제 10 항에 있어서, 상기 서브 지연 회로는,

상기 입력 클럭을 상기 제1 지연 값으로 지연하여 상기 제1 위상 클럭을 생성하는 제1 서브 지연 라인;

상기 제1 클럭을 상기 제2 지연 값으로 지연하여 상기 제2 위상 클럭을 생성하는 제2 서브 지연 라인;

상기 제2 클럭을 상기 제3 지연 값으로 지연하여 상기 제3 위상 클럭을 생성하는 제3 서브 지연 라인; 및

상기 제3 클럭을 상기 제4 지연 값으로 지연하여 상기 제4 위상 클럭을 생성하는 제4 서브 지연 라인;을 포함하는 지연 고정 루프.

청구항 16

제 15 항에 있어서,

상기 제1 내지 제4 지연 값들은 상기 제1 내지 제4 위상 클럭들의 순서로 상기 단위 지연 라인의 초기 지연 값의 N배에서 일정 값만큼 감소하는 지연 값을 가지는 지연 고정 루프.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 반도체 장치를 고속에서 동작시키고 성능을 향상시킬 수 있는 지연 고정 루프에 관한 것이다.

배경 기술

[0002] 일반적으로 반도체 장치는 외부 클럭을 내부에서 사용할 때 내부 회로들에 의해 발생하는 시간 지연을 보상하기 위하여 지연 고정 루프를 사용한다.

[0003] 지연 고정 루프는 입력 클럭을 지연하여 멀티 위상 클럭들을 생성하고, 입력 클럭과 피드백 클럭의 위상 차이를 비교하며, 그 비교 결과에 따라 지연 값을 조절하여 락킹 동작을 수행한다.

[0004] 그런데, 종래 기술에 따른 지연 고정 루프는 다음과 같은 문제점을 가지고 있다.

[0005] 먼저, 초기 지연(initial delay)의 문제가 있다. 초기 지연은 반도체 장치의 동작 주파수를 제한할 수 있다. 일례로, 4개의 위상 클럭들을 생성하는 지연 고정 루프는 초기 지연에 의한 위상 클럭들 간의 위상 차이가 90도에 해당하는 초기 지연 값을 가져야 한다.

[0006] 그러나 종래 기술에 따른 지연 고정 루프는 초기 지연의 문제로 위상 클럭들 간의 위상 차이가 90도 보다 큰 경우 입력 클럭의 한 주기 내에서 위상을 정렬하지 못하는 문제점을 가진다.

[0007] 이러한 초기 지연의 문제는 고속으로 동작하는 반도체 장치의 전체 동작 속도를 제한하는 원인이 될 수 있다.

[0008] 다음으로, 시간 해상도(time resolution)의 문제가 있다. 시간 해상도의 문제는 반도체 장치의 성능을 저하시킬 수 있다. 일례로, 4개의 위상 클럭들을 생성하는 지연 고정 루프는 위상 정렬 시 4개의 단위 지연 라인들 각각이 모두 동일한 지연 코드로 변화를 겪게 된다.

[0009] 이로 인해 종래 기술에 따른 지연 고정 루프는 단위 지연 라인의 시간 해상도가 T_{RES} 인 경우 전체 시간 해상도가 $4 \cdot T_{RES}$ 로 증가하게 된다.

[0010] 이렇게 증가된 시간 해상도는 뱅뱅 클럭 지터(Bangbang clock jitter)를 야기하는 원인이 될 수 있고, 위상 클럭들의 출력이 PVT 변동에 더 큰 영향을 받게 되어 반도체 장치의 성능을 저하시키는 원인이 될 수 있다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 특허문헌 1: 대한민국 등록번호 KR 10-0884589 (2009.02.12)
(특허문헌 0002) 특허문헌 2: 대한민국 등록번호 KR 10-0411551 (2003.12.04)

발명의 내용

해결하려는 과제

- [0012] 본 발명이 해결하고자 하는 기술적 과제는 시간 해상도의 문제를 해결하여 반도체 장치를 고속에서 동작시키고 성능을 향상시킬 수 있는 지연 고정 루프를 제공하는데 있다.

과제의 해결 수단

- [0013] 일 실시예에 따른 지연 고정 루프는, 입력 클럭을 지연하여 내부 클럭들을 생성하는 단위 지연 라인들을 포함하고, 상기 단위 지연 라인들은 코드 신호들에 따라 지연량이 조절되는 메인 지연 회로; 상기 입력 클럭과 상기 내부 클럭들 각각을 지연하여 목표한 초기 지연에 의한 위상 차이를 가지는 위상 클럭들을 생성하는 서브 지연 라인들; 상기 위상 클럭들의 위상을 비교하고, 상기 비교 결과에 따른 위상 검출 신호를 제공하는 위상 검출기; 및 상기 단위 지연 라인들 중 어느 단위 지연 라인의 코드 신호를 업데이트할지에 대한 정보를 저장하고, 상기 위상 검출 신호에 따라 상기 단위 지연 라인들의 상기 코드 신호들을 하나씩 업데이트하는 디지털 회로;를 포함한다.
- [0014] 일 실시예에 따른 지연 고정 루프는, 입력 클럭을 지연하여 제1 내지 제4 내부 클럭들을 생성하는 제1 내지 제4 단위 지연 라인들을 포함하고, 상기 제1 내지 제4 단위 지연 라인들은 코드 신호들에 의해 지연량이 하나씩 조절되는 메인 지연 회로; 상기 입력 클럭과 상기 제1 내지 제4 내부 클럭들 각각을 제1 내지 제4 지연 값들로 지연하여 목표한 초기 지연에 의한 위상 차이를 가지는 제1 내지 제4 위상 클럭들을 생성하는 서브 지연 회로; 상기 위상 클럭들의 위상을 비교하고, 상기 비교 결과에 따른 위상 검출 신호를 제공하는 위상 검출기; 및 상기 제1 내지 제4 단위 지연 라인들 중 어느 단위 지연 라인의 코드 신호를 업데이트할지에 대한 정보를 저장하고, 상기 위상 검출 신호에 따라 상기 제1 내지 제4 단위 지연 라인들의 상기 코드 신호들을 하나씩 업데이트하는 디지털 회로;를 포함한다.

발명의 효과

- [0015] 실시예들에 따르면, 지연 고정 루프는 단위 지연 라인들 각각이 한번에 하나씩 코드 변화를 가지므로 전체 시간 해상도를 단위 지연 라인의 시간 해상도 수준으로 유지할 수 있다.
- [0016] 또한, 지연 고정 루프는 시간 해상도의 문제를 해결하여 멀티 위상 클럭들의 품질을 향상시킴으로써 반도체 장치의 성능을 향상시키고 고속으로 동작시킬 수 있다.

도면의 간단한 설명

- [0017] 도 1은 일 실시예에 따른 지연 고정 루프를 도시한다.
도 2는 도 1에 도시된 디지털 회로의 블록도이다.
도 3은 도 2에 도시된 카운터의 블록도이다.
도 4는 도 2에 도시된 카운터의 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0019] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되

는 경우 그 상세한 설명을 생략한다.

- [0020] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0021] 본 실시예들은 초기 지연과 시간 해상도의 문제를 해결하여 반도체 장치의 성능을 향상시키고 고속으로 동작시킬 수 있는 지연 고정 루프를 제공한다.
- [0022] 본 실시예들은 네 개의 위상 클럭들을 생성하는 것을 예시하고 있으나, 이는 예시적인 것에 불과하며, 이들로부터 다양한 변형 및 균등한 다른 실시예가 가능하다고 할 것이다.
- [0023] 도 1은 일 실시예에 따른 지연 고정 루프(100)를 도시한다.
- [0024] 도 1을 참고하면, 지연 고정 루프(100)는 메인 지연 회로(10), 제1 내지 제4서브 지연 라인들(22, 24, 26, 28), 위상 검출기(30) 및 디지털 회로(40)를 포함한다.
- [0025] 메인 지연 회로(10)는 입력 클럭(CK_{IN})을 수신하고, 입력 클럭(CK_{IN})을 지연하여 제1 내지 제4 내부 클럭들(CK_{Q1} , CK_{IB1} , CK_{QB1} , CK_{IT})을 생성한다.
- [0026] 이러한 메인 지연 회로(10)는 직렬 연결된 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)을 포함한다.
- [0027] 제1 단위 지연 라인(12)은 입력 클럭(CK_{IN})을 지연하여 제1 내부 클럭(CK_{Q1})을 생성하고, 제2 단위 지연 라인(14)은 제1 내부 클럭(CK_{Q1})을 지연하여 제2 내부 클럭(CK_{IB1})을 생성하며, 제3 단위 지연 라인(16)은 제2 내부 클럭(CK_{IB1})을 지연하여 제3 내부 클럭(CK_{QB1})을 생성하고, 제4 단위 지연 라인(18)은 제3 내부 클럭(CK_{QB1})을 지연하여 제4 내부 클럭(CK_{IT})을 생성한다.
- [0028] 여기서, 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)의 지연량은 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4)에 따라 조절될 수 있다.
- [0029] 일례로, 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)은 디지털 회로(40)로부터 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4)을 수신한다. 여기서, 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4)은 지연량을 조절하기 위한 코드 값이다. 코드 값은 디지털 회로(40)에 의해 순차적으로 업데이트될 수 있다.
- [0030] 따라서, 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)은 한번에 하나씩 업데이트되는 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4)에 의해 한번에 하나씩 순차적으로 제어될 수 있다.
- [0031] 그리고, 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)은 동일한 초기 지연 값을 가질 수 있다. 여기서, 초기 지연은 단위 지연 라인이 가지는 가장 작은 지연 값으로 정의될 수 있다.
- [0032] 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)은 ΔT 만큼의 초기 지연 값을 가질 수 있다. 초기 지연에 의한 제1 내지 제4 내부 클럭들(CK_{Q1} , CK_{IB1} , CK_{QB1} , CK_{IT}) 간의 위상 차이는 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)의 초기 지연 값 ΔT 에 대응할 수 있다.
- [0033] 서브 지연 회로는 제1 내지 제4 서브 지연 라인들(22, 24, 26, 28)을 포함하고, 제1 내지 제4 서브 지연 라인들(22, 24, 26, 28)은 입력 클럭(CK_{IN})과 제1 내지 제3 내부 클럭들(CK_{Q1} , CK_{IB1} , CK_{QB1})을 지연하여 제1 내지 제4 위상 클럭들(CK_I , CK_Q , CK_{IB} , CK_{QB})을 생성한다.
- [0034] 여기서, 제1 서브 지연 라인(22)은 입력 클럭(CK_{IN})을 지연하여 제1 위상 클럭(CK_I)을 생성하고, 제2 서브 지연 라인(24)은 제1 내부 클럭(CK_{Q1})을 지연하여 제2 위상 클럭(CK_Q)을 생성하며, 제3 서브 지연 라인(26)은 제2 내부 클럭(CK_{IB1})을 지연하여 제3 위상 클럭(CK_{IB})을 생성하고, 제4 서브 지연 라인(28)은 제3 내부 클럭(CK_{QB1})을 지연하여 제4 위상 클럭(CK_{QB})을 생성한다. 제4 단위 지연 라인(18)으로부터 출력되는 제4 내부 클럭(CK_{IT})은 제5 위상 클럭(CK_{IT})으로서 이용된다.
- [0035] 서브 지연 라인들(22, 24, 26, 28)의 지연 값은 제1 내지 제4 위상 클럭들(CK_I , CK_Q , CK_{IB} , CK_{QB}) 간의 초기 위상 차이, 즉 지연 고정 루프(100)의 초기 지연에 의한 위상 차이를 조절하는데 이용될 수 있다.

- [0036] 일례로, 지연 고정 루프(100)는 제1 내지 제4 서브 지연 라인들(22, 24, 26, 28)의 지연 값을 조절하여 초기 지연에 의한 위상 차이가 입력 클럭(CK_{IN})의 한 주기를 제1 내지 제4 위상 클럭들(CK_I , CK_Q , CK_{IB} , CK_{QB})의 개수로 나눈 값보다 작도록 설정할 수 있다.
- [0037] 보다 구체적으로, 메인 지연 회로(10)는 직렬 연결된 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)을 포함하고, 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)은 코스 지연 라인(CDL, coarse delay line)과 파인 지연 라인(FDL, fine delay line)을 포함한다.
- [0038] 일례로, 코스 지연 라인(CDL)과 파인 지연 라인(FDL)은 낸드(NAND) 게이트 기반으로 설계될 수 있다. 그리고, 제1 내지 제4 서브 지연 라인들(22, 24, 26, 28)의 지연 값은 입력 클럭(CK_{IN})을 기준으로 위상 차이가 커지는 위상 클럭들(CK_I , CK_Q , CK_{IB} , CK_{QB})의 순서로 코스 지연 라인(CDL)의 지연 값의 N배에서부터 일정 값만큼 감소하도록 설정될 수 있다.
- [0039] 일례로, 코스 지연 라인(CDL)의 초기 지연 값이 T_D 인 경우 제1 서브 지연 라인(22)의 지연 값은 $4N \cdot T_D$ 로 설정될 수 있고, 제2 서브 지연 라인(24)의 지연 값은 $3N \cdot T_D$ 로 설정될 수 있으며, 제3 서브 지연 라인(26)의 지연 값은 $2N \cdot T_D$ 로 설정될 수 있고, 제4 서브 지연 라인(28)의 지연 값은 $N \cdot T_D$ 로 설정될 수 있다. 여기서, N은 정수이다.
- [0040] 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)의 초기 지연 값이 ΔT 이고, 코스 지연 라인(CDL)의 초기 지연 값이 T_D 이며, N이 1로 정의 될 때, 제1 내지 제5 위상 클럭들(CK_I , CK_Q , CK_{IB} , CK_{QB} , CK_{IT}) 간의 초기 지연에 의한 위상 차이는 아래의 <수학식 1>과 같이 계산될 수 있다.

수학식 1

$$\begin{array}{lcl}
 CK_I & \Rightarrow & 4T_D \\
 CK_Q & \Rightarrow & \Delta T + 3T_D \\
 CK_{IB} & \Rightarrow & 2\Delta T + 2T_D \\
 CK_{QB} & \Rightarrow & \Delta T + T_D \\
 CK_{IT} & \Rightarrow & 4\Delta T
 \end{array}
 \begin{array}{l}
 \swarrow \Delta T - T_D \\
 \swarrow \Delta T - T_D \\
 \swarrow \Delta T - T_D \\
 \swarrow \Delta T - T_D
 \end{array}$$

- [0041]
- [0042] 이와 같이 제1 위상 클럭(CK_I)과 제2 위상 클럭(CK_Q) 간의 초기 지연에 의한 위상 차이는 $\Delta T - T_D$ 이고, 제2 위상 클럭(CK_Q)과 제3 위상 클럭(CK_{IB}), 제3 위상 클럭(CK_{IB})과 제4 위상 클럭(CK_{QB}), 제4 위상 클럭(CK_{QB})과 제5 위상 클럭(CK_{IT}) 간의 초기 지연에 의한 위상 차이 역시 $\Delta T - T_D$ 로 정의 될 수 있다.
- [0043] 즉, 실시예에 따른 지연 고정 루프(100)는 초기 지연 값을 $\Delta T - N \cdot T_D$ 로 조절할 수 있기 때문에 N 값을 키울 수록 초기 지연 값을 줄일 수 있으며, 0 또는 음수의 값으로 설정할 수 있다.
- [0044] 따라서, 실시예에 따른 지연 고정 루프(100)는 주파수 범위의 제한 없이 설계될 수 있고, 높은 주파수에서의 동작을 요구하는 반도체 장치를 설계하는데 적용될 수 있다.
- [0045] 그리고, 지연 고정 루프(100)는 위상 검출기(30) 및 디지털 회로(40)를 포함한다.
- [0046] 위상 검출기(30)와 디지털 회로(40)는 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)의 지연량을 조절하기 위한 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4)을 생성하는데 이용될 수 있다.
- [0047] 위상 검출기(30)는 제1 위상 클럭(CK_I)과 제5 위상 클럭(CK_{IT})의 위상을 비교하고, 상기 비교 결과에 따른 위상 검출 신호(UP/DN)를 디지털 회로(40)에 제공한다.
- [0048] 디지털 회로(40)는 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18) 중 어느 단위 지연 라인의 코드 신호를 업데이트할지에 대한 정보를 저장하고, 위상 검출 신호(UP/DN)에 따라 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4)을 하나씩 업데이트한다.
- [0049] 도 2를 참고하면, 디지털 회로(40)는 카운터(42) 및 코드 제어기(44)를 포함할 수 있다.

- [0050] 카운터(42)는 카운트 값($C<0:3>$)을 저장하고, 위상 검출 신호(UP/DN)의 수신 시마다 카운트 값($C<0:3>$)을 변경한다. 여기서 카운트 값($C<0:3>$)은 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18) 중 어느 단위 지연 라인의 코드 신호를 업데이트할지에 대한 정보를 나타낸다.
- [0051] 즉, 카운터(42)는 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18) 중 업데이트 해야 할 단위 지연 라인을 기억하는 용도로 사용될 수 있다.
- [0052] 일례로, 카운터(42)는 초기의 카운트 값($C<0:3>$)을 00으로 설정할 수 있고, 위상 검출 신호(UP/DN)의 수신 시마다 카운트 값($C<0:3>$)을 00에서 01, 10, 11 순으로 또는 00에서 11, 10, 01 순으로 변경할 수 있다. 이와 같이 카운터(42)는 위상 검출 신호(UP/DN)에 따라 카운트 값($C<0:3>$)을 증가하거나 감소시키는 양방향 카운터로 구성할 수 있다.
- [0053] 코드 제어기(44)는 카운트 값($C<0:3>$)에 해당하는 단위 지연 라인의 코드 신호를 업데이트한다.
- [0054] 일례로, 코드 제어기(44)는 카운트 값($C<0:3>$)이 00인 경우 제1 단위 지연 라인(12)의 제1 코드 신호(CONT1)를 업데이트하고, 카운트 값($C<0:3>$)이 01인 경우 제2 단위 지연 라인(14)의 제2 코드 신호(CONT2)를 업데이트하며, 카운트 값($C<0:3>$)이 10인 경우 제3 단위 지연 라인(16)의 제3 코드 신호(CONT3)를 업데이트하고, 카운트 값($C<0:3>$)이 11인 경우 제4 단위 지연 라인(18)의 제4 코드 신호(CONT4)를 업데이트한다.
- [0055] 이와 같이 코드 제어기(44)는 위상 검출 신호(UP/DN)의 수신 시마다 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18) 중 카운트 값($C<0:3>$)에 해당하는 단위 지연 라인의 코드 신호를 하나씩 업데이트한다.
- [0056] 따라서, 실시예에 따른 지연 고정 루프(100)는 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)의 지연량을 조절하기 위한 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4)을 한 번에 하나씩 업데이트하여 전체 시간 해상도가 단위 지연 라인의 시간 해상도와 같은 값을 가진다.
- [0057] 이러한 지연 고정 루프(100)는 4개의 위상 클럭들을 생성하는 경우 전체 시간 해상도가 단위 지연 라인의 시간 해상도와 같으므로 종래 기술 대비 시간 해상도를 1/4로 줄일 수 있다.
- [0058] 한편, 지연 고정 루프(100)는 외부 클럭을 버퍼링하여 입력 클럭(CK_{IN})을 메인 지연 회로(10)에 제공하는 클럭 버퍼(도시되지 않음)를 포함할 수 있다.
- [0059] 그리고, 디지털 회로(40)는 제1 내지 제4 코드 신호(CONT1, CONT2, CONT3, CONT4)를 저장하고, 제1 내지 제4 코드 신호(CONT1, CONT2, CONT3, CONT4)를 메인 지연 회로(10)의 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)에 제공하는 시프트 레지스터(도시되지 않음)를 더 포함할 수 있다.
- [0060] 본 문서에서, 지연 고정 루프(100)의 일반적인 동작, 예를 들면 지연 고정 루프(100)가 제1 위상 클럭(CK_I)과 제5 위상 클럭(CK_{IT})의 위상을 비교하고, 상기 비교 결과에 따른 위상 검출 신호(UP/DN)에 따라 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)의 지연 값을 조절하여 락킹을 수행하는 동작에 대한 상세한 설명은 생략하기로 한다.
- [0061] 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18)은 코스 지연 라인(CDL)과 파인 지연 라인(FDL)을 포함하고, 코스 지연 라인(CDL)과 파인 지연 라인(FDL) 각각은 지연 값이 조절될 수 있다.
- [0062] 도 3은 도 2에 도시된 카운터(42)의 블록도이다.
- [0063] 도 3을 참고하면, 카운터(42)는 4개의 위상 클럭들을 생성하는 지연 고정 루프의 경우 2비트의 카운터를 이용할 수 있으며, 카운터(42)는 제1 내지 제4 단위 셀(42a, 42b, 42c, 42d)을 포함할 수 있다.
- [0064] 카운터(42)는 위상 검출 신호(UP/DN)의 입력을 기준으로 시계 또는 반시계 방향으로 카운트 값을 변화 시킨다.
- [0065] 카운터(42)는 위상 검출 신호로 업 신호(UP)가 입력되면 시계 방향으로 제1 내지 제4 단위 셀(42a, 42b, 42c, 42d)의 값을 변경하고, 위상 검출 신호로 다운 신호(DN)가 입력되면 반시계 방향으로 제1 내지 제4 단위 셀(42a, 42b, 42c, 42d)의 값을 변경한다.
- [0066] 일례로, 초기의 카운트 값($C<0:3>$)은 00으로 설정될 수 있고, 업 신호(UP)의 수신 시 카운트 값($C<0:3>$)은 00에서 01, 10, 11 순으로 변경될 수 있고, 다운 신호(DN)의 수신 시 카운트 값($C<0:3>$)은 00에서 11, 10, 01 순으로 변경될 수 있다.

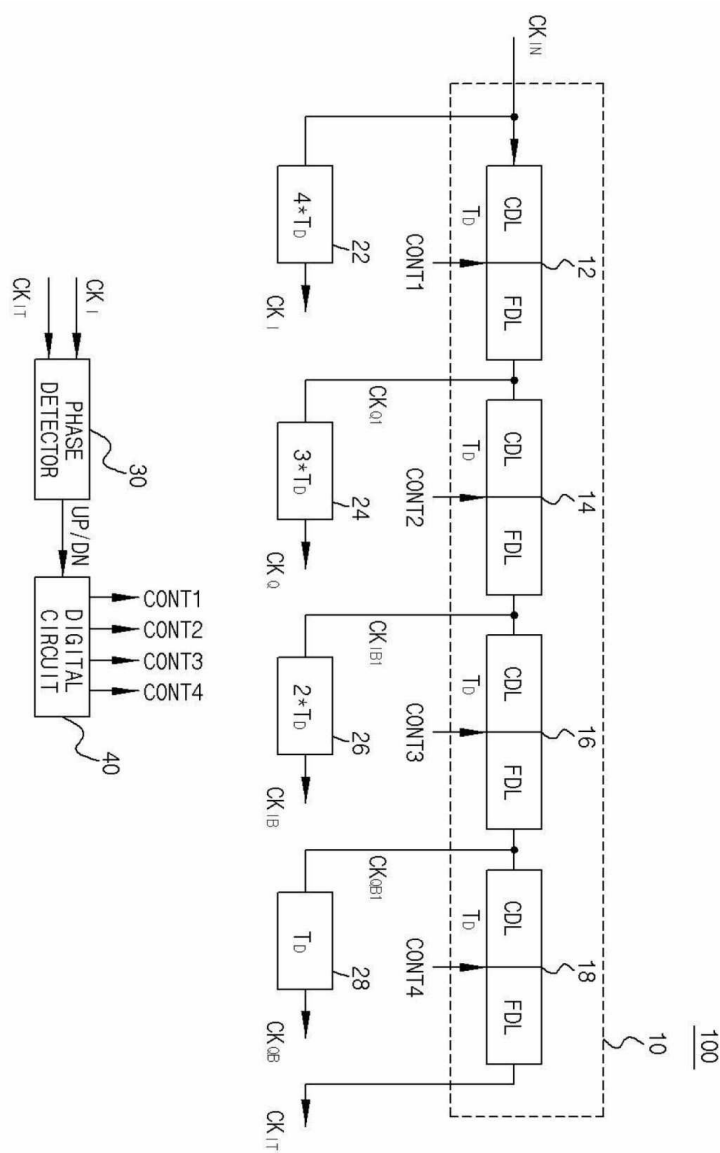
- [0067] 이러한 카운트 값($C<0:3>$)의 변경에 따라 제1 내지 제4 코드 신호들(CONT1, CONT2, CONT3, CONT4) 각각은 하나씩 순차적으로 업데이트된다.
- [0068] 도 4는 도 2에 도시된 카운터(42)의 동작을 설명하기 위한 도면이다.
- [0069] 도 4를 참고하면, 카운터(42)는 카운트 값($C<0:3>$)이 00인 상태에서 업 신호(UP)가 입력될 때마다 카운트 값($C<0:3>$)을 01, 10, 11로 변경하고, 카운트 값($C<0:3>$)이 00인 상태에서 다운 신호(DN)가 입력될 때마다 카운트 값을 11, 10, 01로 변경한다.
- [0070] 이와 같이 카운터(42)는 위상 검출 신호(UP/DN)에 따라 시계 또는 반시계 방향으로 카운트 값($C<0:3>$)을 변경한다.
- [0071] 이렇게 카운터(42)는 위상 검출 신호(UP/DN)에 따라 카운트 값($C<0:3>$)을 변경하여 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18) 중 업데이트 해야 할 단위 지연 라인을 기억하는 용도로 사용된다. 일례로, 카운트 값($C<0:3>$)이 00인 경우 제1 단위 지연 라인(12)의 제1 코드 신호(CONT1)를 업데이트하고, 카운트 값($C<0:3>$)이 01인 경우 제2 단위 지연 라인(14)의 제2 코드 신호(CONT2)를 업데이트하며, 카운트 값($C<0:3>$)이 10인 경우 제3 단위 지연 라인(16)의 제3 코드 신호(CONT3)를 업데이트하고, 카운트 값($C<0:3>$)이 11인 경우 제4 단위 지연 라인(18)의 제4 코드 신호(CONT4)를 업데이트한다.
- [0072] 한편, 카운터(42)는 위상 검출 신호(UP/DN)에 따라 제1 내지 제4 단위 지연 라인들의 직렬 연결된 순서 또는 그 반대의 순서로 코드 신호들을 순차적으로 업데이트하도록 카운트 값을 변경할 수 있다.
- [0073] 이와 같이 실시예들에 따른 지연 고정 루프(100)는 초기 지연과 시간 해상도의 문제를 해결할 수 있다.
- [0074] 초기 지연 관련, 지연 고정 루프(100)는 제1 내지 제4 서브 지연 라인들(22, 24, 26, 28)의 지연 값을 이용하여 제1 내지 제4 위상 클럭들(CK_I , CK_Q , CK_{IB} , CK_{QB}) 간의 초기 위상 차이, 즉 지연 고정 루프(100)의 초기 지연에 의한 위상 차이를 조절할 수 있다.
- [0075] 이러한 지연 고정 루프(100)는 초기 지연의 문제를 해결하여 원하는 주파수에서의 동작을 보장하는 위상 클럭들(CK_I , CK_Q , CK_{IB} , CK_{QB})을 생성할 수 있으므로 주파수 제한 없이 고속의 반도체 장치를 설계할 수 있다.
- [0076] 시간 해상도 관련, 지연 고정 루프(100)는 제1 내지 제4 단위 지연 라인들(12, 14, 16, 18) 각각이 한번에 하나씩 코드 변화를 가지므로 전체 시간 해상도를 단위 지연 라인의 시간 해상도 수준으로 유지할 수 있다.
- [0077] 이러한 지연 고정 루프(100)는 시간 해상도의 문제를 해결하여 멀티 위상 클럭들의 품질을 향상시킴으로써 반도체 장치의 성능을 향상시키고 고속으로 동작시킬 수 있다.
- [0078] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

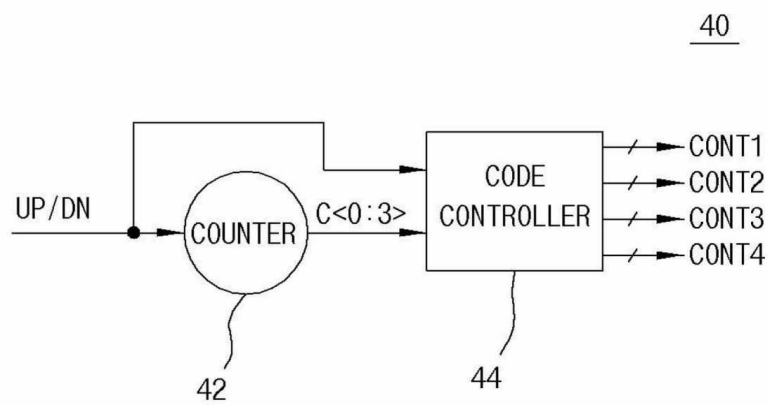
- [0079] 10: 메인 지연 회로
12, 14, 16, 18: 단위 지연 라인
22, 24, 26, 28: 서브 지연 라인
30: 위상 검출기
40: 디지털 회로
100: 지연 고정 루프

도면

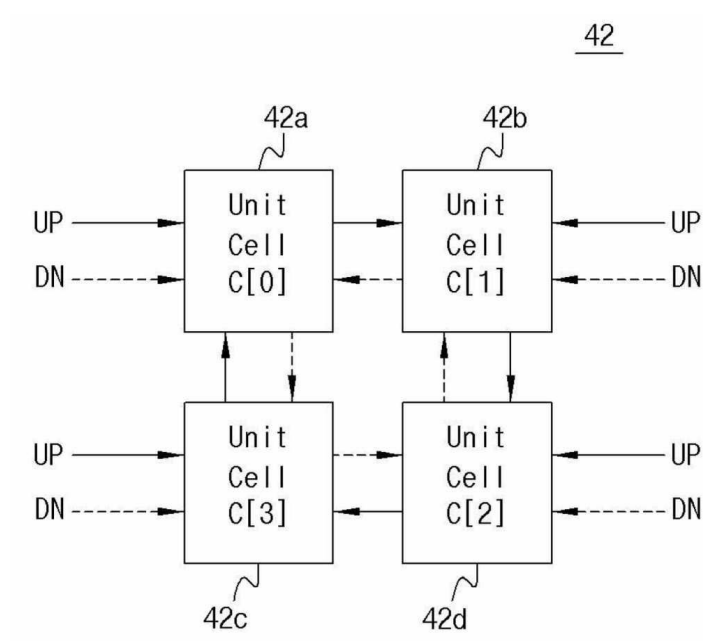
도면1



도면2



도면3



도면4

