

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/092 (2006.01)

H01L 21/8238 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410029691.4

[45] 授权公告日 2007 年 2 月 21 日

[11] 授权公告号 CN 1301556C

[22] 申请日 2004.3.30

[21] 申请号 200410029691.4

[30] 优先权

[32] 2003.3.31 [33] CN [31] 03121501.7

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 黄健朝 葛崇祐 李文钦 胡正明

卡罗斯 杨富量

[56] 参考文献

US6310367B1 2001.10.30

US6573172B1 2003.6.3

US20030040158A1 2003.3.27

CN2731717Y 2005.10.5

审查员 康 兴

[74] 专利代理机构 北京三友知识产权代理有限公司

司

代理人 黄 健

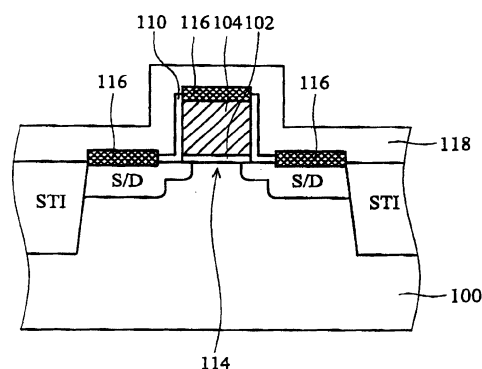
权利要求书 7 页 说明书 15 页 附图 7 页

[54] 发明名称

CMOS 组件及其制造方法

[57] 摘要

本发明提供一种 CMOS 组件及其制造方法，其结构包括将栅极电极设于基底上，将源极/漏极设于栅极电极两侧的基底中，将应力缓冲衬层顺应性地配置于栅极电极两侧且部分延伸至基底表面，并将应力层设于栅极电极、应力缓冲衬层和源极/漏极上，且与应力缓冲衬层接触，藉以提高栅极电极下方基底中的通道区的应力。



1. 一种 CMOS 组件，其特征在于包括：
一基底；
一栅极电极，设在该基底上；
5 一源极/漏极，设在该栅极电极两侧的该基底中；
一应力缓冲衬层，顺应性地配置在该栅极电极两侧且部分延伸至该基底表面，其中该应力缓冲衬层的厚度小于 500 埃；以及
一应力层，设在该栅极电极、该应力缓冲衬层和该源极/漏极上，且与该应力缓冲衬层接触，藉以提高该栅极电极下方该基底中的一通道区的应
10 力。
2. 如权利要求 1 所述的 CMOS 组件，其特征在于其中该应力缓冲衬层的材质为氧化硅。
3. 如权利要求 1 所述的 CMOS 组件，其特征在于其中该应力层的材质为氮化硅、氮氧化硅或氮化硅和氮氧化硅的迭层。
- 15 4. 如权利要求 1 所述的 CMOS 组件，其特征在于其中该应力层具拉伸应力，覆盖于该应力层下方的该栅极电极和该源极/漏极构成的晶体管为 PMOS 晶体管和 NMOS 晶体管。
5. 如权利要求 1 所述的 CMOS 组件，其特征在于其中该应力层具压缩应力，覆盖于该应力层下方的该栅极电极和该源极/漏极构成的晶体管为
20 PMOS 晶体管。
6. 如权利要求 1 所述的 CMOS 组件，其特征在于其中更包括一金属硅化物层，设置在该应力层和该源极/漏极之间，以及该应力层和该栅极电极之间。
7. 一种 CMOS 组件的制造方法，其特征在于包括：
25 提供一基底，该基底具有一有源区；

在该有源区形成一栅极电极；

在该栅极电极两侧的该基底中的该有源区形成一浅掺杂区；

顺应性地形成一应力缓冲衬层在该栅极电极两侧且部分延伸至该基底表面；

5 在该栅极电极两侧该应力缓冲衬层上形成一间隙壁；

在该栅极电极两侧未被该栅极电极和该间隙壁覆盖的该基底中的该有源区形成一重掺杂区，其中该浅掺杂区和该重掺杂区是构成一源极/漏极区；

移除该间隙壁；以及

10 在该栅极电极、该应力缓冲衬层和该源极/漏极上覆盖一应力层，且与该应力缓冲衬层接触，藉以提高该栅极电极下方该基底中的一通道区的应力。

8. 如权利要求 7 所述的 CMOS 组件的制造方法，其特征在于其中该应力缓冲衬层的厚度小于 500 埃。

15 9. 如权利要求 7 所述的 CMOS 组件的制造方法，其特征在于其中该应力缓冲衬层的材质为氧化硅。

10. 如权利要求 7 所述的 CMOS 组件的制造方法，其特征在于其中该应力层的材质是择自由氮化硅、氮氧化硅、以及氮化硅和氮氧化硅的迭层所组成的组中。

20 11. 如权利要求 10 所述的 CMOS 组件的制造方法，其特征在于其中该应力层的形成方法为等离子体增强型化学气相沉积法、快速热工艺化学气相沉积法、原子层级化学气相沉积法或低压化学气相沉积法。

12. 如权利要求 7 所述的 CMOS 组件的制造方法，其特征在于其中该应力层具拉伸应力，覆盖在该应力层下方的该栅极电极和该源极/漏极构成的晶体管为 PMOS 晶体管和 NMOS 晶体管。

13. 如权利要求 7 所述的 CMOS 组件的制造方法，其特征在于其中该

应力层具压缩应力，覆盖在该应力层下方的该栅极电极和该源极/漏极构成的晶体管为 PMOS 晶体管。

14. 如权利要求 7 所述的 CMOS 组件的制造方法，其特征在于其中该间隙壁的材质为氮化硅，而移除该间隙壁的方法为湿蚀刻或干蚀刻。

5 15. 如权利要求 7 所述的 CMOS 组件的制造方法，其特征在于其中更包括以下步骤：

在该应力层上形成一内层介电层；

以该应力层为蚀刻停止层，在该内层介电层中蚀刻出一接触窗开口；

以及

10 移除该接触窗开口中的该应力层。

16. 一种 CMOS 组件，其特征在于包括：

一基底，设置有至少一隔离组件，且该隔离组件中包括一第一应力层；

一栅极电极，设在该基底上；

一源极/漏极，设在该栅极电极两侧的该基底中并接触所述隔离组件；

15 一应力缓冲衬层，顺应性地配置在该栅极电极两侧且部分延伸至该基底表面；以及

一第二应力层，设在该栅极电极、该应力缓冲衬层和该源极/漏极上，且与该应力缓冲衬层接触，藉由第二应力层以及第一应力层以提高该栅极电极下方该基底中的一通道区的应力。

20 17. 如权利要求 16 所述的 CMOS 组件，其特征在于其中该应力缓冲衬层的厚度小于 500 埃。

18. 如权利要求 16 所述的 CMOS 组件，其特征在于其中该应力缓冲衬层的材质为氧化硅。

19. 如权利要求 16 所述的 CMOS 组件，其特征在于其中该第一应力层的材质为氮化硅、氮氧化硅或氮化硅和氮氧化硅的迭层。

25 20. 如权利要求 16 所述的 CMOS 组件，其特征在于其中该第二应力

层的材质为氮化硅、氮氧化硅或氮化硅和氮氧化硅的迭层。

21. 如权利要求 20 所述的 CMOS 组件，其特征在于其中该氮化硅和氮氧化硅的迭层为一拉伸应力层，且该迭层的上层比其下层具有较高的拉伸应力。

5 22. 如权利要求 20 所述的 CMOS 组件，其特征在于其中该下层材质为富硅的氮化硅或氮氧化硅，而该上层材质为氮化硅或富氮的氮化硅。

23. 如权利要求 16 所述的 CMOS 组件，其特征在于其中该第二应力层具拉伸应力且该第一应力层具拉伸应力，覆盖于第二应力层下方的该栅极电极和该源极/漏极构成的晶体管为 PMOS 晶体管和 NMOS 晶体管。

10 24. 如权利要求 16 所述的 CMOS 组件，其特征在于其中该第二应力层具压缩应力且该第一应力层具拉伸或压缩应力，覆盖于该第二应力层下方的该栅极电极和该源极/漏极构成的晶体管为 PMOS 晶体管。

25. 如权利要求 16 所述的 CMOS 组件，其特征在于其中更包括一金属硅化物层，设置在该第二应力层和该源极/漏极之间，以及该第二应力层
15 和该栅极电极之间。

26. 如权利要求 24 所述的 CMOS 组件，其特征在于其中更包括一金属硅化物层，设置在该第二应力层和该源极/漏极之间，以及该第二应力层和该栅极电极之间，提供该 PMOS 晶体管一压缩应力。

27. 一种 CMOS 组件的制造方法，其特征在于包括：

20 提供一基底；

在该基底内形成至少一隔离组件以定义出一有源区，其中该隔离组件中含有一第一应力层；

在该有源区形成一栅极电极；

25 在该有源区内的该栅极电极两侧的基底中形成一浅掺杂区并接触该隔离组件；

顺应性地形成一应力缓冲衬层于该栅极电极两侧且部分延伸至该基底

表面;

在该栅极电极两侧该应力缓冲衬层上形成一间隙壁;

在该栅极电极两侧未被该栅极电极和该间隙壁覆盖的该基底中的该有源区形成一重掺杂区, 其中该浅掺杂区和该重掺杂区构成一源极/漏极区;

5 移除该间隙壁; 以及

在该栅极电极、该应力缓冲衬层和该源极/漏极上覆盖一第二应力层, 且与该应力缓冲衬层接触, 进而藉由该第二应力层与该第一应力层以提高该栅极电极下方该基底中的一通道区的应力。

28. 如权利要求 27 所述的 CMOS 组件的制造方法, 其特征在于其中
10 该隔离组件为浅沟槽隔离组件, 而该第一应力层顺应性地形成于该浅沟槽隔离组件中。

29. 如权利要求 27 所述的 CMOS 组件的制造方法, 其特征在于其中该应力缓冲衬层的厚度小于 500 埃。

30. 如权利要求 27 所述的 CMOS 组件的制造方法, 其特征在于其中
15 该应力缓冲衬层的材质为氧化硅。

31. 如权利要求 27 所述的 CMOS 组件的制造方法, 其特征在于其中该第一应力层的材质是择自由氮化硅、氮氧化硅、以及氮化硅和氮氧化硅的迭层所组成的组中。

32. 如权利要求 27 所述的 CMOS 组件的制造方法, 其特征在于其中
20 该第二应力层的材质是择自由氮化硅、氮氧化硅、以及氮化硅和氮氧化硅的迭层所组成的组中。

33. 如权利要求 27 所述的 CMOS 组件的制造方法, 其特征在于其中该第一应力层的形成方法为等离子体增强型化学气相沉积法、快速热工艺化学气相沉积法、原子层级化学气相沉积法或低压化学气相沉积法。

25 34. 如权利要求 27 所述的 CMOS 组件的制造方法, 其特征在于其中该第二应力层的形成方法为等离子体增强型化学气相沉积法、快速热工艺

化学气相沉积法、原子层级化学气相沉积法或低压化学气相沉积法。

35. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中该第二应力层具拉伸应力而该第一应力层具拉伸应力，覆盖在该第二应力层下方的该栅极电极和该源极/漏极构成的晶体管为 PMOS 晶体管和 NMOS 晶体管。

36. 权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中该第二应力层具压缩应力而该第一应力层具拉伸或压缩应力，覆盖在该第二应力层下方的该栅极电极和该源极/漏极构成的晶体管为 PMOS 晶体管。

37. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中该栅极电极的材质是择自由多晶硅、金属、硅锗和含锗的多晶硅所组成的组中。

38. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中该间隙壁的材质为氮化硅。

39. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中移除该间隙壁的方法为湿蚀刻。

40. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中移除该间隙壁的方法为干蚀刻。

41. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中在移除该间隙壁之前，更包括进行一自动对准硅化物工艺，以在该源极/漏极的表面形成一金属硅化物。

42. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中在移除该间隙壁之后，更包括进行一自动对准硅化物工艺，以在该源极/漏极的表面形成一金属硅化物。

43. 如权利要求 36 所述的 CMOS 组件的制造方法，其特征在于其中在移除该间隙壁之前，更包括进行一自动对准硅化物工艺，以在该源极/漏极的表面形成一金属硅化物，其中该金属硅化物提供了该 PMOS 晶体管一

压缩应力。

44. 如权利要求 36 所述的 CMOS 组件的制造方法，其特征在于其中在移除该间隙壁之后，更包括进行一自动对准硅化物工艺，以在该源极/漏极的表面形成一金属硅化物，其中该金属硅化物提供了该 PMOS 晶体管一
5 压缩应力。

45. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中更包括以下步骤：

在该应力层上形成一内层介电层；

以该应力层为蚀刻停止层，在该内层介电层中蚀刻出一接触窗开口；

10 以及

移除该接触窗开口中的该应力层。

46. 如权利要求 27 所述的 CMOS 组件的制造方法，其特征在于其中更包括该第二应力层所施行的一离子注入程序，以调整该通道区的整体应力。

15 47. 如权利要求 46 所述的 CMOS 组件的制造方法，其特征在于其中该离子注入程序采用的掺质为氩离子或氧离子。

CMOS 组件及其制造方法

技术领域

本发明涉及一种 CMOS 组件及其制造方法，特别涉及一种利用局部机械应力控制（local mechanical-stress control，简称 LMC）来增加 CMOS 组件的效能的方法及其结构。

背景技术

在目前的半导体组件中，是使用硅整体（Si bulk）做为基底，并藉由缩小组件尺寸来达到高速操作和低耗电量的目的。然而，目前组件尺寸的缩小已接近物理的极限和成本的极限。因此，需要发展其它不同于缩小尺寸的方法的技术，来达到高速操作和低耗电量的目的。

因此，有人提出在晶体管的通道区利用应力控制的方式，来克服组件缩小化的极限。此方法为藉由使用应力改变硅晶格间距，来增加电子和空穴的迁移率。

常见的方法为使用置于 Si-Ge 层（处于拉伸应力）上拉伸张力的硅层（tensile-strained Si layer）做为 NMOS 晶体管的通道层，以及使用压缩张力的硅锗层（compressive-strained Si-Ge layer）（处于压缩应力）做为 PMOS 晶体管的通道层。藉由使用拉伸张力的硅层和压缩张力的 Si-Ge 层做为 MOS 晶体管的通道层，会增加表面电子和空穴的迁移率，而同时达到高速操作及低能量耗损的目的。

然而，此技术存在一些问题，当同时形成拉伸张力的 Si 层（n 通道层）和压缩张力的 Si-Ge 层（p 通道层）做为 CMOS 的通道层时，工艺会变得很复杂，而且要选择性地形成 NMOS 沟道层和 PMOS 沟道层是相当困难的。而且，当藉由高温热处理形成 Si-Ge 层时，会发生位错（dislocation）或发

生 Ge 的分离 (segregation), 而使栅极崩溃电压的特性恶化。

另外, 近来有研究利用做为接触窗蚀刻停止层的氮化硅层产生应力, 来影响晶体管趋动电流, 此技术称为局部机械应力控制。藉由增加外加的压缩应力, 可以改善 PMOS 晶体管的迁移率; 藉由减少外加的压缩应力, 5 可以改善 NMOS 晶体管的迁移率。

虽然上述利用氮化硅层产生应力来提高晶体管效能的方法较使用 Si-Ge 缓冲层的方法简单, 但其能改善的效果有限。

发明内容

10 有鉴于此, 本发明的目的是提供一种 CMOS 组件结构及其制造方法, 利用局部机械应力控制的技术, 进一步提高晶体管的效能。

根据本发明的目的所提供的一种 CMOS 组件, 其结构包括将栅极电极设于基底上, 将源极/漏极设于栅极电极两侧的基底中, 将应力缓冲衬层顺应性地配置于栅极电极两侧且部分延伸至基底表面, 并将应力层设于栅极15 电极、应力缓冲衬层和源极/漏极上, 且与应力缓冲衬层接触, 藉以提高栅极电极下方基底中的通道区的应力。

具体地说, 本发明所提供的 CMOS 组件, 其结构包括:

一基底;

一栅极电极, 设在该基底上;

20 一源极/漏极, 设在该栅极电极两侧的该基底中;

一应力缓冲衬层, 顺应性地配置在该栅极电极两侧且部分延伸至该基底表面; 以及

一应力层, 设在该栅极电极、该应力缓冲衬层和该源极/漏极上, 且与该应力缓冲衬层接触, 藉以提高该栅极电极下方该基底中的一通道区的25 应力。

其中, 若上述的应力层具拉伸应力, 覆盖于应力层下方的栅极电极和

源极/漏极构成的晶体管为 PMOS 晶体管和 NMOS 晶体管。若上述的应力层具压缩应力，覆盖于应力层下方的栅极电极和源极/漏极构成的晶体管为 PMOS 晶体管。

此外，本发明还提供了另一种 CMOS 组件，其结构包括将栅极电极设于设置有至少一隔离组件的基底上，此浅沟槽隔离组件中包括一第一应力层，将源极/漏极设于栅极电极两侧的基底中并接触上述隔离组件，将应力缓冲衬层顺应性地配置于栅极电极两侧且部分延伸至基底表面，并将第二应力层设于栅极电极、应力缓冲衬层和源极/漏极上，且与应力缓冲衬层接触，藉由上述第一应力层与第二应力层以提高栅极电极下方基底中的通道区的应力。

其中，若上述第二应力层具拉伸应力而第一应力层具拉伸应力时，覆盖于第二应力层下方的栅极电极和源极/漏极构成的晶体管为 PMOS 晶体管和 NMOS 晶体管。若上述第二应力层具压缩应力而第一应力层具压缩或拉伸应力时，覆盖于第二应力层下方的栅极电极和源极/漏极构成的晶体管为 PMOS 晶体管。

本发明同时还提供所述一种 CMOS 组件的制造方法，其方法如下所述。首先于基底的有源区形成栅极电极，并于栅极电极两侧的基底中的有源区形成一浅掺杂区。接着，顺应性地形成应力缓冲衬层于栅极电极两侧且部分延伸至基底表面，以及于栅极电极两侧应力缓冲衬层上形成一间隙壁。接着于栅极电极两侧未被栅极电极和间隙壁覆盖的基底中的有源区形成一重掺杂区，其中上述的浅掺杂区和重掺杂区构成一源极/漏极区。待形成源极/漏极区后，接着移除间隙壁，并于栅极电极、应力缓冲衬层和源极/漏极上覆盖一应力层，且与应力缓冲衬层接触，藉以提高栅极电极下方基底中的一通道区的应力。

再者，本发明还提供了所述另一种 CMOS 组件的制造方法，其方法如下所述。首先于基底的有源区形成栅极电极，其中上述有源区是由形成于

基底内的至少一隔离组件所定义出，而此隔离组件中含有一第一应力层。接着于栅极电极两侧的基底中的有源区形成一浅掺杂区并接触上述隔离组件。接着，顺应性地形成应力缓冲衬层于栅极电极两侧且部分延伸至基底表面，以及于栅极电极两侧应力缓冲衬层上形成一间隙壁。接着于栅极电极两侧未被栅极电极和间隙壁覆盖的基底中的有源区形成一重掺杂区，其中上述的浅掺杂区和重掺杂区构成一源极/漏极区。待形成源极/漏极区后，接着移除间隙壁，并于栅极电极、应力缓冲衬层和源极/漏极上覆盖一第二应力层，且与应力缓冲衬层接触，藉由上述第一应力层以及第二应力层以提高栅极电极下方基底中的一通道区的应力。

10 在上述工艺中，在移除间隙壁之前，更可包括进行一自动对准硅化物工艺，以于源极/漏极的表面形成一金属硅化物。

另外，也可在移除该间隙壁之后，进行一自动对准硅化物工艺，以于源极/漏极的表面形成一金属硅化物。

上述的应力缓冲衬层的厚度优选小于 500 埃，材质可为氧化硅。

15 上述的应力层的材质可为氮化硅 (SiN)、氮氧化硅 (SiON)、或氮化硅 (SiN) 和氮氧化硅 (SiON) 的迭层。其形成方法包括等离子体增强型化学气相沉积法 (PECVD)、快速热工艺化学气相沉积法 (RTCVD)、原子层级化学气相沉积法 (ALCVD)、或低压化学气相沉积法 (LPCVD)。

在上述的 CMOS 组件的制造方法中，更可包括以下步骤：在应力层或第二应力层上形成一内层介电层；以应力层或第二应力层为蚀刻停止层，于内层介电层中蚀刻出一接触窗开口；以及移除接触窗开口中的应力层或第二应力层。

综上所述，利用本发明所提供的结构及方法，可将机械应力集中在通道区，藉以形成具有高速操作及低能量耗损的特性的晶体管。

25

为了让本发明的上述目的、特征及优点能更明显易懂，下文特举一优选

实施例，并配合所附图式，作详细说明如下：

附图说明

图 1A 至图 1E 是绘示本发明一种 CMOS 组件的制造方法的示意图。

5 图 2A 至图 2G 是绘示本发明另一种 CMOS 组件的制造方法的示意图。

具体实施方式

根据研究结果显示，对 P 通道型晶体管而言，当增加通道区的压缩应力或拉伸应力时，会增加空穴载子的迁移率。对 N 通道型晶体管而言，当降低通道区的压缩应力时，也即增加通道区的拉伸应力时，会增加电子载子的迁移率。为了增加载子在通道区的迁移率，因此本发明提供一种可以有效增加通道区的应力的 CMOS 组件的结构及其制造方法。

结构：

本发明提供一种 CMOS 组件的结构，如图 1D 所示。在此结构，栅极电极 104 是设于基底 100 上，且源极/漏极 S/D 是设于栅极电极 104 两侧的基底 100 中。其中，栅极电极 104 的材质可为多晶硅、金属、硅锗、或含锗的多晶硅。

另外，在栅极电极 104 和基底 100 设置一栅极介电层 102，其材质可为氧化硅。

20 应力缓冲衬层 110 是顺应性地配置在栅极电极 104 两侧且部分延伸至基底 100 表面。应力缓冲衬层 110 的厚度控制在 500 埃以下，其材质可为氧化硅。

接着，将应力层 118 设在栅极电极 104、应力缓冲衬层 110 和源极/漏极 S/D 上，且与栅极电极 104 和应力缓冲衬层 110 接触，藉以提高栅极电极 104 下方基底 100 中的通道区 114 的应力。其中，应力层 118 的材质为氮化硅 (SiN)、氮氧化硅 (SiON)、或氮化硅 (SiN) 和氮氧化硅 (SiON)

的迭层。

若此应力层 118 具拉伸应力，覆盖在应力层 118 下方的栅极电极 104 和源极/漏极 S/D 构成的晶体管则为 PMOS 晶体管和 NMOS 晶体管。

若此应力层 118 具压缩应力，覆盖在应力层 118 下方的栅极电极 104 和源极/漏极 S/D 构成的晶体管则为 PMOS 晶体管。

另外，在应力层 118 和源极/漏极 S/D 之间，设置一金属硅化物层 116，藉以降低源极/漏极 S/D 的片电阻，其也表现出适当的压缩应力，可提升 PMOS 晶体管效能。通常，在应力层 118 和栅极电极 104 之间，也会设置相同材质的金属硅化物层 116。

此外，也可采用离子注入程序(未绘示)以注入如氩(Ar)离子或氧(O)离子于应力层 118 中，其操作时机为应力层 118 形成之后，且在完成离子注入后接着施行一介于 350°C~700°C 的回火程序，以增加应力层 118 的压缩应力，藉此而适度调整通道区 114 中的整体应力。

再者，本发明还提供了另一种 CMOS 组件的结构，如图 2F 所示。在此结构，栅极电极 210 设置于由两浅沟槽隔离组件 STI' 所定义出的有源区 AA 内基底 200 上，且源极/漏极 S/D 设于栅极电极 210 两侧的基底 200 中并贴附于邻近的浅沟槽隔离组件 STI'。其中，于浅沟槽隔离组件 STI' 内设置有顺应性的第一应力层 205。

另外，栅极电极 210 的材质可为多晶硅、金属、硅锗、或含锗的多晶硅，而在栅极电极 210 和基底 200 设置一栅极介电层 208，其材质可为氧化硅。

应力缓冲衬层 214 顺应性地配置于栅极电极 210 两侧且部分延伸至基底 200 表面。应力缓冲衬层 214 的厚度控制在 500 埃以下，其材质可为氧化硅。

接着，将第二应力层 224 设于栅极电极 210、应力缓冲衬层 214 和源极/漏极 S/D 上，且与栅极电极 210 和应力缓冲衬层 214 接触，藉由设置于

浅沟槽隔离组件 STI' 内的第一应力层 205 以及设置于栅极电极表面的第二应力层 224 的影响以提高栅极电极 210 下方基底 200 中通道区 220 应力。其中, 第一应力层 205 以及第二应力层 224 的材质可为氮化硅 (SiN)、氮氧化硅 (SiON)、或氮化硅 (SiN) 和氮氧化硅 (SiON) 的迭层。

5 若此第二应力层 224 具拉伸应力而第一应力层 205 具拉伸应力时, 覆盖于第二应力层 224 下方的栅极电极 210 和源极/漏极 S/D 构成的晶体管则为 PMOS 晶体管或 NMOS 晶体管。

若此第二应力层 224 具压缩应力而第一应力层 205 具拉伸或压缩应力时, 覆盖于第二应力层 224 下方的栅极电极 210 和源极/漏极 S/D 构成的晶
10 体管则为 PMOS 晶体管。

另外, 在第二应力层 224 和源极/漏极 S/D 之间, 可设置一金属硅化物层 222, 藉以降低源极/漏极 S/D 的片电阻, 其也可表现出适当的压缩应力而提升 PMOS 晶体管的效能。通常, 在第二应力层 224 和栅极电极 210 之间, 也会设置相同材质的金属硅化物层 222。

15 此外, 也可采用离子注入程序(未绘示)以注入如氩(Ar)离子或氧(O)离子于第一应力层 205 及第二应力层 224 中, 其操作时机为所述应力层形成之后, 且于完成离子注入后接着施行一介于 350°C~700°C 的回火程序, 以增加这些应力层的压缩应力, 藉此而适度调整通道区 220 中的整体应力。

制造方法:

20 第一实施例:

图 1A 至图 1E 是绘示本发明一种 CMOS 组件的制造方法的示意图。

首先请参照图 1A, 提供一基底 100, 基底 100 具有有源区 AA。其中此有源区 AA 是藉由在基底 100 中形成隔离组件结构, 例如浅沟槽隔离组件 STI, 而定义出。

25 接着, 对于有源区形成晶体管, 此晶体管可为 PMOS 晶体管和 NMOS 晶体管。如图所示, 在基底 100 上形成一栅极介电层 102 和栅极电极 104,

其中栅极介电层 102 的材质可为氧化硅，栅极电极 104 的材质可为多晶硅、金属、硅锗或含锗的多晶硅。其中栅极介电层 102 和栅极电极 104 的形成方法，例如是在基底 100 上依序沉积一层介电层和导电层，并在导电层上形成一图案化罩幕层（未绘示），之后，以图案化罩幕层为罩幕，依序对导电层及介电层进行非等向性蚀刻，以形成如图所示的栅极介电层 102 和栅极电极 104，再将图案化罩幕层移除。

之后，在栅极电极 104 两侧的基底 100 中的有源区 AA 形成浅掺杂区 106，其形成方法是以离子注入法将掺质注入未被栅极电极 104 和浅沟槽隔离组件 STI 覆盖的基底 100 中。

接着请参照图 1B，顺应性地形成一应力缓冲衬层 110 在栅极电极 104 两侧且部分延伸至基底 100 表面。上述的应力缓冲衬层 110 的厚度小于 500 埃，其材质可为氧化硅。应力缓冲衬层 110 除了用以做为应力缓冲的作用外，还可用以保护栅极电极 104 的侧壁以及靠近通道区 114 的区域。之后，在栅极电极 104 两侧应力缓冲衬层 110 上形成一间隙壁 108。上述的间隙壁 108 的材质可为氮化硅或氧化硅/氮化硅的迭层。其中，应力缓冲衬层 110 和间隙壁 108 的形成方法，例如是依序在基底 100、栅极电极 104 与栅极介电层 102 露出的表面上顺应性形成一薄层绝缘层和另一较厚的绝缘层；然后，利用非等向性蚀刻，以形成一间隙壁 108 及应力缓冲衬层 110。

接着，在栅极电极 104 两侧未被栅极电极 104 和间隙壁 108 覆盖的基底 100 中的有源区 AA 形成重掺杂区 112，其形成方法是以离子注入法将掺质注入未被栅极电极 104、间隙壁 108 和浅沟槽隔离组件 STI 覆盖的基底 100 中。其中浅掺杂区 106 和重掺杂区 112 是构成晶体管的源极/漏极区 S/D。

接着请参照图 1C，利用湿蚀刻或干蚀刻移除间隙壁 108，以露出应力缓冲衬层 110。

其中在移除间隙壁 108 之前，更包括进行一自动对准硅化物工艺，以

在源极/漏极 S/D 的表面形成一金属硅化物层 116; 或者是在移除间隙壁 108 之后, 进行一自动对准硅化物工艺, 以在源极/漏极 S/D 的表面形成一金属硅化物层 116, 如图 1C 所示。在上述的自动对准硅化物工艺中, 若栅极电极 104 的材质为多晶硅、硅锗或含锗的多晶硅, 则其表面也会形成金属硅化物层 116, 如图所示。

接着请参照图 1D, 在移除间隙壁 108 且完成自动对准硅化物工艺之后, 在栅极电极 104、应力缓冲衬层 110 和源极/漏极 S/D 上覆盖一应力层 118, 且与栅极电极 104 和应力缓冲衬层 110 接触, 藉以提高栅极电极 104 下方基底 100 中的通道区 114 的应力。

上述的应力层 118 可为压缩应力层或者是拉伸应力层, 其材质可为氮化硅 (SiN)、氮氧化硅 (SiON)、或氮化硅 (SiN) 和氮氧化硅 (SiON) 的迭层, 其厚度约为 300 ~ 700 埃 (Å) 之间, 其形成方法可为等离子体增强型化学气相沉积法 (PECVD)、快速热工艺化学气相沉积法 (RTCVD)、原子层级化学气相沉积法 (ALCVD)、低压化学气相沉积法 (LPCVD)。

当应力层 118 为使用氮化硅 (SiN)/氮氧化硅 (SiON) 迭层的拉伸应力层时, 位于上层的拉伸应力较下层优选地来得大。此时, 位于迭层上层的材质优选为氮氧化硅或一含硅量较高的氮化硅层 (silicon-rich nitride), 而位于迭层下层的材质则优选地为氮化硅或含氮量较高的氮化硅层 (nitrogen-rich nitride)。

藉由控制形成的条件, 可调整所形成的膜层的应力大小, 根据研究, 可控制应力的因素有温度、压力或工艺气体比例, 若为等离子体沉积法, 则可控制应力的因素还包括等离子体电力 (plasma power)。

以等离子体增强型化学气相沉积法形成材质为氮化硅且为压缩应力的应力层 118 为例, 所需的温度大致介于 300°C 和 500°C 之间, 所需的压力大致介于 1.33×10^2 帕斯卡 (Pa) (1.0 托尔 (torr)) 和 2.0×10^2 Pa (1.5 托尔) 之间, 所需的等离子体电力大致介于 1000 瓦 (W) 和 2000 瓦之间, 其工

艺气体可为 NH_3 : SiH_4 , 比例大致为 4~10。

以快速热工艺化学气相沉积法形成材质为氮化硅且为拉伸应力的应力层 118 为例, 所需的温度大致介于 300°C 和 800°C 之间, 所需的压力大致介于 $2.0 \times 10^4 \text{Pa}$ (150 托尔) 和 $4.0 \times 10^4 \text{Pa}$ (300 托尔) 之间, 其工艺气体
5 可为 NH_3 : SiH_4 , 比例大致为 50~400; 或者其工艺气体可为二氯硅烷 (dichlorosilane, SiH_2Cl_2 , 简称 DCS): NH_3 , 比例大致为 0.1~1。

以低压化学气相沉积法形成材质为氮化硅且为压缩应力的应力层 118 为例, 所需的温度大致介于 400°C 和 750°C 之间, 所需的压力大致介于 13.3Pa (0.1 托尔 (torr)) 和 $6.7 \times 10^3 \text{Pa}$ (50 托尔) 之间, 其工艺气体可为
10 二氯硅烷与 NH_3 , 比例大致为 1~300。

若应力层 118 具拉伸应力, 覆盖在应力层 118 下方的栅极电极 104 和源极/漏极 S/D 构成的晶体管可为 PMOS 晶体管和 NMOS 晶体管。在此情况下, 与传统未移除间隙壁的结构相较, 本发明的 CMOS 组件的通道区 114 的压缩应力会降低约 93~128 MPa, 藉此提高电子和空穴载子在通道区的
15 迁移率。

若应力层 118 具压缩应力, 覆盖在应力层 118 下方的栅极电极 104 和源极/漏极 S/D 构成的晶体管为 PMOS 晶体管。在此情况下, 与传统未移除间隙壁的结构相较, 本发明的 CMOS 组件的通道区 114 的压缩应力会增加约 93~128 MPa, 藉此提高空穴载子在通道区的迁移率。

20 此外, 也可采用离子注入程序(未绘示)以注入如氩(Ar)离子或氧(O)离子于应力层 118 中, 其操作时机为应力层 118 形成之后, 且于完成离子注入后接着施行一介于 350°C ~ 700°C 的回火程序, 以增加应力层 118 的压缩应力, 藉此而适度调整通道区 114 中的整体应力。

此外, 上述的应力层 118 也可做为后续接触窗工艺的蚀刻停止层。

25 接着进行后续的工艺, 例如是内联机工艺。如图 1E 所示, 在应力层 118 上形成内层介电层 120, 其材质例如为氧化硅、硼磷硅玻璃 (BPSG)、或

其它类似此性质的，并在该内层介电层 120 经平坦化后，藉由微影蚀刻工艺，在内层介电层 120 和应力层 118 中形成接触窗开口 122。在接触窗的蚀刻步骤中，上述的应力层 118 是做为蚀刻停止层，待蚀刻至露出接触窗开口 122 中的应力层 118 后，再转换蚀刻条件，移除接触窗开口 122 中的应力层 118，直至暴露出待联机的组件区。

第二实施例：

图 2A 至图 2G 绘示了本发明另一实施例的 CMOS 组件的制造方法的示意图。

首先请参照图 2A，提供一基底 200，该基底 200 具有有源区 AA，此有源区 AA 是藉由在基底 200 中形成两沟槽 202 而定义出。接着在沟槽 202 内分别形成一衬层 204 以平滑化沟槽 202 的表面。衬层 204 例如为由热氧化法所形成的氧化硅层。接着在沟槽 202 内及基底 200 上顺应地形成第一应力层 205 并覆盖于沟槽 202 内的衬层 204 上。在此，第一应力层 205 可参照前述第一实施例中的应力层 118 的制造方法而形成。然后全面性地沉积一绝缘材料 206 于基底 200 上并填入沟槽 202 内。

接着请参照图 2B，藉由如化学机械研磨程序的一平坦化步骤(未图示)的施行将高于基底 200 表面的绝缘材料 206 移除，进而在沟槽 202 内留下一绝缘层 206a。然后藉由一蚀刻步骤(未图示)的施行以除去有源区 AA 内基底表面的部分第一应力层，最后在沟槽内留下顺应于沟槽表面的一第一应力层 205，并于沟槽 202 内则形成了定义不同有源区用的浅沟槽隔离组件 STI'。

请参照图 2C，接着在有源区 AA 内形成晶体管，此晶体管可为 PMOS 晶体管或 NMOS 晶体管。如图所示，在基底 200 上形成一栅极介电层 208 和栅极电极 210，其中栅极介电层 208 的材质可为氧化硅，栅极电极 210 的材质可为多晶硅、金属、硅锗或含锗的多晶硅。其中栅极介电层 208 和栅极电极 210 的形成方法，例如可以是在基底 200 上依序沉积一层介电层

和导电层，并在导电层上形成一图案化罩幕层（未绘示），之后，以图案化罩幕层为罩幕，依序对导电层及介电层进行非等向性蚀刻，以形成如图所示的栅极介电层 208 和栅极电极 210，再将图案化罩幕层移除。

之后，在栅极电极 210 两侧的基底 200 中的有源区 AA 形成浅掺杂区 212，其形成方法是以离子注入法将掺质注入未被栅极电极 210 和浅沟槽隔离组件 STI'覆盖的基底 200 中。

接着请参照图 2D，顺应性地形成一应力缓冲衬层 214 于栅极电极 210 两侧且部分延伸至基底 200 表面。上述的应力缓冲衬层 214 的厚度小于 500 埃，其材质可为氧化硅。应力缓冲衬层 214 除了用以做为应力缓冲的作用外，还可用以保护栅极电极 210 的侧壁以及靠近通道区 220 的区域。之后，于栅极电极 210 两侧应力缓冲衬层 214 上形成一间隙壁 216。上述的间隙壁 216 的材质可为氮化硅或氧化硅/氮化硅的迭层。其中，应力缓冲衬层 214 和间隙壁 216 的形成方法，例如可以是依序在基底 200、栅极电极 210 与栅极介电层 208 露出的表面上顺应性形成一薄层绝缘层和另一较厚的绝缘层；然后，利用非等向性蚀刻，以形成一间隙壁 216 及应力缓冲衬层 214。

接着，在栅极电极 210 两侧未被栅极电极 210 和间隙壁 216 覆盖的基底 200 中的有源区 AA 形成重掺杂区 218，其形成方法是以离子注入法将掺质注入未被栅极电极 210、间隙壁 216 和浅沟槽隔离组件 STI'覆盖的基底 200 中。其中浅掺杂区 212 和重掺杂区 218 构成晶体管的源极/漏极区 S/D。

接着请参照图 2E，利用湿蚀刻或干蚀刻移除间隙壁 216，以露出应力缓冲衬层 214。

其中在移除间隙壁 216 之前，更可包括进行一自动对准硅化物工艺，以于源极/漏极 S/D 的表面形成一金属硅化物层 222；或者是在移除间隙壁 216 之后，进行一自动对准硅化物工艺，以于源极/漏极 S/D 的表面形成一金属硅化物层 222，如图 2E 所示。在上述的自动对准硅化物工艺中，若栅

极电极 210 的材质为多晶硅、硅锗或含锗的多晶硅，则其表面也会形成金属硅化物层 222，如图所示。在此，形成于源极/漏极 S/D 的表面处的金属硅化物层 222 对于通道区 220 也可表现出一压缩应力。

接着请参照图 2F，在移除间隙壁 216 且完成自动对准硅化物工艺之后，在栅极电极 210、应力缓冲衬层 214 和源极/漏极 S/D 上覆盖一第二应力层 224，且与栅极电极 210 和应力缓冲衬层 214 接触，藉以提高栅极电极 210 下方基底中 200 的通道区 220 的应力。

此外，也可采用离子注入程序(未绘示)以注入如氩(Ar)离子或氧(O)离子于第一应力层 205 及第二应力层 224 中，其操作时机为所述应力层形成之后，且于完成离子注入后接着施行一介于 350°C~700°C 的回火程序，以增加第一和第二应力层的压缩应力，藉此而适度调整通道区 220 中的整体应力。

此外，上述的第二应力层 224 也可做为后续接触窗工艺的蚀刻停止层。

接着进行后续的工艺，例如是内联机工艺。如图 2G 所示，于第二应力层 224 上形成内层介电层 226，其材质例如为氧化硅、硼磷硅玻璃 (BPSG)、或其它类似此性质的物质，并于该内层介电层 226 经平坦化后，藉由微影蚀刻工艺，在内层介电层 226 和第二应力层 224 中形成接触窗开口 228。在接触窗的蚀刻步骤中，上述的第二应力层 224 做为蚀刻停止层，待蚀刻至露出接触窗开口 228 中的第二应力层 224 后，再转换蚀刻条件，移除接触窗开口 228 中的第二应力层 224，直至暴露出待联机的组件区。

上述的第一应力层 205 与第二应力层 224 可为压缩应力层或者是拉伸应力层，其材质可为氮化硅 (SiN)、氮氧化硅 (SiON)、或氮化硅 (SiN) 和氮氧化硅 (SiON) 的迭层，其厚度分别约为 20~300 埃 (Å) 及 300~700 埃 (Å) 之间，其形成方法可为等离子体增强型化学气相沉积法 (PECVD)、快速热工艺化学气相沉积法 (RTCVD)、快速热工艺化学气相沉积法 (RTCVD)、原子层级化学气相沉积法 (ALCVD)、低压化学气相沉积法

(LPCVD)。当应力层(第一应力层 205 或第二应力层 224)为使用氮化硅 (SiN)/氮氧化硅 (SiON) 迭层的一拉伸应力层时, 位于上层的拉伸应力较下层优选地来得大。此时, 位于迭层下层的材质优选为氮氧化硅或含硅量较高的氮化硅层(silicon-rich nitride), 而位于迭层上层的材质则优选地为氮化硅或含氮量较高的氮化硅层(nitrogen-rich nitride)。

藉由控制形成的条件, 可调整所形成的膜层的应力大小, 根据研究, 可控制应力的因素有温度、压力或工艺气体比例, 若为等离子体沉积法, 则可控制应力的因素还包括等离子体电力 (plasma power)。

以等离子体增强型化学气相沉积法形成材质为氮化硅且为压缩应力的第二应力层 224 为例, 所需的温度大致介于 300°C 和 500°C 之间, 所需的压力大致介于 $1.33 \times 10^2 \text{Pa}$ (1.0 托尔 (torr)) 和 $2.0 \times 10^2 \text{Pa}$ (1.5 托尔) 之间, 所需的等离子体电力大致介于 1000 瓦 (W) 和 2000 瓦之间, 其工艺气体可为 NH_3 : SiH_4 , 比例大致为 4~10。

以快速热工艺化学气相沉积法形成材质为氮化硅且为拉伸应力的第二应力层 224 为例, 所需的温度大致介于 300°C 和 800°C 之间, 所需的压力大致介于 $2.0 \times 10^4 \text{Pa}$ (150 托尔) 和 $4.0 \times 10^4 \text{Pa}$ (300 托尔) 之间, 其工艺气体可为 NH_3 : SiH_4 , 比例大致为 50~400; 或者其工艺气体可为二氯硅烷 (dichlorosilane, SiH_2Cl_2 , 简称 DCS): NH_3 , 比例大致为 0.1~1。

以低压化学气相沉积法形成材质为氮化硅且为压缩应力的第二应力层 224 为例, 所需的温度大致介于 400°C 和 750°C 之间, 所需的压力大致介于 13.3Pa (0.1 托尔 (torr)) 和 $6.7 \times 10^3 \text{Pa}$ (50 托尔) 之间, 其工艺气体可为 DCS: NH_3 , 比例大致为 1~300。

若第二应力层 224 具拉伸应力而第一应力层 205 具拉伸应力时, 覆盖于第二应力层 224 下方的栅极电极 210 和源极/漏极 S/D 构成的晶体管可为 PMOS 晶体管和 NMOS 晶体管。在此情况下, 与传统未移除间隙壁的结构相较, 本发明的 CMOS 组件的通道区 220 的压缩应力会降低约

100~900MPa，藉此提高电子和空穴载子于通道区的迁移率。

若第二应力层 224 具压缩应力而第一应力层 206a 具拉伸或压缩应力时，覆盖于第二应力层 224 下方的栅极电极 210 和源极/漏极 S/D 构成的晶体管为 PMOS 晶体管。在此情况下，与传统未移除间隙壁的结构相较，本
5 发明的 CMOS 组件的通道区 220 的压缩应力会增加约 100~900MPa，藉此提高空穴载子于通道区的迁移率。

综上所述，利用本发明所提供的结构及方法，可将机械应力集中在通道区，藉以形成具有高速操作及低能量耗损的特性的晶体管。

在制造晶体管的过程中，在沉积应力层之前，藉由增加一道移除间隙
10 壁的过程，可使沉积的应力层的应力有效地集中在晶体管的通道区。因此，该方法可适用于任何藉由局部机械应力控制来提高晶体管的效能的工艺。另外，就上述的应力层的制造而言，可根据 P 沟道和 N 沟道的不同的需求，分别制造符合其需求的具有压缩应力和拉伸应力的应力层。

因此，应力层的形成方法，并不限定于上述的方法，其它可以藉由局
15 部机械应力控制来提高晶体管的效能的工艺均可适用于本发明。

虽然本发明已以优选实施例揭露如上，然其并非用以限制本发明，任何熟习此项技艺的人，在不脱离本发明的精神和范围内，当可做更动与润饰，因此本发明的保护范围当以权利要求所界定的范围为准。

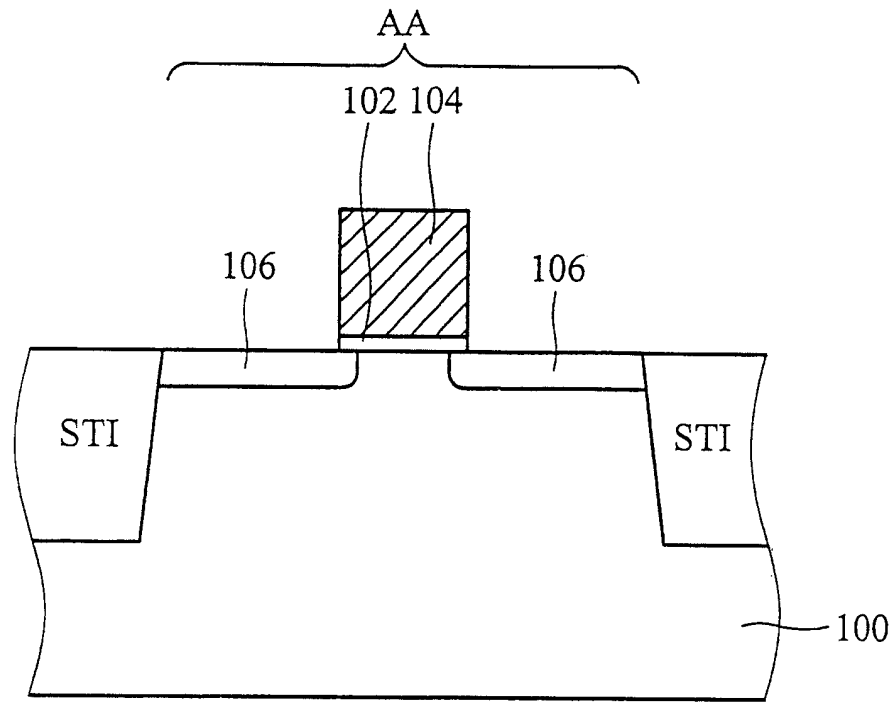


图 1A

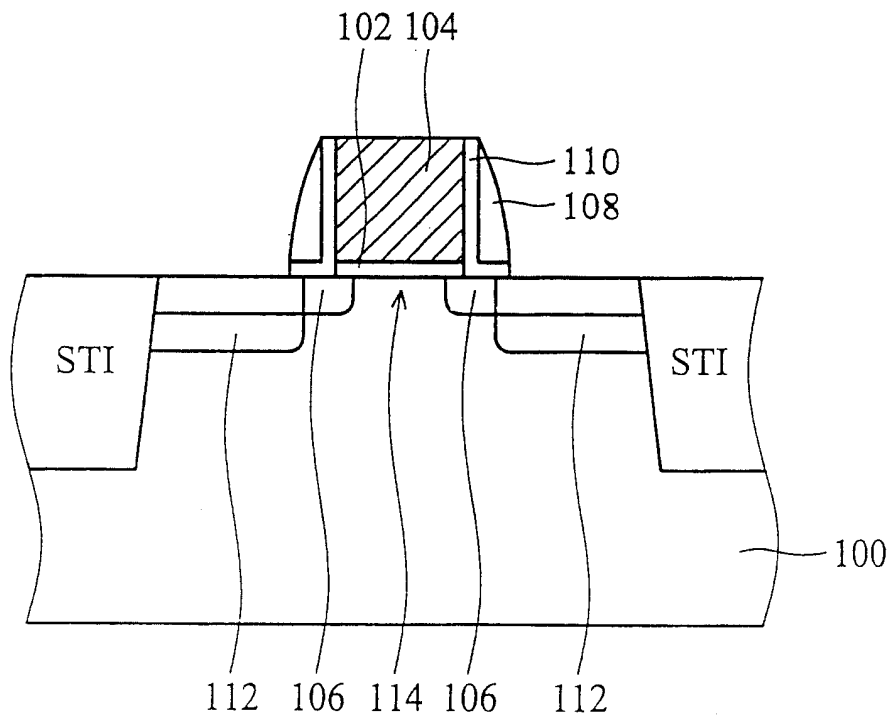


图 1B

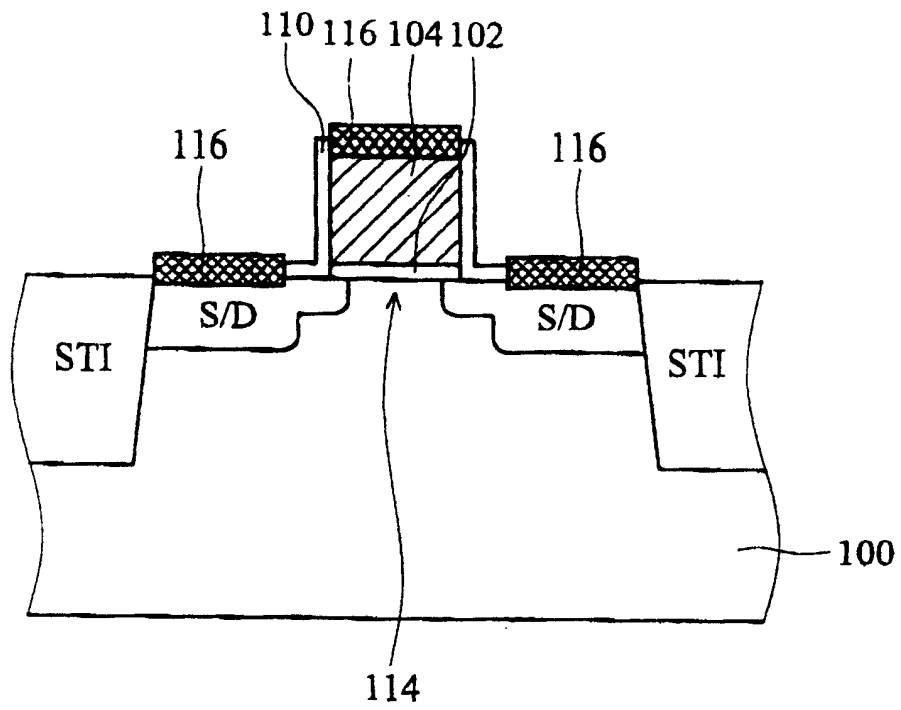


图 1C

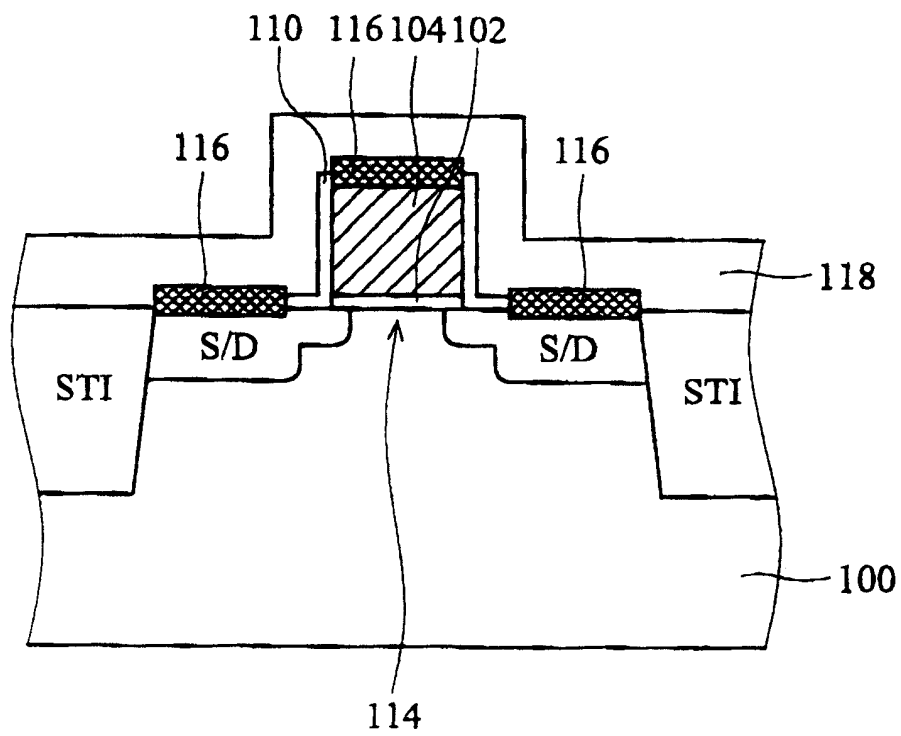


图 1D

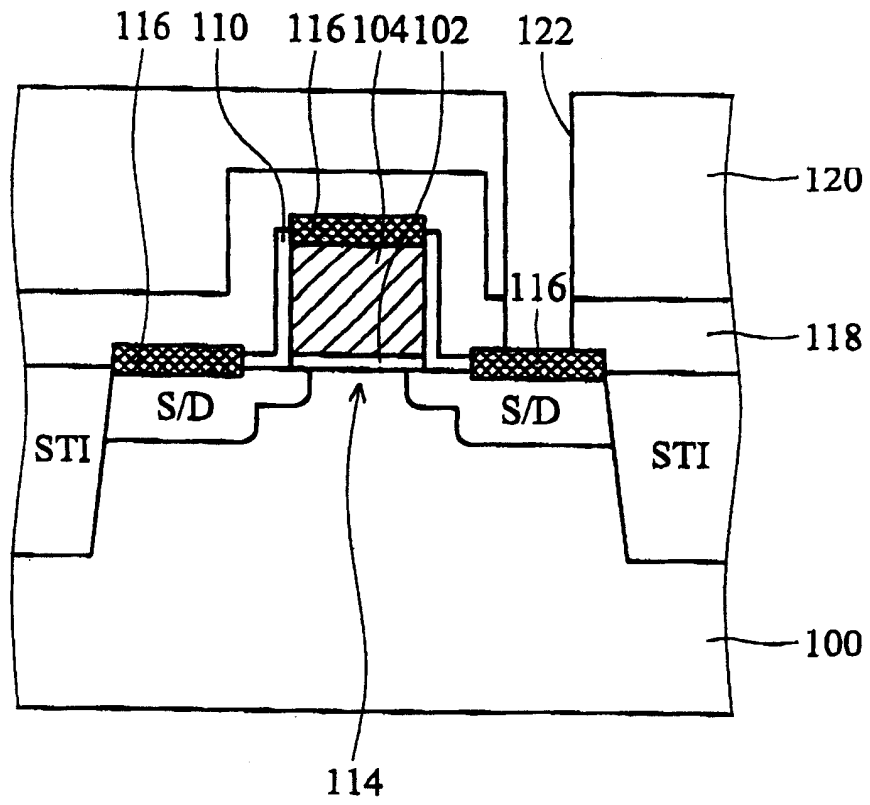


图 1E

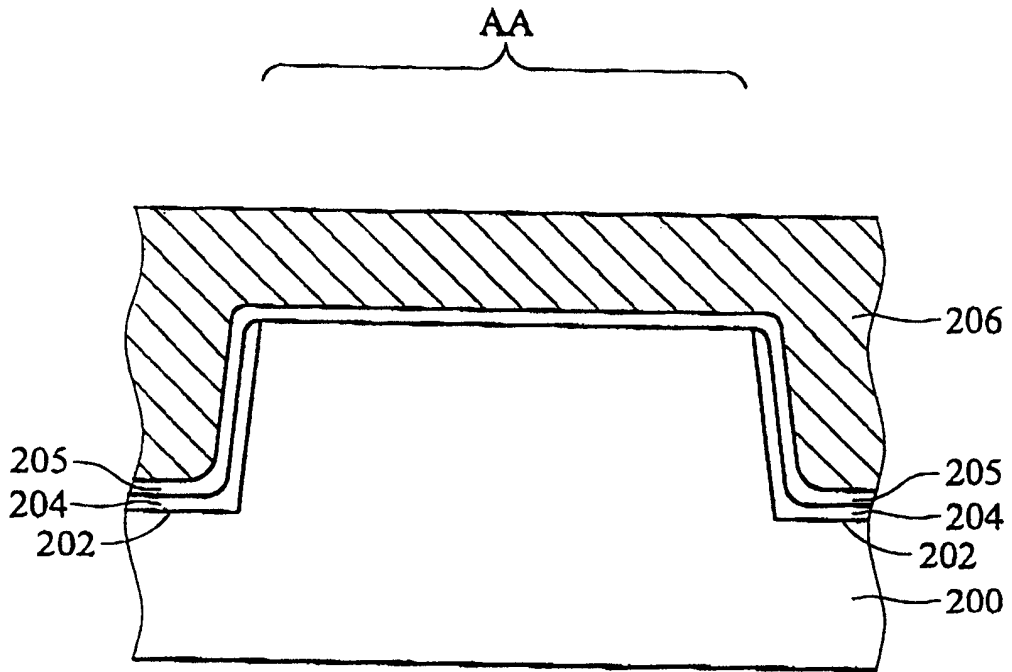


图 2A

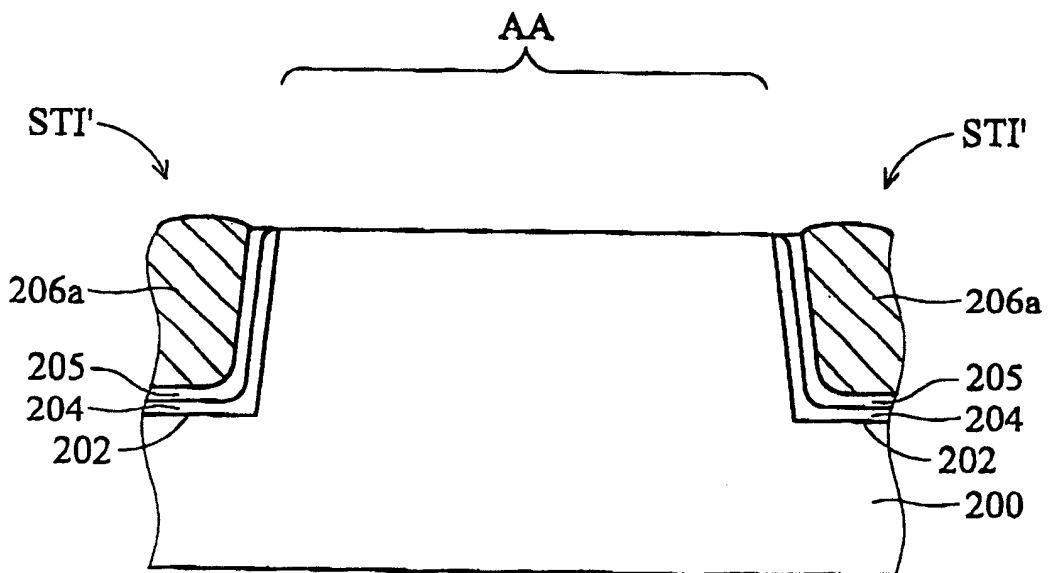


图 2B

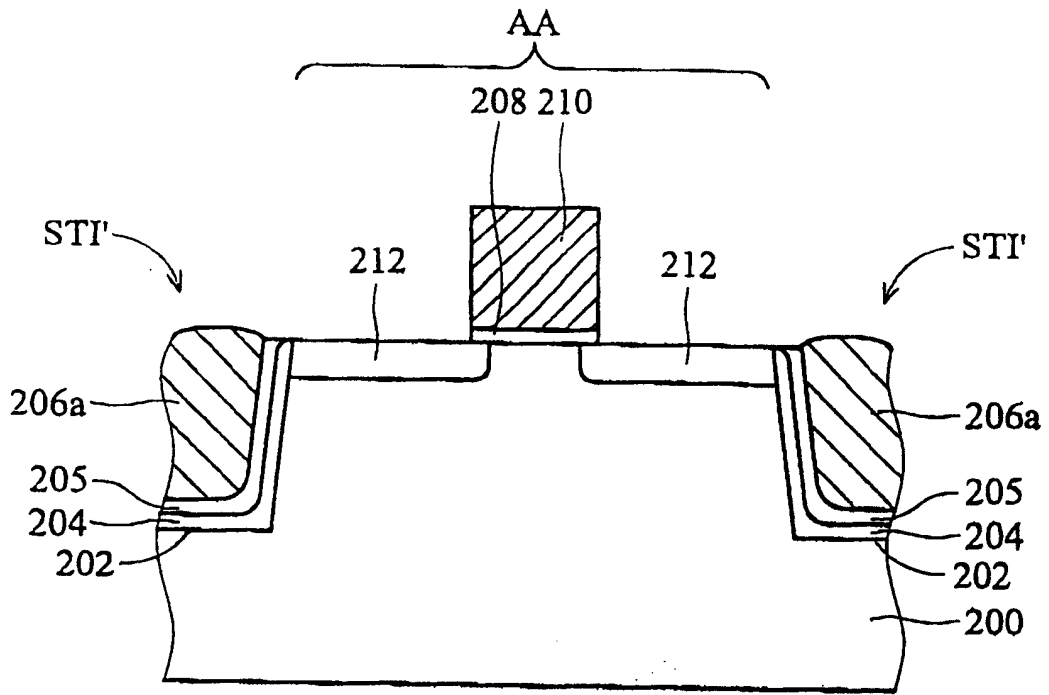


图 2C

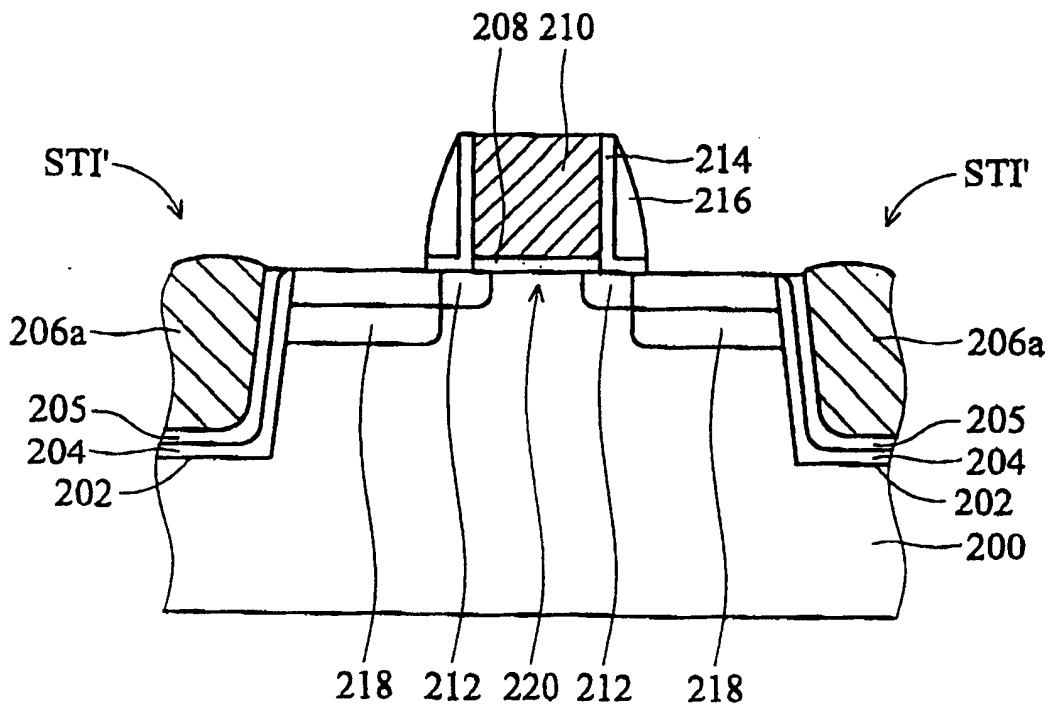


图 2D

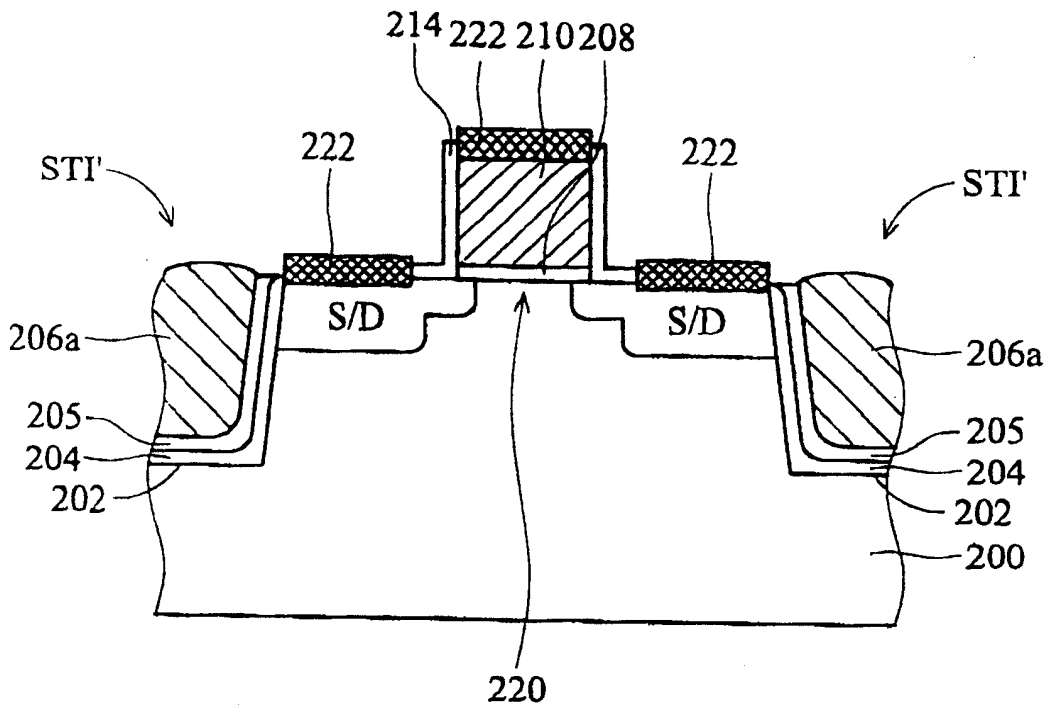


图 2E

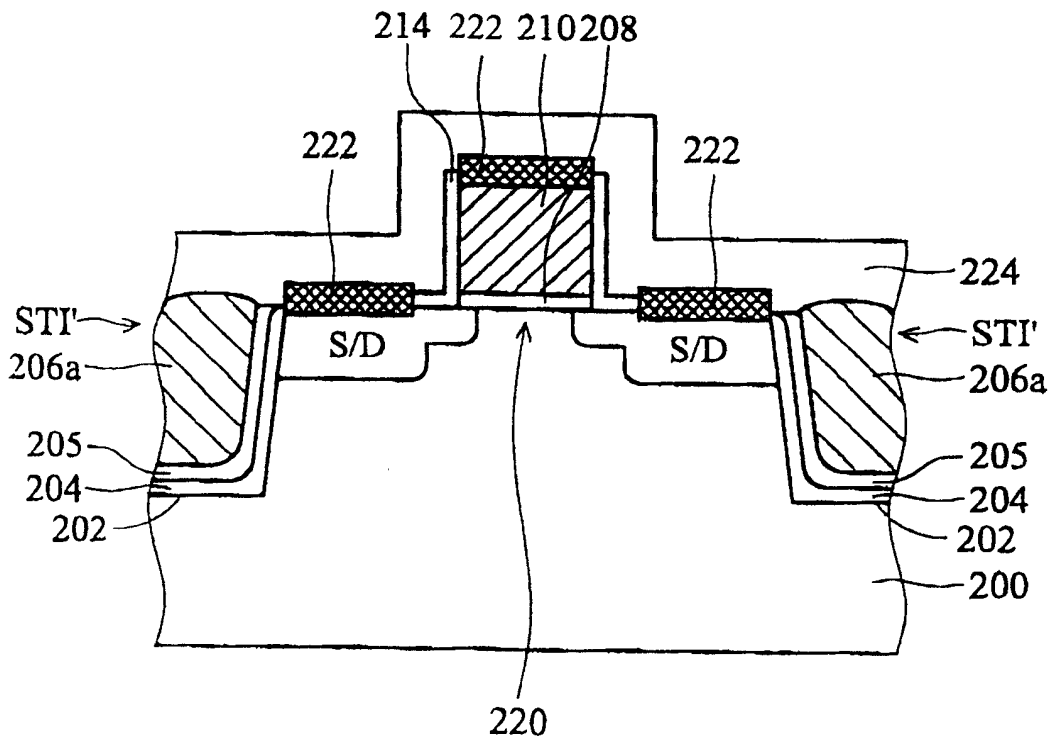


图 2F

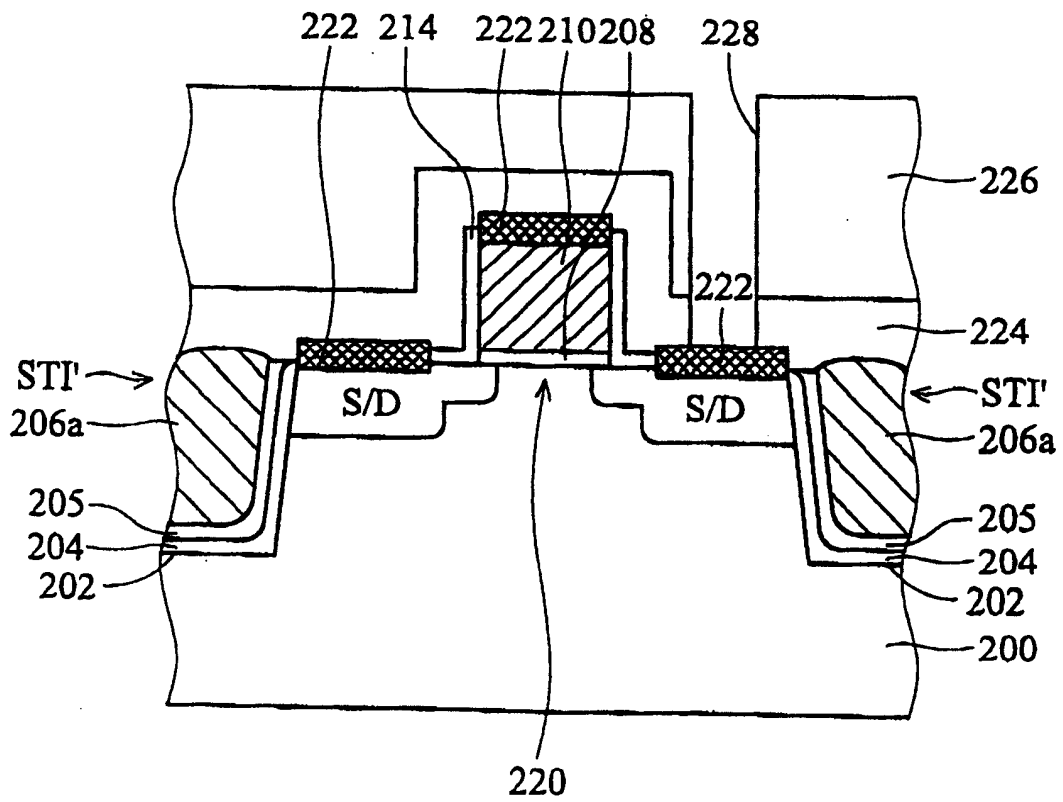


图 2G