

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6129262号

(P6129262)

(45) 発行日 平成29年5月17日(2017.5.17)

(24) 登録日 平成29年4月21日(2017.4.21)

(51) Int.Cl.	F I
H O 1 L 29/788 (2006.01)	H O 1 L 29/78 3 7 1
H O 1 L 21/336 (2006.01)	H O 1 L 27/10 4 3 4
H O 1 L 29/792 (2006.01)	H O 1 L 29/78 6 2 2
H O 1 L 27/115 (2017.01)	H O 1 L 29/78 6 1 7 M
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 3 B
請求項の数 4 (全 30 頁) 最終頁に続く	

(21) 出願番号	特願2015-183839 (P2015-183839)	(73) 特許権者	000153878
(22) 出願日	平成27年9月17日(2015.9.17)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-42088 (P2015-42088)		神奈川県厚木市長谷398番地
原出願日	平成23年6月21日(2011.6.21)	(72) 発明者	魚地 秀貴
(65) 公開番号	特開2016-26393 (P2016-26393A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成28年2月12日(2016.2.12)		半導体エネルギー研究所内
審査請求日	平成27年9月23日(2015.9.23)	(72) 発明者	鎌田 康一郎
(31) 優先権主張番号	特願2010-145339 (P2010-145339)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成22年6月25日(2010.6.25)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	審査官	加藤 俊哉
		最終頁に続く	

(54) 【発明の名称】 メモリセルおよびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

チャネル形成領域を有する半導体と、  
 前記半導体上の第1の絶縁体と、  
 前記第1の絶縁体上のInとGaとZnを有するi型の酸化物半導体と、  
 前記i型の酸化物半導体上の第2の絶縁体と、  
 前記第2の絶縁体上のゲートと、  
 前記i型の酸化物半導体に電氣的に接続する配線と、を有するメモリセルであって、  
 前記i型の酸化物半導体は、負電荷を保持する機能を有することを特徴とするメモリセル。

10

【請求項 2】

チャネル形成領域を有する半導体と、  
 前記半導体上の第1の絶縁体と、  
 前記第1の絶縁体上のi型の酸化物半導体と、  
 前記i型の酸化物半導体上の第2の絶縁体と、  
 前記第2の絶縁体上のゲートと、を有することを特徴とするメモリセル。

【請求項 3】

チャネル形成領域を有する半導体と、  
 前記半導体上の第1の絶縁体と、  
 前記第1の絶縁体上のInとGaとZnを有する酸化物半導体と、

20

前記酸化物半導体上の第2の絶縁体と、

前記第2の絶縁体上のゲートと、

前記酸化物半導体に電氣的に接続する配線と、を有するメモリセルの駆動方法であって

、

前記酸化物半導体をn型化することで負電荷を注入し、

前記酸化物半導体をi型化することで前記負電荷を保持することを特徴とするメモリセルの駆動方法。

【請求項4】

チャネル形成領域を有する半導体と、

前記半導体上の第1の絶縁体と、

前記第1の絶縁体上の酸化物半導体と、

前記酸化物半導体上の第2の絶縁体と、

前記第2の絶縁体上のゲートと、を有するメモリセルの駆動方法であって、

前記酸化物半導体をn型化することで負電荷を注入し、

前記酸化物半導体をi型化することで前記負電荷を保持することを特徴とするメモリセルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法、ならびに半導体装置の駆動方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、半導体回路、記憶装置、撮像装置、表示装置、電気光学装置及び電子機器などは全て半導体装置である。

【背景技術】

【0003】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0004】

揮発性記憶装置の代表的な例としては、DRAM(Dynamic Random Access Memory)がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタ(容量素子)に電荷を蓄積することで、情報(データ)を記憶する。

【0005】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み込みの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0006】

揮発性記憶装置の別の例としてはSRAM(Static Random Access Memory)がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0007】

10

20

30

40

50

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0008】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、有限回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

10

【0009】

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去の動作には比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0010】

20

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状態でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【0012】

高集積化、大記憶容量化が可能な半導体装置を提供することを目的の一とする。

【0013】

30

動作が安定し、信頼性の高い半導体装置を提供することを目的の一とする。

【0014】

高速動作が可能な半導体装置を提供することを目的の一とする。

【0015】

消費電力が低減された半導体装置を提供することを目的の一とする。

【0016】

本明細書で開示する発明の一態様は、上記課題の少なくとも一つを解決する。

【課題を解決するための手段】

【0017】

開示する発明の一態様では、トランジスタに酸化物半導体を用いた記憶ゲートを設ける。記憶ゲートを導電体化させ、該記憶ゲートに特定の電位を供給した後、該記憶ゲートを絶縁体化させて電位（電荷）を保持させる。

40

【0018】

本発明の一態様は、制御ゲートと記憶ゲートを有するトランジスタを含むメモリセルと、ワード線と、データ線と、読み出し信号線と、ビット線を有し、制御ゲートはワード線と電氣的に接続され、記憶ゲートはデータ線と電氣的に接続され、トランジスタのソースまたはドレインの一方は、読み出し信号線と電氣的に接続され、トランジスタのソースまたはドレインの他方は、ビット線と電氣的に接続されていることを特徴とする半導体装置である。

【0019】

50

本発明の一態様は、第1のゲートと、酸化物半導体を有する第2のゲートを有するトランジスタを含むメモリセルと、第1の配線と、第2の配線と、第3の配線と、第4の配線を有し、第1のゲートは第1の配線と電氣的に接続され、第2のゲートは第2の配線と電氣的に接続され、トランジスタのソースまたはドレインの一方は第3の配線と電氣的に接続され、トランジスタのソースまたはドレインの他方は、第4の配線と電氣的に接続されていることを特徴とする半導体装置である。

【0020】

記憶ゲートまたは第2のゲートに用いる酸化物半導体は、*i*型化（真性化）または実質的に*i*型化された酸化物半導体を用いることが好ましい。*i*型化された酸化物半導体（電界を加えて*i*型化された酸化物半導体を含む）のキャリア密度は、十分に小さい値（ $1 \times 10^{12} / \text{cm}^3$ 未満、もしくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとるため、絶縁体として機能する。

10

【0021】

記憶ゲートまたは第2のゲートに用いる酸化物半導体に電界を加え、酸化物半導体を導電体として機能させた時に記憶させる情報の電位を与え、酸化物半導体を*i*型化することで電位（電荷）を保持させ、それにより情報を記憶させることができる。

【0022】

記憶ゲートは、トランジスタが有する半導体層のチャネル形成領域と重なる位置に設ける。

【0023】

トランジスタのチャネルが形成される半導体には、単結晶半導体、多結晶半導体、微結晶半導体、非晶質半導体等を用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を挙げることができる。他に、有機半導体材料などを用いてもよい。

20

【0024】

トランジスタのチャネルが形成される半導体に酸化物半導体を用いると、オフ電流が極めて少ないトランジスタを実現することができる。このため、消費電力の小さい半導体装置を実現することができる。

【0025】

また、上記半導体装置において、制御ゲートの電位を、記憶ゲートを導電体化する電位とし、記憶ゲートに、メモリセルに記憶する電位を供給し、制御ゲートの電位を、記憶ゲートを絶縁体化させる電位とすることで情報の書き込みを行う。

30

【0026】

また、上記半導体装置において、第1の配線の電位を第2のゲートを導電体化させる電位とし、第2の配線を介して、第2のゲートにメモリセルに記憶する電位を供給し、第1の配線の電位を第2のゲートを絶縁体化させる電位とすることで情報の書き込みを行う。

【0027】

また、上記半導体装置において、トランジスタのドレインに第1の電位とするための電荷を供給（プリチャージ）し、トランジスタのソースを第2の電位とした時の、ドレインの電位変化を検出することで情報の読み出しを行う。

40

【0028】

また、上記半導体装置において、第4の配線に、第4の配線を第1の電位とするための電荷を供給（プリチャージ）し、第3の配線を読み出し用の電位である第2の電位とした時の、第4の配線の電位変化を検出することで情報の読み出しを行う。

【0029】

なお、本明細書等において、不揮発性の半導体装置とは、電力が供給されない状態でも、一定期間以上（少なくとも $1 \times 10^4$ 秒以上、好ましくは $1 \times 10^6$ 秒以上）情報を保持可能な半導体装置をいう。

【発明の効果】

【0030】

50

本発明の一態様によれば、半導体装置の専有面積を削減できるため、高集積化、大記憶容量化が可能な半導体装置を提供することができる。

【0031】

また、情報の書き込みに高い電圧を必要としないため、ゲート絶縁層の劣化といった問題が生じにくく、書き換え可能回数や信頼性が飛躍的に向上する。

【0032】

さらに、情報を消去するための動作も不要であるため、高速な動作も容易に実現しうる。

【0033】

また、酸化物半導体を絶縁体化させて情報を記憶させるため、極めて長期にわたり記憶した情報を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、半導体装置の消費電力を低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能となる。

【図面の簡単な説明】

【0034】

【図1】半導体装置の回路図。

【図2】酸化物半導体を用いた容量素子の過渡電流特性を説明する図。

【図3】半導体装置の動作に係るタイミングチャート。

【図4】半導体装置の回路図。

【図5】半導体装置の平面図および断面図。

【図6】半導体装置の作製工程に係る断面図。

【図7】半導体装置の断面図。

【図8】半導体装置を用いた電子機器を説明するための図。

【発明を実施するための形態】

【0035】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0036】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0037】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0038】

なお、本明細書における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0039】

また、本明細書において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、一体となった複数の「電極」や「配線」を指す場合もある。

【0040】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため

10

20

30

40

50

、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0041】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【0042】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

10

【0043】

なお、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

【0044】

（実施の形態1）

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成およびその動作の一例について、図1乃至図4を参照して説明する。本実施の形態では、トランジスタにn型トランジスタ（nチャネル型トランジスタ）を用いる場合について説明する。

20

【0045】

図1（A）は、トランジスタ210を含む不揮発性のメモリセル200の回路構成を示している。トランジスタ210は、制御ゲート211と、記憶ゲート212を有している。図1（A）において、トランジスタ210の制御ゲート211は、第1の配線201（ワード線WLとも呼ぶ）と、電氣的に接続されている。トランジスタ210の記憶ゲート212は、第2の配線202（データ線DLとも呼ぶ）と、電氣的に接続されている。トランジスタ210のソースまたはドレインの一方は、第3の配線203（読み出し信号線RLとも呼ぶ）と、電氣的に接続されている。トランジスタ210のソースまたはドレインの他方は、第4の配線204（ビット線BLとも呼ぶ）と電氣的に接続されている。

30

【0046】

トランジスタ210のチャネルが形成される半導体には、単結晶半導体、多結晶半導体、微結晶半導体、非晶質半導体等を用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を挙げることができる。このような半導体材料を用いたトランジスタ210は、十分な高速動作が可能のため、記憶した情報の読み出しなどを高速に行うことが可能である。つまり、半導体装置の高速動作が実現される。

【0047】

また、トランジスタ210のチャネルが形成される半導体に酸化物半導体を用いることもできる。酸化物半導体は、エネルギーギャップが3.0 eV以上と大きく、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては、オフ状態でのチャネル幅1 μmあたりのソースとドレイン間のリーク電流値（オフ電流値）を、使用時の温度条件下（例えば、25 °C）において100 zA（ $1 \times 10^{-19}$  A）以下、もしくは10 zA（ $1 \times 10^{-20}$  A）以下、さらには1 zA（ $1 \times 10^{-21}$  A）以下とすることができる。このため、消費電力の小さい半導体装置を実現することができる。

40

【0048】

トランジスタ210が有する記憶ゲート212は、酸化物半導体で形成する。酸化物半導体には、電界が加えられるとn型化する酸化物半導体と、電界が加えられるとp型化する酸化物半導体があることが知られているが、本明細書では電界が加えられるとn型となる

50

場合を例に説明する。また、記憶ゲート 2 1 2 に用いる酸化物半導体は i 型化（真性化）または実質的に i 型化された酸化物半導体を用いることが好ましい。

【 0 0 4 9 】

記憶ゲート 2 1 2 に用いる酸化物半導体は、電界を加えることにより i 型化可能な酸化物半導体であれば、i 型化（真性化）または実質的に i 型化された酸化物半導体でなくとも用いることができる。ただし、i 型化（真性化）または実質的に i 型化された酸化物半導体は、電界を加えなくとも i 型であるため、回路設計がしやすく、消費電力を抑えた半導体装置を作製することができる。

【 0 0 5 0 】

ここで、図 2 を用いて、誘電体として絶縁体と酸化物半導体の積層体を用いた、容量素子 3 0 0 の過渡電流特性の測定結果を説明しておく。図 2（A）は、測定した容量素子 3 0 0 の積層構成を説明する模式図である。

10

【 0 0 5 1 】

容量素子 3 0 0 は、電極 3 0 1 と電極 3 0 4 の間に、酸化物半導体 3 0 2 と絶縁体 3 0 3 を有している。電極 3 0 1 は酸化物半導体 3 0 2 と接しており、電極 3 0 4 は絶縁体 3 0 3 と接している。酸化物半導体 3 0 2 には、厚さ 3 0 n m の  $\text{In-Ga-Zn-O}$  系の酸化物半導体を用いた。絶縁体 3 0 3 には、厚さ 1 0 0 n m の酸化珪素を用いた。また、電極 3 0 1 と電極 3 0 4 が重なる面積を  $1 \text{ mm}^2$  とした。

【 0 0 5 2 】

過渡電流の測定は、アジレントテクノロジー株式会社製プレシジョン半導体パラメータアナライザ 4 1 5 6 C を用いて行った。測定は、まず、電極 3 0 1 の電位を 0 V とし、電極 3 0 4 の電位を 2 V とし、電極 3 0 1 と電極 3 0 4 の間に流れる電流値を 6 0 秒間測定した。次に、電極 3 0 1 の電位を 0 V とし、電極 3 0 4 の電位を - 2 V とし、電極 3 0 1 と電極 3 0 4 の間に流れる電流値を 6 0 秒間測定した。

20

【 0 0 5 3 】

図 2（B）に、過渡電流の測定結果を示す。図 2（B）において、横軸は電圧印加時間（測定時間）を示し、縦軸は電極 3 0 1 と電極 3 0 4 の間に流れる電流の絶対値を示している。図 2（B）中の曲線 3 1 1 は、電極 3 0 4 に 2 V を加えた時の電極 3 0 1 と電極 3 0 4 の間に流れる電流値の変化を示しており、曲線 3 1 2 は、電極 3 0 4 に - 2 V を加えた時の電極 3 0 1 と電極 3 0 4 の間に流れる電流値の変化を示している。

30

【 0 0 5 4 】

曲線 3 1 1 及び曲線 3 1 2 より、電極 3 0 4 に 2 V を加えた場合は、電極 3 0 1 と電極 3 0 4 の間にほとんど電流が流れないが、その後、電極 3 0 4 に - 2 V を加えると、電圧を加えてから 3 0 秒間ほどは、電極 3 0 4 に 2 V を加えた場合に比較して明らかに多くの電流が流れていることがわかる。なお、図ではわかりにくいですが、3 0 秒経過後も曲線 3 1 2 は、曲線 3 1 1 よりも電流値が大きいことが確認できている。

【 0 0 5 5 】

過渡電流の測定結果は以下のように考察される。電極 3 0 4 に 2 V を加えると、絶縁体 3 0 3 を介して酸化物半導体 3 0 2 に正の電界が加えられ、酸化物半導体 3 0 2 が n 型化する。酸化物半導体 3 0 2 は n 型化すると、電極 3 0 1 から電荷が供給され導電体として機能するため、容量素子 3 0 0 の誘電体層は絶縁体 3 0 3 のみとなり、電極 3 0 1 と電極 3 0 4 の間に電流はほとんど流れない。

40

【 0 0 5 6 】

次に、電極 3 0 4 に - 2 V を加えると酸化物半導体 3 0 2 が i 型となる。この時、電極 3 0 1 と酸化物半導体 3 0 2 の接合界面近傍の酸化物半導体 3 0 2 中の電荷は、電極 3 0 1 にすぐ移動する。しかしながら、電極 3 0 1 から離れた位置にある酸化物半導体 3 0 2 中の電荷はすぐに移動することができず、電極 3 0 4 に - 2 V を加えたことによる電界ドリフト効果により、ゆっくりと移動する。

【 0 0 5 7 】

また、酸化物半導体はエネルギーギャップが 3 . 0 e V 以上と大きく、i 型化（真性化）

50

または実質的に  $i$  型化された酸化物半導体のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度 ( $1 \times 10^{14} / \text{cm}^3$  程度) と比較して、十分に小さい値 (例えば、 $1 \times 10^{12} / \text{cm}^3$  未満、もしくは、 $1.45 \times 10^{10} / \text{cm}^3$  未満) をとる。

#### 【0058】

一般的なシリコンなどを用いた半導体は、半導体に正の電界が加わると、該半導体が  $n$  型化され、負の電界が加わると  $p$  型化されるため、電界が加わると常に導電体となる。一方、酸化物半導体では、酸化物半導体に正の電界が加わると、該酸化物半導体は  $n$  型化されるが、負の電界が加えられても  $i$  型のままとなる。

#### 【0059】

これらのことから、酸化物半導体は加えられた電界に応じて、導電体と絶縁体のどちらかの状態となり、酸化物半導体が導電体化された状態で与えられた電荷は、酸化物半導体が絶縁体化されても保持されると考えられる。

10

#### 【0060】

酸化物半導体の上記特性を利用することで、従来よりも低い電圧で情報の書き込み及び読み出しが可能で、書き込み及び読み出し動作の速い記憶素子を実現することができる。

#### 【0061】

続いて、本実施の形態で開示する半導体装置に、2 値の情報 (例えば、0 または 1 の情報) を記憶するための、書き込み動作 (書き込みモード) および読み出し動作 (読み出しモード) の一例について、図 3 に示すタイミングチャートを用いて説明する。図 3 に示すタイミングチャートは、図 1 (A) に示す各部位の電位または状態の時間変化を示している。本実施の形態では、2 値の情報として、メモリセル 200 にハイレベル電位  $V_{DLH}$  またはローレベル電位  $V_{DLL}$  を記憶させ、また、記憶させた情報を読み出す動作について説明する。

20

#### 【0062】

図 3 では、また、第 1 の配線 201 (ワード線  $WL$ ) に、ハイレベル電位  $V_{WLH}$  またはローレベル電位  $V_{WLL}$  が与えられるものとする。また、第 2 の配線 202 (データ線  $DL$ ) に、ハイレベル電位  $V_{DLH}$  またはローレベル電位  $V_{DLL}$  が与えられるものとする。また、第 3 の配線 203 (読み出し信号線  $RL$ ) にハイレベル電位  $V_{RLH}$  またはローレベル電位  $V_{RLL}$  が与えられるものとする。また、第 4 の配線 204 (ビット線  $BL$ ) に、ハイレベル電位  $V_{BLH}$  またはローレベル電位  $V_{BLL}$  が与えられるものとする。

30

#### 【0063】

また、記憶ゲート 212 に  $V_{DLH}$  が書き込まれ、記憶ゲート 212 が絶縁体化した後の記憶ゲート 212 の電位を  $V_{MLH}$  とし、記憶ゲート 212 に  $V_{DLL}$  が書き込まれ、記憶ゲート 212 が絶縁体化した後の記憶ゲート 212 の電位を  $V_{MLL}$  とする。また、書き込み動作時に  $V_{DLH}$  が書き込まれた記憶ゲート 212 の、読み出し動作時の電位を  $V_{MLHR}$  とし、書き込み動作時に  $V_{DLL}$  が書き込まれた記憶ゲート 212 の、読み出し動作時の電位を  $V_{MLLR}$  とする。

#### 【0064】

また、図 3 では、酸化物半導体で形成されている記憶ゲート 212 (図 3 中、 $ML$  と表記する) が導電体化 ( $n$  型化) する電圧 (以下、 $V_{thos}$  ともいう) を  $1 \text{ V}$  と仮定し、 $V_{WLH}$  を  $4 \text{ V}$  とし、 $V_{WLL}$  を  $-1 \text{ V}$  とする。また、 $V_{DLH}$  を  $2 \text{ V}$  とし、 $V_{DLL}$  を  $0 \text{ V}$  とし、 $V_{RLH}$  を  $0 \text{ V}$  とし、 $V_{RLL}$  を  $-5 \text{ V}$  とし、 $V_{BLH}$  を  $0 \text{ V}$  とし、 $V_{BLL}$  を  $-5 \text{ V}$  とする。

40

#### 【0065】

なお、本実施の形態では、 $V_{MLH}$  は  $0 \text{ V}$  となり、 $V_{MLL}$  は  $-1 \text{ V}$  となる。また、 $V_{MLHR}$  は  $-2.5 \text{ V}$  となり、 $V_{MLLR}$  は  $-3.5 \text{ V}$  となる。また、トランジスタ 210 (図 3 中、 $TR$  と表記する) のしきい値電圧を  $2 \text{ V}$  とする。

#### 【0066】

絶縁体化した記憶ゲート 212 は、電氣的に浮遊した (フローティング) 状態となる。このため、絶縁体化した記憶ゲート 212 の電位は、主に、第 1 の配線 201 (ワード線  $W$

50



L)、第3の配線203(読み出し信号線RL)、第4の配線204(ビット線BL)の電位が変動すると、それに連動して変化してしまう。

【0067】

このような電位の変動量は、第1の配線201(ワード線WL)が電氣的に接続している制御ゲート211と、記憶ゲート212の間に生じる容量成分(以下、「 $C_{CM}$ 」と言う)、及び、記憶ゲート212と、トランジスタ210のチャネル形成領域の間に生じる容量成分(以下、「 $C_{MS}$ 」と言う)の比により決定される。

【0068】

例えば、 $C_{CM}$ の容量値が $C_{MS}$ の容量値と比べて十分大きい場合、チャネル形成領域の電位を固定して、制御ゲート211の電位を変動させると、絶縁体化した記憶ゲート212の電位は、制御ゲート211の電位変動量とほぼ同量変動する。

10

【0069】

また、 $C_{CM}$ の容量値が $C_{MS}$ の容量値と比べて十分小さい場合、チャネル形成領域の電位を固定して、制御ゲート211の電位を変動させると、絶縁体化した記憶ゲート212の電位は、ほとんど変動しない。

【0070】

また、 $C_{CM}$ の容量値が $C_{MS}$ の容量値と同じ場合、チャネル形成領域の電位を固定して、制御ゲート211の電位を変動させると、絶縁体化した記憶ゲート212の電位は、制御ゲート211の電位変動量の半分だけ変動する。

【0071】

20

トランジスタ210のチャネル形成領域の電位の固定は、トランジスタ210に接続する第3の配線203(読み出し信号線RL)と第4の配線204(ビット線BL)の電位を固定することで実現できる。

【0072】

例えば、絶縁体化してフローティング状態となった記憶ゲート212の電位が、第3の配線203(読み出し信号線RL)や第4の配線204(ビット線BL)の電位変動の影響を極力受けないようにするためには、 $C_{CM}$ の容量値を $C_{MS}$ の容量値の2倍以上、好ましくは5倍以上、さらに好ましくは10倍以上とすればよい。

【0073】

また、絶縁体化してフローティング状態となった記憶ゲート212の電位が、トランジスタ210に接続する全ての配線の電位変動から受ける影響を最小とするためには、 $C_{CM}$ の容量値を $C_{MS}$ の容量値の0.5倍以上2倍未満、好ましくは0.7倍以上1.5倍未満とすればよい。

30

【0074】

本実施の形態では、 $C_{CM}$ と $C_{MS}$ の容量値を同じとした場合について説明する。

【0075】

はじめに、メモリセル200への情報の書き込み(書き換え)動作について説明する。ここでは、記憶ゲート212にハイレベル電位 $V_{MLH}$ を保持させる動作について説明する。まず、第1の動作として、書き込み対象として選択されたメモリセル200に接続する第1の配線201(ワード線WL)に、ハイレベル電位 $V_{WLH}$ (4V)を与え、第2の配線202(データ線DL)にハイレベル電位 $V_{DLH}$ (2V)を与える。

40

【0076】

第1の配線201(ワード線WL)にハイレベル電位 $V_{WLH}$ が与えられると、制御ゲート211の電位がハイレベル電位 $V_{WLH}$ となる。すると、第2の配線202(データ線DL)を基準としたときの、第2の配線202(データ線DL)と制御ゲート211の電位の電位差が2Vとなる。すなわち、 $V_{thos}$ (1V)以上となるため、記憶ゲート212が導電体化し、記憶ゲート212に第2の配線202(データ線DL)の電位が供給される。つまり、記憶ゲート212の電位がハイレベル電位 $V_{DLH}$ (2V)となる。

【0077】

次に、第2の動作として、第1の配線201(ワード線WL)にローレベル電位 $V_{WLL}$

50

(-1V)を与える。この時、第2の配線202(データ線DL)の電位は、ハイレベル電位 $V_{DLH}$ のままとする。第1の配線201(ワード線WL)にローレベル電位 $V_{WLL}$ が与えられると、制御ゲート211の電位がローレベル電位 $V_{WLL}$ となる。すると、第2の配線202(データ線DL)を基準としたときの、第2の配線202(データ線DL)と制御ゲート211の電位の電位差が-3Vとなるため、記憶ゲート212が絶縁体化する。

【0078】

$V_{thos}$ は1Vであるため、第1の配線201の電位(制御ゲート211の電位)と第2の配線202(データ線DL)の電位差が1V以上である間(すなわち第1の動作中)は記憶ゲート212が導電体化しているため、記憶ゲート212にはハイレベル電位 $V_{DLH}$ が与えられる。一方、第2の動作によって第1の配線201の電位(制御ゲート211の電位)と第2の配線202(データ線DL)の電位差が1V未満になると、記憶ゲート212が絶縁体化し、フローティング状態となる。すると、記憶ゲート212の電位は、 $C_{CM}$ と $C_{MS}$ の容量比に応じた第1の配線201(ワード線WL)の電位変動の影響を受けて変化する。

【0079】

記憶ゲート212にハイレベル電位 $V_{DLH}$ が供給され、制御ゲート211の電位がハイレベル電位 $V_{WLH}$ からローレベル電位 $V_{WLL}$ へ変化した時の記憶ゲート212の電位 $V_{MLH}$ は、数式1で表すことができる。

【0080】

【数1】

$$V_{MLH} = V_{DLH} - \frac{C_{CM}}{C_{CM} + C_{MS}} (V_{DLH} + V_{thos} - V_{WLL}) \quad \dots \text{数式1}$$

【0081】

また、記憶ゲート212にローレベル電位 $V_{MLL}$ を保持させる場合は、第2の配線202(データ線DL)にローレベル電位 $V_{DLL}$ を供給し、上記と同じ書き込み動作を行えばよい。記憶ゲート212にローレベル電位 $V_{DLL}$ が供給され、制御ゲート211の電位がハイレベル電位 $V_{WLH}$ からローレベル電位 $V_{WLL}$ へ変化した時の記憶ゲート212の電位 $V_{MLL}$ は、数式2で表すことができる。

【0082】

【数2】

$$V_{MLL} = V_{DLL} - \frac{C_{CM}}{C_{CM} + C_{MS}} (V_{DLL} + V_{thos} - V_{WLL}) \quad \dots \text{数式2}$$

【0083】

すなわち、本実施の形態では、ハイレベル電位 $V_{MLH}$ は0Vとなり、ローレベル電位 $V_{MLL}$ は-1Vとなる。

【0084】

記憶ゲート212が絶縁体化すると、記憶ゲート212中の電荷は移動することができない。このため、記憶ゲート212に接続する第2の配線202の電位が変動しても、記憶ゲート212の電位はハイレベル電位 $V_{MLH}$ もしくはローレベル電位 $V_{MLL}$ のまま保持することが可能となる。このようにして、記憶ゲート212に書き込まれたハイレベル電位 $V_{DLH}$ は、ハイレベル電位 $V_{MLH}$ として記憶され、ローレベル電位 $V_{DLL}$ はローレベル電位 $V_{MLL}$ として記憶される。

【0085】

なお、書き込み動作中、第3の配線203(読み出し信号線RL)の電位は $V_{RLH}$ (0V)とし、第4の配線204(ビット線BL)の電位は、 $V_{BLH}$ (0V)とする。

【0086】

また、記憶ゲート212に記憶するハイレベル電位 $V_{MLH}$ 及びローレベル電位 $V_{MLL}$

は、どちらもトランジスタ 210 をオフ状態とする電位が好ましい。特に、メモリセル 200 を複数接続する構成とした時の読み出し動作において、対象でないメモリセルの誤動作を防ぎ、正確な読み出し動作を実現し、半導体装置の信頼性を高めることができる。

【0087】

続いて、メモリセル 200 に記憶されている情報の読み出し動作について説明する。図 3 (B) は、読み出しモードの動作を説明するタイミングチャートである。ここでは、記憶ゲート 212 にハイレベル電位  $V_{MLH}$  が保持されている場合の動作について説明する。

【0088】

まず、第 1 の動作として、第 4 の配線 204 (ビット線  $BL$ ) に、ハイレベル電位  $V_{BLH}$  となるように電荷を供給する (プリチャージ)。この時、第 1 の配線 201 (ワード線  $WL$ ) はローレベル電位  $V_{WLL}$  のままとする。なお、第 2 の配線 202 (データ線  $DL$ ) の電位に特段の制約はないが、ここではハイレベル電位  $V_{DLH}$  としている。なお、ハイレベル電位  $V_{BLH}$  とローレベル電位  $V_{RLH}$  は異なる電位とする。

【0089】

次に、第 2 の動作として、第 3 の配線 203 (読み出し信号線  $RL$ ) の電位をローレベル電位  $V_{RLH}$  とする。この時、記憶ゲート 212 はフローティング状態であるため、記憶ゲート 212 の電位は、 $C_{CM}$  と  $C_{MS}$  の容量比に応じた第 3 の配線 203 (読み出し信号線  $RL$ ) の電位変動の影響を受ける。

【0090】

記憶ゲート 212 がハイレベル電位  $V_{MLH}$  を保持しているときに、第 3 の配線 203 (読み出し信号線  $RL$ ) の電位がハイレベル電位  $V_{RLH}$  からローレベル電位  $V_{RLH}$  へ変化した時の記憶ゲート 212 の電位  $V_{MLHR}$  は、数式 3 で表すことができる。

【0091】

【数 3】

$$V_{MLHR} = V_{MLH} - \frac{C_{CM}}{C_{CM} + C_{MS}} (V_{RLH} - V_{RLH}) \quad \dots \text{数式 3}$$

【0092】

すなわち、本実施の形態では、電位  $V_{MLHR}$  は  $-2.5V$  となる。この時、ローレベル電位  $V_{RLH}$  は  $-5V$  であるため、トランジスタ 210 のゲート - ソース間電圧は、 $V_{MLHR} - V_{RLH} = -2.5V - (-5V) = 2.5V$  となり、トランジスタ 210 のしきい値電圧 ( $2V$ ) より大きい電圧となるため、トランジスタ 210 がオン状態となる。

【0093】

トランジスタ 210 がオン状態となると、トランジスタ 210 を介して第 4 の配線 204 (ビット線  $BL$ ) に第 3 の配線 203 (読み出し信号線  $RL$ ) の電位が供給されるため、第 4 の配線 204 (ビット線  $BL$ ) の電位が変化する。

【0094】

なお、記憶ゲート 212 がローレベル電位  $V_{MLH}$  を保持しているときに、第 3 の配線 203 (読み出し信号線  $RL$ ) の電位がハイレベル電位  $V_{RLH}$  からローレベル電位  $V_{RLH}$  へ変化した時の記憶ゲート 212 の電位  $V_{MLLR}$  は、数式 4 で表すことができる。

【0095】

【数 4】

$$V_{MLLR} = V_{MLH} - \frac{C_{CM}}{C_{CM} + C_{MS}} (V_{RLH} - V_{RLH}) \quad \dots \text{数式 4}$$

【0096】

すなわち、本実施の形態では、電位  $V_{MLLR}$  は  $-3.5V$  となる。この時、ローレベル電位  $V_{RLH}$  は  $-5V$  であるため、トランジスタ 210 のゲート - ソース間電圧は、 $V_{MLLR} - V_{RLH} = -3.5V - (-5V) = 1.5V$  となり、トランジスタ 210 のしきい値電圧 ( $2V$ ) を超えることができない。この場合は、トランジスタ 210 はオフ状

態のままであるため、第4の配線204（ビット線BL）の電位は変化しない。

【0097】

このようにして、第3の配線203（読み出し信号線RL）の電位をローレベル電位 $V_{RL}$ とした時の第4の配線204（ビット線BL）の電位変動を検出することで、記憶ゲート212に記憶されている情報を読み出すことができる。

【0098】

記憶ゲート212に保持されている情報（電荷）は、書き込みモードにより新たな情報に書き換えられるまで保持される。絶縁体化された酸化物半導体は、抵抗率が高く、電荷の移動がほとんどおきないため、記憶ゲート212の電位を極めて長時間にわたって保持することが可能となる。

10

【0099】

ところで、いわゆるフラッシュメモリでは、コントロールゲートの電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0100】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界（10000回程度）という別の問題も生じる。

【0101】

開示する発明に係る半導体装置は、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

20

【0102】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

【0103】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対する有利な点である。

30

【0104】

なお、上記説明は、電子を多数キャリアとするn型トランジスタを用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。トランジスタをp型トランジスタとして構成する場合は、上記動作原理を踏まえて、各配線に供給する電位を決定すればよい。

【0105】

図1（B）に、図1（A）に示した半導体装置を用いた、 $m \times n$ ビットの記憶容量を有する半導体装置の回路図の一例を示す。図1（B）は、メモリセル1200が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

40

【0106】

図1（B）に示す半導体装置は、 $m$ 本のワード線WL、及び $m$ 本の読み出し信号線RLと、 $n$ 本のビット線BLと、 $n$ 本のデータ線DLと、複数のメモリセル1200が縦 $m$ 個（行） $\times$ 横 $n$ 個（列）（ $m$ 、 $n$ は自然数）のマトリクス状に配置されたメモリセルアレイと、第1の駆動回路1221と、第2の駆動回路1222と、第3の駆動回路1223、第4の駆動回路1224といった周辺回路によって構成されている。ここで、メモリセル1200としては、図1（A）に示した構成が適用される。

【0107】

各メモリセル1200は、トランジスタ1210を有している。トランジスタ1210は、制御ゲート1211と、記憶ゲート1212を有している。制御ゲート1211はワー

50

ド線WLと電氣的に接続され、記憶ゲート1212はデータ線DLと電氣的に接続されている。トランジスタ1210のソースまたはドレインの一方は読み出し信号線RLと電氣的に接続され、ソースまたはドレインの他方はビット線BLと電氣的に接続されている。

【0108】

また、i行j列のメモリセル1200(i、j)(iは1以上m以下の整数、jは1以上n以下の整数)は、読み出し信号線RL<sub>i</sub>、ビット線BL<sub>j</sub>、ワード線WL<sub>i</sub>、にそれぞれ電氣的に接続されている。

【0109】

ワード線WLは、第1の駆動回路1221と電氣的に接続されており、データ線DLは、第2の駆動回路1222と電氣的に接続されており、読み出し信号線RLは第3の駆動回路1223と電氣的に接続されており、ビット線BLは、第4の駆動回路1224と電氣的に接続されている。なお、ここでは、第1の駆動回路1221、第2の駆動回路1222、第3の駆動回路1223、第4の駆動回路1224をそれぞれ独立に設けているが、いずれか一、または複数の機能を有するデコーダを用いても良い。

10

【0110】

メモリセル1200への情報の書き込みは、前述の書き込み動作により行うことができるが、ワード線WLに $V_{WLH}$ が加えられると、該ワード線WLに接続している全てのトランジスタ1210が有する記憶ゲート1212が導電体化してしまう。このため、メモリセル1200に一つ一つ順番に情報を書き込むと、既に書き込み動作が終了した他のメモリセルの情報が変動してしまう恐れがある。このため、書き込み動作を行う場合は、選択されたワード線WLに接続している全てのメモリセルに、同時に情報を書き込むことが好ましい。

20

【0111】

メモリセル1200からの情報の読み出しは、前述の読み出し動作により行うことができる。メモリセル1200に記憶される情報は、トランジスタ1210をオフ状態とする電位であるため、情報の読み出しは、任意のメモリセル1200に対して一つずつ行うことができる。また、読み出し信号線RLに接続している全てのメモリセル1200の情報を、同時に読み出すこともできる。

【0112】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。トランジスタをp型トランジスタとして構成する場合は、上記動作原理を踏まえて、各配線に供給する電位を決定すればよい。

30

【0113】

本実施の形態で開示する半導体装置は、動作原理上、DRAMで必須とされるキャパシタを用いない構成であるため、単位メモリセル当たりの面積が削減可能となり、高集積化が可能となる。例えば、最小加工寸法をFとして、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることが可能となる。

【0114】

また、本実施の形態で開示する半導体装置は、酸化物半導体を絶縁体化させて情報を記憶させるため、保持された電荷の移動がほとんど起こらない。このため、従来のDRAMで必要とされたりフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低く(例えば、一ヶ月乃至一年に一度程度)することが可能となり、半導体装置の消費電力を十分に低減することができる。

40

【0115】

また、本実施の形態で開示する半導体装置は、メモリセルへの再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。また、従来のフローティング

50

ゲート型トランジスタで書き込みや消去の際に必要なとされた高い電圧を必要としないため、半導体装置の消費電力をさらに低減することができる。

【0116】

図4に、メモリセルに記憶されているデータを読み出すための、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

【0117】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線BLに接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

【0118】

センスアンプ回路は、端子Aの電位が参照電位Vref（例えば、0V）より高いとハイデータを出力し、端子Aの電位が参照電位Vrefより低いとローデータを出力する。まず、トランジスタをオン状態として、端子Aに接続されたビット線BLにVBLHの電位をプリチャージする。次に、読み出しを行うメモリセルを読み出しモードとし、端子Aに接続されたビット線BLの電位を、参照電位Vrefと比較すると、メモリセルに記憶された情報に応じて、出力データがハイデータもしくはローデータを出力する。

【0119】

このように、読み出し回路を用いることで、メモリセルに記憶されているデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の公知の回路を用いても良い。

【0120】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0121】

（実施の形態2）

本実施の形態では、実施の形態1に示した半導体装置の構成およびその作製方法の一例について、図5乃至図7を参照して説明する。

【0122】

半導体装置の断面構成および平面構成

図5は、記憶素子として適用することができるトランジスタ150の一例を示している。図5(A)は、トランジスタ150の平面を示しており、図5(B)は、図5(A)におけるX1-X2で示した部位の断面を示している。図5(C)は、図5(B)における部位180の拡大図である。

【0123】

トランジスタ150は、基板100上に下地絶縁層110が設けられ、下地絶縁層110上に制御ゲート101が設けられている。また、制御ゲート101上に第1のゲート絶縁層102が設けられ、第1のゲート絶縁層102上に電極103が設けられ、第1のゲート絶縁層102と電極103に接して記憶ゲート104が設けられている。また、記憶ゲート104上に第2のゲート絶縁層105が設けられ、第2のゲート絶縁層105上に半導体層106が設けられている。また、半導体層106上にソース電極107a及びドレイン電極107bが設けられている。また、半導体層106、ソース電極107a及びドレイン電極107b上に絶縁層108が設けられ、絶縁層108上に保護絶縁層109が設けられている。トランジスタ150は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

【0124】

電極103は、記憶ゲート104の一部に接して設けられ、記憶ゲート104に記憶させる情報を供給する。記憶ゲート104は、第1のゲート絶縁層102と第2のゲート絶縁層105の間に挟まれて設けられている。また、記憶ゲート104は、少なくとも半導体層106のチャネル形成領域（半導体層106中の、ソース電極107aとドレイン電極107bの間に位置する領域）と重なる部分において、第1のゲート絶縁層102と第2

10

20

30

40

50

のゲート絶縁層 105 に接して設けられている。電極 103 は、半導体層 106 のチャネル形成領域と重ならない位置で、記憶ゲート 104 と接続されている。

#### 【0125】

制御ゲート 101 は、記憶ゲート 104 と半導体層 106 のチャネル形成領域と重なる位置に設けられている。記憶ゲート 104 は、制御ゲート 101 と半導体層 106 の間に挟まれて設けられている。

#### 【0126】

図 5 (C) 中に示す端部 181 は、電極 103 が記憶ゲート 104 と接している領域における電極 103 の端部を示している。制御ゲート 101 は、記憶ゲート 104 と重なり、さらに、少なくとも半導体層 106 のチャネル形成領域から端部 181 に至る領域までと重なるように設けられている。このような構成とすることで、制御ゲート 101 に電圧を加えて記憶ゲート 104 を導電体化する時に、記憶ゲート 104 の、半導体層 106 のチャネル形成領域と重なる部位と、電極 103 と接する部位までの記憶ゲート 104 を全て導電体化し、記憶ゲート 104 への情報の書き込みを確実に行うことができる。制御ゲート 101 は、端部 181 を越えて電極 103 と重なるように設けることが好ましい。

#### 【0127】

##### 半導体装置の作製方法

次に、上記トランジスタ 150 の作製方法の一例について図 6 を参照して説明する。なお、特段の説明が無い限り、本明細書で言うフォトリソグラフィ工程には、レジストマスクの形成工程と、導電層または絶縁層のエッチング工程と、レジストマスクの剥離工程が含まれているものとする。

#### 【0128】

まず、基板 100 上に下地絶縁層 110 と導電層を形成し、第 1 のフォトリソグラフィ工程により導電層（これと同じ層で形成される配線を含む）を部分的にエッチング除去し、制御ゲート 101 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0129】

基板 100 に使用することができる基板に大きな制限はないが、ガラス基板、セラミック基板、石英基板、サファイア基板の他、結晶化ガラスなどを用いることができる。

#### 【0130】

また、基板 100 として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタを直接作製してもよいし、他の作製基板上にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタとの間に、剥離層を設けるとよい。

#### 【0131】

下地絶縁層 110 は、窒化アルミニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、または酸化窒化シリコンから選ばれた一又は複数の絶縁層による積層構造により形成することができ、基板 100 からの不純物元素の拡散を防止する機能がある。

#### 【0132】

また、下地絶縁層 110 に、塩素、フッ素などのハロゲン元素を含ませることで、基板 100 からの不純物元素の拡散を防止する機能をさらに高めることができる。下地絶縁層 110 に含ませるハロゲン元素の濃度は、SIMS（二次イオン質量分析計）を用いた分析により得られる濃度ピークにおいて、 $1 \times 10^{15} / \text{cm}^3$  以上  $1 \times 10^{20} / \text{cm}^3$  以下とすればよい。

#### 【0133】

下地絶縁層 110 として酸化ガリウムを用いてもよい。また、下地絶縁層 110 を酸化ガリウムと上記絶縁層の積層構造としてもよい。酸化ガリウムは帯電しにくい材料であるた

10

20

30

40

50

め、絶縁層のチャージアップによるしきい値電圧の変動を抑えることができる。なお、下地絶縁層110を設けない構成としてもかまわない。

【0134】

また、制御ゲート101の材料は、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、タングステン(W)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)、マグネシウム(Mg)等の金属材料又はこれらを主成分とする合金材料を用いて、単層又は積層して形成することができる。

【0135】

続いて、制御ゲート101上に第1のゲート絶縁層102を形成する(図6(A)参照)。第1のゲート絶縁層102には、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化タンタル、酸化ガリウム、酸化イットリウム、酸化ハフニウム、ハフニウムシリケート( $\text{HfSi}_x\text{O}_y$  ( $x > 0, y > 0$ ))、窒素が導入されたハフニウムシリケート( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x > 0, y > 0, z > 0$ ))、窒素が導入されたハフニウムアルミネート( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x > 0, y > 0, z > 0$ ))等を用いることができ、プラズマCVD法やスパッタリング法等で形成することができる。また、第1のゲート絶縁層102は単層に限らず異なる層の積層でも良い。例えば、ゲート絶縁層AとしてプラズマCVD法により窒化シリコン層( $\text{SiN}_y$  ( $y > 0$ ))を形成し、ゲート絶縁層Aの上にゲート絶縁層Bとして酸化シリコン層( $\text{SiO}_x$  ( $x > 0$ ))を積層して、第1のゲート絶縁層102としても良い。

【0136】

第1のゲート絶縁層102の形成は、スパッタリング法やプラズマCVD法などの他、 $\mu$ 波(例えば周波数2.45GHz)を用いた高密度プラズマCVD法などの成膜方法を適用することができる。

【0137】

また、第1のゲート絶縁層102には、この後形成する酸化物半導体と同種の成分を含む絶縁材料を用いると特に好ましい。このような材料は酸化物半導体との相性が良く、これを第1のゲート絶縁層102に用いることで、酸化物半導体との界面の状態を良好に保つことができるからである。ここで、「酸化物半導体と同種の成分」とは、酸化物半導体の構成元素から選択される一または複数の元素を意味する。例えば、酸化物半導体がIn-Ga-Zn系の酸化物半導体材料によって構成される場合、同種の成分を含む絶縁材料としては酸化ガリウムなどがある。

【0138】

また、第1のゲート絶縁層102を積層構造とする場合には、酸化物半導体と同種の成分を含む絶縁材料でなる膜と、該膜の成分材料とは異なる材料を含む膜との積層構造としても良い。

【0139】

次に、第1のゲート絶縁層102上に導電層を形成し、第2のフォトリソグラフィ工程により導電層を部分的にエッチング除去し、電極103(これと同じ層で形成される配線を含む)を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0140】

電極103に用いる導電層としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Nd、Sc、Mgから選ばれた元素を含む金属、または上述した元素を成分とする金属窒化物(窒化チタン、窒化モリブデン、窒化タングステン)等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属またはそれらの金属窒化物(窒化チタン、窒化モリブデン、窒化タングステン)を積層させた構成としても良い。

【0141】



次いで、電極 103 及び第 1 のゲート絶縁層 102 上に、膜厚 2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下の酸化物半導体層を形成する。

#### 【0142】

また、酸化物半導体層に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体層の成膜の前処理として、スパッタリング装置の予備加熱室で電極 103 及び第 1 のゲート絶縁層 102 が形成された基板 100 を予備加熱し、基板 100 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層 108 の成膜前に、ソース電極 107a 及びドレイン電極 107b まで形成した基板 100 にも同様に行ってもよい。

10

#### 【0143】

酸化物半導体層に用いる酸化物半導体としては、四元系金属酸化物である In - Sn - Ga - Zn - O 系酸化物半導体や、三元系金属酸化物である In - Ga - Zn - O 系酸化物半導体、In - Sn - Zn - O 系酸化物半導体、In - Al - Zn - O 系酸化物半導体、Sn - Ga - Zn - O 系酸化物半導体、Al - Ga - Zn - O 系酸化物半導体、Sn - Al - Zn - O 系酸化物半導体、In - Hf - Zn - O 系酸化物半導体、In - La - Zn - O 系酸化物半導体、In - Ce - Zn - O 系酸化物半導体、In - Pr - Zn - O 系酸化物半導体、In - Nd - Zn - O 系酸化物半導体、In - Pm - Zn - O 系酸化物半導体、In - Sm - Zn - O 系酸化物半導体、In - Eu - Zn - O 系酸化物半導体、In - Gd - Zn - O 系酸化物半導体、In - Tb - Zn - O 系酸化物半導体、In - Dy - Zn - O 系酸化物半導体、In - Ho - Zn - O 系酸化物半導体、In - Er - Zn - O 系酸化物半導体、In - Tm - Zn - O 系酸化物半導体、In - Yb - Zn - O 系酸化物半導体、In - Lu - Zn - O 系酸化物半導体や、二元系金属酸化物である In - Zn - O 系酸化物半導体、Sn - Zn - O 系酸化物半導体、Al - Zn - O 系酸化物半導体、Zn - Mg - O 系酸化物半導体、Sn - Mg - O 系酸化物半導体、In - Mg - O 系酸化物半導体や、In - Ga - O 系酸化物半導体、In - O 系酸化物半導体、Sn - O 系酸化物半導体、Zn - O 系酸化物半導体などを用いることができる。また、上記酸化物半導体に SiO<sub>2</sub> を含ませてもよい。

20

#### 【0144】

酸化物半導体層は、好ましくは In を含有する酸化物半導体、さらに好ましくは、In、及び Ga を含有する酸化物半導体である。酸化物半導体層を i 型（真性）とするため、脱水化または脱水素化は有効である。

30

#### 【0145】

ここで、例えば、In - Ga - Zn - O 系酸化物半導体とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物、という意味であり、その組成比は問わない。また、In と Ga と Zn 以外の元素を含んでもよい。

#### 【0146】

また、酸化物半導体層は、化学式 InMO<sub>3</sub>(ZnO)<sub>m</sub> (m > 0) で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。

40

#### 【0147】

本実施の形態では、酸化物半導体層として In - Ga - Zn - O 系酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体層は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。

#### 【0148】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 [mol 数比] の酸化物ターゲットを用い、In - Ga - Zn - O 層を成膜する。また、このターゲットの材料及び組成

50

に限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol 数比] の酸化物ターゲットを用いてもよい。

【0149】

また、酸化物半導体層として  $\text{In}-\text{Zn}-\text{O}$  系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1$  から  $1 : 2$  (モル数比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$  から  $1 : 4$ )、好ましくは  $\text{In} : \text{Zn} = 20 : 1$  から  $1 : 1$  (モル数比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$  から  $1 : 2$ )、さらに好ましくは  $\text{In} : \text{Zn} = 15 : 1$  から  $1.5 : 1$  (モル数比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2$  から  $3 : 4$ ) とする。例えば、 $\text{In}-\text{Zn}-\text{O}$  系酸化物半導体層の形成に用いるターゲットは、原子数比が  $\text{In} : \text{Zn} : \text{O} = X : Y : Z$  のとき、 $Z > 1.5X + Y$  とする。

10

【0150】

また、酸化物ターゲットの充填率は 90% 以上 100% 以下、好ましくは 95% 以上 99.9% 以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

【0151】

酸化物半導体層を成膜する際に用いるスパッタガスは水素、水、水酸基を有する化合物、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0152】

酸化物半導体層の成膜は、減圧状態に保持された成膜室内に基板を保持し、基板温度を 100 以上 600 以下好ましくは 300 以上 500 以下として行う。基板を加熱しながら成膜することにより、成膜した酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層を成膜する。

20

【0153】

成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 ( $\text{H}_2\text{O}$ ) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

30

【0154】

成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源電力 0.5 kW、酸素 (酸素流量比率 100%) 雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質 (パーティクル、ごみともいう) が軽減でき、膜厚分布も均一となるために好ましい。

【0155】

次いで、第 1 の加熱処理を行う。この第 1 の加熱処理によって酸化物半導体層中の過剰な水素 (水や水酸基を含む) を除去 (脱水化または脱水素化) し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。また、酸化物半導体層と、該酸化物半導体層が接する絶縁層との界面に生じた欠陥を低減することができる。

40

【0156】

第 1 の加熱処理は、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア (CRDS (キャビティリングダウンレーザー分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気) 雰囲気下で、250 以上 750 以下、または 400 以上基板の歪み点未満の温度で行う。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行う。

【0157】

50

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

10

【0158】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0159】

加熱処理を、窒素または希ガスなどの不活性ガス、酸素、超乾燥エアのガス雰囲気下で行なう場合は、これらの雰囲気に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とする。

20

【0160】

次いで、酸化物半導体層を第3のフォトリソグラフィ工程により部分的にエッチング除去し、記憶ゲート104を形成する(図6(B)参照)。また、記憶ゲート104を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0161】

また、第1のゲート絶縁層102にコンタクトホールを形成する場合、その工程は酸化物半導体層の加工時に同時に行うことができる。

【0162】

なお、ここでの酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体層のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N(関東化学社製)を用いてもよい。

30

【0163】

レジストマスクを除去した後、記憶ゲート104に酸素を導入してもよい。酸素の導入は、酸素プラズマドーピングにより行うことができる。具体的には、高周波(RF)を用いて酸素をプラズマ化し、酸素ラジカル、酸素イオンを基板上の酸化物半導体層へ導入する。この時、記憶ゲート104が形成される基板にバイアスを印加すると好ましい。基板に印加するバイアスを大きくすることで、より深くまで酸素を導入することができる。酸素の導入は、イオン注入法により行ってもよい。

40

【0164】

ドーピングされる酸素(酸素ラジカル、酸素原子、及び/又は酸素イオン)は、酸素を含むガスを用いてプラズマ発生装置により供給されてもよいし、又はオゾン発生装置により供給されてもよい。より具体的には、例えば、半導体装置に対してエッチング処理を行うための装置や、レジストマスクに対してアッシングを行うための装置などを用いて酸素を発生させ、記憶ゲート104を処理することができる。

【0165】

記憶ゲート104に酸素を導入することで、酸素が過剰に導入された酸化物半導体層が形成される。酸化物半導体層に酸素を導入することで、M-H結合より水素原子を奪い、M-OH基を形成する。

50

## 【0166】

すなわち、酸素の導入により、酸化物半導体に残存する金属と水素の間の結合、或いは該金属上の水酸基の酸素 - 水素結合を切断するとともに、水を生成する。特に不対電子を有する酸素は、酸化物半導体中に残存する水素と容易に反応し、水を生成しやすい。よって、後に行われる加熱処理により、不純物である水素、または水酸基を、水として、脱離させやすくすることができる。

## 【0167】

記憶ゲート104に酸素を導入した後、第2の加熱処理（好ましくは200 以上600 以下、例えば250 以上550 以下）を行う。例えば、窒素雰囲気下で450 、1時間の第2の加熱処理を行う。なお、上記雰囲気に水、水素などが含まれないことが好ましい。

10

## 【0168】

以上の工程を経ることによって、酸素の導入及び加熱処理によって、酸化物半導体層の脱水化または脱水素化を行うことができ、第1の加熱処理で除去しきれなかった水素、水、水酸基又は水素化合物（「水素化合物」ともいう）などの水素原子を含む不純物を記憶ゲート104中から排除することができる。また、記憶ゲート104と、記憶ゲート104が接する絶縁層との界面に生じた欠陥を低減することができる。このようにして、記憶ゲート104を構成する酸化物半導体を高純度化して、電氣的にi型化された酸化物半導体とすることができる。

## 【0169】

20

続いて、記憶ゲート104及び電極103を覆って第2のゲート絶縁層105を形成する（図6（C）参照）。第2のゲート絶縁層105は、前述した第1のゲート絶縁層102と同様の材料及び方法で形成することができる。

## 【0170】

続いて、第2のゲート絶縁層105上に半導体層を形成し、第4のフォトリソグラフィ工程により半導体層を部分的にエッチング除去し、トランジスタ150のチャネルが形成される島状の半導体層106を形成する。半導体層106には、単結晶半導体、多結晶半導体、微結晶半導体、非晶質半導体等を用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を挙げることができる。このような半導体材料を用いたトランジスタ150は、十分な高速動作が可能のため、記憶した情報の読み出しなどを高速に行うことが可能である。つまり、半導体装置の高速動作が実現される。他に、有機半導体材料などを用いてもよい。

30

## 【0171】

また、半導体層106として、酸化物半導体を用いることもできる。酸化物半導体は、記憶ゲート104と同様の材料及び方法を用いて形成することができる。酸化物半導体は、水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化物半導体層の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層中の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）で測定したものである。

40

## 【0172】

このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温（25 ）でのオフ電流（ここでは、単位チャネル幅（1  $\mu\text{m}$ ）あたりの値）は、 $100 \text{ zA} / \mu\text{m}$ （1 zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。また、85 では、 $100 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下、望ましくは $10 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ）以下となる。このように、i型化（真性化）または実質

50

的に i 型化された酸化物半導体を用いることで、極めて低いオフ電流特性のトランジスタ 150 を得ることができる。

#### 【0173】

次いで、第2のゲート絶縁層105、及び半導体層106上に、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）となる導電層を形成する。ソース電極及びドレイン電極に用いる導電層は、電極103と同様の材料及び方法で形成することができる。また、ソース電極及びドレイン電極に用いる導電層として、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ $\text{In}_2\text{O}_3$ ）、酸化スズ（ $\text{SnO}_2$ ）、酸化亜鉛（ $\text{ZnO}$ ）、酸化インジウム酸化スズ混合酸化物（ $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITOと略記する）、酸化インジウム酸化亜鉛混合酸化物（ $\text{In}_2\text{O}_3$   $\text{ZnO}$ ）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

10

#### 【0174】

第5のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッチングを行ってソース電極107a、ドレイン電極107bを形成した後、レジストマスクを除去する。また、レジストマスクはインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0175】

次いで、半導体層106、ソース電極107a及びドレイン電極107bの上に、絶縁層108を形成する（図6（D）参照）。絶縁層108は、第1のゲート絶縁層102と同様の材料及び方法で形成することができる。なお、水素や水などが混入しにくいという点では、スパッタリング法による形成が好適である。半導体層106に酸化物半導体を用いる場合、絶縁層108に水素が含まれると、その水素の酸化物半導体への侵入、又は水素による酸化物半導体中の酸素の引き抜きが生じ、酸化物半導体が低抵抗化（n型化）する恐れがある。従って、絶縁層108は、水素及び水素を含む不純物が含まれない手段を用いて成膜することが重要である。

20

#### 【0176】

絶縁層108としては、代表的には酸化シリコン、酸化窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ガリウムなどの無機絶縁材料を用いることができる。酸化ガリウムは帯電しにくい材料であるため、絶縁層のチャージアップによるしきい値電圧の変動を抑えることができる。なお、半導体層106に酸化物半導体を用いる場合、絶縁層108として、または、絶縁層108と積層して、酸化物半導体と同種の成分を含む金属酸化物層を形成してもよい。

30

#### 【0177】

本実施の形態では、絶縁層108として膜厚200nmの酸化シリコンをスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン層のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットには、酸化シリコンまたはシリコンを用いることができる。例えば、シリコンをターゲットに用いて、酸素を含む雰囲気下でスパッタを行うと酸化シリコンを形成することができる。

40

#### 【0178】

絶縁層108の成膜時における成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層108は、絶縁層108中に含まれる不純物の濃度を低減することができる。また、絶縁層108の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

#### 【0179】

絶縁層108を成膜する際に用いるスパッタガスは水素、水、水酸基を有する化合物、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

50

## 【0180】

次いで、減圧雰囲気下、不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア雰囲気下で第3の加熱処理（好ましくは200 以上600 以下、例えば250 以上550 以下）を行ってもよい。例えば、窒素雰囲気下で450 、1時間の第3の加熱処理を行ってもよい。第3の加熱処理を行うと、半導体層の一部（チャネル形成領域）は絶縁層108と接した状態で昇温される。なお、上記雰囲気に水、水素などが含まれないことが好ましい。

## 【0181】

半導体層106に酸化物半導体を用いた場合、半導体層106と酸素を含む絶縁層108とを接した状態で熱処理を行うと、酸素を含む絶縁層108より酸素をさらに半導体層106へ供給することができる。

10

## 【0182】

以上の工程でトランジスタ150が形成される。また、絶縁層108上にさらに保護絶縁層109を形成してもよい。保護絶縁層109には、水分や、水素イオンや、OH<sup>-</sup>などの不純物をほとんど含まず、更にこれらの外部からの侵入を防ぐことのできる無機絶縁物である窒化シリコン、窒化アルミニウム、窒化酸化シリコン、酸化窒化アルミニウムなどを用いると良い。本実施の形態では、保護絶縁層109に窒化シリコンを用いる（図6（D）参照）。

## 【0183】

保護絶縁層109に用いる窒化シリコン層は、絶縁層108まで形成された基板100を100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコンのターゲットを用いて成膜する。この場合においても、絶縁層108と同様に、処理室内の残留水分を除去しつつ保護絶縁層109を成膜することが好ましい。

20

## 【0184】

また、保護絶縁層109は、保護絶縁層109の下方に設ける第1のゲート絶縁層102または下地絶縁層110と接する構成とすることが好ましく、基板の端部近傍からの水分や、水素イオンや、OH<sup>-</sup>などの不純物が侵入することをブロックする。

## 【0185】

トランジスタ150の形成後、さらに大気中で100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から加熱温度への昇温と加熱温度から室温までの降温を1サイクルとする処理を複数回繰り返して行ってもよい。

30

## 【0186】

また、第1の加熱処理を行わず、第2の加熱処理を第1の加熱処理の条件で行ってもよい。

## 【0187】

なお、トランジスタ150において、制御ゲート101、電極103、ソース電極107a及びドレイン電極107bの端部は、テーパ形状であることが好ましい。ここで、テーパ角は、例えば、30°以上60°以下とする。なお、テーパ角とは、層をその断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。制御ゲート101、電極103、ソース電極107a及びドレイン電極107bの端部をテーパ形状とすることにより、以降の工程で形成される層の被覆性を向上し、段切れを防止することができる。

40

## 【0188】

図7（A）に、トランジスタ150にバックゲート111を形成した構成例として、トランジスタ160を示す。バックゲート111は、制御ゲート101または記憶ゲート104と、バックゲートで半導体層106のチャネル形成領域を挟むように配置される。バックゲート111は、制御ゲート、ソース電極、ドレイン電極など同様の材料及び方法により形成することができる。

50

## 【0189】

図7(A)において、バックゲート111は、半導体層106のチャネル形成領域上に、絶縁層108及び保護絶縁層109を介して形成されている。図7(A)は、バックゲート111を保護絶縁層109上に形成する例を示しているが、バックゲート111は、絶縁層108と保護絶縁層109の間に形成してもよい。

## 【0190】

バックゲート111は、ソース電極107aまたはドレイン電極107bのどちらかに接続しても良いし、どこにも接続せず電氣的に浮遊した状態（フローティング）としても良い。バックゲート111を設けると、半導体装置に複数のトランジスタを形成した時の特性ばらつきが低減し、半導体装置の動作が安定する効果が得られる。

10

## 【0191】

本実施の形態の半導体層に用いる酸化物半導体は、ドナーとなる性質を持つ水素を酸化物半導体から極力除去し、不純物が極力含まれないように高純度化することによりi型（真性）の酸化物半導体、又はi型に限りなく近い酸化物半導体としたものである。すなわち、不純物を導入してi型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型又はそれに近づくことを特徴としている。従って、上述のトランジスタに用いられる酸化物半導体層は、高純度化され電氣的にi型化した酸化物半導体層である。

## 【0192】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とすることができる。

20

## 【0193】

酸化物半導体中にキャリアが極めて少ないため、トランジスタのオフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。

## 【0194】

具体的には、上述の酸化物半導体をチャネル形成領域に用いたトランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を室温下において $10 \text{ aA}$  ( $1 \times 10^{-17} \text{ A} / \mu\text{m}$ ) 以下にすること、さらには、 $1 \text{ aA}$  ( $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ) 以下、さらには $1 \text{ zA}$  ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ) 以下、さらには $1 \text{ yA}$  ( $1 \times 10^{-24} \text{ A} / \mu\text{m}$ ) 以下にすることが可能である。

30

## 【0195】

また、上述の酸化物半導体をチャネル形成領域に用いたトランジスタは、オン電流の温度依存性がほとんど見られず、オフ電流の変化も非常に小さい。

## 【0196】

また、上述の酸化物半導体をチャネル形成領域に用いたトランジスタは、外部刺激（例えばバイアス-熱ストレス試験）によるトランジスタのしきい値電圧の変化量が低減でき、信頼性の高いトランジスタとすることができる。

## 【0197】

また、上述の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。

40

## 【0198】

以上のように、安定した電氣的特性を有する酸化物半導体を用いた半導体装置を提供することができる。よって、信頼性の高い半導体装置を提供することができる。

## 【0199】

なお、本実施の形態では、ボトムゲート構造のトランジスタを一例としてその作製方法を説明したが、本実施の形態の構成はこれに限られるものではない。図7(B)に示すトランジスタ170は、トップゲート構造のトランジスタの一例であり、トランジスタ150と制御ゲート101や半導体層106の積層位置が異なるが、トランジスタ150と同様の材料、方法を用いて形成することができる。

50

## 【 0 2 0 0 】

トランジスタ 1 7 0 にバックゲート 1 1 1 を設ける場合は、例えば、基板 1 0 0 と下地絶縁層 1 1 0 の間の、半導体層 1 0 6 と重なる位置にバックゲート 1 1 1 を設けることができる。

## 【 0 2 0 1 】

また、トップゲート構造の場合は、半導体層 1 0 6 を最下層に設けることができるため、基板 1 0 0 にシリコンウェハなどの単結晶基板を用いて、単結晶基板の一部を半導体層 1 0 6 として用いることが容易となる。

## 【 0 2 0 2 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

10

## 【 0 2 0 3 】

## ( 実施の形態 3 )

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 8 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

## 【 0 2 0 4 】

図 8 ( A ) は、ノート型のパーソナルコンピュータであり、筐体 7 0 1、筐体 7 0 2、表示部 7 0 3、キーボード 7 0 4 などによって構成されている。筐体 7 0 1 と筐体 7 0 2 内には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

20

## 【 0 2 0 5 】

図 8 ( B ) は、携帯情報端末（ P D A ）であり、本体 7 1 1 には、表示部 7 1 3 と、外部インターフェイス 7 1 5 と、操作ボタン 7 1 4 等が設けられている。また、携帯情報端末を操作するスタイラス 7 1 2 などを備えている。本体 7 1 1 内には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

30

## 【 0 2 0 6 】

図 8 ( C ) は、電子ペーパーを実装した電子書籍 7 2 0 であり、筐体 7 2 1 と筐体 7 2 3 の 2 つの筐体で構成されている。筐体 7 2 1 および筐体 7 2 3 には、それぞれ表示部 7 2 5 および表示部 7 2 7 が設けられている。筐体 7 2 1 と筐体 7 2 3 は、軸部 7 3 7 により接続されており、該軸部 7 3 7 を軸として開閉動作を行うことができる。また、筐体 7 2 1 は、電源 7 3 1、操作キー 7 3 3、スピーカー 7 3 5 などを備えている。筐体 7 2 1、筐体 7 2 3 の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

40

## 【 0 2 0 7 】

図 8 ( D ) は、携帯電話機であり、筐体 7 4 0 と筐体 7 4 1 の 2 つの筐体で構成されている。さらに、筐体 7 4 0 と筐体 7 4 1 は、スライドし、図 8 ( D ) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 7 4 1 は、表示パネル 7 4 2、スピーカー 7 4 3、マイクロフォン 7 4 4、ポインティングデバイス 7 4 6、カメラ用レンズ 7 4 7、外部接続端子 7 4 8 などを備えている。また、筐体 7 4 0 は、携帯電話機の充電を行う太陽電池セル 7 4 9、外部メモリスロット 7 5 0 などを備えている。また、アンテナは、筐体 7 4 1 に内蔵されている。

## 【 0 2 0 8 】

また、表示パネル 7 4 2 はタッチパネルを備えており、図 8 ( D ) には映像表示されてい

50



る複数の操作キー 745 を点線で示している。なお、太陽電池セル 749 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【0209】

筐体 740 と筐体 741 の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【0210】

図 8 (E) は、デジタルカメラであり、本体 761、表示部 767、接眼部 763、操作スイッチ 764、表示部 765、バッテリー 766 などによって構成されている。本体 761 内には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

10

【0211】

図 8 (F) は、テレビジョン装置 770 であり、筐体 771、表示部 773、スタンド 775 などによって構成されている。テレビジョン装置 770 の操作は、筐体 771 が備えるスイッチや、リモコン操作機 780 により行うことができる。筐体 771 およびリモコン操作機 780 には、前述の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0212】

20

以上のように、本実施の形態に示す電子機器には、前述の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【符号の説明】

【0213】

100 基板  
 101 制御ゲート  
 102 第 1 のゲート絶縁層  
 103 電極  
 104 記憶ゲート  
 105 第 2 のゲート絶縁層  
 106 半導体層  
 107 a ソース電極  
 107 b ドレイン電極  
 108 絶縁層  
 109 保護絶縁層  
 110 下地絶縁層  
 111 バックゲート  
 150 トランジスタ  
 160 トランジスタ  
 170 トランジスタ  
 180 部位  
 181 端部  
 200 メモリセル  
 201 第 1 の配線  
 202 第 2 の配線  
 203 第 3 の配線  
 204 第 4 の配線  
 210 トランジスタ  
 211 制御ゲート  
 212 記憶ゲート

30

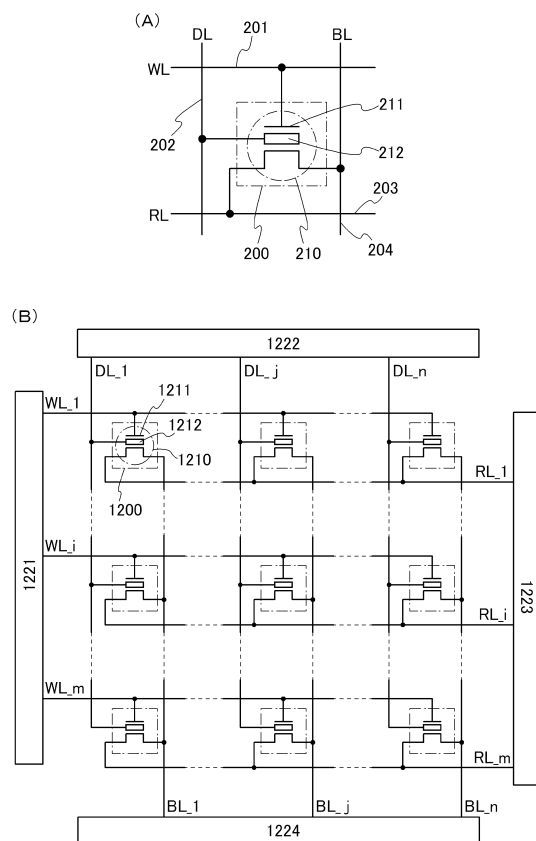
40

50

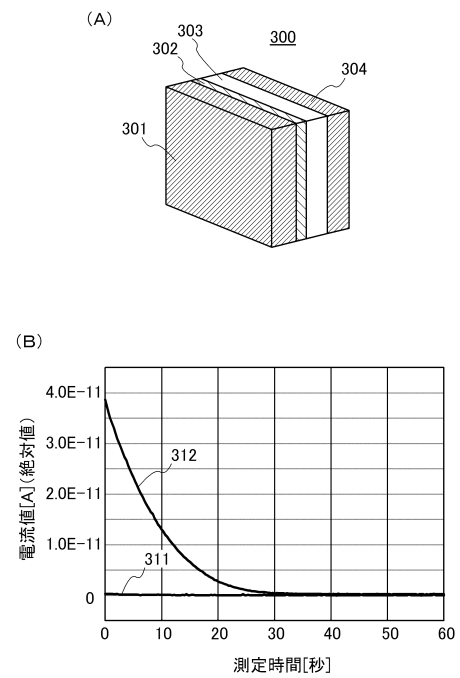
3 0 0	容量素子	
3 0 1	電極	
3 0 2	酸化物半導体	
3 0 3	絶縁体	
3 0 4	電極	
3 1 1	曲線	
3 1 2	曲線	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	10
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	20
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	30
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	40
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
1 2 0 0	メモリセル	
1 2 1 0	トランジスタ	
1 2 1 1	制御ゲート	50

- |   |   |   |   |         |
|---|---|---|---|---------|
| 1 | 2 | 1 | 2 | 記憶ゲート   |
| 1 | 2 | 2 | 1 | 第1の駆動回路 |
| 1 | 2 | 2 | 2 | 第2の駆動回路 |
| 1 | 2 | 2 | 3 | 第3の駆動回路 |
| 1 | 2 | 2 | 4 | 第4の駆動回路 |

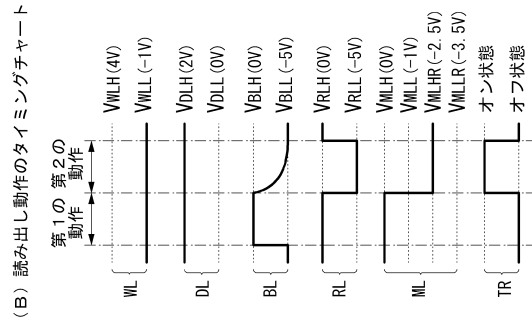
【図1】



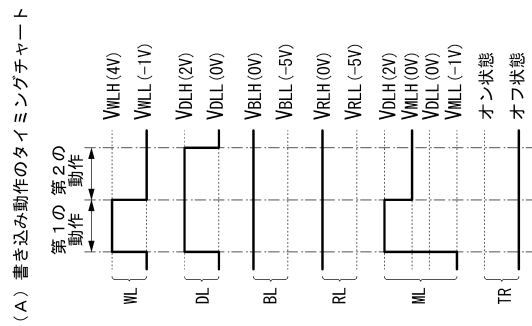
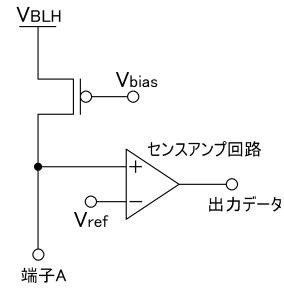
【図2】



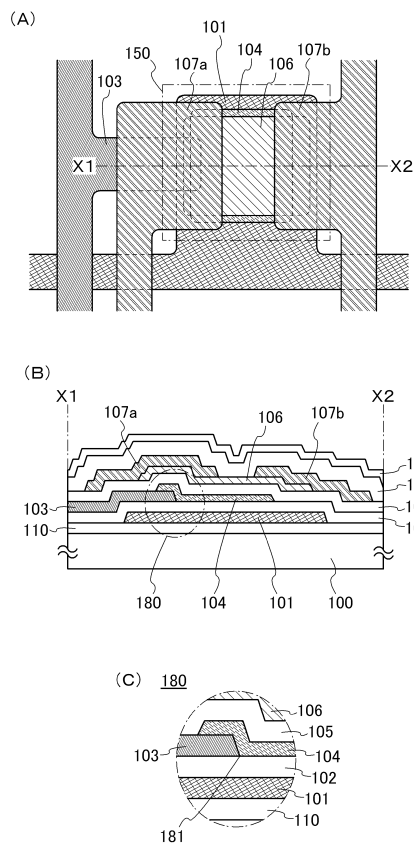
【図 3】



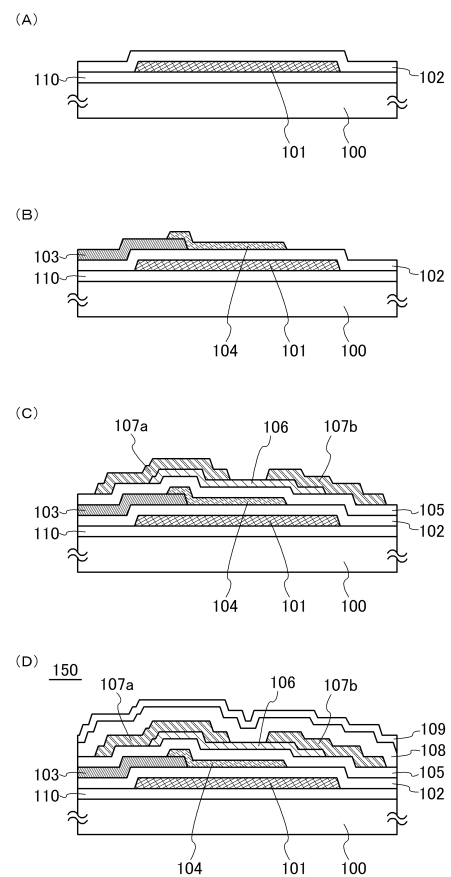
【図 4】



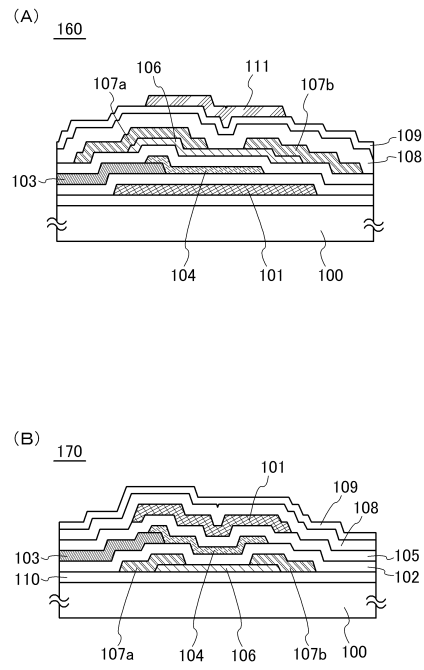
【図 5】



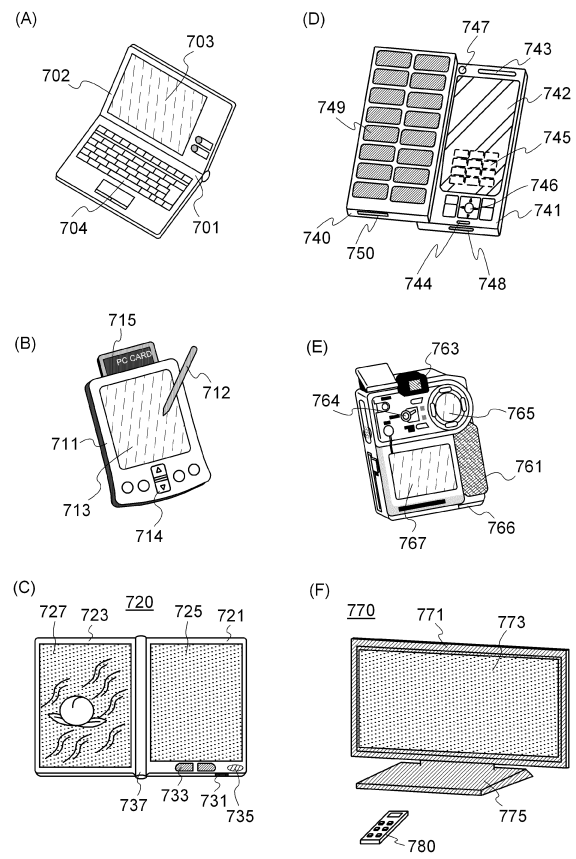
【図 6】



【図 7】



【図 8】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/363 (2006.01) H 0 1 L 21/363

(56)参考文献 特開昭 6 1 - 1 6 6 0 7 8 ( J P , A )  
特開 2 0 0 8 - 2 8 1 9 8 8 ( J P , A )  
特表 2 0 1 0 - 5 0 0 7 5 2 ( J P , A )  
特開 2 0 0 0 - 2 2 3 5 9 0 ( J P , A )  
特開平 0 8 - 0 0 8 4 0 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 1 / 3 6 3  
H 0 1 L 2 7 / 1 1 5 - 2 7 / 1 1 5 9 7  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 9 / 7 8 8  
H 0 1 L 2 9 / 7 9 2